

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03125037.8

G06F 9/06 (2006.01)
G06F 9/445 (2006.01)
G06F 12/00 (2006.01)
G06F 13/14 (2006.01)

[45] 授权公告日 2007 年 3 月 28 日

[11] 授权公告号 CN 1307532C

[22] 申请日 2003.3.8 [21] 申请号 03125037.8

[30] 优先权

[32] 2002. 3. 8 [33] KR [31] 12356/02

[32] 2002. 3. 23 [33] KR [31] 15856/02

[32] 2002.12. 6 [33] KR [31] 77291/02

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 崔永准 权锡千 李锡宪 李裁荣

[56] 参考文献

KR2001036634 A 2001.5.7

CN1145498A 1997.3.19

US6058048 A 2000.5.2

审查员 韩鲜萍

[74] 专利代理机构 北京市柳沈律师事务所

代理人 马莹 邵亚丽

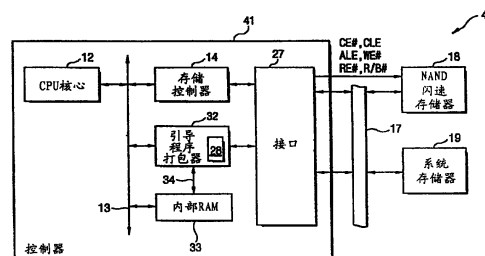
权利要求书 4 页 说明书 14 页 附图 9 页

[54] 发明名称

利用与非闪速存储器的引导系统及其方法

[57] 摘要

提供用于使用 NAND 闪速存储引导计算设备的系统和方法。将存储在 NAND 闪速存储器中的引导程序代码传送到 RAM 用于 CPU 执行。将存储在 NAND 闪速存储器中的操作系统程序传送给系统存储器用于在系统引导后由 CPU 执行。



1、一种具有 CPU 核心、系统存储器以及用于它们间数据通信的接口的系统，该系统包括：

一个 NAND 闪速存储器，用于至少存储引导程序代码；

一个引导程序打包器，用于协调将控制信号传送到 NAND 闪速存储器以及通过接口从 NAND 闪速存储器接收引导程序代码；以及

一个 RAM，用于存储由 NAND 闪速存储器存取的引导程序代码，

其中该系统的引导包括由 CPU 核心从 RAM 读取引导程序代码。

2、如权利要求 1 所述的系统，其中引导程序代码包括系统初始化程序以及复制指令程序。

3、如权利要求 1 所述的系统，其中引导程序打包器包括一个用于与 NAND 闪速存储器进行接口的 NAND 接口逻辑。

4、如权利要求 1 所述的系统，其中引导程序打包器包括用于存储引导程序代码的 RAM。

5、如权利要求 1 所述的系统，其中 RAM 在引导程序打包器外面。

6、如权利要求 1 所述的系统，进一步包括用于延迟 CPU 核心的操作直到将引导程序代码存储在 RAM 中为止的延迟。

7、如权利要求 6 所述的系统，其中用引导程序打包器实现延迟。

8、如权利要求 1 所述的系统，其中用存储控制器来实现接口。

9、如权利要求 8 所述的系统，其中存储控制器包括 NAND 接口逻辑。

10、如权利要求 1 所述的系统，其中 RAM 是通过第一局部总线连接到 CPU 核心的高速缓冲存储器。

11、如权利要求 10 所述的系统，进一步包括一个用于将引导程序打包器连接到高速缓冲存储器的包装器。

12、如权利要求 10 所述的系统，进一步包括一个用于直接将引导程序打包器连接到高速缓冲存储器的第二局部总线。

13、如权利要求 12 所述的系统，其中接口用存储控制器来实现。

14、如权利要求 12 所述的系统，其中存储控制器包括 NAND 接口逻辑。

15、如权利要求 1 所述的系统，其中引导程序打包器包括用于存储引导程序代码的 RAM 以及 RAM 是通过局部总线连接到 CPU 核心的高速缓冲存

存储器。

16、如权利要求 1 所述的系统，进一步包括用于通过接口和系统总线，控制 NAND 闪速存储器和系统存储器的存储控制器，其中接口包括用于防止存储控制器和引导程序打包器同时存取系统总线的装置。

17、如权利要求 16 所述的系统，其中存储控制器包括 NADN 接口逻辑。

18、一种具有一个 CPU 核心、一个系统存储器以及一个用于它们间的数据通信的接口的系统，该系统包括：

一个 NAND 闪速存储器，用于至少存储操作系统程序；以及

一个 ROM，用于存储指引将存储在 NAND 闪速存储器中的数据复制到系统存储器的代码，

其中，所述系统进一步包括用于通过接口和系统总线，控制 NAND 闪速存储器和系统存储器的存储控制器。

19、如权利要求 18 所述的系统，其中在初始化时，将操作系统程序复制到系统存储器，以及通过存取系统存储器，CPU 核心执行操作系统程序。

20、如权利要求 19 所述的系统，其中接口包括用于防止存储控制器和引导程序打包器同时存取系统总线的装置。

21、如权利要求 20 所述的系统，其中存储控制器包括 NADN 接口逻辑。

22、一种具有一个 CPU 核心、一个系统存储器以及一个用于它们间数据通信的接口的系统，该系统包括：

一个 NAND 闪速存储器，用于至少存储引导程序代码；

一个引导程序打包器，通过系统总线连接到 NAND 闪速存储器，用于从 NAND 闪速存储器接收引导程序代码，引导程序打包器包括用于存储引导程序代码的 RAM，

其中系统的引导包括由 CPU 核心从 RAM 读取引导程序代码，并且

其中，所述系统进一步包括用于通过接口和系统总线控制 NAND 闪速存储器和系统存储器的存储控制器。

23、如权利要求 22 所述的系统，其中接口包括用于防止存储控制器和引导程序打包器同时存取系统总线的装置。

24、如权利要求 22 所述的系统，其中存储控制器包括 NAND 接口逻辑。

25、一种具有一个 CPU 核心、一个系统存储器以及一个用于它们间数据通信的接口的系统，该系统包括：

一个闪速存储器，用于至少存储引导程序代码；

一个引导程序打包器，用于协调将控制信号传送到闪速存储器以及经接口从闪速存储器接收引导程序代码；

第一和第二存储控制器，用于有选择地控制闪速存储器；以及

一个选择器，用于根据闪速存储器的类型，选择操作第一和第二存储控制器中的一个。

26、如权利要求 25 所述的系统，其中闪速存储器是 NOR 和 NADN 闪速存储器中的一种。

27、如权利要求 26 所述的系统，其中第一存储控制器包括 NOR 接口逻辑以及第二存储控制器包括 NAND 接口逻辑。

28、如权利要求 25 所述的系统，进一步包括用于存储从闪速存储器接收的引导程序代码的 RAM。

29、如权利要求 25 所述的系统，其中选择器包括用于选择操作第一和第二存储控制器中的一个的选择管脚。

30、一种用于引导具有一个 CPU 核心、一个系统存储器以及一个存储控制器的计算设备的方法，该方法包括步骤：

将引导程序代码预先存储在 NAND 闪速存储器中；

接收系统初始化信号；

将引导程序代码从 NAND 闪速存储器传送到 RAM；

由 CPU 核心执行存储在 RAM 中的引导程序代码。

31、如权利要求 30 所述的方法，进一步包括步骤：

在接收到系统初始化信号后，挂起 CPU 核心的执行直到完成将引导程序代码从 NAND 闪速存储器传送到 RAM 中的步骤为止。

32、一种用于引导具有 CPU 核心、系统存储器以及存储控制器的计算设备的方法，该方法包括步骤：

通过至少一个耦合管脚，设置初始化参数；

接收系统初始化信号；

将操作系统程序从 NAND 闪速存储器传送到系统存储器；

由 CPU 核心执行来自系统存储器的操作系统程序。

33、如权利要求 32 所述的方法，进一步包括步骤：在执行操作系统步骤前，使用至少一个耦合管脚的初始化参数，设置系统存储器中的方式寄存器。

34、一种用于引导具有一个 CPU 核心、一个系统存储器以及一个存储控制器的计算设备的方法，该方法包括步骤：

将操作系统程序预先存储在 NAND 闪速存储器中；

将数据预先存储在 ROM 中，数据包括用于使 NAND 闪速存储器传送数据的控制数据；

接收系统初始化信号；

使用来自 ROM 的控制数据，使操作系统程序从 NAND 闪速存储器传送到系统存储器；

由 CPU 核心执行来自系统存储器的操作系统。

35、如权利要求 34 所述的方法，进一步包括步骤：

在接收到系统初始化信号后，挂起 CPU 核心的执行直到完成将操作系统从 NAND 闪速存储器传送到 RAM 中为止。

利用与非闪速存储器的引导系统及其方法

技术领域

本发明涉及用于引导计算设备的系统；更具体地说，涉及使用 NAND（与非）闪速存储器引导的系统及其引导方法。

背景技术

在如个人数字助理（PDA）的每个典型的个人计算机（PC）或计算设备中，当打开 PC 或设备时，执行安装在基本输入/输出服务（BIOS）中的程序。通过执行 BIOS 程序执行多个初始化功能。这些功能通常是：检验用于定制设置的 CMOS 设置；加载中断处理程序和设备驱动程序；初始化寄存器和电源管理；执行用于安装如磁盘驱动器的元件或外围设备的通电自检（POST）；显示系统设置；确定哪个组件是可引导的；以及初始化自举序列。通常，将 BIOS（或引导）程序存储在只读存储器（ROM）、可擦可编程只读存储器（EPROM）或 NOR（或非）型逻辑（NOR）闪速存储器中。

如果将引导程序存储在 ROM 中，因为 ROM 是非易失性的，不能改变存储的程序。任何对存储的程序必要的较小改变需要替换 ROM。在将引导程序存储在 EPROM 的情况下，如果改变存储的程序，必须擦除在前存储的程序。EPROM 擦除进一步需要单个组件或设备。同样地，如果将程序存储在 ROM 或 EPROM 中，不容易执行在引导程序中需要的任何改变或更新。在将引导程序存储在 NOR 逻辑（NOR）闪速存储器的情况下，能擦除或更新存储的程序。然而，与 NAND 逻辑（NAND）闪速存储器相比，对指定存储容量来说 NOR 闪速存储器在大小方面更大且制造起来更昂贵。

图 1 中示出了具有存储 BIOS 的 NAND 闪速存储器的系统的一个例子，其在 U.S.专利 NO.5,535,357 中公开。参考图 1，系统 10 包括系统总线 17、包括 NAND 闪速存储器 18 和内部接口块 15 的组合芯片 16、以及用于控制组合芯片 16 和系统存储器 19 的控制器 11。控制器 11 可是中央处理单元（CPU），其具有用于执行计算功能的 CPU 核心 12、存储控制器 14 以及在控制器 11

内部中的内部系统总线 13。存储控制器 14 执行 NAND 闪存存储器 18 和系统存储器 19 间的存储变换, 并使用用于根据存储变换执行的接口功能的内部接口块 15。内部接口块 15 临时将 NAND 闪存存储设备的数据存储在如寄存器或 RAM 的存储设备中, 并在存储控制器 14 的控制下, 通过系统总线 17 将临时存储的数据传送给系统存储器。

内部接口块 15 包括一个用于与 NAND 闪存存储器 18 连接的 NAND 接口逻辑 28 以及一个用于通过系统总线 17 与系统存储器 19 或存储控制器 14 连接的 NOR 接口逻辑 29。NOR 接口逻辑 29 是通常用于在 NOR 闪存存储器和存储控制器和 / 或系统存储器之间进行接口连接的电路。如果闪存存储器是 NOR 闪存存储器, NAND 接口逻辑 28 不必使来自闪存存储器的信号为 “NOR 接口方式” (本领域的技术人员将该术语称为 “ROM 接口方式”), NOR 接口方式为根据字节 / 字单元的地址能够随机存取存储器的数据传送。相反, “NAND 接口方式” 的数据传送不是随机存取, 而块单元的数据是通过块地址和命令来传送的。

系统 10 使用 NAND 接口方式将 NAND 闪存存储器 18 的数据通过 NAND 接口逻辑 28 传送给内部接口块 15, 以及使用 NOR 接口方式, 通过 NOR 接口逻辑 29 将数据传送给系统存储器 19。由于来自 NAND 闪存存储器 18 的数据存取需要经过两级 NAND 接口方式和 NOR 接口方式, 损害了数据存取速度。另外, 因为用于由存储控制器存取在闪存存储设备中存储的引导程序代码所需的时间是系统性能的一个指标, 因此不能最优化这种设备的系统额定性能。

此外, 因为 NAND 闪存存储器 18 的所有数据需要加载到内部接口块 15 中以及需要支持 NAND 和 NOR 接口的逻辑电路, 所以内部接口块 15 在物理尺寸方面自然需要很大。因此, 图 1 所示的系统 10 可能成本很高并且低于最佳额定性能。

发明内容

提供一个具有 CPU 核心、系统存储器以及用于它们间的数据通信的接口的系统, 系统包括: 一个 NAND 闪存存储器, 用于至少存储一个引导程序代码、引导程序打包器 (boot strapper), 用于协调将控制信号传送到 NAND 闪存存储器, 并通过接口从 NAND 闪存存储器接收引导程序代码、以及一个

RAM, 用于存储从 NAND 闪存存储器存取的引导程序代码, 其中系统引导包括由 CPU 核心从 RAM 读取引导程序代码。最好, 引导程序代码包括一个系统初始化程序和复制指令程序。

根据本发明的一个实施例, 引导程序打包器包括用于与 NAND 闪存存储器接口的 NAND 接口逻辑, 以及将用于存储引导程序代码的 RAM 集成到引导程序打包器中。

在另一实施例中, RAM 在引导程序打包器外。

该系统进一步包括延迟, 用于延迟 CPU 核心的初始化操作直到将引导程序代码存储在 RAM 中为止。通过引导程序打包器来实现延迟以及通过存储控制器来实现接口。存储控制器包括用于以 NAND 接口方式与 NAND 闪存存储器接口的 NAND 接口逻辑。

根据本发明的另一实施例, RAM 是通过第一局部总线连接到 CPU 核心的高速缓冲存储器。系统另外包括用于将引导程序打包器连接到高速缓冲存储器的包装器 (wrapper)。第二局部总线直接将引导程序打包器连接到高速缓冲存储器。

在一个实施例中, 该系统另外包括用于通过接口和系统总线, 控制 NAND 闪存存储器和系统存储器的存储控制器, 其中接口包括用于防止通过存储控制器和引导程序打包器同时存取系统总线的装置。

根据本发明的另一实施例, 提供具有一个 CPU 核心、系统存储器以及用于它们间数据的通信的接口的系统, 该系统包括:

一个 NAND 闪存存储器, 用于存储操作系统程序、以及 ROM, 用于存储引导程序代码, 其中系统的引导包括由 CPU 核心从 ROM 读取引导程序代码。最好, 初始化时将操作系统程序复制到系统存储器上, 以及 CPU 通过存取系统存储器执行操作系统程序。

根据本发明的另一实施例, 提供具有一个 CPU 核心、系统存储器以及用于两者之间数据通信的接口的系统, 该系统包括: NAND 闪存存储器, 用于存储引导程序代码; 引导程序打包器, 通过系统总线, 连接到 NAND 闪存存储器, 用于从 NAND 闪存存储器接收引导程序代码; 包括 RAM 的引导程序打包器, 用于存储引导程序代码, 其中系统的引导包括由 CPU 核心从 RAM 读取引导程序代码。

在本发明的另一方面, 提供具有一个 CPU 核心、系统存储器以及用于两

者间数据通信的接口的系统，该系统包括：NAND 闪存存储器，用于存储操作系统程序；多个耦合管脚，用于设置初始化参数；以及复制逻辑电路，用于在接收到系统初始化信号后，将操作系统程序复制到系统存储器中，其中通过存取系统存储器，CPU 核心执行操作系统程序。

在本发明的另一方面，提供具有 CPU 核心、系统存储器以及用于两者间数据通信的接口的系统，该系统包括：闪存存储器，用于至少存储引导程序代码；引导程序打包器，用于协调将控制信号传送到闪存存储器，以及通过接口从闪存存储器接收引导程序代码；第一和第二存储控制器，用于有选择地控制闪存存储器；以及选择器，用于根据闪存存储器的类型，选择操作第一和第二存储控制器的一个。

该闪存存储器是 NOR 和 NAND 闪存存储器中的一种。第一存储控制器，包括 NOR 接口逻辑以及第二存储控制器包括 NAND 接口逻辑。

该系统最好另外包括 RAM，用于存储从闪存存储器接收的引导程序代码，并且选择器包括用于选择操作第一和第二存储控制器中的一个的选择管脚。

根据本发明的引导方法，在具有 CPU 核心、系统控制器以及存储控制器的计算设备中，该方法包括步骤：将引导程序代码预先存储在 NAND 闪存存储器中、接收系统初始化信号、将引导程序代码从 NAND 闪存存储器传送到 RAM 中，以及由 CPU 核心执行存储在 RAM 中的引导程序代码。

该方法进一步包括步骤：在接收到系统初始化信号后，挂起 CPU 核心的执行直到完成将引导程序代码从 NAND 闪存存储器传送到 RAM 中的步骤为止。

附图说明

图 1 表示具有常规 NAND 闪存存储器的计算系统。

图 2 表示使用存储在 NAND 闪存存储器中的引导程序代码的本发明的实施例。

图 3 表示从闪存存储器传送引导程序代码的过程的时序图。

图 4 表示根据本发明的计算系统的另一实施例。

图 5 表示根据本发明的计算系统的另一实施例。

图 6 表示根据本发明的计算系统的另一实施例。

图 7 表示根据本发明的计算系统的另一实施例。

图 8 表示根据本发明的计算系统的另一实施例。

图 9 表示根据本发明的计算系统的另一实施例。

图 10 表示根据本发明的计算系统的另一实施例。

图 11 表示根据本发明的计算系统的另一实施例。

图 12 表示根据本发明的计算系统的另一实施例。

图 13 表示根据本发明的计算系统的另一实施例。

图 14 表示根据本发明的计算系统的另一实施例。

图 15 表示根据本发明的实施例,描述从闪速存储器传送引导程序代码的步骤的流程图。

具体实施方式

图 2 中示出了根据本发明的实施例的使用 NAND 闪速存储器的系统。

参考图 2, 计算系统 20 包括控制器 21、系统总线 17、NAND 闪速存储器 18 以及系统存储器 19。计算系统 20 包括计算设备的基本组件, 计算设备可以是由系统初始化程序(通常称为引导程序代码)引导的个人数字助理(PDA)、掌上电脑、膝上型电脑、个人计算机或任何系统。

控制器 21 具有 CPU 核心 12、内部系统总线 13、存储控制器 14、引导程序打包器 25、以及接口 27。控制器 21 可嵌在单个半导体芯片中, 以及通常控制和管理任何存储器, 如连接到系统总线 17 的 NAND 闪速存储器 18 以及系统存储器 19。

系统总线 17 用于控制器 21、NAND 闪速存储器 18 以及系统存储器 19 的数据传送。

NAND 闪速存储器 18 存储用于引导系统 20 的引导程序代码, 以及可另外存储操作系统(OS)和其他程序或数据。OS 可是 Microsoft DOS 或 WINDOWS, 在引导或初始化过程后, 由控制器 21 执行来操作系统 20。基于用于表示如何利用应用程序的用户要求和软件代码, 存储在 NAND 闪速存储器 18 中的数据也可能是用户存储设备的配置代码。

系统存储器 19 最好是动态随机存取存储器(DRAM), 用作存储数据、指令等的主存储器。

CPU 核心 12 执行 OS、应用程序以及操作程序。内部系统总线 13 将数

据传送到 CPU 核心 12 以及从 CPU 核心 12 传送数据、以及在存储控制器 14 和引导程序打包器间传送数据。

根据本发明的该实施例，在初始化之前，首先将引导程序代码存储在 NAND 闪速存储器 18 中。初始化时，将存储在 NAND 闪速存储器 18 中的引导程序代码传送给引导程序打包器 25 中的内部 RAM 26。NAND 接口逻辑 28 连接 NAND 闪速存储器 18 并将存储在 NAND 闪速存储器 18 中的引导程序代码传送给内部 RAM 26。在完成引导程序代码的传送后，由 CPU 核心 12 执行包括系统初始化代码和复制循环指令代码的引导程序代码。当执行时，系统初始化代码初始化控制器 21、NAND 闪速存储器 21、系统存储器 19 以及外围设备。复制循环指令码指示将将要加载的所存储的操作系统或其他数据复制到系统存储器 19 中。同时从 NAND 闪速存储器加载到内部 RAM 26 的操作系统或其他数据的大小可由引导程序代码指定的值确定，或可由引导程序打包器 25 中的硬件逻辑确定。由于与 NOR 和 NAND 接口逻辑（见图 1）相比，引导程序打包器 25 仅需要包括一个 NAND 接口逻辑，与图 1 的接口块 15 相比，所以引导程序打包器 25 在大小方面比图 1 的接口块 15 小。另外，由于内部 RAM 26 仅存储引导程序代码，与存储 NAND 闪速存储器 18 的所有数据的接口块 15 相比，其具有较小的容量。因此，根据本发明，系统 20 的成本有利地低于图 1 的系统 10 的成本。

存储控制器 14 控制和管理包括将存储在 NAND 闪速存储器 18 中的操作系统或数据通过系统总线 17 写入系统存储器 19 或从系统存储器 19 读取数据的存储器操作。在这种操作中，存储控制器 14 执行 NAND 闪速存储器 18 以及系统存储器 19 间的存储变换。

接着，描述在图 2 中系统 20 的操作。当启动系统 20 时，引导程序打包器 25 接收系统初始化信号（如，加电信号和系统复位信号），以及将存储在 NAND 闪速存储器 18 中的引导程序代码传送给系统存储器 19。当正将引导程序代码传送给内部 RAM 26 时，引导程序打包器 25 生成用于挂起 CPU 核心 12 的操作的控制信号。在完成引导程序代码的传送后，复位控制信号并激活 CPU 核心 12 以及执行“后引导操作”。

另外，可将控制器 21 中的一个延迟（未示出）用来挂起 CPU 核心 12 的操作。例如，同时将系统初始化信号（例如，加电信号和系统复位信号）施加到连接到 CPU 核心 12 的引导程序打包器 25 和延迟。延迟系统初始化信

号的到来直到将引导程序代码从 NAND 闪存存储器 18 传送到内部 RAM 26 为止。可通过延迟电路或软件来实现延迟。因此，设置延迟来延迟基本上等于或稍微大于用于这种引导程序代码传送所需的时间的时间量。

在激活 CPU 核心 12 后，执行存储在内部 RAM 26 中的引导程序代码。通过执行引导程序代码中的系统初始化代码，初始化系统 20 的硬件。通过执行引导程序代码中的复制循环指令代码，CPU 核心 12 读出其他数据或程序，如存储在 NAND 闪存存储器 18 中的操作系统。这最好以页为单位通过接口 27 和引导程序打包器 25 的 NAND 接口逻辑 28 执行。此后，CPU 核心 12 通过存储控制器 14 和接口 27 将读出的其他数据或程序如操作系统复制到系统存储器 19。在完成其他数据或程序如操作系统的复制操作后，执行操作系统。因此，当完成引导程序过程时，通过来自系统存储器 19 的操作系统驱动系统 20。

根据本发明的该实施例，用单级 NAND 接口实现引导程序过程，引导程序过程是通过首先将存储在 NAND 闪存存储器 18 中的引导程序代码复制到内部 RAM 26，然后将操作系统传送到系统存储器 19 来执行的。当与在如图 1 所示的两级接口方式（即 NAND 接口方式以及 NOR 接口方式）比较时，实现了更快的引导速度。

下面将参考图 2 和图 3 更详细地描述由引导程序打包器 25 读出存储在 NAND 闪存存储器中的引导程序代码以及将读出的引导程序代码传送给内部 RAM 26 的过程。图 3 根据本发明的优选实施例，描述当从 NAND 闪存存储器读出引导程序代码时的时序图。

响应系统初始化信号，引导程序打包器 25 输出控制信号（如 CLE、ALE、CE、WE、RE 以及 R/B）以便读出存储在 NAND 闪存存储器中的引导程序代码。在具有地址 ad0、ad1 以及 ad2 的 00h 产生读取命令。系统初始化信号包括加电信号（当系统加电时产生）、系统复位信号或再复位信号。

当将预定命令输入到 NAND 闪存存储器 18 时，激活命令锁存允许信号（CLE）。当将预定地址输入到 NAND 闪存存储器 18 时，激活地址锁存允许信号（ALE）。

响应有效的（如逻辑“高”）命令锁存允许信号（CLE）、有效的（如逻辑“低”）芯片允许信号（CE#）以及有效的写允许信号（WE#），NAND 闪存存储器 18 经系统总线 17 接收读命令 00h。这里，“#”表示有效的低状态。

同样,响应有效的地址锁存允许信号(ALE)、有效的芯片允许信号(CE#)以及有效的写允许信号(WE#),NAND 闪存存储器 18 经系统总线 17 接收地址。可根据 NAND 闪存存储器地址段(step)选择信号,设置生成的地址的数量。

根据本发明的该实施例,图 3 中示出了 NAND 闪存存储器 18 的 3 段(step)寻址,但本领域的技术人员很容易意识到寻址过程并不仅限于此,并且 NAND 闪存存储器地址段选择信号可使用三个或更多数量的段寻址。

根据本发明,引导程序打包器 25 生成读命令 00h 来读出存储在 NAND 闪存存储器 18 中的引导程序代码,然后生成地址 ad0、ad1 以及 ad2。响应读命令 00h 以及地址 ad0、ad1 以及 ad2,以页为单位读出存储的引导程序代码。将读出的数据暂时存储在 NAND 闪存存储器 18 的内部缓冲器(未示出)中。

在就绪/忙信号 R/B#处于有效逻辑(“低”)时,完成将数据(如引导程序代码)复制到内部缓冲器中的操作。在就绪(read)/忙信号 R/B#处于无效逻辑(“高”)时,不完成数据(引导程序代码,这里为 D0、D1、D2 和 D3)的复制操作。在激活读允许信号 RE#时,将存储在内部缓冲器中的数据 D0、D1、D2 和 D3 传送到系统总线 17。此后,将系统总线 17 上的数据 D0、D1、D2 以及 D3 传送到内部 RAM 26。

根据本发明的优选实施例,响应系统初始化信号,引导程序打包器 25 产生 CPU 核心 12 的操作中的挂起或延迟,同时最好通过 NAND 接口逻辑 28 和接口 27 将控制信号如 CE#、CLE、ALE、WE#、RE#以及 R/B#输出给 NAND 闪存存储器 18。响应控制信号,如 CE#、CLE、ALE、WE#、RE#以及 R/B#,将从 NAND 闪存存储器 18 读取的数据经 NAND 接口逻辑 28 和接口 27 传送给引导程序打包器 25。引导程序打包器 25 将引导程序代码存储在内部 RAM 26 中,然后释放 CPU12 上的挂起。另外,将 CPU 核心延迟大于将引导程序代码存储在内部 RAM 26 中所需的时间的持续时间。延迟可以是可调整的定时器。因此,当挂起 CPU 核心 12 时,存储在 NAND 闪存存储器 18 中的引导程序代码已经传送给内部 RAM 26。

此后,载入内部 RAM 26 的引导程序代码中的系统初始化代码的执行导致初始化系统 20 的硬件。以及通过执行引导程序代码中的复制循环指令码,CPU 核心 12 使操作系统从 NAND 闪存存储器 18 传送到系统存储器 19,最好通过存储控制器 14 和接口 27。接口 27 中的多路复用或数据选择电路(未

示出)多路存取系统总线 17,从而防止存储控制器 14 和引导程序打包器 25 同时存取系统总线 17。

在完成将操作系统复制到系统存储器 19 后,由系统存储器 19 执行操作系统以及由此驱动系统 20。

图 4 中示出了根据本发明的使用 NAND 闪速存储器的引导程序系统的第二实施例。根据该实施例,将内部 RAM 33 放在引导程序打包器 32 外。最好经内部系统总线 13 由引导程序打包器 32 存取内部 RAM 33;另外 NAND 闪速存储器 18 数据传送的操作与先前所述的相同。

图 5 中所示的是根据本发明的使用 NAND 闪速存储器的引导系统的第三实施例,由引导程序打包器 32 存取内部 RAM 33 最好经专用总线 34;另外, NAND 闪速存储器 18 的数据传送的操作与先前描述的相同。使用用于加载到内部 RAM 33 的专用总线 34 降低了从 NAND 闪速存储器 18 传送引导程序代码所需的时间量,从而提高系统性能。

图 6 中示出了根据本发明的使用 NAND 闪速存储器的引导系统的第四实施例。图 6 的系统 50 包括控制器 51、NAND 闪速存储器 18、系统总线 17 以及系统存储器 19。

控制器 51 包括引导程序打包器 52、CPU 核心 12、内部系统总线 13 以及内部 RAM53 和具有 NAND 接口逻辑 28 的存储控制器 54。如图 6 所示,内部 RAM53 在引导程序打包器 52 中,但内部 RAM53 也能放在引导程序打包器 52 外,如图 4 和图 5 所示。根据该实施例,系统控制器 54 用来控制系统存储器 19 和直接存取 NAND 闪速存储器 18。因此,根据该实施例,存储控制器 54 能执行先前由图 2 中所示的接口 27 执行的功能。

响应系统初始化信号,引导程序打包器 52 挂起 CPU 核心 12 的操作,同时经内部系统总线 13,由 NAND 接口逻辑 28 使用 NAND 接口方式读出存储在 NAND 闪速存储器 18 中的引导程序代码。然后,引导程序打包器 52 将读出的引导程序代码加载到内部 RAM53。系统初始化信号是响应加电信号或复位信号而生成的信号。

通过执行引导程序代码中的系统初始化代码,初始化系统 20 的硬件。以及通过执行引导程序代码中的复制循环指令代码,CPU 核心 12 经存储控制器 54 读出存储在 NAND 闪速存储器 18 中的操作系统,并将操作系统载入系统存储器 19 中。在完成将操作系统复制到系统存储器 19 后,由系统存储器 19

执行操作系统。

图7中示出了根据本发明的使用NAND闪速存储器的引导系统的第五实施例。控制器61包括CPU核心12、引导程序打包器62、内部系统总线13、存储控制器54以及内部RAM63。注意内部RAM63放在引导程序打包器62外。

响应系统初始化信号，引导程序打包器62挂起CPU核心12的操作，同时由存储控制器54的NAND接口逻辑28使用NAND接口方式读出存储在NAND闪速存储器18中的引导程序代码。然而，通过内部系统总线13，引导程序打包器62将读出的引导程序代码载入到内部RAM63。

图8中示出了根据本发明的使用NAND闪速存储器的引导系统的第六实施例。控制器71包括CPU核心12、局部总线75、高速缓冲存储器73、包装器72、内部系统总线13、存储控制器54以及引导程序打包器74。包装器72与局部总线75和内部系统总线13接口。包装器最好是执行来有选择地控制对高速缓冲存储器73的存或取的存取的软件程序或硬件。将高速缓冲存储器73放在临近CPU核心12，用于暂时存储频繁地使用的数据。高速缓冲存储器73的存取时间比图7的内部RAM的存取时间短。

在通过内部系统总线13存取高速缓冲存储器73的情况下，响应系统初始化信号，引导程序打包器74延迟或挂起CPU核心12的操作，同时由NAND接口逻辑28使用NAND接口方式读出存储在NAND闪速存储器18中的引导程序代码。此后，通过内部系统总线13，引导程序打包器74将读出的引导程序代码写入高速缓冲存储器73中。

在通过局部总线75存取高速缓冲存储器73的情况下，响应系统初始化信号，引导程序打包器74挂起CPU核心12的操作，同时使用NAND接口逻辑28读出存储在NAND闪速存储器18中的引导程序代码。此后，通过包装器72和局部总线75，引导程序打包器74将读出的引导程序代码写入高速缓冲存储器73中。由于高速缓冲存储器73的较短的存取时间，使用根据本发明的引导系统的系统引导过程更快。

图9中示出了根据本发明的使用NAND闪速存储器的引导系统的第七实施例。控制器81包括用于在高速缓冲存储器73和引导程序打包器74间传送数据的第二局部总线82。图9的引导程序打包器74与图8的引导程序打包器一样操作。

响应系统初始化信号，引导程序打包器 74 挂起 CPU 核心 12 的操作，同时使用存储控制器 54 的 NAND 接口逻辑 28 读出存储在 NAND 闪速存储设备 18 中的引导程序代码。此后，通过专用总线 82，引导程序打包器 74 将读出的引导程序代码写（复制、加载和传送）到高速缓冲存储器 73 中。在将引导程序代码存入高速缓冲存储器 73 后，除使用专用总线 82 外，以后的操作与图 6 所描述的相同。

图 10 描述根据本发明的使用 NAND 闪速存储器的引导系统的第八实施例。控制器 91 包括 CPU 核心 12、局部总线 75、包装器 72、超高速缓存和引导程序打包器 92、内部系统总线 13 以及存储控制器 54。超高速缓存和引导程序打包器 92 是其中集成有高速缓冲存储器的引导程序打包器。

响应系统初始化信号，超高速缓存和引导程序打包器 92 挂起 CPU 核心 12 的操作，同时读出存储在 NAND 闪速存储器 18 中的引导程序代码。此后，超高速缓存和引导程序打包器 92 通过内部系统总线 13 将读出的引导程序代码加载到其中的高速缓冲存储器。另外，可以设置包装器 72 来引导引导程序代码通过局部总线 75。

图 11 中示出了根据本发明的使用 NAND 闪速存储器的引导系统的第九实施例。控制器 101 包括 CPU 核心 12、存储控制器 54、复制逻辑块 105、内部系统总线 13 以及选择管脚 106。选择管脚有选择地耦合到电源电压 VCC 或接地电压 GND。根据本发明，控制器 101 执行初始化操作，其中通过在系统存储器 19 中设置方式寄存器（MRS）（未示出）来初始化系统存储器。可通过使用选择管脚 106，设置 MRS。预先将 MRS 设置成将使用的系统存储器 19 的操作模式，如 CAS 等待时间（latency）或脉冲长度。例如，根据脉冲长度确定一次加载到 NAND 闪速存储器的系统存储器 19 中的数据量。复制逻辑块 105 指令用于将诸如存储在 NAND 闪速存储器 18 中的 [引导程序代码]、操作系统或一般数据的数据复制到系统存储器 19 的操作，以及包括用于控制器 101 的指令序列。根据该实施例，引导程序代码是不必要的并且不必存储在 NAND 闪速存储器 18 中。响应系统初始化信号挂起 CPU 核心 12 的操作。同时，设置复制逻辑块 105 来将诸如从 NAND 闪速存储器 18 读出的操作系统和一般数据存储在系统存储器 19 中。在完成复制后，激活 CPU 核心 12 并且在系统存储器 19 中执行操作系统。然后响应操作系统，驱动系统 20。

在这种装置 100 中, 根据选择管脚 106 的耦合信息, 完成用于初始化系统存储器 19 的系统初始化操作。由于删去了将引导程序代码复制到控制器的过程, 提高了系统引导速度。

图 12 中示出了根据本发明的使用 NAND 闪速存储器的引导系统的第十实施例。控制器 111 包括 CPU 核心 12、存储控制器 54、内部系统总线 13 以及 ROM 块 115。此时, ROM 块 115 取代了图 11 的复制逻辑块 105。预先将包括系统初始化代码以及用于指令将存储在 NAND 闪速存储器 18 中的数据复制到系统存储器 19 的代码的 ROM 数据存储在 ROM 块 115 中。ROM 块 115 最好包括掩膜 ROM、闪速存储器等。

响应系统初始化信号, 激活 CPU 核心 12 以便根据包含在 ROM 块 115 中的系统初始化代码执行初始化操作, 以及将存储在 NAND 闪速存储器 18 中的操作系统或一般数据复制到系统存储器 19 中。在完成复制操作后, 激活 CPU 核心 12 以及执行系统存储器 19 中的操作系统。即, 当完成引导时, 响应操作系统, 驱动系统 110。

图 13 中描述了根据本发明的使用 NAND 闪速存储器的引导系统的第十一实施例。系统 120 包括控制器 121、引导程序打包器 25、NAND 闪速存储器 18 以及系统存储器 19。控制器 121 具有 CPU 核心 12、内部系统总线 13 以及存储控制器 14。根据本实施例, 将引导程序打包器 25 放在控制器 121 外并经系统总线 17 操作性地连接到控制器 121。

响应系统初始化信号, 挂起 CPU 核心 12 的操作, 以及经系统总线 17, 引导程序打包器 25 同时将存储在 NAND 闪速存储器 18 中的引导程序代码加载到内部 RAM 26。在将引导程序代码存入内部 RAM 26 后, 以后的操作与图 2 中所述的相同。

图 14 中描述了根据本发明的使用闪速存储器的引导系统的第十二实施例。系统 130 包括控制器 131、闪速存储器 135、系统存储器 19 以及系统总线 17。控制器 131 具有 CPU 核心 12、具有 NOR 接口逻辑 29 的第一存储控制器 133、具有 NAND 接口逻辑 28 的第二存储控制器 134、选择电路 136 以及选择管脚 132。根据闪速存储器 135 的类型, 由选择电路 136 将第一和第二存储控制器 133 和 134 有选择地连接到系统总线 17。将选择管脚 132 耦合到电源电压 VCC 或接地电压 GND。根据将选择管脚 132 耦合到 VCC 或 GND 的信息, 有选择地激活第一存储控制器 133 或第二存储控制器 134。

根据本实施例，闪速存储器 135 可是 NOR 闪速存储器、NAND 闪速存储器或其他存储器类型。如果将 NOR 闪速存储器用作闪速存储器 135，则将第一存储控制器 133 经 NOR 接口逻辑 29 和系统总线 17 连接到 NOR 闪速存储器。在这种情况下，第一存储控制器 133 使用第一存储控制器 133 中的常规 NOR 接口方式将系统总线 17 与 NOR 闪速存储器互连。因此，系统 130 的控制器 131 能容易地存取 NOR 闪速存储器的数据（如引导程序代码、操作系统以及一般数据）。如果将 NAND 闪速存储器用作闪速存储器 135，则经过 NAND 接口逻辑 28 和系统总线 17 将第二存储控制器 134 连接到 NAND 闪速存储器。在这种情况下，基于如图 2 至图 13 所述的过程，使用 NAND 接口方式，第二存储控制器 134 将系统总线 17 与 NAND 闪速存储器互连。因此，系统 130 的控制器 131 可存取数据（如引导程序代码、操作系统以及一般数据）而与闪速存储器 135 的类型无关。

图 15 中描述了根据本发明的表示加载存储在闪速存储器中的引导程序代码的步骤的流程图。参考图 2 至图 13，在每个附图中示出的引导程序打包器的初始状态是空闲状态（步骤 150）。

响应系统初始化信号，引导程序打包器检测闪速存储器的页面大小、密度以及数据宽度，同时输出用于挂起系统的 CPU 的控制信号。另外，系统使用延迟（在前描述过）以便挂起 CPU 直到将引导程序代码加载到内部 RAM 为止（步骤 151）。

根据图 3 描述的方法，引导程序打包器以页为单位读出存储在闪速存储器中的引导程序代码，以及通过预定总线或接口将读出的引导程序代码加载到控制器内或外的内部 RAM（步骤 152）。

在步骤 153，引导程序打包器检测加载的引导程序代码的传送量大小。如果传送量大小不为“0”，例程返回步骤 152。

如果传送量大小为“0”，即，将存储在闪速存储器中的引导程序代码全部加载到内部 RAM，则引导程序打包器结束加载引导程序代码并激活系统的 CPU（步骤 154）。

根据系统引导方法，在 CPU 核心操作前，将存储在闪速存储器中的引导程序代码加载到控制器内或外的内部 RAM。通过存储在内部 RAM 中的引导程序代码，将存储在闪速存储器中的预定操作系统复制到外部系统存储器 19。如果完成复制操作，在系统存储器 19 中执行操作系统。

在将与操作系统有关的所有程序、文件或数据加载到系统存储器 19 后，由系统存储器 19 的操作系统驱动系统。

尽管已经描述过具有专利法所要求的详细情况和特性的本发明，注意根据上述教导，本领域的技术人员可做出修改和改变。因此，应当理解在公开的本发明的具体实施例中所做的改变均落入在由附加权利要求书定义的本发明的实质和范围内。

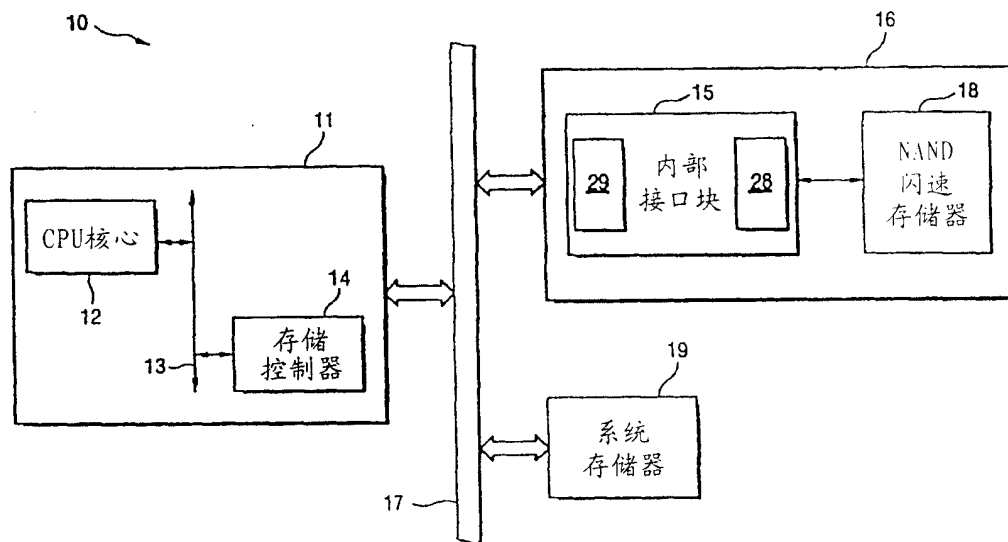


图 1

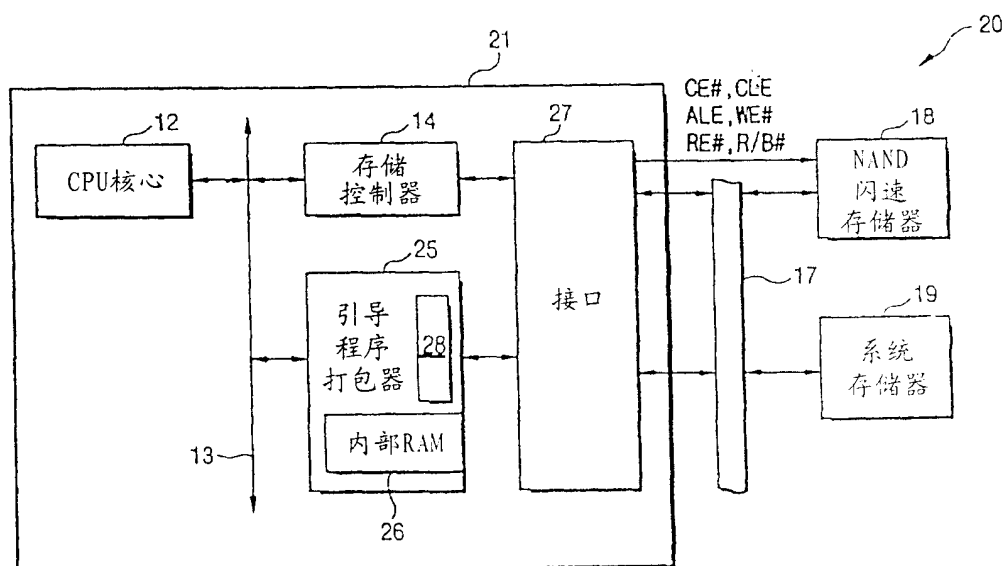


图 2

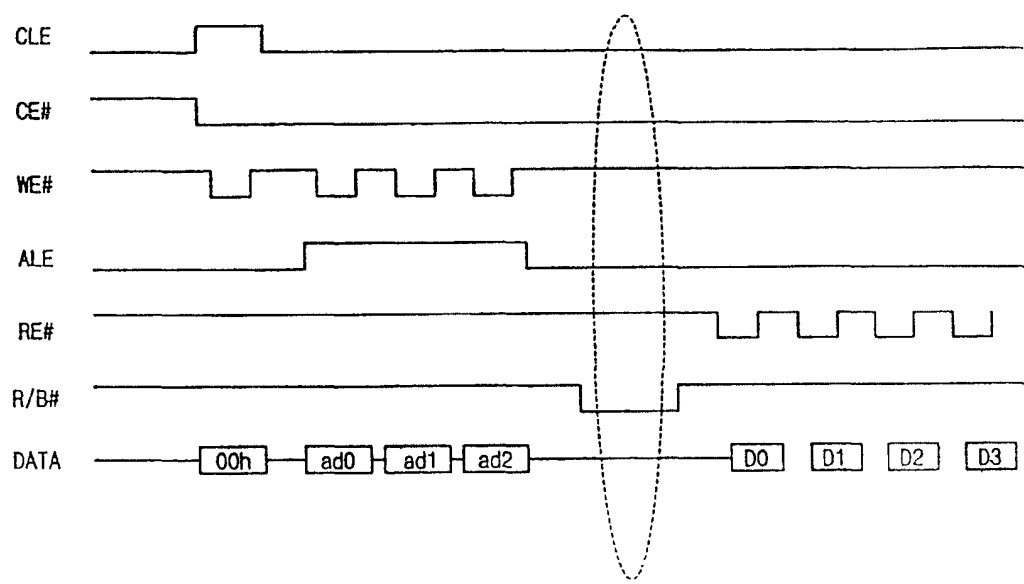


图 3

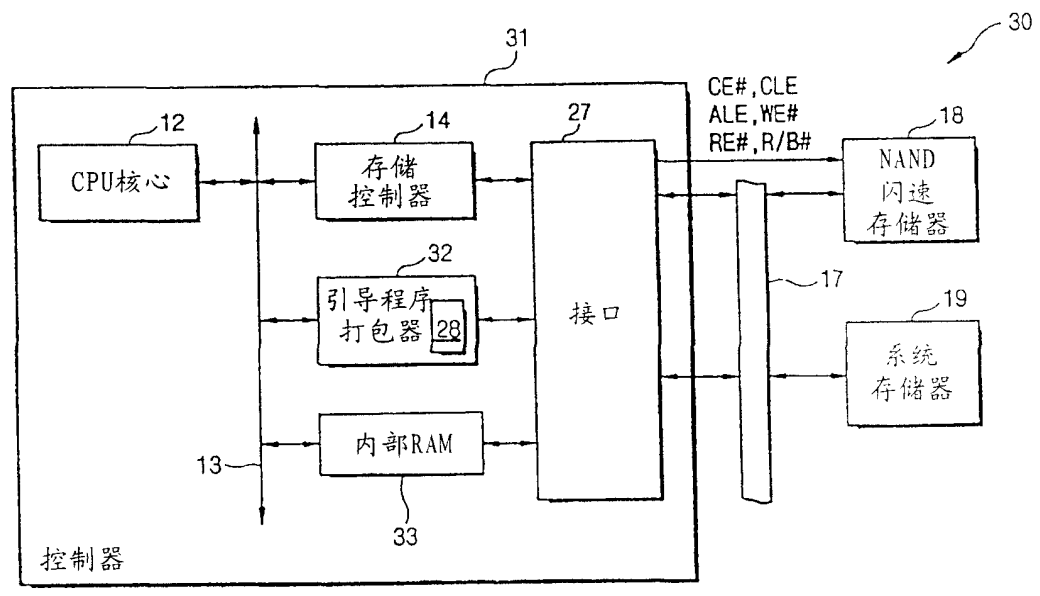


图 4

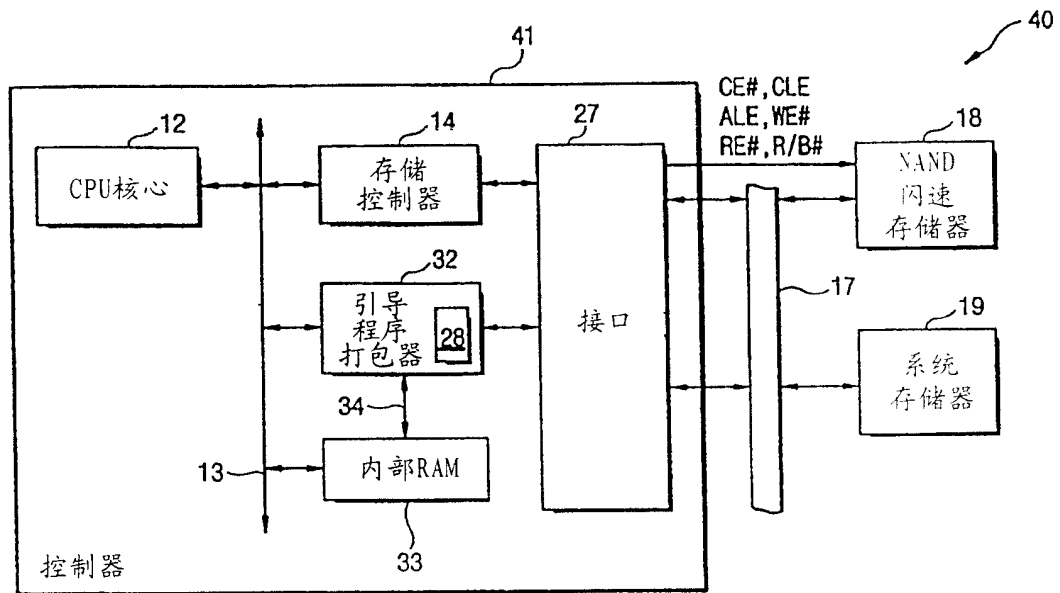


图 5

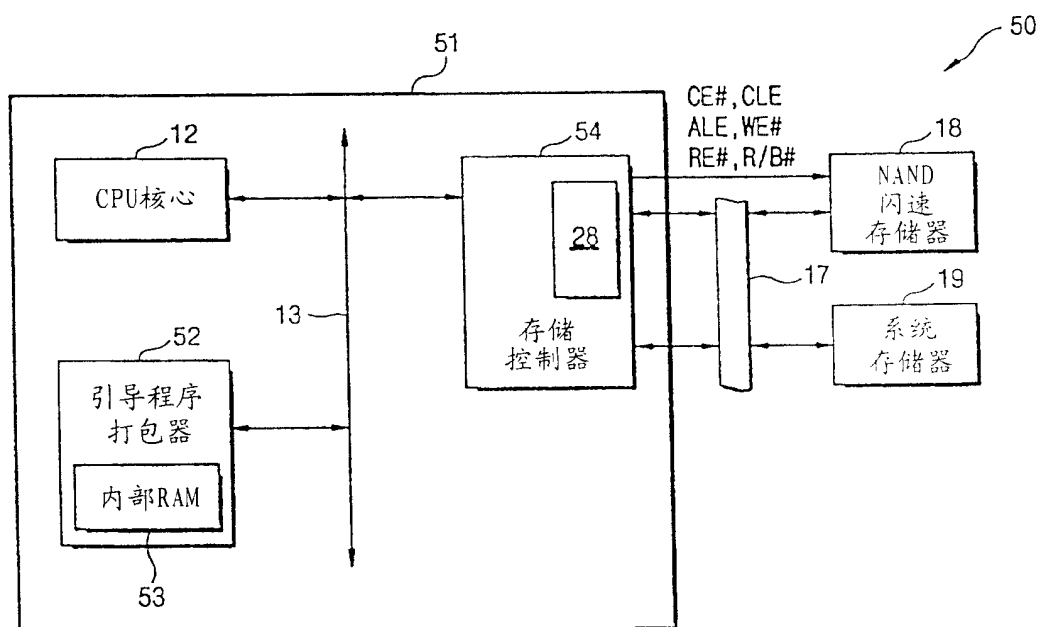


图 6

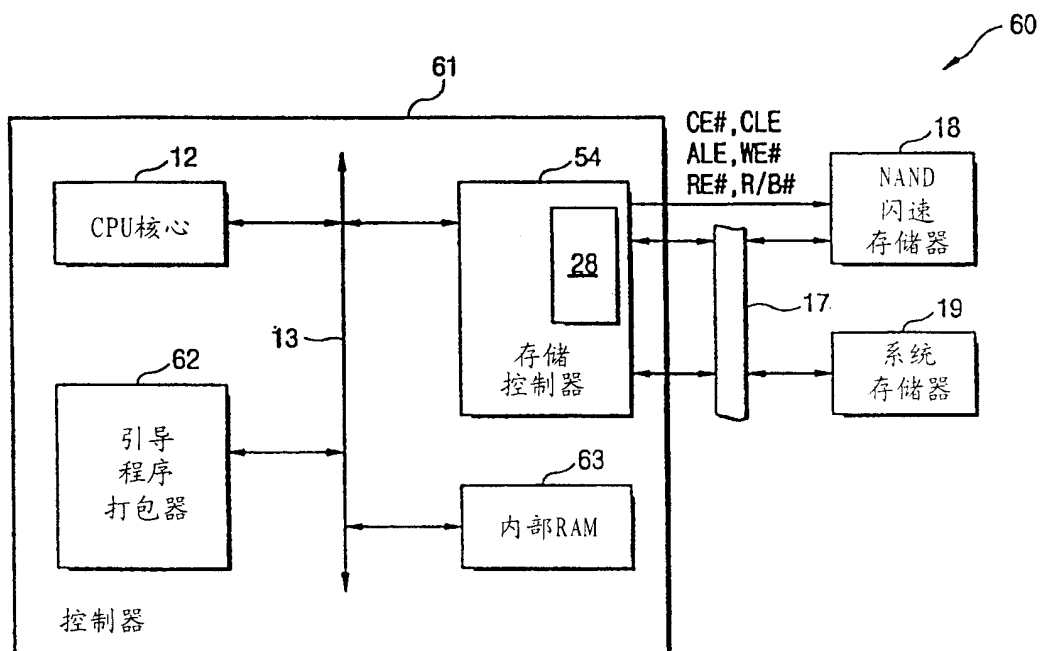


图 7

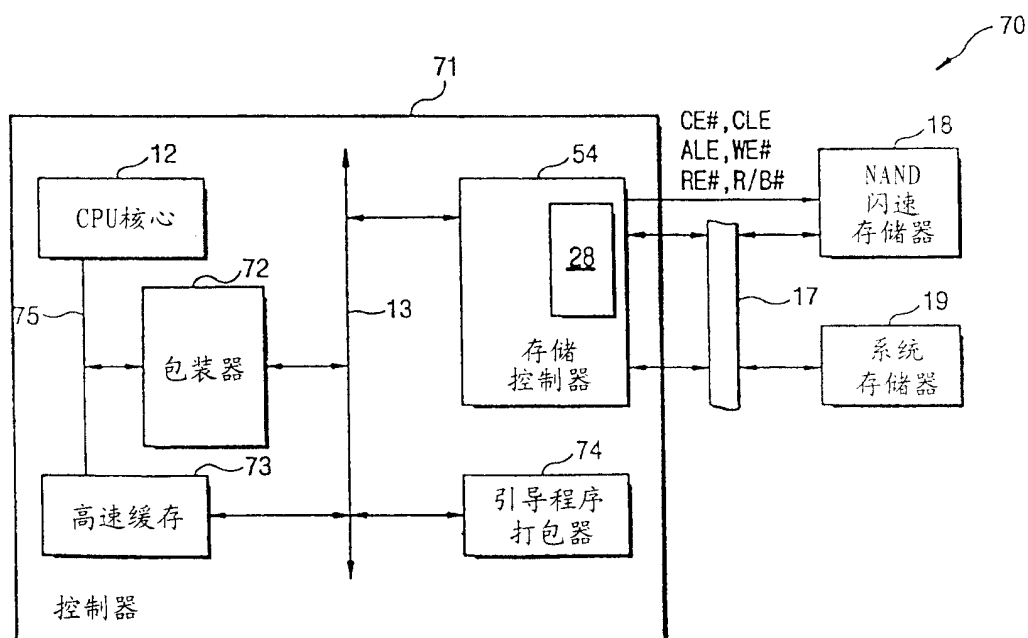


图 8

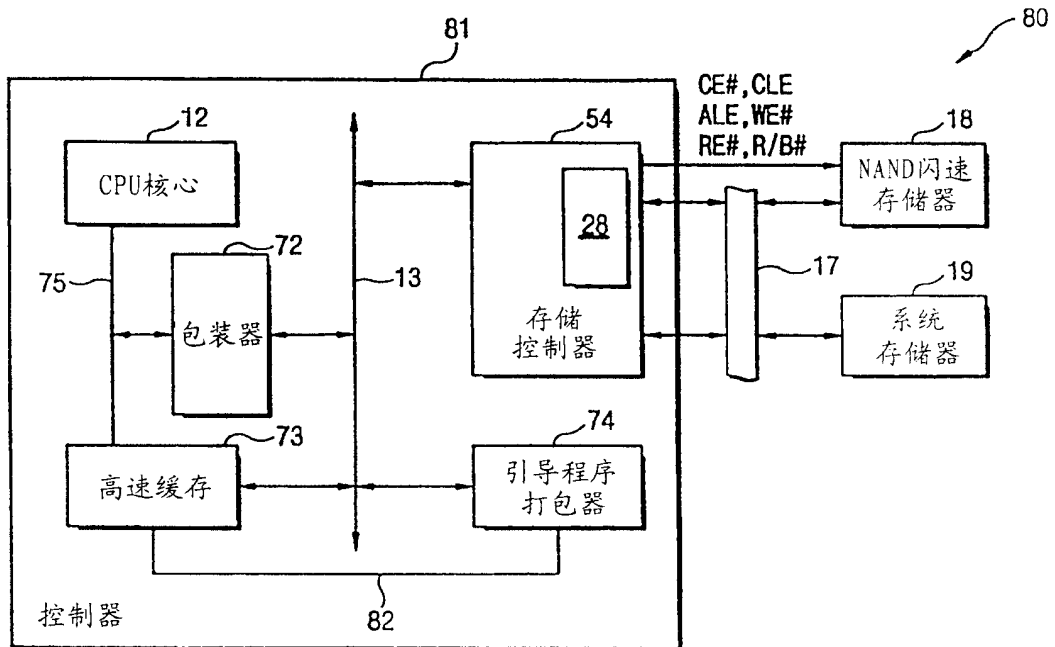


图 9

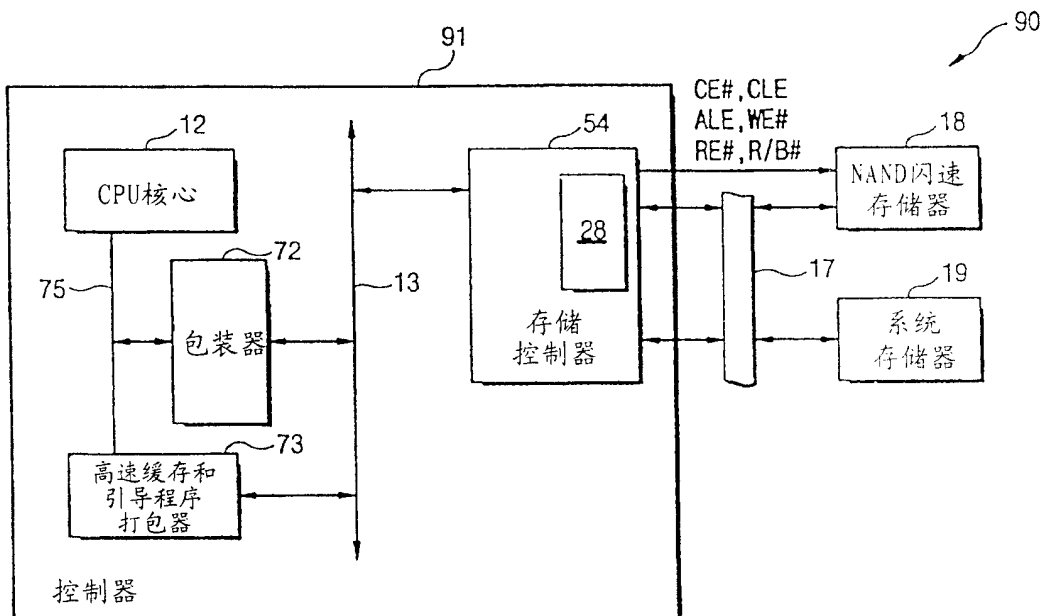


图 10

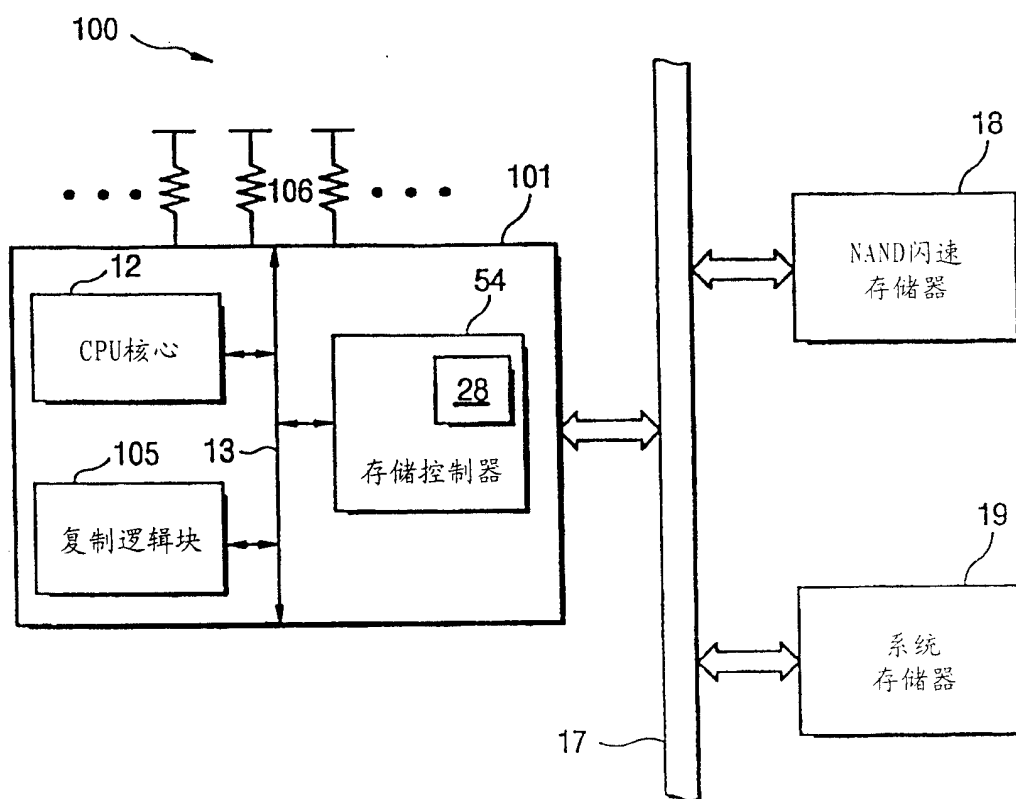


图 11

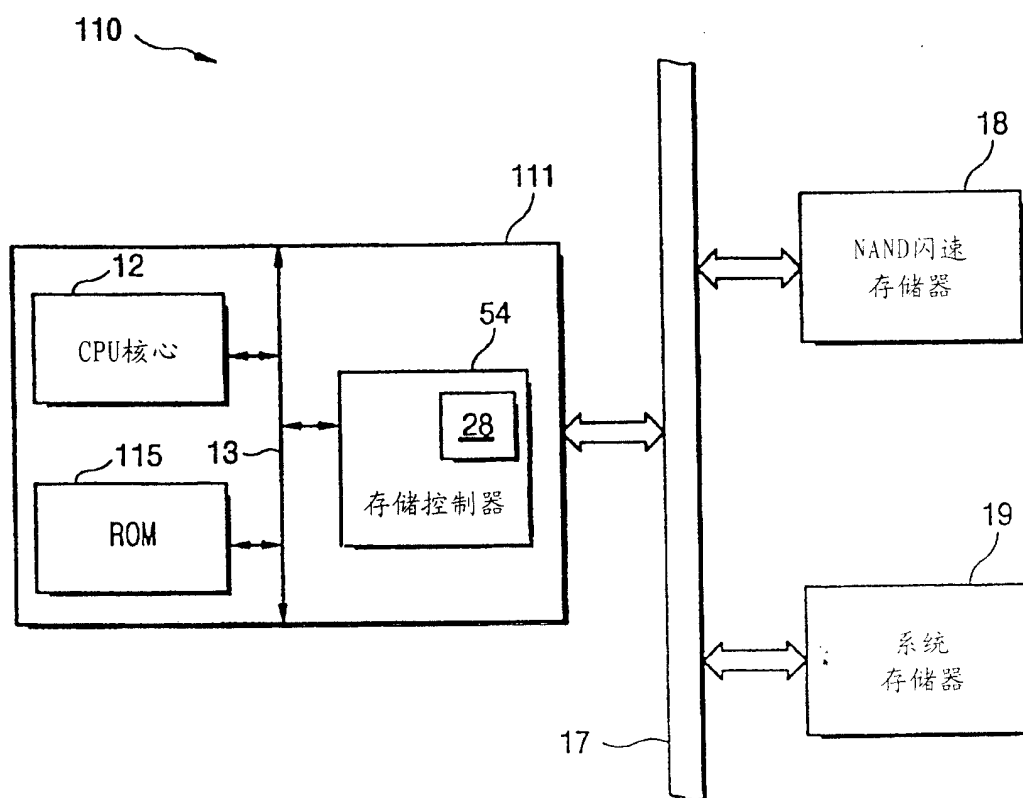


图 12

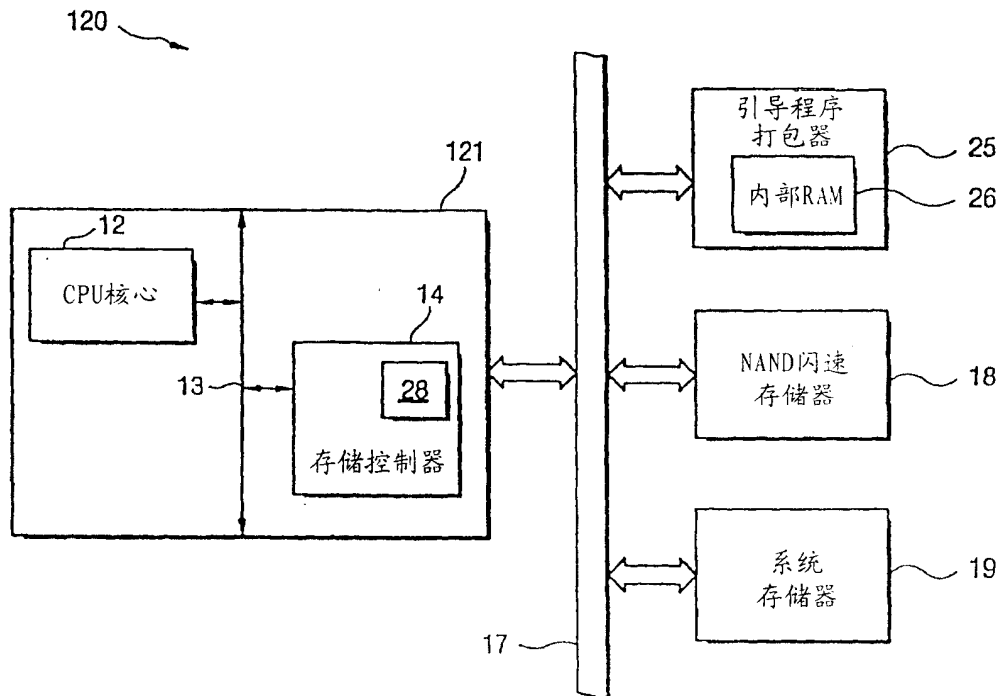


图 13

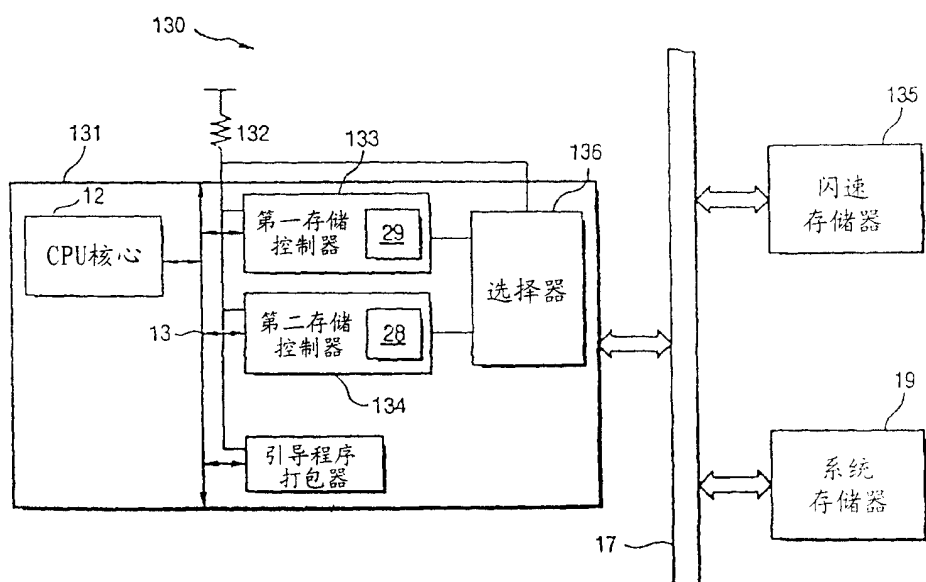


图 14

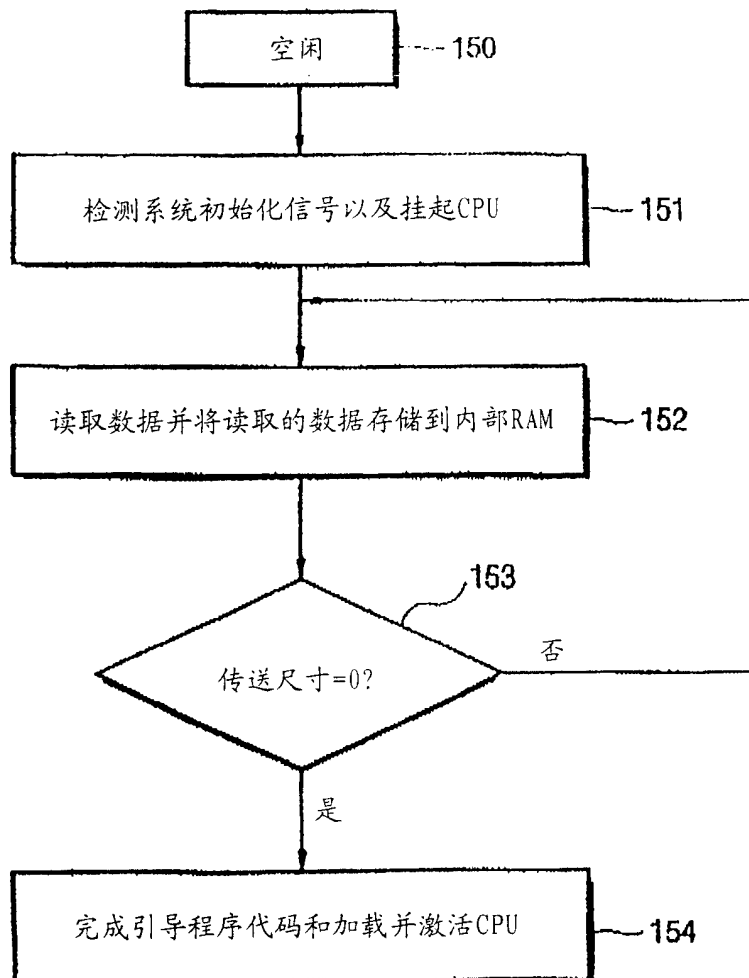


图 15