

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-9002

(P2010-9002A)

(43) 公開日 平成22年1月14日 (2010.1.14)

(51) Int.Cl.

F I

テーマコード (参考)

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

2 H O 9 2

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

審査請求 有 請求項の数 10 O L (全 11 頁)

(21) 出願番号 特願2008-333285 (P2008-333285)
 (22) 出願日 平成20年12月26日 (2008.12.26)
 (31) 優先権主張番号 10-2008-0060427
 (32) 優先日 平成20年6月25日 (2008.6.25)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドンポーク, ヨ
 イドードン 2 O
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

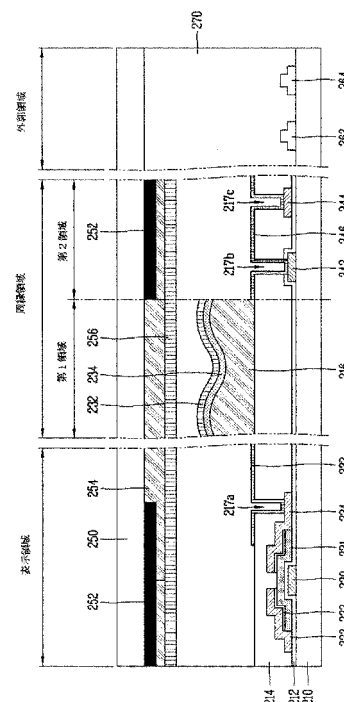
(54) 【発明の名称】 最小面積の液晶表示素子

(57) 【要約】

【課題】 額縁効果を発揮する周縁領域の一部に駆動回路パターン及び駆動回路を形成することにより面積を最小化できる液晶表示素子を提供する。

【解決手段】 前記液晶表示素子は、複数のゲートライン及びデータラインにより定義され、複数の薄膜トランジスタを備えて画像を実現する表示領域と、反射層が備えられて入力される光を反射する反射モードで色を実現する第1領域、並びに入力される光を遮断して駆動回路パターン及び駆動回路を備える第2領域からなり、前記表示領域の外縁部に形成されて設定された輝度の色を実現する周縁領域と、前記周縁領域の外縁部に形成されて駆動回路を備える外郭領域とからなる。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

複数のゲートライン及びデータラインにより定義される複数の画素、及び複数の薄膜トランジスタを備えて画像を実現する表示領域と、

反射層が備えられて入力される光を反射する反射モードで色を実現する第 1 領域、並びに入力される光を遮断して駆動回路パターン及び駆動回路を備える第 2 領域からなり、前記表示領域の外縁部に形成されて設定された輝度の色を実現する周縁領域と、

前記周縁領域の外縁部に形成されて駆動回路を備える外郭領域と
とから構成される液晶表示素子。

【請求項 2】

10

前記表示領域は、

第 1 基板及び第 2 基板と、

第 1 基板に形成されたゲート電極、前記ゲート電極上に形成されたゲート絶縁層、前記ゲート絶縁層上に形成された半導体層、前記半導体層上に形成されたソース電極及びドレイン電極からなる薄膜トランジスタと、

前記薄膜トランジスタが形成された第 1 基板の全体に形成された第 1 保護膜と、

前記第 1 保護膜に形成されて薄膜トランジスタのドレイン電極と電氣的に接続される画素電極と、

第 2 基板に形成されたブラックマトリクス及びカラーフィルタ層と、

前記第 1 基板と第 2 基板間に形成された液晶層とからなることを特徴とする請求項 1 に記載の液晶表示素子。

20

【請求項 3】

前記第 1 保護膜は、無機物質又は有機物質で形成されることを特徴とする請求項 2 に記載の液晶表示素子。

【請求項 4】

前記周縁領域は、

第 1 基板の第 2 領域に形成された駆動回路パターンと、

第 1 基板の第 1 領域及び第 2 領域に形成された第 1 保護膜と、

第 1 領域の第 1 保護膜に形成された第 2 保護膜と、

前記第 2 保護膜に形成された反射層と、

30

前記反射層に形成された画素電極と、

第 2 領域の第 1 保護膜に形成されて前記駆動回路パターンと電氣的に接続される接続パターンと、

第 2 基板に形成されたカラーフィルタ及び前記第 2 基板の第 2 領域に形成されたブラックマトリクスと、

前記第 1 基板と第 2 基板間に形成された液晶層とからなることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 5】

前記画素電極及び前記接続パターンは、同時に形成されることを特徴とする請求項 4 に記載の液晶表示素子。

40

【請求項 6】

前記駆動回路パターンは、ゲートパターン及びデータパターンの少なくとも 1 つを含むことを特徴とする請求項 4 に記載の液晶表示素子。

【請求項 7】

前記周縁領域は、前記第 2 領域に形成された駆動回路をさらに含むことを特徴とする請求項 4 に記載の液晶表示素子。

【請求項 8】

前記第 2 保護膜は、有機物質で形成されることを特徴とする請求項 3 に記載の液晶表示素子。

【請求項 9】

50

前記外郭領域は、第 1 基板に形成された駆動回路を含むことを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 10】

前記駆動回路は、ゲート駆動回路及びデータ駆動回路の少なくとも 1 つを含むことを特徴とする請求項 9 に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示素子に関し、特に、ゲート駆動パターンの一部を表示部の周縁領域に形成して外郭領域を最小化することにより、表示素子の面積を減少できる液晶表示素子に関する。

10

【背景技術】

【0002】

近年、携帯電話、PDA、ノートブックコンピュータなどの各種携帯用電子機器の発展により、これに適用できる小型・軽量・薄型のフラットパネルディスプレイ装置に対する要求が増大している。このようなフラットパネルディスプレイ装置としては、LCD、PDP (Plasma Display Panel)、FED (Field Emission Display)、VFD (Vacuum Fluorescent Display) などが盛んに研究されているが、量産化技術、駆動手段の容易性、高画質の実現という理由により、現在は液晶表示素子 (LCD) が注目を集めている。

【0003】

20

通常、液晶表示素子とは、対向する 2 枚の基板間に液晶を注入して液晶層を形成した後、前記液晶層に電界を印加して前記電界によって液晶分子を配列し、液晶分子の配列によって異なる光透過率にすることにより画像を表示する表示素子である。

【0004】

このような液晶表示素子は、2 枚の基板間に液晶層が形成され、前記液晶層に電界を印加する電極を含む液晶パネルと、前記液晶パネルに光を供給して液晶分子の配列によって異なる光量が透過するようにする光源に相当するバックライトと、前記液晶パネルの外郭に位置して前記液晶パネルの電極に信号を印加することにより液晶パネルを駆動する駆動部とからなる。

【0005】

30

通常、前記駆動部は、駆動回路基板 (プリント基板) により実現され、この駆動回路基板は、前記液晶パネルのゲートラインと接続されるゲート駆動回路基板と、データラインと接続されるデータ駆動回路基板とに分けられ、それぞれの駆動回路基板は、前記液晶パネルの一面に形成され、前記ゲートラインと接続されたゲートパッド部と、前記ゲートパッド部が形成された前記液晶パネルの一面と直交する上面に形成されたデータラインと接続されたデータパッド部とにそれぞれテープキャリアパッケージ (Tape Carrier Package) 形態で実装されている。

【0006】

しかしながら、従来のように、駆動回路基板をゲート用及びデータ用としてそれぞれゲートパッド部及びデータパッド部に実装すると、その体積及び重量が増加するという問題があった。特に、映像機器と音響機器を 1 つの携帯用電子機器として統合して使用する最近の携帯用マルチメディア機器は、映像を見るための画面のサイズが携帯電話などの従来の携帯用機器より大きいため、画像を表示するための十分な画面サイズを確保すると共に、機器全体のサイズ及び重量は低減する必要があった。

40

このような必要性から、最近は、ゲート駆動回路基板及びデータ駆動回路基板を 1 つに統合して液晶パネルの一面に実装する GIP (Gate In Panel) 構造の液晶表示素子が提案されている。

【0007】

図 4 は、従来の GIP 構造の液晶表示素子 10 を示す図であり、特に、このような構造の液晶表示素子 10 は、GIP 構造を有するとともに、画面の縁部では設定された色が実

50

現されて画質を向上させる額縁機能を有する液晶表示素子である。

図４に示すように、従来の液晶表示素子１０は、実際に画像が実現される表示領域２０と、表示領域２０の外縁部に形成され、設定された輝度の色を表示して表示領域２０の額縁効果を発揮する周縁領域３０と、周縁領域３０の外縁部に設置され、ゲート駆動回路及びデータ駆動回路などの駆動回路が形成されて表示領域２０内に信号を印加する外郭領域４０とからなる。

【０００８】

周縁領域３０は、所定輝度の色を表示して表示領域２０と外郭領域４０とを区分することにより表示領域２０に実現される画像が一層鮮明に使用者に表示されるようにすると共に、液晶表示素子１０の全般的な表示品質を向上させる役割を果たすものの、実際に画像が実現される領域ではない。従って、図４に示す構造の液晶表示素子１０は、実際に画像が実現されない周縁領域３０と外郭領域４０を有するので、携帯用電気機器のサイズを左右する液晶表示素子の面積の最小化には限界があった。

【発明の開示】

【発明が解決しようとする課題】

【０００９】

本発明は、前述したような従来の問題を解決するためになされたものであり、本発明の目的は、額縁効果を発揮する周縁領域の一部に駆動回路パターン及び駆動回路を形成することにより面積を最小化できる液晶表示素子を提供することにある。

【課題を解決するための手段】

【００１０】

このような目的を達成するために、本発明による液晶表示素子は、複数のゲートライン及びデータラインにより定義され、複数の薄膜トランジスタを備えて画像を実現する表示領域と、反射層が備えられて入力される光を反射する反射モードで色を実現する第１領域、並びに入力される光を遮断して駆動回路パターン及び駆動回路を備える第２領域からなり、前記表示領域の外縁部に形成されて設定された輝度の色を実現する周縁領域と、前記周縁領域の外縁部に形成されて駆動回路を備える外郭領域とからなる。

【００１１】

前記表示領域には、薄膜トランジスタが備えられた複数の画素が形成され、前記周縁領域は、反射層が備えられて色を実現する第１領域と、ブラックマトリクスにより遮断されて駆動回路パターンが形成される第２領域とからなる。また、外郭領域には駆動回路が形成される。

【発明の効果】

【００１２】

本発明は、設定された輝度の色を反射モードで実現する周縁領域の一部をブラックマトリクスにより遮断し、従来は外郭領域に形成されていた駆動回路パターン及び駆動回路の一部を前記ブラックマトリクスにより遮断された領域に形成することにより、外郭領域の面積を縮小することができる。

【発明を実施するための最良の形態】

【００１３】

以下、添付図面を参照して本発明について詳細に説明する。

図１は、本発明による液晶表示素子の構造を示す平面図である。図１に示すように、本発明による液晶表示素子１１０は、実際に画像が実現される表示領域１２０と、表示領域１２０の外縁部に形成され、設定された輝度の色を画面の周縁部に表示して額縁効果を発揮する周縁領域１３０と、周縁領域１３０の外縁部に設置され、ゲート駆動回路及びデータ駆動回路などの駆動回路が形成されて表示領域１２０内に信号を印加する外郭領域１４０とからなる。

【００１４】

表示領域１２０には、直交するように配列された複数のゲートライン及びデータラインにより定義される複数の画素（図示せず）が備えられ、前記画素内には、薄膜トランジスタ

10

20

30

40

50

タと前記薄膜トランジスタを介して外郭領域 140 に形成された駆動回路から信号が印加される画素電極（図示せず）が形成される。前記駆動回路から画素電極に信号が印加されると、表示領域 120 の液晶層に電界が印加され、前記電界の印加によって液晶層の液晶分子が配列されて液晶層を透過する光透過率を調節することにより、表示領域 120 に画像を実現することができる。

【0015】

周縁領域 130 にも複数の画素領域が形成されている。周縁領域 130 の画素電極にも信号が印加されて液晶層に電界が印加され、液晶分子が前記電界によって配列される。ここで、周縁領域 130 には設定された輝度の色が表示されて表示領域 120 を外郭領域 140 と区分し、表示領域 120 を一層鮮明にして表示品質を向上させる。

10

【0016】

外郭領域 140 には、ゲート駆動回路及びデータ駆動回路などの駆動回路だけでなく、前記ゲート駆動回路と前記データ駆動回路を表示領域 120 と周縁領域 130 の薄膜トランジスタ及び画素電極と接続させて信号を印加するゲートパターン及びデータパターンも形成される。

【0017】

一方、本発明による液晶表示素子 110 の外郭領域 140 の幅 b は、図 4 に示す従来の液晶表示素子の外郭領域の幅 a より小さいが（ $b < a$ ）、その理由を図 2 を参照して説明する。

【0018】

20

図 2 は、図 1 の A 領域の部分拡大図である。図 2 に示すように、本発明においては、周縁領域の外縁部に形成される外郭領域と、実際に駆動回路が形成される G I P 領域とが正確に一致しない。すなわち、本発明においては、G I P 領域の一部が周縁領域と重なる。つまり、駆動回路が外郭領域にのみ形成されるのではなく、周縁領域の一部にも形成されるということである。従って、従来の液晶表示素子の場合、外郭領域が G I P 領域と一致していたので、外郭領域の幅が G I P 領域の幅 a と同一であったが、本発明は、外郭領域の幅 b が G I P 領域の幅 a から周縁領域の駆動回路が形成される領域の幅（すなわち、G I P 領域と重なる周縁領域の幅）を引いたものと同一になる。

【0019】

30

このように、本発明は、駆動回路の一部を外郭領域でない周縁領域に形成することにより、外郭領域を従来に比べて縮小できるが、このような本発明の構造を図 3 を参照してより詳細に説明する。

【0020】

図 3 は、本発明による液晶表示素子の構造を示す断面図である。

図 3 に示すように、本発明による液晶表示素子は、透明なガラスなどで形成された第 1 基板 210 及び第 2 基板 250 と、第 1 基板 210 と第 2 基板 250 との間に形成された液晶層 270 とからなる。ここで、前記液晶表示素子は、表示領域と周縁領域及び外郭領域とからなり、前記周縁領域は、第 1 領域及び第 2 領域とからなる。

【0021】

40

前記表示領域は、実際に画像が実現される領域であり、液晶層 270 を透過する光の透過率を調節して画像を実現する透過モードの表示領域であり、前記周縁領域は、実際に画像は実現されないが、画面の周縁部に設定された色を実現する領域であり、外部から入力される光を反射して画像を実現する反射モードの表示領域である。また、前記外郭領域は、駆動回路が形成され、実際は画面上に表示されない領域である。

【0022】

以下、前記周縁領域を反射モードに形成する理由について説明する。

前記周縁領域は、多様な形態の動画像が実現される領域でなく、設定された輝度の色を画面の周縁部に実現することにより、表示領域の表示品質を向上させる役割を果たす。実際に、周縁領域に実現される色の輝度は、前記表示領域に実現される画像の品質を向上させるために、前記表示領域の輝度より非常に低く実現される必要があるため、高くなくて

50

もよい。従って、電力消費が多い透過モードではなく、反射モードで前記周縁領域の色を実現しても所望の輝度が得られる。

【0023】

第1基板210の表示領域にはゲート電極220が形成され、前記周縁領域の第2領域にはゲートパターン242が形成される。ゲートパターン242は、前記周縁領域に形成されるゲート駆動回路と表示領域の電極とを接続させて前記表示領域の電極に信号を供給するためのパターンであり、従来は、前記外郭領域に形成されていたが、本発明においては、前記周縁領域に形成される。

【0024】

ゲート電極220とゲートパターン242は、異なる工程で形成することもできるが、工程の単純化及びコストの低減のためには、同一工程で同時に形成することが好ましい。また、図に示してはいないが、ゲート電極220とゲートパターン242を形成するときにゲートラインも形成される。

【0025】

ゲート電極220及びゲートパターン242は、第1基板210上にAl、Mo、Cr、Cu、Al合金、Mo合金、Cr合金、Cu合金などの金属をスパッタリング法で単一層又は多重層に形成した後、フォトリソストを用いたフォトリソエッチング工程でエッチングして形成される。

【0026】

ゲート電極220及びゲートパターン242が形成された第1基板210には、SiO_xやSiN_xなどの無機物質からなるゲート絶縁層212が形成される。また、表示領域のゲート絶縁層212上に半導体層221が形成され、その上にオーミックコンタクト層222、ソース電極223、及びドレイン電極224が形成されることにより、前記表示領域に薄膜トランジスタが形成される。ここで、前記周縁領域にもゲート電極、半導体層、ソース電極、及びドレイン電極からなる薄膜トランジスタが形成されるが、説明の便宜上、図面から省略した。前記周縁領域に形成される薄膜トランジスタは、前記表示領域に形成される薄膜トランジスタと構造及び工程が同一であるので、前記表示領域に形成された薄膜トランジスタを説明することにより、前記周縁領域の薄膜トランジスタに関する説明に代える。

【0027】

半導体層221は、PECVD法（Plasma Enhanced Chemical Vapor Deposition process）で非晶質半導体をゲート絶縁層212上に積層して形成し、前記形成された半導体層221に不純物を注入してオーミックコンタクト層222を形成する。

【0028】

ソース電極223及びドレイン電極224は、スパッタリング法でAl、Mo、Cr、Cu、Al合金、Mo合金、Cr合金、Cu合金を単一層又は多重層に形成した後、フォトリソエッチング法でエッチングして形成される。ここで、ソース電極223及びドレイン電極224の形成と同時に、データライン及びデータパターン244が形成される。データパターン244は、周縁領域の第2領域に形成され、外郭領域に形成されたデータ駆動回路の信号を表示領域の電極に伝送するために形成される。

【0029】

ソース電極223及びドレイン電極224が形成された第1基板210の表示領域及び周縁領域には、第1保護層214が形成される。第1保護層214は、SiN_xやSiO_xなどの無機物質を第1基板の上部にPECVD法で積層したり、BCB（Benzo Cyclo Butene）又はフォトアクリル（photo acryl）などからなる有機物質を第1基板の上部に塗布することにより形成される。

【0030】

前記周縁領域の第1領域の第1保護層214上には、フォトアクリルからなる第2保護層216が形成され、その上に反射層234が形成される。第2保護層216は、扁平に形成することもできるが、図に示すように、表面にエンボスを形成して外部から入射した

10

20

30

40

50

光が反射層 2 3 4 で多様な方向に反射するようにすることが好ましい。反射層 2 3 4 は、A 1 や A 1 N d などの反射率のよい金属層をスパッタリング法で形成した後、フォトリソ法でエッチングして形成される。一方、前記周縁領域の第 2 領域には第 2 保護膜 2 1 6 が形成されない。すなわち、前記周縁領域の全体に第 2 保護膜 2 1 6 を形成した後、第 2 領域の第 2 保護膜 2 1 6 をエッチングして第 1 保護膜 2 1 4 を外部に露出させる。

【0031】

前記表示領域の第 1 保護膜 2 1 4 と前記周縁領域の第 1 領域の反射層 2 3 4 には画素電極 2 3 2 が形成され、第 2 領域の第 1 保護膜 2 1 4 には接続パターン 2 4 6 が形成される。画素電極 2 3 2 と接続パターン 2 4 6 は、ITO (Indium Tin Oxide) や IZO (Indium Zinc Oxide) などの透明な導電物質を積層した後、フォトリソ法でエッチングして形成される。画素電極 2 3 2 と接続パターン 2 4 6 は、それぞれ異なる工程で形成することもできるが、工程の単純化及びコストの低減のために同一工程で形成することが好ましい。

【0032】

さらに、前記表示領域の第 1 保護層 2 1 4 には第 1 コンタクトホール 2 1 7 a が、前記周縁領域の第 2 領域のゲート絶縁層 2 1 2 と第 1 保護層 2 1 4 には第 2 コンタクトホール 2 1 7 b が、前記周縁領域の第 1 保護層 2 1 4 には第 3 コンタクトホール 2 1 7 c が形成され、表示領域の画素電極 2 3 2 は、第 1 コンタクトホール 2 1 7 a を介して薄膜トランジスタのドレイン電極 2 2 4 と電気的に接続され、第 2 領域の接続パターン 2 4 6 は、第 2 コンタクトホール 2 1 7 b 及び第 3 コンタクトホール 2 1 7 c を介してゲートパターン 2 4 2 とデータパターン 2 4 4 に電気的に接続される。実質的に、ゲートパターン 2 4 2 とデータパターン 2 4 4 に接続される接続パターンは、電気的に絶縁された 2 つの接続パターンであるが、図面には、説明の便宜のために、1 つの接続パターンとして示す。

【0033】

第 2 基板 2 5 0 には、ブラックマトリクス 2 5 2、カラーフィルタ層 2 5 4、及び共通電極 2 5 6 が形成される。ブラックマトリクス 2 5 2 は、Cr や CrOx からなる単一層又は多重層を積層及びエッチングして形成され、画像非表示領域に透過する光を遮断して画質の低下を防止する。

【0034】

カラーフィルタ層 2 5 4 は、R (赤)、G (緑)、及び B (青) のカラーフィルタが繰り返し配置されて実際に色を実現する。共通電極 2 5 6 は、第 1 基板 2 1 0 の画素電極 2 3 2 と対向し、共通電極 2 5 6 には共通電圧が印加され、画素電極 2 3 2 には画素電圧が印加されることにより、液晶層 2 7 0 に電界を形成する。

【0035】

ブラックマトリクス 2 5 2 は、表示領域の画像非表示領域、すなわち、薄膜トランジスタ形成領域、ゲートライン形成領域、及びデータライン形成領域に形成されて該当領域から光が漏れることを防止する。

【0036】

さらに、ブラックマトリクス 2 5 2 は、前記周縁領域の第 2 領域に形成されるが、以下、その理由について説明する。

前述したように、前記周縁領域は、設定された輝度の色を実現するが、実際に画像が実現される画像表示領域である。しかしながら、前記周縁領域に実現される画像は、前記表示領域と前記外郭領域とを区分し、前記表示領域に表示される画像をより高品質に表示するためのものである。よって、前記周縁領域に表示される画像又は色の輝度が前記表示領域に表示される画像又は色の輝度より高い場合、前記周縁領域の画像が表示領域に実現される実際の画像の鑑賞の妨げとなる。従って、前記周縁領域に実現される画像は、低い輝度を有する必要があるため、前記周縁領域の第 2 領域にブラックマトリクス 2 5 2 を形成する。前記第 2 領域にブラックマトリクス 2 5 2 を形成することにより、外部から前記第 2 領域に入射する光の一部を遮断することができ、前記第 1 領域に入射して反射層 2 3 4 で反射する光のみが液晶層 2 7 0 を透過するので、輝度を低く形成することができる。

【0037】

このように、本発明においては、前記周縁領域の第2領域の第2基板250にブラックマトリクス252を形成してこの領域を反射表示領域として使用しないため、第1基板210の第2保護層216と反射層234を除去できる。従って、前記第2領域の第1基板210には、従来外郭領域に形成されていたゲートパターン242とデータパターン244を形成できる。

【0038】

前記周縁領域の第2領域の第2保護層216を除去しない場合は、接続パターン246を前記第2領域の第1保護層214上に形成できないため、ゲートパターン242及びデータパターン244と接続パターン246とを第2領域内で接続させることができなくなり、その結果、ゲートパターン242とデータパターン244を第2領域内に形成できなくなる。従って、ゲートパターン242とデータパターン244を第2領域に形成するためには、第2保護膜216を除去することが好ましい。

10

【0039】

もちろん、前記周縁領域の第2領域の第1保護層214に接続パターン246を形成してゲートパターン242及びデータパターン244と接続パターン246とを接続させることもできる。しかしながら、この場合、前記周縁領域の第1領域に形成される画素電極232を前記表示領域の画素電極232及び第2領域の接続パターン246とは別の工程で形成しなければならない。すなわち、第1基板210の全体に第1保護膜214を形成した後、ITOやIZOなどの透明な導電物質を積層及びエッチングして前記表示領域の画素電極232及び前記第2領域の接続パターン246を形成し、第2保護膜216を形成した後、前記第1領域に画素電極232を形成しなければならない。従って、前記第2領域の第2保護層216を除去して接続パターン246をゲートパターン242及びデータパターン244に接続する構成に比べて工程数が増加する。また、第1保護膜214と第2保護膜216を連続積層できないため、工程が複雑となり、工程時間が増加する。

20

【0040】

前述したように、本発明においては、従来は外郭領域に形成されていたゲートパターン242とデータパターン244を前記周縁領域に形成するため、前記外郭領域の面積を最小化することができ、液晶表示素子のサイズを小型化することができる。

【0041】

30

前記外郭領域には、ゲート駆動回路262とデータ駆動回路264が形成される。図面には詳細に示していないが、ゲート駆動回路262とデータ駆動回路264は、それぞれ複数のCMOS (Complementary Metal-Oxide Semiconductor) などの複数の薄膜トランジスタと、第1基板210上に形成されて前記薄膜トランジスタに接続される複数の素子とからなる。

ここで、前記薄膜トランジスタは、非晶質半導体で形成することもでき、結晶質半導体で形成することもできるが、ゲート駆動回路262の薄膜トランジスタは非晶質半導体で形成し、データ駆動回路264の薄膜トランジスタは結晶質半導体で形成することが好ましい。

【0042】

40

ゲート駆動回路262とデータ駆動回路264の薄膜トランジスタは、表示領域に形成される薄膜トランジスタと同一工程又は異なる工程で形成される。特に、データ駆動回路264の薄膜トランジスタを結晶質半導体で形成する場合、非晶質半導体を積層した後、結晶化する工程が追加される。すなわち、非晶質半導体層を形成した後、レーザを利用するSLS (Sequential Lateral Solidification) 工程のような結晶化工程を追加して非晶質半導体層を単結晶半導体層又は多結晶半導体層に形成する。

【0043】

一方、図3において、前記周縁領域の第2領域には、前記外郭領域のゲート駆動回路262及びデータ駆動回路264と前記表示領域の電極とを接続するゲートパターン242及びデータパターン244のみが形成されているが、前記第2領域には、ゲートパターン

50

242、データパターン244、ゲート駆動回路262、及びデータ駆動回路264の素子、例えば、CMOS薄膜トランジスタや他の素子を形成することもできる。

【0044】

図3において、前記外郭領域にゲート駆動回路262及びデータ駆動回路264が形成され、前記周縁領域の第2領域にはゲートパターン242とデータパターン244又はゲート駆動回路262及びデータ駆動回路264の一部が形成されているが、前記外郭領域にはゲート駆動回路262のみを形成し、前記第2領域にはゲートパターン242及びゲート駆動回路262の一部のみを形成することもできる。ここで、データ駆動回路は、FPC (Flexible Printed Circuit) のように第1基板210の外部で第1基板210と接着する別途の基板に形成することもできる。また、前記外郭領域にはデータ駆動回路264のみを形成し、前記第2領域にはデータパターン244及びデータ駆動回路264の一部のみを形成することもできる。

10

【0045】

前述したように、本発明は、周縁領域の第2領域、すなわち、ブラックマトリクスにより遮断される領域の保護層を除去した後、外郭領域に形成されるゲートパターン及びデータパターン又はゲート駆動回路及びデータ駆動回路が配置されるので、前記第2領域の幅だけ前記外郭領域の幅が減少して液晶表示素子の全面積を最小化することができる。

【図面の簡単な説明】

【0046】

【図1】 本発明による液晶表示素子の構造を示す平面図である。

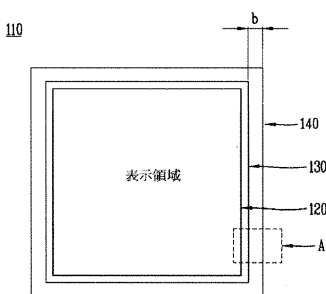
20

【図2】 図2のA領域の部分拡大図である。

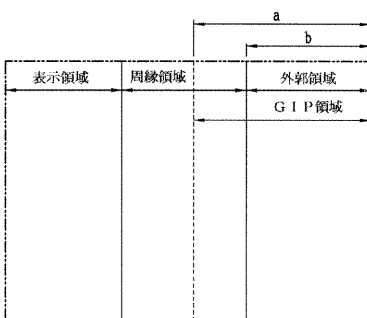
【図3】 本発明による液晶表示素子の断面図である。

【図4】 従来の液晶表示素子の構造を示す平面図である。

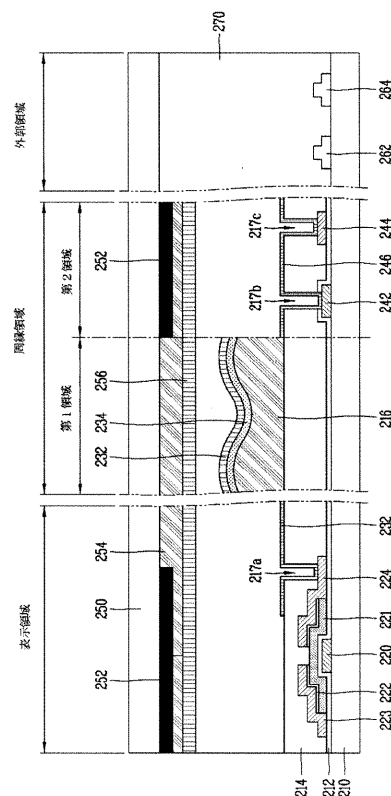
【図1】



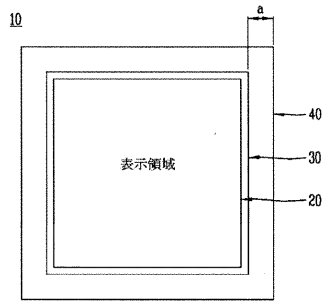
【図2】



【図3】



【 図 4 】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 鄭 泰 容

大韓民国 慶尚北道 龜尾市 九坪洞 富榮 アパート 204棟 303號

(72)発明者 朴 鍾 賢

大韓民国 釜山廣域市 東▲ネ▼區 鳴蔵洞 506-149

(72)発明者 金 度 憲

大韓民国 釜山廣域市 釜山鎮區 楊亭2洞 32-58

(72)発明者 鄭 大 成

大韓民国 ソウル特別市 江北區 水▲ユ▼洞 441-64 デグワン シェアヴィル 502
號

(72)発明者 孫 貞 恩

大韓民国 ソウル特別市 永登浦區 道林洞 ハナ アパテル A棟 909號

Fターム(参考) 2H092 GA59 JA24 JB07 JB51 MA05 MA13 NA25 PA06 PA12