

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4982686号  
(P4982686)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl. F I  
**G 1 1 C 11/4091 (2006.01)** G 1 1 C 11/34 3 5 3 E  
**G 1 1 C 11/4076 (2006.01)** G 1 1 C 11/34 3 5 4 C

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2005-189039 (P2005-189039)                  (22) 出願日 平成17年6月28日 (2005.6.28)                  (65) 公開番号 特開2006-286163 (P2006-286163A)                  (43) 公開日 平成18年10月19日 (2006.10.19)                  審査請求日 平成19年3月13日 (2007.3.13)                  (31) 優先権主張番号 10-2005-0027403                  (32) 優先日 平成17年3月31日 (2005.3.31)                  (33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 310024033                  エスケーハイニックス株式会社                  SK hynix Inc.                  大韓民国京畿道利川市夫鉢邑京忠大路2091                  2091, Gyeongchung-d                  aero, Bubal-eub, Iche                  on-si, Gyeonggi-do, K                  orea                  (74) 代理人 100109553                  弁理士 工藤 一郎                  (72) 発明者 韓 熙賢                  大韓民国京畿道利川市夫鉢邑牙美里山136-1</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体メモリ素子のオーバードライバ制御信号の生成回路

(57) 【特許請求の範囲】

【請求項1】

アクティブコマンドを受けて生成されたオーバードライビングパルス信号を印加されてビットラインオーバードライバ制御信号を生成するための半導体メモリ素子のオーバードライバ制御信号の生成回路において、

前記オーバードライビングパルス信号を遅延させて出力するための遅延手段と、

オーバードライビングパルス信号の活性期間中のリードコマンド信号にตอบสนองして前記遅延手段から遅延されたオーバードライビングパルス信号がそのまま出力されるか、ディセーブルされて出力されないように制御するための制御手段と、

前記オーバードライビングパルス信号に、前記遅延手段の出力信号による所定のパルス幅を追加するためのパルス幅追加手段とを備え、

前記遅延手段は、

前記オーバードライビングパルス信号を入力されて一定時間だけ遅延させて出力するためのディレイと、

前記ディレイの出力信号を反転させるための第1インバータと、

前記第1インバータの出力信号及び前記制御手段の出力信号を入力とする第1NORゲートとを備え、

前記制御手段は、

前記リードコマンド信号及び前記オーバードライビングパルス信号を入力とする第1NANDゲートと、

10

20

前記第1 NANDゲートの出力信号をゲート入力とするプルアップPMOSトランジスタと、

前記プリチャージコマンド信号をゲート入力とするプルダウンNMOSトランジスタと、

前記プルアップPMOSトランジスタ及び前記プルダウンNMOSトランジスタの共通出力ノードに接続されている反転ラッチと、

電源電圧端と前記反転ラッチの出力端、すなわち前記制御手段の出力端との間に接続され、パワーアップ信号をゲート入力とする初期化PMOSトランジスタとを備えることを特徴とする半導体メモリ素子のオーバードライバ制御信号の生成回路。

【請求項2】

前記パルス幅追加手段は、

前記オーバードライビングパルス信号及び前記遅延手段の出力信号を入力とする第2 NORゲートと、

前記第2 NORゲートの出力信号を反転させて前記オーバードライバ制御信号として出力するための第2インバータと

を備えることを特徴とする請求項1に記載の半導体メモリ素子のオーバードライバ制御信号の生成回路。

【請求項3】

アクティブコマンドを受けて生成されたオーバードライビングパルス信号を印加されてビットラインオーバードライバ制御信号を生成するための半導体メモリ素子のオーバードライバ制御信号の生成回路において、

カラム選択信号に対応するパルス信号を出力するためのパルシング情報提供手段と、

前記オーバードライビングパルス信号の活性期間中のリードコマンド信号に応答して前記パルシング情報提供手段から前記カラム選択信号に対応するパルス信号がパルス幅を維持して出力されるか、ディセーブルされて出力されないように制御するための制御手段と

前記オーバードライビングパルス信号に、前記パルシング情報提供手段により出力される前記カラム選択信号に対応するパルス信号を追加して前記ビットラインオーバードライバ制御信号に出力するためのパルス幅追加手段と

を備えることを特徴とする半導体メモリ素子のオーバードライバ制御信号の生成回路。

【請求項4】

前記パルシング情報提供手段は、

前記カラム選択信号を入力とする第1インバータと、

前記第1インバータの出力信号及び前記制御手段の出力信号を入力とする第1 NORゲートと

を備えることを特徴とする請求項3に記載の半導体メモリ素子のオーバードライバ制御信号の生成回路。

【請求項5】

前記制御手段は、

前記リードコマンド信号及び前記オーバードライビングパルス信号を入力とする第1 NANDゲートと、

前記第1 NANDゲートの出力信号をゲート入力とするプルアップPMOSトランジスタと、

前記プリチャージコマンド信号をゲート入力とするプルダウンNMOSトランジスタと、

前記プルアップPMOSトランジスタ及び前記プルダウンNMOSトランジスタの共通出力ノードに接続されている反転ラッチと、

電源電圧端と前記反転ラッチの出力端、すなわち前記制御手段の出力端との間に接続され、パワーアップ信号をゲート入力とする初期化PMOSトランジスタと

を備えることを特徴とする請求項4に記載の半導体メモリ素子のオーバードライバ制御信

10

20

30

40

50

号の生成回路。

【請求項 6】

前記パルス幅追加手段は、

前記オーバードライビングパルス信号及び前記パルシング情報提供手段の出力信号を入力とする第 2 NOR ゲートと、

前記第 2 NOR ゲートの出力信号を反転させて前記オーバードライバ制御信号として出力するための第 2 インバータと

を備えることを特徴とする請求項 5 に記載の半導体メモリ素子のオーバードライバ制御信号の生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体の設計技術に関し、特に、半導体メモリ素子のビットラインオーバードライビング方式に関し、より詳しくは、オーバードライバを制御するオーバードライビングパルスを生成するための回路に関する。

【背景技術】

【0002】

一般に、半導体メモリチップを構成する線幅及びセルサイズの持続的なスケールダウンが進むにつれ、電源電圧の低電圧化が加速し、これによって低電圧の環境で要求される性能を満足させるための設計技術が求められている。

【0003】

現在、大部分の半導体メモリチップは、外部電圧（電源電圧）を印加されて内部電圧を発生させるための内部電圧発生回路をチップ内に搭載してチップ内部回路の動作に必要な電圧を自ら供給するようにしている。その中でも、DRAMのようにビットライン感知増幅器を用いるメモリ素子の場合、セルデータを感知するためにコア電圧 V CORE を用いている。

【0004】

ロードアドレスによって選択されたワードラインが活性化されると、そのワードラインに接続されている複数のメモリセルのデータがビットラインに伝達され、ビットライン感知増幅器はビットライン対の電圧差を感知及び増幅する。このような数千個のビットライン感知増幅器が一気に動作するようになるが、この時、ビットライン感知増幅器の R T O 電源ラインを駆動するのに用いられるコア電圧端 V CORE から多量の電流が消費される。ところが、動作電圧が低くなる状況でコア電圧 V CORE を用いて短い時間に多くのセルのデータを増幅するには困難がある。

【0005】

このような問題点を解決するために、ビットライン感知増幅器の動作初期（メモリセルとビットライン間の電荷共有の直後）にビットライン感知増幅器の R T O 電源ラインを一定時間の間にコア電圧 V CORE よりも高い電圧（通常、電源電圧 V D D ）で駆動するビットライン感知増幅器オーバードライビング方式を採用することとなった。

【0006】

図 1 は、オーバードライビング方式を採用したビットライン感知増幅器アレイの構成を示す図である。

【0007】

図 1 を参照すれば、ビットライン感知増幅器アレイは、オーバードライビングを採用しているか否かに関係なくビットライン感知増幅器 30 と、上位ビットライン分離部 10 及び下位ビットライン分離部 50 と、ビットラインイコライズ/プリチャージ部 20 と、カラム選択部 40 と、ビットライン感知増幅器電源ライン駆動部 60 とを含む。

【0008】

ここで、上位ビットライン分離部 10 は、上位分離信号 B I S H に応答して上位メモリセルアレイと感知増幅器 30 とを分離/接続するためのもので、下位ビットライン分離部

10

20

30

40

50

50は、下位分離信号B I S Lにตอบสนองして下位メモリセルアレイと感知増幅器30とを分離/接続するためのものである。

【0009】

そして、ビットライン感知増幅器30はイネーブル信号が活性化されてS B電源ライン及びR T O電源ラインが、予定された電圧レベルで駆動されるとビットライン対B L、B L B（電荷共有状態で微細な電圧差を有する）の電圧差を感知して、1つは接地電圧V S Sで、もう1つはコア電圧V C O R Eで増幅する。

【0010】

また、ビットラインイコライズ/プリチャージ部20は、ビットラインに対する感知/増幅及び再格納の過程を終了した後にビットラインイコライズ信号B L E Qにตอบสนองしてビットライン対B L、B L Bをビットラインプリチャージ電圧V B L P（通常、V C O R E / 2）にプリチャージするためのものである。

10

【0011】

そして、カラム選択部40はリードコマンドが印加されると、カラム選択信号Y Iにตอบสนองして感知増幅器30により感知/増幅されたデータをセグメントデータバスS I O、S I O Bに伝達する。

【0012】

一方、ビットライン感知増幅器電源ライン駆動部60は、第1電源ライン駆動制御信号S A Pにตอบสนองしてコア電圧端V C O R Eにかかっている電圧でR T O電源ラインを駆動するための第1ノーマルドライバトランジスタM2と、第2電源ライン駆動制御信号S A Nにตอบสนองして接地電圧V S SでS B電源ラインを駆動するための第2ノーマルドライバトランジスタM3と、アクティブコマンドを受けて生成されたオーバードライビング信号O V Dを印加されてオーバードライビングパルスS A O V D P（オーバードライバ制御信号）を生成するためのオーバードライビングパルス生成部64と、オーバードライビングパルスS A O V D Pにตอบสนองしてコア電圧端V C O R Eを電源電圧V D Dで駆動するためのオーバードライバトランジスタM1と、ビットラインイコライズ信号B L E Qにตอบสนองしてビットライン感知増幅器30のR T O電源ライン及びS B電源ラインをビットラインプリチャージ電圧V B L Pにプリチャージするためのビットライン感知増幅器電源ラインイコライズ/プリチャージ部62とを備える。

20

【0013】

ここでは、オーバードライビングパルスS A O V D Pをハイアクティブパルスと規定し、オーバードライバトランジスタM1をN M O Sトランジスタで具現する場合を例示しているが、プルアップ駆動により一層有利なP M O Sトランジスタを用いることもできる。

30

【0014】

図2は、前記図1に係る動作波形を示している。

【0015】

図2を参照すれば、まずアクティブコマンドが印加されてワードラインが活性化され、セルに格納されているデータが電荷共有によりビットライン対B L、B L Bにそれぞれ誘起された後、一定時間後に第1及び第2電源ライン駆動制御信号S A P、S A Nが論理レベルハイに活性化される。この時、アクティブコマンドを受けて第1及び第2電源ライン駆動制御信号S A P、S A Nよりも先に論理レベルハイに活性化されているオーバードライビングパルスS A O V D PによりR T O電源ラインがオーバードライビングされる。すなわち、第1及び第2電源ライン駆動制御信号S A P、S A N、オーバードライビングパルスS A O V D Pが何れも論理レベルハイに活性化されると、トランジスタM1、M2、M3が何れもターンオンされてR T O電源ラインを電源電圧V D Dで駆動し、S B電源ラインを接地電圧V S Sで駆動する。

40

【0016】

その後、一定時間が経過すれば、オーバードライビングパルスS A O V D Pが論理レベルローに非活性化されてR T O電源ラインをコア電圧V C O R Eで駆動ようになる。

【0017】

50

ところが、図2に示すように、オーバードライビング区間でリードコマンドが入力される場合、このリードコマンドを受けてカラム選択信号YIが論理レベルハイに活性化される。このようにオーバードライビングが行われる間にカラム選択信号YIが活性化される場合、ビットラインBL、BLBとセグメントデータバスSIO、SIOBが接続されながら電荷共有が発生し、これによってビットラインBL、BLBのレベルが急激にダウンする現象が起きる。

【0018】

もし、この状態でカラム選択信号YIが、まだ論理レベルローに非活性化されていない状況でオーバードライビングパルスSAODPが論理レベルローに非活性化されてオーバードライビングが終了すれば、ビットラインBLの電位が、ターゲットレベルであるコア電圧V COREレベルに達するには相対的に多くの時間がかかってしまう。すなわち、オーバードライビングの効率が低下する。

10

【0019】

この場合、再格納のような後続動作のタイミングマージンが減少するという問題点があり、セグメントデータバスSIO、SIOBに相対的に低いレベルの電位が伝達されてデータバス感知マージンを低下させる恐れがある。

【特許文献1】特開平08-181292

【発明の開示】

【発明が解決しようとする課題】

【0020】

20

本発明は、上記した従来技術の問題点に鑑みてなされたものであって、その目的とするところは、オーバードライビング区間で印加されるリードコマンドによるオーバードライビング効率の低下を防止できる半導体メモリ素子のオーバードライバ制御信号の生成回路を提供することにある。

【課題を解決するための手段】

【0021】

上記目的を達成するために本発明の第1観点による半導体メモリ素子のオーバードライバ制御信号の生成回路は、アクティブコマンドを受けて生成されたオーバードライビング信号を印加されてビットラインオーバードライバ制御信号を生成するための半導体メモリ素子のオーバードライバ制御信号の生成回路において、前記オーバードライビング信号を遅延させて出力するための遅延手段と、オーバードライビング信号及びリードコマンド信号に応答して前記遅延手段から遅延されたオーバードライビング信号がそのまま出力されるか、ディセーブルされて出力されるように制御するための制御手段と、前記オーバードライビング信号に、前記遅延手段の出力信号による所定のパルス幅を追加するためのパルス幅追加手段とを備えることを特徴とする。

30

【0022】

また、本発明の第2観点による半導体メモリ素子のオーバードライバ制御信号の生成回路は、アクティブコマンドを受けて生成されたオーバードライビング信号を印加されてビットラインオーバードライバ制御信号を生成するための半導体メモリ素子のオーバードライバ制御信号の生成回路において、カラム選択信号のパルシング情報を提供するためのパルシング情報提供手段と、前記オーバードライビング信号、リードコマンド信号及びプリチャージコマンド信号に응答して前記パルシング情報提供手段から前記カラム選択信号に対応する信号がパルス幅を維持して出力されるか、ディセーブルされて出力されるように制御するための制御手段と、前記オーバードライビング信号に、前記パルシング情報提供手段の出力信号による所定のパルス幅を追加して前記ビットラインオーバードライバ制御信号に出力するためのパルス幅追加手段とを備えることを特徴とする。

40

【0023】

本発明では、ビットラインオーバードライビングが行われる状態でリードコマンドが印加される場合、オーバードライバ制御信号のパルス幅を増大させることによってカラム選択信号が活性化された状態でオーバードライバ制御信号が非活性化されることによるオー

50

バードライビング効率の低下を防止できる。そのためには、ビットラインオーバードライビングが行われる状態でリードコマンドが印加されるのを感知し、それに応じてオーバードライバ制御信号のパルス幅が選択的に拡張されるように制御できる構造が必要となるが、ここで遅延されたオーバードライビング信号（コマンド信号を受けて生成されるオーバードライバ制御信号のソース信号である）を用いるか、カラム選択信号を用いることができる。

【発明の効果】

【0024】

本発明は、オーバードライビングが行われる状態でリードコマンドが印加される場合、オーバードライバ制御信号のパルス幅を拡張させることでオーバードライビングの効率を低下するのを防止でき、これによってオーバードライビング後の後続動作のタイミングマージン及びデータバス感知マージンを確保できるという効果を奏する。

10

【発明を実施するための最良の形態】

【0025】

以下、添付する図面を参照しつつ本発明の最も好ましい実施の形態を説明する。

【0026】

図3は、本発明の一実施の形態に係る半導体メモリ素子のオーバードライビングパルス生成回路を示す図である。

【0027】

図3を参照すれば、本実施の形態に係るオーバードライビングパルスの生成回路は、オーバードライビング信号OVDを遅延させて出力するための遅延部310と、オーバードライビング信号OVD、リードコマンド信号RD及びプリチャージコマンド信号PCGにตอบสนองして遅延部310から遅延オーバードライビング信号OVD1がそのまま出力されるか、ディセーブルされて出力されるように制御するための制御部320と、オーバードライビング信号OVDに遅延部310から出力される遅延オーバードライビング信号OVD1による所定のパルス幅を追加してオーバードライビングパルスSAOVDPとして出力するためのパルス幅追加部330とを備える。

20

【0028】

ここで、遅延部310は、オーバードライビング信号OVDを入力されて一定時間だけ遅延させて遅延オーバードライビング信号OVD1を出力するためのディレイ315と、ディレイ315の出力信号を反転させるためのインバータINV1と、インバータINV1の出力信号及び制御部320の出力信号を入力とするNORゲートNOR1とを備える。

30

【0029】

また、制御部320は、リードコマンド信号RD及びオーバードライビング信号OVDを入力とするNANDゲートNAND1と、NANDゲートNAND1の出力信号をゲート入力とするプルアップPMOSTランジスタMP1と、プリチャージコマンド信号PCGをゲート入力とするプルダウンNMOSTランジスタMN1と、プルアップPMOSTランジスタMP1及びプルダウンNMOSTランジスタMN1から構成されたバッファの出力端（ノードN1）に接続されているインバータラッチINV2、INV3と、電源電圧端VDDとインバータラッチINV2、INV3の出力端（ノードN2）（制御部320の出力端）との間に接続され、パワーアップ信号PWRUPをゲート入力とする初期化PMOSTランジスタMP2とを備える。

40

【0030】

そして、パルス幅追加部330は、遅延オーバードライビング信号OVD1及び遅延部310の出力信号を入力とするNORゲートNOR2と、NORゲートNOR2の出力信号を反転させてオーバードライビングパルスSAOVDPとして出力するためのインバータINV4とを備える。

【0031】

図4は、前記図3のオーバードライビングパルス生成回路のタイミング図である。

50

## 【 0 0 3 2 】

図 4 を参照すれば、まずチップにパワーが印加されてパワーアップ信号 P W R U P が論理レベルローにパルシングされると、制御部 3 2 0 の初期化 P M O S トランジスタ M P 2 がターンオンされてインバータラッチ I N V 2、I N V 3 の出力端（ノード N 2）が論理レベルハイに初期化される。これによって遅延部 3 1 0 の N O R ゲート N O R 1 がディセーブルされて遅延部 3 1 0 の出力信号である遅延オーバードライビング信号 O V D 1 は論理レベルローの状態を維持するため、パルス幅追加部 3 3 0 はオーバードライビング信号 O V D をそのままオーバードライビングパルス S A O V D P として出力する。

## 【 0 0 3 3 】

一方、アクティブコマンドが印加され、これを受けてオーバードライビング信号 O V D が論理レベルハイに活性化され、その後、第 1 及び第 2 電源ライン駆動制御信号 S A P、S A N（前記図 1 参照）が活性化されてオーバードライビングが開始される。

10

## 【 0 0 3 4 】

このように、オーバードライビングが行われる状態でリードコマンドが印加されてリードコマンド信号 R D が論理レベルハイに活性化されると、制御部 3 2 0 の N A N D ゲート N A N D 1 の出力は論理レベルローになってプルアップ P M O S トランジスタ M P 1 がターンオンされ、インバータラッチ I N V 2、I N V 3 のラッチ値が変わって制御部 3 2 0 の出力信号は論理レベルローとなる。

## 【 0 0 3 5 】

このような論理レベルローの制御部 3 2 0 の出力信号を入力として受ける遅延部 3 1 0 の N O R ゲート N O R 1 は、インバータのように動作するため、遅延部 3 1 0 は論理レベルハイに活性化された状態のオーバードライビング信号 O V D を遅延させて出力するようになる。結局、パルス幅追加部 3 3 0 は元のオーバードライビング信号 O V D と、遅延部 3 2 0 から出力された遅延オーバードライビング信号 O V D 1 とを論理和して元のオーバードライビング信号 O V D に比べてパルス幅（論理レベルハイ区間）が拡張されたオーバードライビングパルス S A O V D P を出力する（図 4 の A 部分）。

20

## 【 0 0 3 6 】

その後、プリチャージコマンドが印加されてプリチャージコマンド信号 P C G が論理レベルハイになると、制御部 3 2 0 のプルダウン N M O S トランジスタ P C G がターンオンされて制御部 3 2 0 の出力信号が再び初期値である論理レベルハイに復帰する。

30

## 【 0 0 3 7 】

一方、図 4 の B 部分のように、リードコマンド信号 R D とオーバードライビング区間がオーバーラップされない場合には、リードコマンドが印加されてもインバータラッチ I N V 2、I N V 3 のラッチ値が変わらないため、オーバードライビングパルス S A O V D P はオーバードライビング信号 O V D と同様のパルス幅を示す。

## 【 0 0 3 8 】

以上、説明したように、本実施の形態を適用すれば、オーバードライビングが行われる状態でリードコマンドが印加されてリードコマンド信号 R D が論理レベルハイに活性化される場合にも、前記図 2 に示すように、オーバードライビングパルス S A O V D P のパルス幅の拡張により、カラム選択信号 Y I（リードコマンドを受けて生成される）が論理レベルハイに活性化された状態でオーバードライビングパルス S A O V D P が論理レベルローに非活性化されることを防止できる。すなわち、オーバードライビングの効率が低下するのを防止できる。

40

## 【 0 0 3 9 】

図 5 は、本発明の他の実施の形態に係る半導体メモリ素子のオーバードライビングパルス生成回路を示す図である。

## 【 0 0 4 0 】

図 5 を参照すれば、本実施の形態に係るオーバードライビングパルスの生成回路は、カラム選択信号 Y I のパルシング情報を提供するためのパルシング情報提供部 5 1 0 と、オーバードライビング信号 O V D、リードコマンド信号 R D 及びプリチャージコマンド信号

50

PCGにตอบสนองしてパルシング情報提供部510からカラム選択信号YIに対応する信号がパルス幅を維持して出力されるか、ディセーブルされて出力されるように制御するための制御部520と、オーバードライビング信号OVDにパルシング情報提供部510の出力信号による所定のパルス幅を追加してオーバードライビングパルスSAOVDPに出力するためのパルス幅追加部530とを備える。

【0041】

ここで、パルシング情報提供部510は、カラム選択信号YIを入力とするインバータINV1\_\_Aと、インバータINV1\_\_Aの出力信号及び制御部520の出力信号を入力とするNORゲートNOR1\_\_Aとを備える。

【0042】

また、制御部520は、リードコマンド信号RD及びオーバードライビング信号OVDを入力とするNANDゲートNAND1\_\_Aと、NANDゲートNAND1\_\_Aの出力信号をゲート入力とするプルアップPMOSTランジスタMP1\_\_Aと、プリチャージコマンド信号PCGをゲート入力とするプルダウンNMOSTランジスタMN1\_\_Aと、プルアップPMOSTランジスタMP1\_\_A及びプルダウンNMOSTランジスタMN1\_\_Aから構成されたバッファの出力端(ノードN1\_\_A)に接続されているインバータラッチINV2\_\_A、INV3\_\_Aと、電源電圧端VDDとインバータラッチINV2\_\_A、INV3\_\_Aの出力端(ノードN2\_\_A)(制御部520の出力端)との間に接続され、パワーアップ信号PWRUPをゲート入力とする初期化PMOSTランジスタMP2\_\_Aとを備える。

【0043】

そして、パルス幅追加部530は、オーバードライビング信号OVD及びパルシング情報提供部510の出力信号を入力とするNORゲートNOR2\_\_Aと、NORゲートNOR2\_\_Aの出力信号を反転させてオーバードライビングパルスSAOVDPとして出力するためのインバータINV4\_\_Aとを備える。

【0044】

すなわち、上述した一実施の形態では、特定区間でオーバードライビング信号OVDに比べてパルス幅(論理レベルハイ区間)が拡張されたオーバードライビングパルスSAOVDPを生成するために、遅延されたオーバードライビング信号を用いたのに対して、本実施の形態ではリードコマンドの印加時に活性化されるカラム選択信号YIを用いた。

【0045】

図6は、前記図5のオーバードライビングパルス生成回路のタイミング図である。

【0046】

図6を参照すれば、まずチップにパワーが印加されてパワーアップ信号PWRUPが論理レベルローにパルシングされると、制御部520の初期化PMOSTランジスタMP2\_\_AがターンオンされてインバータラッチINV2\_\_A、INV3\_\_Aの出力端(ノードN2\_\_A)が論理レベルハイに初期化される。これによって、パルシング情報提供部510のNORゲートNOR1\_\_Aがディセーブルされてパルシング情報提供部510の出力信号は論理レベルローの状態を維持するようになるため、パルス幅追加部530はオーバードライビング信号OVDをそのままオーバードライビングパルスSAOVDPとして出力する。

【0047】

一方、アクティブコマンドが印加され、これを受けてオーバードライビング信号OVDが論理レベルハイに活性化され、その後、第1及び第2電源ライン駆動制御信号SAP、SAN(前記図1参照)が活性化されてオーバードライビングが開始される。

【0048】

このように、オーバードライビングが行われる状態でリードコマンドが印加されてリードコマンド信号RDが論理レベルハイに活性化されると、制御部520のNANDゲートNAND1\_\_Aの出力は論理レベルローになってプルアップPMOSTランジスタMP1\_\_Aがターンオンされ、インバータラッチINV2\_\_A、INV3\_\_Aのラッチ値が変わ

10

20

30

40

50

って制御部 520 の出力信号は論理レベルローとなる。

【0049】

この場合、パルシング情報提供部 510 の NOR ゲート NOR 1\_\_A は、インバータのように動作するため、パルシング情報提供部 510 はカラム選択信号 YI をそのまま（実際は、2 個のゲートを経由する）出力する。結局、パルス幅追加部 530 は元のオーバードライビング信号 OVD と、パルシング情報提供部 510 から出力されたカラム選択信号 YI とを論理和して元のオーバードライビング信号 OVD に比べてパルス幅（論理レベルハイ区間）が拡張されたオーバードライビングパルス SA O V D P を出力するようになる（図 6 の C 部分）。

【0050】

その後、プリチャージコマンドが印加されてプリチャージコマンド信号 PCG が論理レベルハイになると、制御部 520 のプルダウン NMOS トランジスタ PCG がターンオンされて制御部 520 の出力信号が再び初期値である論理レベルハイに復帰する。

【0051】

一方、図 6 の D 部分のように、リードコマンド信号 RD とオーバードライビング区間がオーバーラップされない場合には、リードコマンドが印加されてもインバータラッチ INV 2\_\_A、INV 3\_\_A のラッチ値が変わらないため、オーバードライビングパルス SA O V D P はオーバードライビング信号 OVD と同様のパルス幅を示す。

【0052】

以上で説明したように、本実施の形態を適用すれば、オーバードライビングが行われる状態でリードコマンドが印加されてリードコマンド信号 RD が論理レベルハイに活性化される場合にも、オーバードライビングパルス SA O V D P のパルス幅がカラム選択信号 YI の立ち上がりエッジまで拡張されることで、カラム選択信号 YI（リードコマンドを受けて生成される）が論理レベルハイに活性化された状態でオーバードライビングパルス SA O V D P が論理レベルローに非活性化されるのを防止できる。すなわち、オーバードライビング効率の低下を防止できる。

【0053】

尚、本発明は、上記した本実施の形態に限られるものではなく、本発明の技術的思想から逸脱しない範囲内で多様に変更して実施することが可能である。

【0054】

例えば、上述した実施の形態で例示した論理ゲート及びトランジスタは、入力される信号の極性に依りて、その位置及び種類が異なるように具現されるべきである。

【産業上の利用可能性】

【0055】

本発明は、半導体の設計技術に関し、オーバードライバを制御するオーバードライビングパルスを生成するための回路に利用可能である。

【図面の簡単な説明】

【0056】

【図 1】オーバードライビング方式を採用したビットライン感知増幅器アレイの構成を示す図である。

【図 2】前記図 1 及び下記図 3 に係る動作波形を示す図である。

【図 3】本発明の一実施の形態に係る半導体メモリ素子のオーバードライビングパルス生成回路を示す図である。

【図 4】前記図 3 のオーバードライビングパルス生成回路のタイミング図である。

【図 5】本発明の他の実施の形態に係る半導体メモリ素子のオーバードライビングパルス生成回路を示す図である。

【図 6】前記図 5 のオーバードライビングパルス生成回路のタイミング図である。

【符号の説明】

【0057】

310 遅延部

10

20

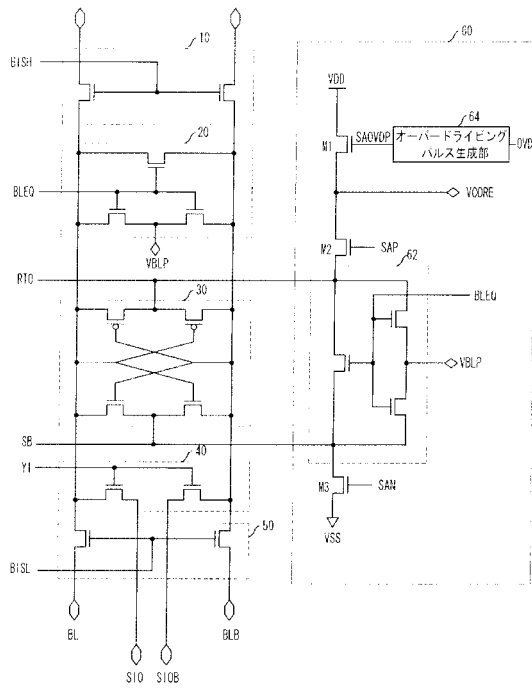
30

40

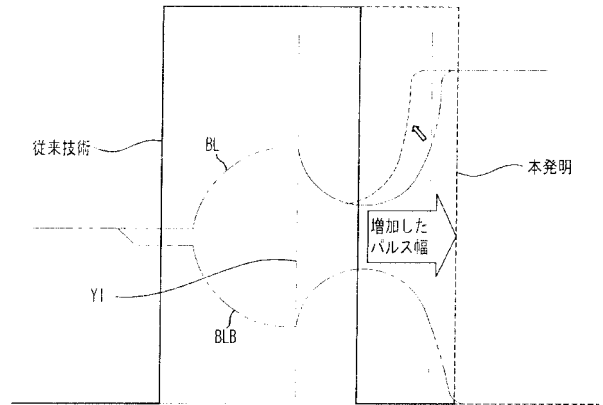
50

- 3 2 0 制御部
- 3 3 0 パルス幅追加部

【図1】



【図2】





---

フロントページの続き

(72)発明者 姜 相熙

大韓民国京畿道利川市夫鉢邑牙美里山136-1

審査官 堀田 和義

(56)参考文献 特開2002-358778(JP, A)

特開2001-6359(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4091