



SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 異常検知システム及び制御ボード

技術分野

[0001] 本発明は、異常検知システム及び制御ボードに関する。

背景技術

[0002] 例えば、特許文献1には、プラズマ装置に設けられた複数のバルブの開閉動作を指示する複数の指令信号や、複数のバルブの開閉動作を検出する複数のセンサの複数の検出信号に基づき、複数のバルブの動作状態を把握する制御コントローラが開示されている。

[0003] プラズマCVD (Chemical Vapor Deposition) 装置では、分単位の周期でプラズマ制御が行われる。これに対して、プラズマCVD装置を制御する制御コントローラは、100ms単位の周期でプラズマCVD装置に取り付けられた高周波電源（以下、「RF電源」ともいう。）やバルブ等の機器の状態信号を検知する。すなわち、制御コントローラは、100ms単位の周期でセンサやRF電源にポーリングする。

先行技術文献

特許文献

[0004] 特許文献1：特開2013-168131号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、原料ガスと反応ガスとを交互に処理容器内へ供給し、原子レベル又は分子レベルの厚さの薄膜を一層ずつ形成するプラズマALD (Atomic Layer Deposition) 装置に対する制御では、プラズマ制御を10ms単位の周期で行っている。

[0006] よって、従来の100ms単位の周期でセンサやRF電源のIO (Input/Output) 信号を制御すると、プラズマALD装置に設けられたバルブ等の機器の状態を正確に把握し、プロセスの制御を適切に行うことが

困難な場合がある。

[0007] 上記課題に対して、一側面では、本発明は、基板処理装置に設けられた機器の状態を精度良く検知することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するために、一の態様によれば、基板処理装置を制御する第1のコントローラと、該第1のコントローラの指示に従い、前記基板処理装置に設けられた機器を制御する第2のコントローラとを有し、前記機器の異常を検知する異常検知システムであって、前記第2のコントローラは、前記機器の状態信号を、所定の周期における所定時間、所定のサンプリング間隔で収集し、収集した該機器の状態信号を蓄積する記憶部を有し、前記第1のコントローラは、蓄積した前記機器の状態信号を、前記所定時間以上の時間間隔で前記第2のコントローラから取得し、取得した前記機器の状態信号に基づき、前記機器の異常の有無を判定する異常判定部とを有する、異常検知システムが提供される。

発明の効果

[0009] 一の側面によれば、基板処理装置に設けられた機器の状態を精度良く検知することができる。

図面の簡単な説明

[0010] [図1]一実施形態に係る基板処理システムの制御系統の一例を示す図。

[図2]一実施形態に係る基板処理装置、MC及びI/Oボードのハードウェア構成の一例を示す図。

[図3]一実施形態に係るMC及びI/Oボードの機能構成の一例を示す図。

[図4]第1実施形態に係る状態信号検出回路の一例を示す図。

[図5]第1実施形態に係る異常検知処理の一例を示すフローチャート。

[図6]第1実施形態に係る異常検知処理における各信号のタイムチャート。

[図7]第2実施形態に係る状態信号検出回路の一例を示す図。

[図8]第1～第6実施形態に係る状態信号（デジタル、アナログ信号）のタイミングを説明するための図。

[図9]第2実施形態に係る異常検知処理の一例を示すフローチャート。

[図10]第2実施形態に係る異常検知処理における各信号のタイムチャート。

[図11]第3実施形態に係る状態信号検出回路の一例を示す図。

[図12]第3実施形態に係る異常検知処理における各信号のタイムチャート。

[図13]第4実施形態に係る状態信号検出回路の一例を示す図。

[図14]第4実施形態に係る異常検知処理における各信号のタイムチャート。

[図15]第5実施形態に係る状態信号検出回路の一例を示す図。

[図16]第5実施形態に係る異常検知処理における各信号のタイムチャート。

[図17]第5実施形態に係る異常検知処理における積算方法を説明するための図。

[図18]第6実施形態に係る状態信号検出回路の一例を示す図。

[図19]第6実施形態に係る異常検知処理の一例を示すフローチャート。

[図20]第6実施形態に係る異常検知処理における各信号のタイムチャート。

発明を実施するための形態

[0011] 以下、本発明を実施するための形態について図面を参照して説明する。なお、本明細書及び図面において、実質的に同一の構成については、同一の符号を付することにより重複した説明を省く。

[0012] [基板処理システムの制御系統例]

まず、本発明の一実施形態に係る基板処理システムの制御系統の一例について、図1を参照しながら説明する。例えば、基板処理システムは、複数の基板処理装置、搬送室（TM：Transfer Module）、ロードロック室（LLM：Load Lock Module）等を有し、複数の基板処理装置にて複数の基板の処理が実行される。システムコントローラ1（EC：Equipment Controller）は、基板処理システムの全体を制御する統括制御部である。

[0013] システムコントローラ1は、複数のモジュールコントローラ20（MC：Module Controller）とシステム内LAN（Local Area Network）等のネットワーク2を介して接続されている。モジュールコントローラ20は、システムコントローラ1の指示に従い、基板処理装置の制御を行う。

[0014] 各モジュールコントローラ 20 は、複数の I/O ボード 30 とシステム内 LAN (Local Area Network) 等のネットワーク 2 を介して接続されている。複数の I/O ボード 30 は、各モジュールコントローラ 20 の指示に従い、基板処理装置に設けられた複数の機器の少なくともいずれかを制御する。例えば、複数の I/O ボード 30 のうちの一の I/O ボード 30 は、図 1 及び図 2 に示すように、高周波電源の一例である RF 電源 18 及び整合器 17 の各機器を制御する。

[0015] 図 2 に示すように、I/O ボード 30 は、モジュールコントローラ (MC) 20 の指令に従い、RF をオンするための指令信号 (以下、「DO (Digital Output) 信号」という。) を RF 電源 18 に送出する。また、I/O ボード 30 は、DO 信号に対する確認信号 (以下、「DI (Digital Input) 信号」という。) を RF 電源 18 から入力する。

[0016] 以下では、システムコントローラ (EC) 1 を EC 1 と表記し、モジュールコントローラ (MC) 20 を MC 20 と表記する。MC 20 は、I/O ボード 30 に対して上位コントローラであり、I/O ボード 30 は、MC 20 に対して下位コントローラである。I/O ボード 30 は、制御ポートともいう。上位コントローラは、第 1 のコントローラの一例であり、下位コントローラは、第 2 のコントローラの一例である。

[0017] [基板処理装置、MC、I/O ボードのハードウェア構成]

次に、本発明の一実施形態に係る基板処理装置 10、MC 20、I/O ボード 30 のハードウェア構成の一例について、図 2 を参照しながら説明する。基板処理装置 10 は、プラズマ CVD 装置、プラズマ ALD 装置、プラズマエッチング装置等の装置であり得る。本実施形態では、基板処理装置 10 は、基板の一例である半導体ウェハ (以下、単に「ウェハ」と記す。) W に対して、複数のガスを、互いに異なるタイミングで間欠的に繰り返し供給して成膜を行う ALD (Atomic Layer Deposition) 装置として構成されている。

[0018] 基板処理装置 10 は、処理容器 11 と、ウェハ W の処理に使用される複数

のガスを供給するガス供給源 1 4 と、整合器 1 7 を介して処理容器 1 1 と接続され、処理容器 1 1 内に R F（高周波）電力を印加する R F 電源 1 8 と、排気装置 1 6 とを有する。

[0019] 処理容器 1 1 は、天壁 1 1 a、底壁 1 1 b 及び天壁 1 1 a と底壁 1 1 b とを連結する側壁 1 1 c を含み、略円筒状に形成され、内部は気密になっている。底壁 1 1 b には、排気口 1 1 d が形成されている。排気装置 1 6 が作動すると、排気口 1 1 d からガスが排気され、処理容器 1 1 の内部は、所定の真空度まで減圧される。

[0020] 処理容器 1 1 の内部には、ウェハ W を保持するためのステージ 1 9 と、ステージ 1 9 を支持する円筒状の支持部材 1 5 とが配置されている。更に、処理容器 1 1 の天壁 1 1 a には、ガス導入部 1 2 が設けられている。ガス供給源 1 4 から供給されるガスは、ガス供給管 1 3 を通り、ガス導入部 1 2 から処理容器 1 1 内に導入される。

(E C)

E C 1 は、工程管理者等によって指定されたレシピを含むプログラムを、ハードディスク装置や記憶媒体から読み出す。読み出したプログラムは、E C 1 から各 M C 2 0 に送信される。また、E C 1 は、L A N 等のネットワーク 2 を介して基板処理システムが設置されている工場全体の製造工程を管理する M E S（Manufacturing Execution System）としてのホストコンピュータに接続されている。ホストコンピュータは、工場における種々の工程に関するリアルタイム情報を基幹業務システムにフィードバックすると共に、工場全体の負荷等を考慮して工程を制御する。

[0021] 基板処理システムの全体制御や基板処理装置 1 0 の異常検知やウェハ W の加工に関するレシピは、例えば、記憶媒体に格納され、ハードディスク装置にインストールすることによって利用することができる。記憶媒体としては、例えば、C D - R O M、ハードディスク、フレキシブルディスク、フラッシュメモリ、D V D 等を使用することができる。また、上記レシピは、他の装置から、例えば専用回線を介して随時伝送させてオンラインで利用するこ

とも可能である。

(MC)

複数のMC 20は、EC 1によって統括され、制御される。なお、MC 20は、基板処理システム内の複数の基板処理装置10だけでなく、ロードロック室や、ローダーユニットに対応させて設けることが可能であり、その場合にもEC 1によって統括され、制御される。

[0022] 以下、基板処理装置10を制御するMC 20を例に挙げて、MC 20の構成について説明する。MC 20は、I/O制御インターフェース21とCPU 22とRAM等によって構成される揮発性メモリ23と、ROM等によって構成される不揮発性メモリ24とを有する。不揮発性メモリ24は、例えばSRAM (Static Random Access Memory)、MRAM (Magnetoresistive Random Access Memory)、EEPROM (Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ等の不揮発性メモリによって構成されている。不揮発性メモリ24には、基板処理装置10における種々のログ情報、例えば、基板処理装置10の異常が判定された場合の状態信号のログ等が保存される。状態信号として不揮発性メモリ24に記憶される情報は、MC 20とI/Oボード30との間で入出力される各種の信号、例えば、DO (Digital Output) 信号、DI (Digital Input) 信号、AO (analog Output) 信号、AI (analog Input) 信号等である。

(I/Oモジュール)

MC 20は、ネットワーク48を介して1以上のI/Oモジュール31と接続されている。ネットワーク48は、I/Oモジュール31毎に割り当てられた複数のチャンネルCH0, CH1, CH2...を有している。ネットワーク48は、GHOST (General High-Speed Optimum Scalable Transceiver) と称されるLSIを用いて実現されるネットワークであってもよい。

[0023] 基板処理装置10に設けられた各機器のMC 20による制御は、I/Oモジュール31を介して行われる。例えば、MC 20のI/O制御インターフ

エース 21 は、I/O モジュール 31 に種々の制御信号を送出する。また、I/O 制御インターフェース 21 は、I/O モジュール 31 から機器（例えば、RF 電源 18 や整合器 17）の状態信号を受け取る。

（I/O ボード）

MC 20 に対応する 1 以上の I/O モジュール 31 は、基板処理装置 10 への制御信号の入出力信号の伝達を行う。一の I/O モジュール 31 は、1 以上の I/O ボード 30 を有している。I/O ボード 30 は、MC 20 の指示に従い、各機器を直接制御する制御ボードである。

[0024] I/O ボード 30 の機能は、例えば、CPU 32 及び FPGA (Field Programmable Gate Array) 回路 34 の少なくともいずれかを主な構成部品として実現される。FPGA 回路 34 は、プログラマブルロジックデバイスの一例である。

[0025] I/O モジュール 31 は、1 以上の機器に接続されている。本実施形態では、一の I/O ボード 30 に RF 電源 18 及び整合器 17 が接続されている。

[0026] MC 20 (I/O ボード 30) から機器に出力される出力信号（例えば、DO 信号及び AO 信号）及び I/O ボード 30 へ入力される入力信号（例えば、DI 信号及び AI 信号）の制御は、CPU 32 及び FPGA 34 により実行される。

[0027] DO 信号は、制御系統の上位に位置する MC 20 から、制御系統の下位に位置する RF 電源 18 へ出力されるデジタル信号である。DO 信号には、RF 電源 18 のオンを指令する信号が含まれる。また、DO 信号には、RF 電源 18 のオフを指令する信号が含まれる。

[0028] DI 信号は、制御系統の下位に位置する RF 電源 18 から、制御系統の上位に位置する MC 20 (I/O ボード 30) へ入力されるデジタル信号である。DI 信号には、RF 電源 18 のオンを指令する指令信号に対する確認信号が含まれる。また、DI 信号には、RF 電源 18 のオフを指令する指令信号に対する確認信号が含まれる。

- [0029] F P G A回路34に内蔵されたD Oカウンタ40は、指令信号の立ち上がり又は立下りの数をカウントする。F P G A回路34に内蔵されたD Iカウンタ41は、指令信号に対する確認信号の立ち上がり又は立下りの数をカウントする。
- [0030] F P G A回路34に内蔵された立上がり遅延時間カウンタ45は、R F電源18のオンを指令する指令信号であるD O信号（実際には、このD O信号をフィードバックして入力したD I信号）と、R F電源18のオンを指令する指令信号に対する確認信号であるD I信号との間の相対的な時間差を計測する。F P G A回路34に内蔵された立下がり遅延時間カウンタ46は、R F電源18のオフを指令する指令信号であるD O信号（実際には、このD O信号をフィードバックして入力したD I信号）と、R F電源18のオフを指令する指令信号に対する確認信号であるD I信号との間の相対的な時間差を計測する。
- [0031] A I信号は、例えばR F電源18及び整合器17からMC20（I/Oボード30）へ入力されるアナログ信号である。A I信号には、R F電源18から供給される高周波（R F）の進行波の電力P fを示す信号（以下、「P f A I信号」という。）が含まれる。また、A I信号には、R F電源18から供給される高周波（R F）の反射波の電力P rを示す信号（以下、「P r A I信号」という。）が含まれる。
- [0032] また、A I信号には、R F電源18から供給される高周波（R F）の進行波の電圧V p pを示す信号（以下、「V p p A I信号」という。）が含まれる。また、A I信号には、整合器17に設けられた可変コンデンサの整合位置を示す信号（以下、「Load A I信号」、「Tune A I信号」）が含まれる。
- [0033] C P U32に内蔵された最大値レジスタ42には、P f A I信号（R F進行波の電力P fのアナログ信号）の最大値、P r A I信号（R F反射波の電力P rのアナログ信号）の最大値、V p p A I信号（R F進行波の電圧V p pのアナログ信号）の最大値、及びLoad A I信号とTune A I信号

の最大値（整合器 17 の整合位置の最大値を示す信号）が格納される。

[0034] CPU 32 に内蔵された最小値レジスタ 43 には、P_f A_I 信号（R F 進行波の電力 P_f のアナログ信号）の最小値、P_r A_I 信号（R F 反射波の電力 P_r のアナログ信号）の最小値、V_{p p} A_I 信号（R F 進行波の電圧 V_{p p} のアナログ信号）の最小値、及び Load A_I 信号と Tune A_I 信号の最小値（整合器 17 の整合位置の最小値を示す信号）が格納される。

[0035] また、CPU 32 に内蔵された積算レジスタ 44 には、P_f A_I 信号（R F 進行波の電力 P_f のアナログ信号）の積算値、及び P_r A_I 信号（R F 反射波の電力 P_r のアナログ信号）の積算値が格納される。

[0036] なお、以下で説明する、第 1 ～第 6 実施形態における上記各種のアナログ信号とは、アナログ値で表される性質を有する信号をデジタル化した信号を意味する。

[0037] [MC 及び I/O ボードの機能構成]

次に、本発明の一実施形態に係る MC 20 及び I/O ボード 30 の機能構成の一例について、図 3 を参照しながら説明する。

[0038] (I/O ボードの機能構成)

I/O ボード 30 は、通信部 36、記憶部 37、計時部 38 及び機器制御部 39 を有する。通信部 36 は、MC 20 からの R F 電源 18 をオンする指令信号を受信し、該指令信号に従い D O 信号を R F 電源 18 に送信する。通信部 36 は、指令信号（D O 信号）に対する確認信号（D I 信号）を MC 20 に送信する。通信部 36 は、R F 電源 18 の高周波に関する A_I 信号及び整合器 17 の整合位置に関する A_I 信号を MC 20 に送信する。

[0039] 機器制御部 39 は、機器の状態信号を、所定の周期における所定時間、所定のサンプリング間隔で収集し、収集した機器の状態信号を記憶部 37 に蓄積する。具体的には、機器制御部 39 は、通信部 36 を介して基板処理装置 10 に設けられた R F 電源 18 への指令信号の数、該指令信号に対する確認信号の数、R F 電源 18 が出力する高周波の進行波の電力の信号、高周波の反射波の電力の信号、高周波の進行波の電圧の信号、整合器 17 の整合位置

の信号、高周波の進行波の電力の積算値を示す信号、RF電源18への指令信号と該指令信号に対する確認信号の立上がりの遅延時間を示す信号、及びRF電源18への指令信号と該指令信号に対する確認信号の立下がりの遅延時間を示す信号の少なくとも一つを所定のサンプリング間隔で収集し、記憶部37に蓄積する。

[0040] 例えば、記憶部37は、DOカウンタ40及びDIカウンタ41に、RF電源18のオンを指令するDO信号の数及び前記DO信号に対する確認信号であるDI信号の数を記憶する。記憶部37は、最大値レジスタ42に上記各種のAI信号の最大値を記憶し、最小値レジスタ43に上記各種のAI信号の最小値を記憶する。記憶部37は、積算レジスタ44にRF進行波及びRF反射波のAI信号の累積値を記憶する。記憶部37は、立上がり遅延時間カウンタ45に、RF電源18のオンを指令するDO信号の立上りと、その確認信号であるDI信号の立上りとの差分を遅延時間として記憶する。記憶部37は、立下がり遅延時間カウンタ46に、RF電源18のオンを指令するDO信号の立下りと、その確認信号であるDI信号の立下りとの差分を遅延時間として記憶する。

[0041] 計時部38は、機器の状態信号を収集する際の所定の周期と、周期中でサンプリングを行う所定時間と、サンプリング間隔とを計時する。図1に示すように、I/Oボード30は、 $300\mu\text{s} \sim 1\text{ms}$ の範囲で定められたサンプリング間隔でRF電源18及び整合器17にポーリングし、RF電源18及び整合器17の状態信号を収集する。基板処理装置10がプラズマALD装置の場合、一プロセスは $200\text{ms} \sim 800\text{ms}$ の周期で行われる。よって、計時部38は、 $200\text{ms} \sim 800\text{ms}$ 毎（つまり、一プロセス毎）に、所定時間のサンプリング時間を計時する。例えば図8では、所定時間のサンプリング時間は、 $50\text{ms} \sim 100\text{ms}$ である。つまり、図8のRF AI信号に一例を示すように、 $200\text{ms} \sim 800\text{ms}$ の周期で間欠的に行われるプロセス毎に、プロセス中の所定時間（ $50\text{ms} \sim 100\text{ms}$ の間）のサンプリング時間であって、 $300\mu\text{s} \sim 1\text{ms}$ の範囲で定められたサンプリ

ング間隔で I/O ボード 30 から RF 電源 18 及び整合器 17 にポーリングが行われる。これにより、I/O ボード 30 は、サンプリングデータとしての RF 電源 18 及び整合器 17 の状態信号を収集する。収集した機器の状態信号のサンプリングデータは、記憶部 37 に記憶される。記憶部 37 は、図 2 に示す CPU 32 内の RAM 33 及び FPGA 回路 34 内の各種のカウンタ 40, 41 及び各種のレジスタ 42~44 により実現される。なお、以下の各実施形態において、サンプリング間隔は、 $300\mu s$ に設定されるが、サンプリング間隔は、これに限らず、適宜設定可能である。

[0042] サンプリングデータは、MC 20 が 100ms 毎に送出するポーリングのタイミングに、I/O ボード 30 から MC 20 に送出される。

[0043] 機器制御部 39 は、基板処理装置 10 に設けられた機器を制御する。具体的には、機器制御部 39 は、RF 電源 18 のオン及びオフの制御、排気装置 16 の排気制御、ガス供給源 14 のガス供給制御等を行う。また、機器制御部 39 は、RF 電源 18 や整合器 17 等の機器の異常の判定結果に応じて、該当機器の停止等の制御を行う。

[0044] (MC の機能構成)

MC 20 は、通信部 25、制御部 26、異常判定部 27 及びログ記憶部 28 を有する。通信部 25 は、I/O ボード 30 との間で各種の信号、例えば、DO 信号、DI 信号、AI 信号を送受信する。制御部 26 は、EC 1 の指示に従い、基板処理装置 10 の制御を行う。

[0045] 異常判定部 27 は、I/O ボード 30 において収集された RF 電源 18 の状態信号（例えば Pf AI 信号）及び整合器 17 の状態信号（例えば Load/ Tune AI 信号）のサンプリングデータのピーク値、平均値、中央値に基づき、RF 電源 18 や整合器 17 等の機器の異常の有無を判定する。より詳しくは、異常判定部 27 は、機器の状態信号に基づき、以下の信号の少なくとも一つに基づき、機器の異常の有無又は機器間の配線の異常を判定してもよい。

- ・ RF 電源 18 への指令信号の数、その指令信号に対する確認信号の数

- ・ 高周波（R F）の進行波及び反射波の電力を示す信号のピーク値、中央値、平均値
- ・ R Fの進行波及び反射波の電圧を示す信号のピーク値、中央値、平均値
- ・ R Fの進行波及び反射波の電力を示す信号を積算した積算値
- ・ 整合器 1 7 の整合位置を示す信号のピーク値、中央値及び平均値
- ・ R F 電源 1 8 への指令信号の遅延時間、その指令信号に対する確認信号の遅延時間

ログ記憶部 2 8 は、異常判定部 2 7 が R F 電源 1 8 等の機器に異常があると判定した場合、異常と判定された機器の状態信号をログ情報として記憶する。

[0046] （A L D 法による成膜処理）

A L D 法による成膜処理では、原料ガスを含む複数のガスの供給と停止を短時間で間欠的に繰り返し行う必要がある。例えば、C V D 法による成膜処理を行う C V D 装置のプラズマ制御の周期（一プロセスの時間）は、1 0 0 m s 程度あれば十分である。これに対して、A L D 法による成膜処理を行う A L D 装置のプラズマ制御の周期は、R F 電源 1 8 のオン及びオフの周期が短くなるため、1 0 m s 程度と短く設定する必要がある。よって、M C 2 0 が 1 0 0 m s 毎に行うポーリングでは、M C 2 0 は、1 0 m s 程度の短周期でプラズマ制御される R F 電源 1 8 等の機器の状態信号を、必ずしも正しく取得できない場合がある。

[0047] そこで、本実施形態では、I / O ボード 3 0 が 3 0 0 μ s ~ 1 m s 毎に行うポーリングで、機器の状態信号を I / O ボード 3 0 内の記憶部 3 7 に蓄積しておく。M C 2 0 は、1 0 0 m s 毎に行うポーリングにおいて、I / O ボード 3 0 内の記憶部 3 7 に蓄積された機器の状態信号を取得することで、R F 電源 1 8 等の機器の状態信号を、I / O ボード 3 0 を介して正しく取得することができる。これにより、M C 2 0 は、1 0 m s 程度の短周期でプラズマ制御される A L D 装置においても、取得した機器の状態信号に基づき、R F 電源 1 8 等の機器の状態（異常の有無）を正確に判定することができる。

[0048] 以下では、第1～第6実施形態の順に、各実施形態に係る状態信号検出回路及び該回路を使用した異常検知処理について説明する。

[0049] <第1実施形態>

まず、第1実施形態に係る状態信号検出回路及び第1実施形態に係る異常検知処理の一例について、図4～図6を参照しながら説明する。図4は、第1実施形態に係る状態信号検出回路の一例を示す。図5は、第1実施形態に係る異常検知処理の一例を示すフローチャートである。図6は、第1実施形態に係る異常検知処理における各信号のタイムチャートである。

[0050] (状態信号検出回路)

図4に示す第1実施形態に係る状態信号検出回路35は、FPGA回路34内にあり、フォトカップラ50とDOカウンタ40とDIカウンタ41とを有する。フォトカップラ50は、内部で電気信号を光に変換し再び電気信号へ戻すことによって、電氣的に絶縁しながら信号を伝達する素子である。

[0051] DOカウンタ40は、MC20からRF電源18のオンを制御する指令信号を、フォトカップラ50を介してフィードバックした信号(DO信号)の回数をカウントする。DIカウンタ41は、MC20からRF電源18のオンを制御するDO信号に対する確認信号(DI信号)の回数をカウントする。

[0052] DOカウンタ40及びDIカウンタ41は、それぞれ16ビットとし、図6に示すように、MC20にインストールされているMCソフトウェア(プログラム)により制御されるSTART指令に従いカウントを開始し、STOP指令に従いカウントを停止する。本実施形態では、DOカウンタ40及びDIカウンタ41は、DO信号及びDI信号の立上りをカウントするが、これに限らず、DO信号及びDI信号の立下りをカウントしてもよい。また、DOカウンタ40及びDIカウンタ41は、RESET指令により初期化される。

[0053] DOカウンタ40及びDIカウンタ41のカウント値の読み取りは、カウント中でも可能とする。なお、DI信号については、DIカウンタ41の前に信号のノイズ除去回路を設け、一定時間以上の信号レベルの継続がないD

I 信号は有効な信号とは判定しないようにする。

[0054] (異常検知処理)

図5に示す第1実施形態に係る異常検知処理は、MC 20により実行される。前提として、図6に示すように、時刻 t_0 のSTART指令に従い、DOカウンタ40は、RF ON DO信号の回数Aをカウントし、DIカウンタ41は、RF ON DI信号の回数Bをカウントする。また、時刻 t_1 のSTOP指令に従い、DOカウンタ40は、RF ON DO信号の回数Aのカウントを停止し、DIカウンタ41は、RF ON DI信号の回数Bのカウントを停止する。DOカウンタ40及びDIカウンタ41は、時刻 t_r のRESET信号に従い初期化される。

[0055] 図5に示す異常検知処理が開始されると、制御部26は、RF電源18のオンを指令するDO信号の出力回数Xをカウントする(ステップS10)。通信部25は、I/Oボード30の通信部36からDOカウンタ40に格納されたカウント数A及びDIカウンタ41に格納されたカウント数Bを取得する(ステップS12)。

[0056] 次に、異常判定部27は、出力回数Xがカウント数Aに等しいかを判定する(ステップS14)。異常判定部27は、出力回数Xがカウント数Aに等しくないと判定した場合、I/Oボード30に異常があると判定し(ステップS16)、本処理を終了する。他方、異常判定部27は、出力回数Xがカウント数Aに等しいと判定した場合、出力回数Xがカウント数Bに等しいかを判定する(ステップS18)。

[0057] 異常判定部27は、出力回数Xがカウント数Bに等しいと判定した場合、異常なしと判定し(ステップS20)、本処理を終了する。他方、異常判定部27は、出力回数Xがカウント数Bに等しくないと判定した場合、I/Oボード30とRF電源18との間の配線又はRF電源18に異常があると判定し(ステップS22)、本処理を終了する。

[0058] 以上、第1実施形態に係る異常検知システムによれば、基板処理装置10に設けられたRF電源18、I/Oボード30、及びRF電源18とI/O

ボード30との間の配線の異常を検知することができる。

[0059] <第2実施形態>

次に、第2実施形態に係る状態信号検出回路及び第2実施形態に係る異常検知処理の一例について、図7～図10を参照しながら説明する。図7は、第2実施形態に係る状態信号検出回路の一例を示す。図8は、第1～第6実施形態に係る状態信号(DO, DI, AI信号)を説明するためのタイムチャートである。図9は、第2～第5実施形態に係る異常検知処理の一例を示すフローチャートである。図10は、第2実施形態に係る異常検知処理の一例を説明するためのタイムチャートである。

[0060] (状態信号検出回路)

図7に示す第2実施形態に係る状態信号検出回路35は、FPGA回路34内にあり、AI回路51と最大値レジスタ42と最小値レジスタ43とを有する。AI回路51は、RF進行波の電力Pfのアナログ信号を12ビットのデータにデジタル化したPf AI信号を出力する。また、RF反射波の電力Prのアナログ信号を12ビットのデータにデジタル化したPr AI信号を出力する。

[0061] 図10に示すように、時刻t3にSTART指令信号が出力され、時刻t4にSTOP指令信号が出力され、時刻trにRESET信号が出力される。時刻t3のSTART指令と時刻t4のSTOP指令の間に、例えば300μsのサンプリングクロックごとにデータがサンプリングされる。実際には、図8に示すように、START指令からSTOP指令の間は、一プロセスを示し、サンプリング時間は、一プロセス内の50ms～100msの範囲の所定時間である。図10に示すサンプリングクロックに応じて収集されるサンプリングデータのうち、Pf AI信号の最大値及びPr AI信号の最大値は、それぞれ最大値レジスタ42に格納される。また、Pf AI信号の最小値及びPr AI信号の最小値は、それぞれ最小値レジスタ43に格納される。

[0062] 最大値レジスタ42及び最小値レジスタ43は、それぞれ12ビットとし

、MC 20のMCソフトウェアにより制御されるSTART指令により最大値及び最小値の検出を開始し、STOP指令によりその検出を停止する。また、最大値レジスタ42及び最小値レジスタ43は、RESET指令により初期化される。

[0063] なお、最大値レジスタ42及び最小値レジスタ43のレジスタ値の読み取りは、検出中でも可能である。また、検出可能なAI信号数はFPGA回路34の設計により増減可能である。

[0064] 基板処理装置10がプラズマALD装置の場合、一プロセスは200ms～800msで行われる。よって、図8に示すように、Pf AI信号のSTART指令(t0, t3, ...)及びSTOP指令(t2, t4, ...)のそれぞれの間隔は、200ms～800msとなる。よって、200ms～800msの一プロセス毎に一回のサンプリングデータが収集される。

[0065] サンプリングデータは、50ms～100msの範囲の所定時間内において300μs～1msのサンプリング間隔で収集される。例えば、50msの所定時間内において300μs毎に複数個のPf AI信号及びPr AI信号のサンプリングデータが収集されることになる。収集されたPf AI信号及びPr AI信号のサンプリングデータは、I/Oボード30の記憶部37に記憶される。

[0066] このように、第1実施形態のSTART指令(t0)からSTOP指令(t1)までの時間は、300回程度のプロセスが包含されるため、第2実施形態のSTART指令(t0, t3, ...)からSTOP指令(t2, t4, ...)までの時間よりも長い。

[0067] MC 20は、例えば100ms毎にポーリングを行う。MC 20がAI信号のサンプリングデータを取得する周期は、例えばALD法による処理の一サイクル200～800msのうちの所定時間50ms～100msよりも長い又は同じ時間である。よって、MC 20の一回のポーリングによって、MC 20が取得するAI信号のサンプリングデータは、一回分のAI信号

のサンプリングデータであり、一回のポーリングにて複数回分のA I 信号のサンプリングデータを取得することはない。

[0068] (異常検知処理)

図9に示す第2実施形態に係る異常検知処理は、MC 20により実行される。本処理が開始されると、制御部26は、ポーリングのタイミングに同期して、通信部25を介して所定のサンプリング間隔（本実施形態では、 $300\mu s$ ）で収集されたサンプリングデータのPf（RFの進行波電力）のA I 信号の最大値と最小値、及びPr（RFの反射波電力）のA I 信号の最大値と最小値をI/Oボード30から受信する（ステップS32）。

[0069] 次に、異常判定部27は、PfのA I 信号の最大値が所定の閾値Aよりも大きいかな否かを判定する（ステップS34）。異常判定部27は、PfのA I 信号の最大値が所定の閾値Aよりも大きいと判定した場合、RF電源18に異常があると判定し（ステップS36）、本処理を終了する。他方、異常判定部27は、PfのA I 信号の最大値が所定の閾値A以下であると判定した場合、PfのA I 信号の最小値が所定の閾値Bよりも小さいかな否かを判定する（ステップS38）。

[0070] 異常判定部27は、PfのA I 信号の最小値が所定の閾値Bよりも小さいと判定した場合、RF電源18に異常があると判定し（ステップS36）、本処理を終了する。他方、異常判定部27は、PfのA I 信号の最小値が所定の閾値B以上であると判定した場合、PrのA I 信号の最大値が所定の閾値Cよりも大きいかな否かを判定する（ステップS40）。異常判定部27は、PrのA I 信号の最大値が所定の閾値Cよりも大きいと判定した場合、RF電源18に異常があると判定し（ステップS36）、本処理を終了する。他方、異常判定部27は、PrのA I 信号の最大値が所定の閾値C以下であると判定した場合、PrのA I 信号の最小値が所定の閾値Dよりも小さいかな否かを判定する（ステップS42）。

[0071] 異常判定部27は、PrのA I 信号の最小値が所定の閾値Dよりも小さいと判定した場合、RF電源18に異常があると判定し（ステップS36）、

本処理を終了する。他方、異常判定部27は、PrのA1信号の最小値が所定の閾値D以上であると判定した場合、機器に異常はないと判定し（ステップS44）、本処理を終了する。

[0072] なお、所定の閾値A～Dの一例としては、正常なプロセスを実施した際のPfのA1信号の中心値の±5%の範囲の値の最大値と最小値を閾値Aと閾値Bにそれぞれ設定してもよい。同様に、正常なプロセスを実施した際のPrのA1信号の中心値の±5%の範囲の値の最大値と最小値の値を閾値Cと閾値Dにそれぞれ設定してもよい。ただし、各閾値A～Dの設定は、これに限らず、正常なプロセスから逸脱しない範囲を示す他の許容値を用いることができる。

[0073] 以上、第2実施形態に係る異常検知システムによれば、I/Oボード30は、PfのA1信号及びPrのA1信号のサンプリングデータを、MC20のポーリング周期以下の時間である、例えば300μsのサンプリング間隔で収集し、記憶部37に記憶する。これにより、収集したサンプリングデータを一時的にI/Oボード30に蓄積しておく。MC20は、ポーリング周期で、サンプリングデータをI/Oボード30から取得することで、蓄積したサンプリングデータに基づきRF電源18の異常を精度良く検知することができる。

[0074] なお、第2実施形態では、MC20は、Pf A1信号の最大値及び最小値及びPr A1信号の最大値及び最小値に基づき、RF電源18等の機器の異常の有無を判定したが、これに限らない。MC20は、ポーリング毎にI/Oボード30から取得したサンプリングデータのピーク値、平均値、中央値等を算出し、算出結果に基づき、機器の異常の有無を判定してもよい。

[0075] <第3実施形態>

次に、第3実施形態に係る状態信号検出回路及び第3実施形態に係る異常検知処理の一例について、図11及び図12を参照しながら説明する。図11は、第3実施形態に係る状態信号検出回路の一例を示す。図12は、第3実施形態に係る異常検知処理における各信号のタイムチャートである。

[0076] (状態信号検出回路)

図 1 1 に示す第 3 実施形態に係る状態信号検出回路 3 5 は、FPGA 回路 3 4 内にあり、AI 回路 5 1 と最大値レジスタ 4 2 と最小値レジスタ 4 3 とを有する。AI 回路 5 1 は、RF 進行波の電圧 V_{pp} のアナログ信号を 1 2 ビットのデータにデジタル化した V_{pp} AI 信号を出力する。

[0077] 最大値レジスタ 4 2 及び最小値レジスタ 4 3 は、それぞれ 1 2 ビットとし、MC 2 0 の MC ソフトウェアにより制御される START 指令に従い、 V_{pp} AI 信号の最大値及び最小値の検出を開始し、STOP 指令によりその検出を停止する。また、最大値レジスタ 4 2 及び最小値レジスタ 4 3 は、RESET 指令により初期化される。最大値レジスタ 4 2 及び最小値レジスタ 4 3 のレジスタ値の読み取りは、検出中でも可能である。

[0078] 図 1 2 に示すように、時刻 t_3 に START 指令信号が出力され、時刻 t_4 に STOP 指令信号が出力され、時刻 t_r に RESET 信号が出力される。時刻 t_3 の START 指令と時刻 t_4 の STOP 指令の間であって、例えば $300\mu s$ のサンプリングクロックごとにデータがサンプリングされる。サンプリングデータのうち、 V_{pp} AI 信号の最大値が最大値レジスタ 4 2 に格納され、 V_{pp} AI 信号の最小値が最小値レジスタ 4 3 に格納される。

[0079] 第 2 実施形態の場合と同様に、サンプリングデータは、 $200ms \sim 800ms$ の一プロセス毎に $50ms \sim 100ms$ の範囲内の所定時間、 $300\mu s$ のサンプリング間隔で収集される。本実施形態では、 $50ms$ の所定時間、 $300\mu s$ 毎に V_{pp} AI 信号のデータが収集されることになる。収集された V_{pp} AI 信号のサンプリングデータは、I/O ボード 3 0 の記憶部 3 7 に記憶される。

[0080] (異常検知処理)

第 2 実施形態と同様に、MC 2 0 は、ポーリング毎に I/O ボード 3 0 から取得したサンプリングデータの最大値及び最小値に基づき、RF 電源 1 8 等の機器の異常の有無を判定する。具体的には、図 9 の異常検知処理で使用

されたサンプリングデータが、 P_{f_AI} 信号及び P_{r_AI} 信号のサンプリングデータであったのに対して、本実施形態は、 V_{pp_AI} 信号のサンプリングデータを使用して、図 9 の異常検知処理と同様な処理を行う。つまり、 V_{pp_AI} 信号の最大値が所定の閾値 E より大きい場合、又は、 V_{pp_AI} 信号の最小値が所定の閾値 F より小さい場合、RF 電源に異常ありと判定し、それ以外の場合、異常なしと判定して、処理を終了する。

[0081] これにより、RF 電源 18 の異常の有無を判定できる。なお、MC 20 は、ポーリング毎に I/O ボード 30 から取得したサンプリングデータのピーク値、平均値、中央値等を算出し、算出結果に基づき、機器の異常の有無を判定してもよい。

[0082] 以上、第 3 実施形態に係る異常検知システムによれば、I/O ボード 30 は、 V_{pp_AI} 信号のサンプリングデータを、MC 20 のポーリング周期以下の時間である、例えば $300\mu s$ のサンプリング間隔で収集し、記憶部 37 に記憶する。これにより、収集したサンプリングデータを一時的に I/O ボード 30 に蓄積しておく。MC 20 は、ポーリング周期で、サンプリングデータを I/O ボード 30 から取得することで、蓄積したサンプリングデータに基づき、RF 電源 18 の異常の有無を判定できる。

[0083] <第 4 実施形態>

次に、第 4 実施形態に係る状態信号検出回路及び第 4 実施形態に係る異常検知処理の一例について、図 13 及び図 14 を参照しながら説明する。図 13 は、第 4 実施形態に係る状態信号検出回路の一例を示す。図 14 は、第 4 実施形態に係る異常検知処理における各信号のタイムチャートである。

[0084] (状態信号検出回路)

図 13 に示す第 4 実施形態に係る状態信号検出回路 35 は、FPGA 回路 34 内にあり、AI 回路 51 と最大値レジスタ 42 と最小値レジスタ 43 とを有する。AI 回路 51 は、整合器 17 の整合位置である Load Position と Tune Position のアナログ信号を 12 ビットのデータにデジタル化した Load AI 信号と Tune AI 信号を出力する。

[0085] 最大値レジスタ42及び最小値レジスタ43は、それぞれ12ビットとし、MC20のMCソフトウェアにより制御されるSTART指令に従い、Load AI信号及びTune AI信号の最大値及び最小値の検出を開始し、STOP指令によりその検出を停止する。また、最大値レジスタ42及び最小値レジスタ43は、RESET指令により初期化される。なお、最大値レジスタ42及び最小値レジスタ43のレジスタ値の読み取りは、検出中でも可能である。

[0086] 図14に示すように、時刻t3にSTART指令信号が出力され、時刻t4にSTOP指令信号が出力され、時刻trにRESET信号が出力される。時刻t3のSTART指令と時刻t4のSTOP指令の間であって、例えば300μsのサンプリングクロックごとにデータがサンプリングされる。サンプリングデータのうち、Load AI信号及びTune AI信号の最大値が最大値レジスタ42に格納され、Load AI信号及びTune AI信号の最小値が最小値レジスタ43に格納される。

[0087] 第2実施形態の場合と同様に、サンプリングデータは、200ms～800msの一プロセス毎に50ms～100msの範囲内の所定時間、300μsのサンプリング間隔で収集される。本実施形態では、50msの所定時間、300μs毎にLoad AI信号及びTune AI信号のサンプリングデータが収集されることになる。収集されたLoad AI信号及びTune AI信号のサンプリングデータは、I/Oボード30の記憶部37に記憶される。

[0088] (異常検知処理)

第2実施形態と同様に、MC20は、ポーリング毎にI/Oボード30から取得したサンプリングデータの最大値及び最小値に基づき、整合器17の異常の有無を判定する。具体的には、図9の異常検知処理で使用されたサンプリングデータが、Pf AI信号及びPr AI信号のサンプリングデータであったのに対して、本実施形態は、整合器17のLoad AI信号及びTune AI信号のサンプリングデータを使用して、図9のPf AI信号及びPr AI信号をLoad AI信号及びTune AI信号に置き換えて、図9の異

常検知処理と同一処理を行う。これにより、整合器 17 の異常の有無を判定できる。なお、MC 20 は、ポーリング毎に I/O ボード 30 から取得したサンプリングデータのピーク値、平均値、中央値等を算出し、算出結果に基づき、機器の異常の有無を判定してもよい。

[0089] 以上、第 4 実施形態に係る異常検知システムによれば、I/O ボード 30 は、Load AI 信号及び Tune AI 信号のサンプリングデータを、MC 20 のポーリング周期よりも短時間で収集する。これにより、収集したサンプリングデータを一時的に I/O ボード 30 に蓄積しておく。MC 20 は、ポーリング周期で、サンプリングデータを I/O ボード 30 から取得することで、蓄積したサンプリングデータに基づき、整合器 17 の異常の有無を判定できる。

[0090] <第 5 実施形態>

次に、第 5 実施形態に係る状態信号検出回路及び第 5 実施形態に係る異常検知処理の一例について、図 15～図 17 を参照しながら説明する。図 15 は、第 5 実施形態に係る状態信号検出回路の一例を示す。図 16 は、第 5 実施形態に係る異常検知処理における各信号のタイムチャートである。図 17 は、第 5 実施形態に係る異常検知処理における積算方法を説明するための図である。

[0091] (状態信号検出回路)

図 15 に示す第 5 実施形態に係る状態信号検出回路 35 は、FPGA 回路 34 内にあり、AI 回路 51 と積算レジスタ 44 とを有する。AI 回路 51 は、RF 進行波の電力 P_f のアナログ信号及び RF 反射波の電力 P_r のアナログ信号を 12 ビットのデータにデジタル化した P_f AI 信号及び P_r AI 信号を出力する。

[0092] 積算レジスタ 44 は、32 ビットとし、MC ソフトウェアの制御による START 指令により、 P_f AI 信号及び P_r AI 信号の積算を開始し、STOP 指令によりその積算を停止する。また、積算レジスタ 44 は、RESET 指令により初期化される。

[0093] 積算間隔は、A I 回路 5 1 のサンプリング間隔である $300\ \mu\text{s} \sim 1\ \text{ms}$ の範囲内の設定値と同一間隔である。本実施形態では、積算間隔は、 $300\ \mu\text{s}$ である。積算レジスタ 4 4 のレジスタ値の読み取りは積算中でも可能であるが、32ビットのデータは、16ビット×2回の読み取りサイクルになるため、この間に16ビット目から17ビット目への桁上がりが発生すると不正確な読み取り値となる。ただし、 $300\ \mu\text{s}$ の間隔で12ビットのデータを32ビットの積算レジスタ 4 4 に加算していくと、 $300\ \mu\text{s} \times 2^{(32-12)} = 5$ 分までの積算が可能である。よって、積算レジスタ 4 4 は、A L D 法による成膜の一サイクル毎にサンプリングする P f A I 信号及び P r A I 信号のサンプリングデータを積算するには十分であり、桁上がりが発生して積算値が不正確な値となることは生じない。

[0094] 図 1 6 に示すように、積算クロックに応じた P f A I 信号の値が、3, 5, 5, 5, 5, 1... の場合、積算レジスタ 4 4 に格納される値は、3, 8, 13, 18, 23, 28, 29... となる。積算クロックに応じた P r A I 信号の値が、3, 0, 0, 0, 0, 0, 0... の場合、積算レジスタ 4 4 に格納される値は、3, 3, 3, 3, 3, 3, 3... となる。積算クロックは、サンプリングクロックと同期しており、例えば $300\ \mu\text{s}$ のサンプリングクロックごとにデータがサンプリングされる場合、 $300\ \mu\text{s}$ の積算クロックごとにサンプリングデータが積算される。C P U 3 2 は、下記の式 (1) を使用して、P f A I 信号及び P r A I 信号のサンプリングデータの積算値を算出し、積算レジスタ 4 4 に格納する。

[0095] (異常検知処理)

MC 2 0 は、ポーリング毎に I / O ボード 3 0 から取得した、P f A I 信号及び P r A I 信号のサンプリングデータの積算値を取得する。MC 2 0 は、積算結果に基づき、A L D の 1 サイクルにおける R F 電源 1 8 の異常の有無を判定する。また、MC 2 0 は、A L D の 1 サイクルごとの積算値を合計することで、一プロセスにおける R F 電源 1 8 の異常の有無を判定する。なお、算出した A L D の 1 サイクルの積算値は、積算レジスタ 4 4 に蓄積

され、MC 20が、積算レジスタ44に蓄積された積算値を収集して、1プロセスの積算値を算出する。

[0096] [数1]

Pf/Pr AI の面積 = Δt の間の台形の面積の総和

$$\begin{aligned} &= \frac{1}{2}(V_1 + V_2) \times \Delta t + \frac{1}{2}(V_2 + V_3) \times \Delta t + \dots + \frac{1}{2}(V_{n-1} + V_n) \times \Delta t \\ &= \left(\frac{1}{2}V_1 + V_2 + V_3 + \dots + V_{n-1} + \frac{1}{2}V_n \right) \times \Delta t \quad \dots (1) \end{aligned}$$

なお、式(1)の Δt は、積算間隔(=サンプリング間隔)であり、本実施形態では、 $300 \mu s$ である。 V_n は、Pf AI 信号及びPr AI 信号の n ($1 \leq n$) 回目のサンプリングデータを示す。

[0097] 積算値は、RFの進行波の総電力及びRFの反射波の総電力を示す。よって、積算値が予め定められた所定の閾値の範囲から外れている場合、異常判定部27は、RF電源18が異常であると判定する。

[0098] 以上、第5実施形態に係る異常検知システムによれば、収集したPf AI 信号及びPr AI 信号のサンプリングデータに基づく積算値を一時的にI/Oボード30に蓄積しておき、MC 20は、ポーリングに応じて積算値をI/Oボード30から取得する。これにより、RF電源18の出力の積算値に基づきRF電源18の異常を精度良く検知することができる。

[0099] <第6実施形態>

次に、第6実施形態に係る状態信号検出回路及び第6実施形態に係る異常検知処理の一例について、図18～図20を参照しながら説明する。図18は、第6実施形態に係る状態信号検出回路の一例を示す。図19は、第6実施形態に係る異常検知処理の一例を示すフローチャートである。図20は、第6実施形態に係る異常検知処理における各信号のタイムチャートである。

[0100] (状態信号検出回路)

図18に示す第6実施形態に係る状態信号検出回路35は、FPGA回路

34内にあり、フォトカプラ50と立上がり遅延時間カウンタ45と立下がり遅延時間カウンタ46とを有する。

[0101] 立上がり遅延時間カウンタ45及び立下がり遅延時間カウンタ46は、MC20からRF電源18のオンを指令するDO信号と、DO信号に対する確認信号であるDI信号との間の相対的な時間差を計測する。

[0102] 立上がり遅延時間カウンタ45は、DO信号とDI信号との立上がりにおける時間差を計測する。立下がり遅延時間カウンタ46は、DO信号とDI信号との立下がりにおける時間差を計測する。

[0103] 立上がり遅延時間カウンタ45及び立下がり遅延時間カウンタ46は、それぞれ16ビットとし、MC20のMCソフトウェアが制御するSTART指令によりカウントを開始し、STOP指令によりそのカウントを停止する。立上がり遅延時間カウンタ45及び立下がり遅延時間カウンタ46のカウント値の読み取りは、カウント中でも可能とする。

[0104] (異常検知処理)

図19に示す第6実施形態に係る異常検知処理は、MC20により実行される。前提として、制御部26は、予めRF電源18が正常に動作しているときのDO信号(RF ON DO)とDI信号(RF ON DI)との立上がりにおける基準遅延時間 Δt_a の値と、RF ON DO信号とRF ON DI信号との立下がりにおける基準遅延時間 Δt_b の値とを測定しておく。

[0105] 本処理を行う前に、制御部26は、立上がりにおける基準遅延時間 Δt_a の値と、立下がりにおける基準遅延時間 Δt_b の値とを取得する。次に、本処理が開始されると、通信部25は、I/Oボード30の通信部36から、立上がり遅延時間カウンタ45に格納された立上がり遅延時間 $S(n)$ ($=\Delta t_a$, $n: 1 \leq n$)を取得する(ステップS62)。また、通信部25は、I/Oボード30の通信部36から、立下がり遅延時間カウンタ46に格納された立下がり遅延時間 $U(n)$ (Δt_b , $n: 1 \leq n$)を取得する(ステップS62)。これにより、図20に示す立上がり遅延時間 $S(n)$ と、立下がり遅延

時間 $U(n)$ とが取得される。

[0106] 次に、異常判定部 27 は、立上がり遅延時間 $S(n)$ ($=\Delta t_a n$) と基準遅延時間 Δt_a の値とを比較し、また、立下がり遅延時間 $U(n)$ ($=\Delta t_b n$) と基準遅延時間 Δt_b の値とを比較する (ステップ S64)。立上がり遅延時間カウンタ 45 及び立下がり遅延時間カウンタ 46 は、それぞれ 16 ビットのカウンタであり、 Δt_a と Δt_b とは、 $0.1 \text{ ms} \times 2^{16} = 6.5 \text{ 秒}$ までのカウントが可能であり、十分なカウント時間が確保されている。

[0107] 異常判定部 27 は、比較の結果、立上がり遅延時間 $S(n)$ のいずれか又は立下がり遅延時間 $U(n)$ のいずれかが許容範囲を超えてずれているかを判定する (ステップ S66)。異常判定部 27 は、許容範囲を超えてずれていると判定した場合、I/O ボード 30 又は RF 電源 18 に異常があると判定し (ステップ S68)、本処理を終了する。他方、異常判定部 27 は、許容範囲を超えてずれていないと判定した場合、RF 電源 18 に異常はないと判定し (ステップ S70)、本処理を終了する。

[0108] 以上、第 6 実施形態に係る異常検知システムによれば、RF ON DO 信号と RF ON DI 信号との立上がりの遅延時間又は立下がりの遅延時間に基づき、RF 電源 18 又は I/O ボード 30 の異常を精度良く検知することができる。

[0109] 以上、異常検知システム及び制御ボードを上記実施形態により説明したが、本発明にかかる異常検知システム及び制御ボードは上記実施形態に限定されるものではなく、本発明の範囲内で種々の変形及び改良が可能である。上記複数の実施形態に記載された事項は、矛盾しない範囲で組み合わせることができる。

[0110] 例えば、RF 電源 18 等の機器が異常であると判定された場合、MC 20 は、機器の状態情報をログ情報として記録することが好ましい。これにより、基板処理装置 10 にて実行されるプロセスを設計及び構築する場合、ログ情報を利用することでプロセスの不良を未然に防止することができる。

[0111] RF 電源 18 の異常には、RF 電源 18 の劣化及び破損が含まれる。また

、I/Oボード30の異常には、I/Oボード30の不具合の可能性がある。よって、MC20は、異常と判定された機器毎に異なる対応をしてもよい。例えば、RF電源18が異常であると判定した場合、異常と判定された回数が例えば3回などの所定の回数以上になったら、プロセスを停止するようにしてもよい。I/Oボード30が異常であると判定した場合、異常と判定された回数によらず、直ちにI/Oボード30からの信号の入出力を停止してもよい。

[0112] また、本発明に係る基板処理装置は、容量結合型プラズマ（CCP:Capacitively Coupled Plasma）装置だけでなく、その他の基板処理装置に適用可能である。その他の基板処理装置としては、誘導結合型プラズマ（ICP:Inductively Coupled Plasma）、ラジアルラインスロットアンテナを用いたプラズマ処理装置、ヘリコン波励起型プラズマ（HWP:Helicon Wave Plasma）装置、電子サイクロトロン共鳴プラズマ（ECR:Electron Cyclotron Resonance Plasma）装置等であってもよい。

[0113] 本明細書では、成膜対象の基板として半導体ウェハWについて説明したが、これに限らず、LCD（Liquid Crystal Display）、FPD（Flat Panel Display）等に用いられる各種基板や、フォトリソマスク、CD基板、プリント基板等であっても良い。

[0114] 本国際出願は、2016年3月29日に提出された日本国特許出願2016-066052号に基づく優先権を主張するものであり、その全内容を本国際出願に援用する。

符号の説明

- [0115] 1 : EC
2 : ネットワーク
10 : 基板処理装置
11 : 処理容器
14 : ガス供給源
16 : 排気装置

- 17 : 整合器
- 18 : RF 電源
- 19 : ステージ
- 20 : MC
- 21 : I/O 制御インターフェース
- 22 : CPU
- 23 : 揮発性メモリ
- 24 : 不揮発性メモリ
- 25 : 通信部
- 26 : 制御部
- 27 : 異常判定部
- 28 : ログ記憶部
- 30 : I/O ボード
- 31 : I/O モジュール
- 32 : CPU
- 33 : RAM
- 34 : FPGA
- 35 : 状態信号検出回路
- 36 : 通信部
- 37 : 記憶部
- 38 : 計時部
- 39 : 機器制御部
- 40 : DO カウンタ
- 41 : DI カウンタ
- 42 : 最大値レジスタ
- 43 : 最小値レジスタ
- 44 : 積算レジスタ
- 45 : 立上がり遅延時間カウンタ

46 : 立下がり遅延時間カウンタ

48 : ネットワーク

50 : フォトカプラ

51 : AI回路

請求の範囲

[請求項1] 基板処理装置を制御する第1のコントローラと、該第1のコントローラの指示に従い、前記基板処理装置に設けられた機器を制御する第2のコントローラとを有し、前記機器の異常を検知する異常検知システムであって、

前記第2のコントローラは、前記機器の状態信号を、所定の周期における所定時間、所定のサンプリング間隔で収集し、収集した該機器の状態信号を蓄積する記憶部を有し、

前記第1のコントローラは、蓄積した前記機器の状態信号を、前記所定時間以上の時間間隔で前記第2のコントローラから取得し、取得した前記機器の状態信号に基づき、前記機器の異常の有無を判定する異常判定部とを有する、

異常検知システム。

[請求項2] 前記機器は、前記基板処理装置に設けられた高周波電源及び整合器の少なくともいずれかであり、

前記記憶部は、前記高周波電源への指令信号の数、該指令信号に対する確認信号の数、前記高周波電源が出力する高周波の進行波の電力の信号、前記高周波の反射波の電力の信号、前記高周波の進行波の電圧の信号、前記整合器の整合位置の信号、前記高周波の進行波の電力の積算値を示す信号、前記高周波電源への指令信号と該指令信号に対する確認信号の立上がりの遅延時間を示す信号、及び前記高周波電源への指令信号と該指令信号に対する確認信号の立下がりの遅延時間を示す信号の少なくとも一つの状態信号を蓄積する、

請求項1に記載の異常検知システム。

[請求項3] 前記異常判定部は、前記高周波の進行波の電力の信号と、前記高周波の反射波の電力の信号と、前記高周波の進行波の電圧の信号と、前記整合器の整合位置の信号のそれぞれのピーク値、中央値及び平均値、及び前記高周波の進行波の電力の積算値の信号が示す電力積算値の

少なくとも一つに基づき、前記高周波電源の異常の有無を判定する、
請求項 2 に記載の異常検知システム。

[請求項4] 前記異常判定部は、前記高周波電源への指令信号の数及び該指令信号に対する確認信号の数の少なくともいずれかに基づき、前記高周波電源の異常、前記整合器の異常又は該高周波電源と該整合器との間の配線の異常の有無を判定する、

請求項 2 に記載の異常検知システム。

[請求項5] 前記異常判定部は、前記高周波電源への指令信号と該指令信号に対する確認信号の立上がりの遅延時間の信号が示す遅延時間及び前記高周波電源への指令信号と該指令信号に対する確認信号の立下がり遅延時間の信号が示す遅延時間の少なくともいずれかに基づき、前記高周波電源の異常又は前記整合器の異常の有無を判定する、

請求項 2 に記載の異常検知システム。

[請求項6] 前記異常判定部が前記機器に異常があると判定した場合、該機器の状態信号のログ情報を記憶するログ記憶部を有する、

請求項 1 に記載の異常検知システム。

[請求項7] 前記基板処理装置は、ALD法により基板に成膜処理を行うALD装置である、

請求項 1 に記載の異常検知システム。

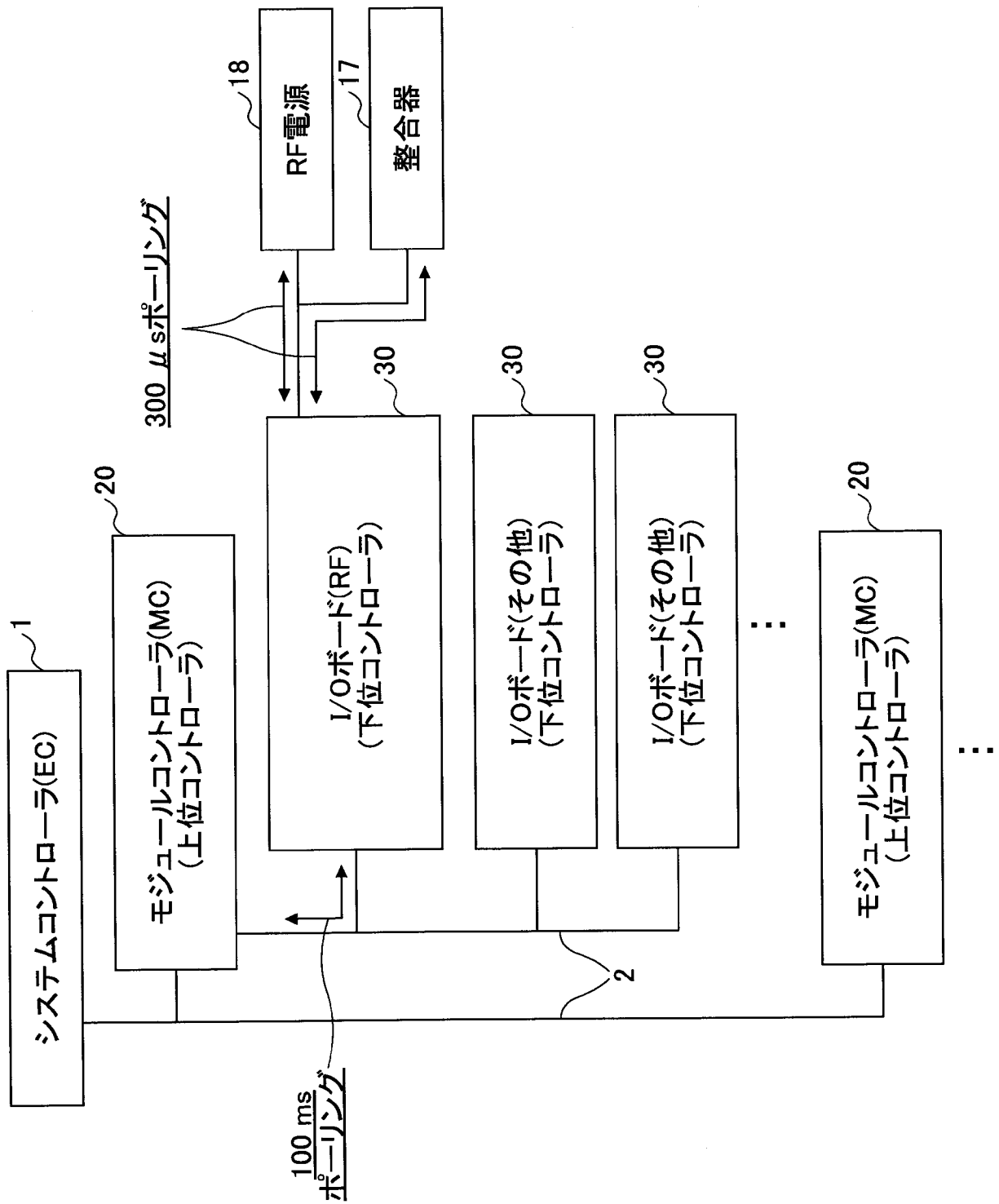
[請求項8] 基板処理装置に設けられた機器の状態信号に基づき、前記機器の異常の有無を判定する第1のコントローラに接続され、前記機器を制御する制御ボードであって、

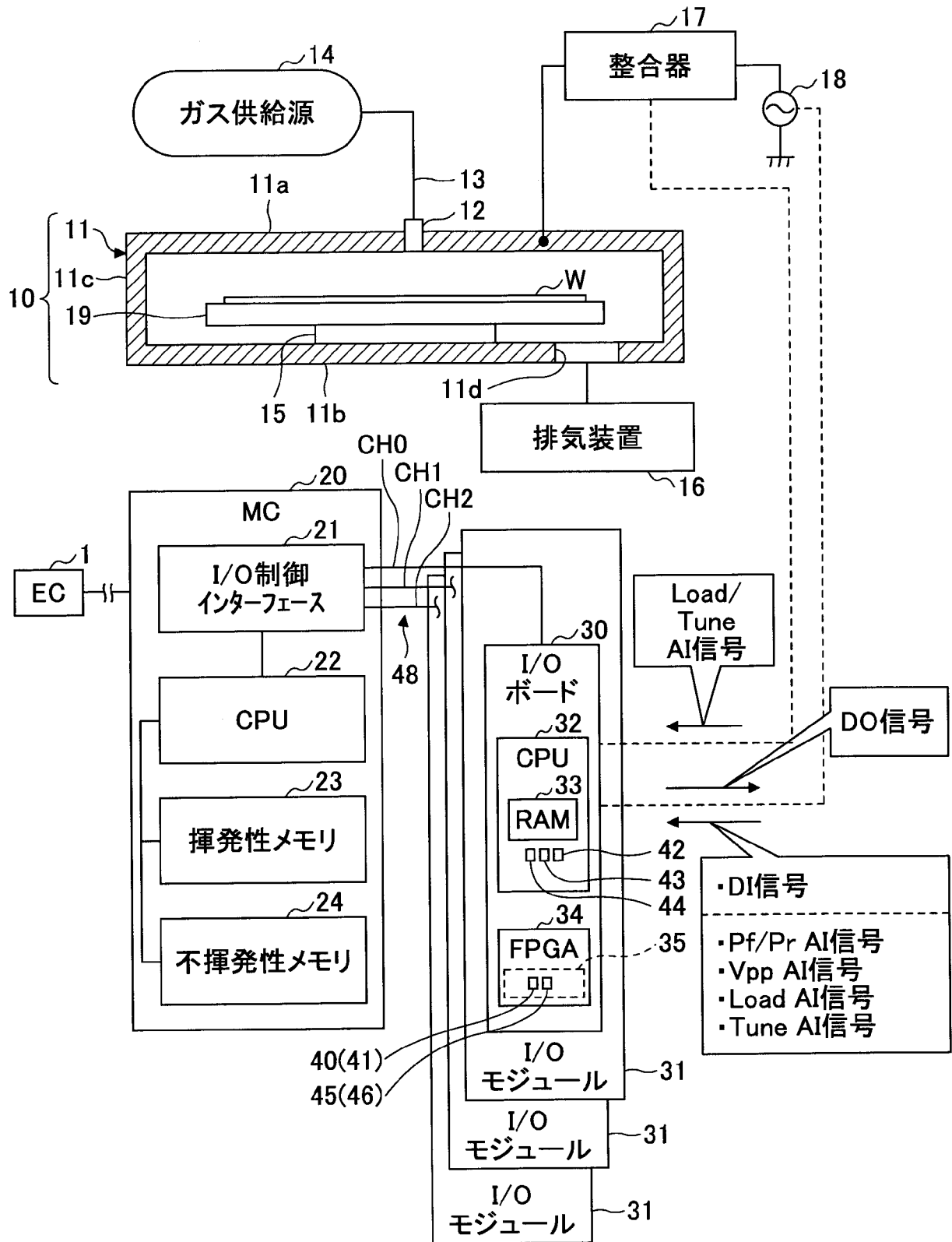
前記機器の状態信号を、所定の周期における所定時間、所定のサンプリング間隔で収集、収集した該機器の状態信号を蓄積する記憶部と、

前記第1のコントローラが前記所定時間以上の時間間隔で発信するポーリングに応じて、蓄積した前記機器の状態信号を送信する通信部とを有する、

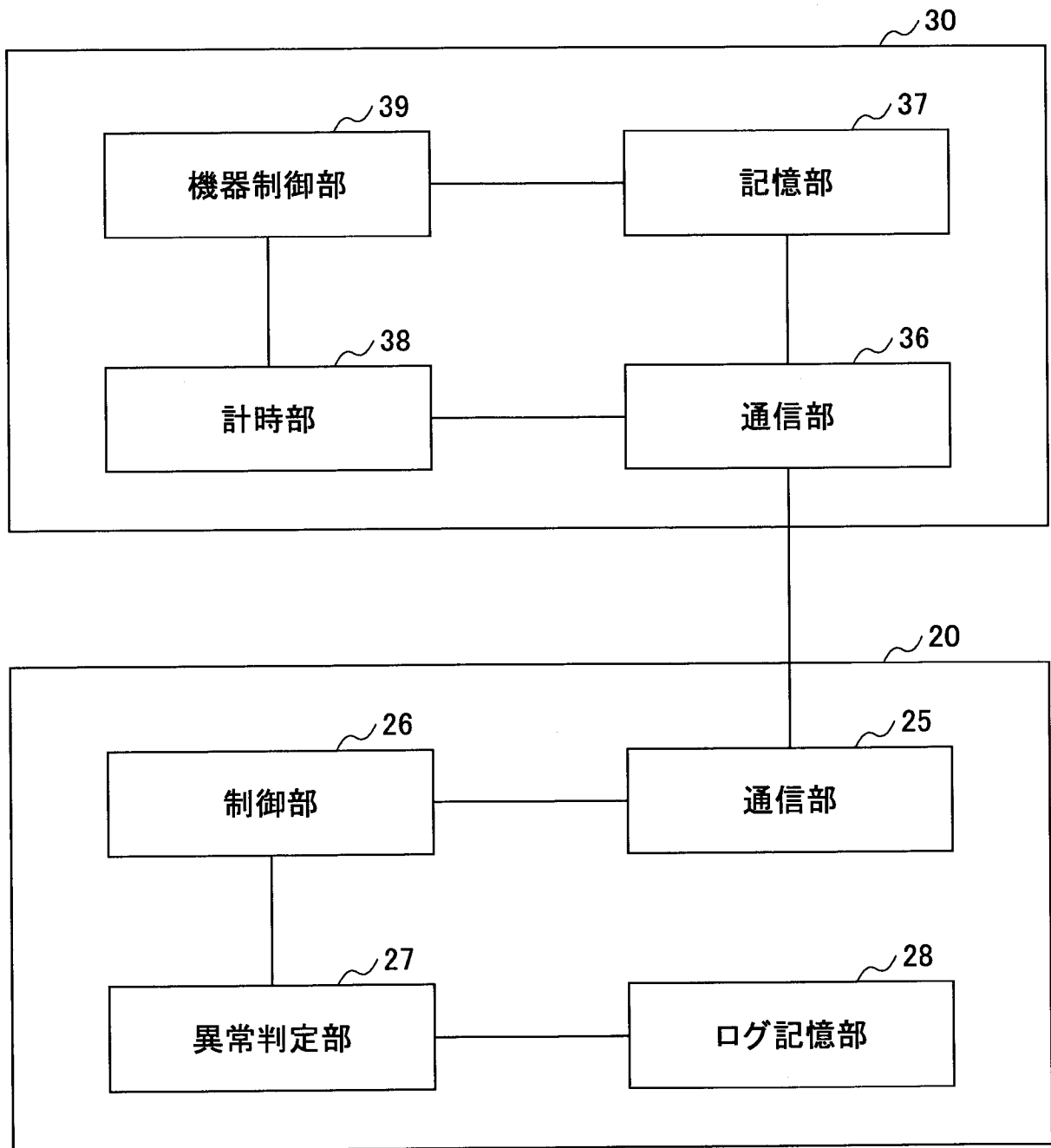
制御ボード。

[図1]

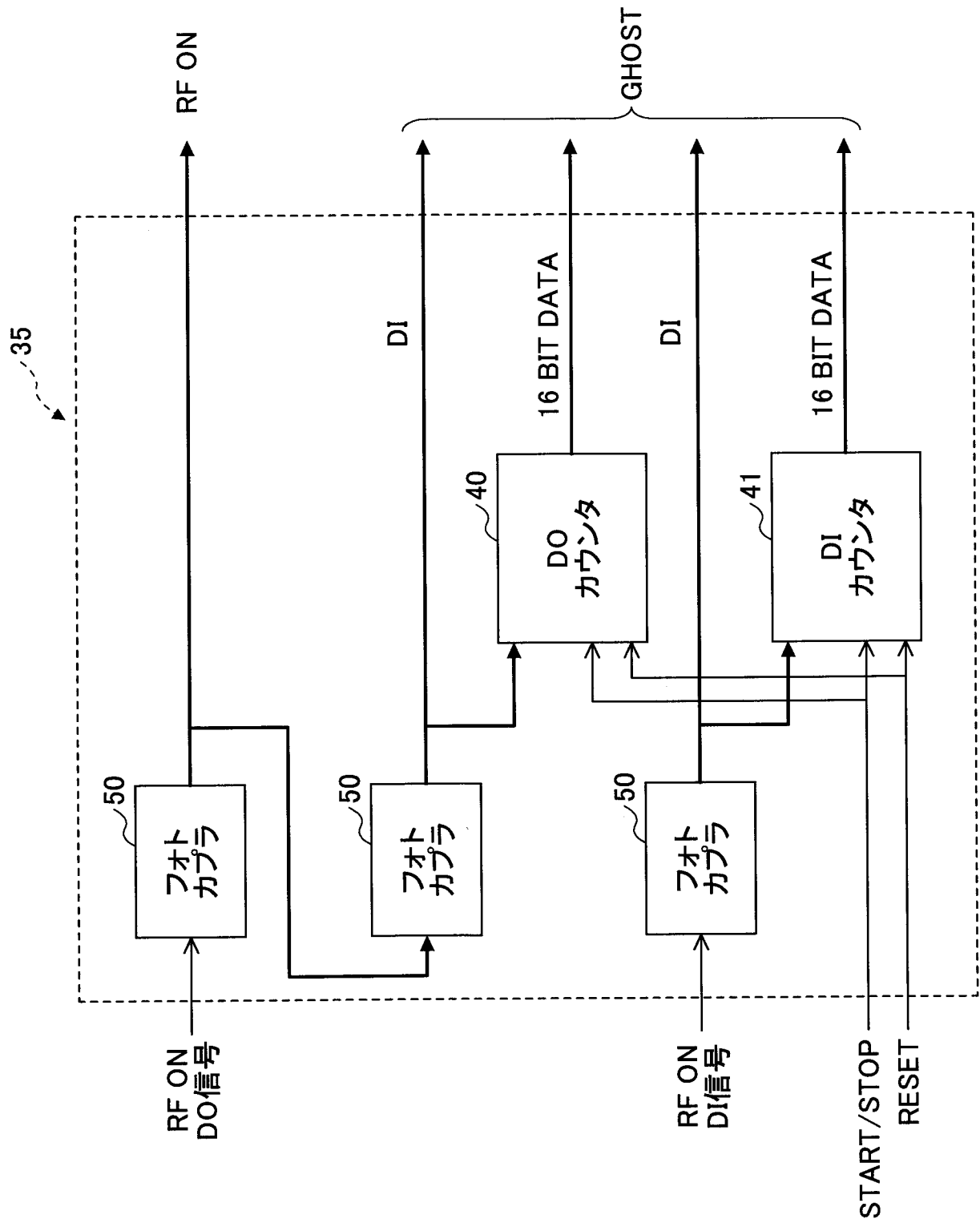




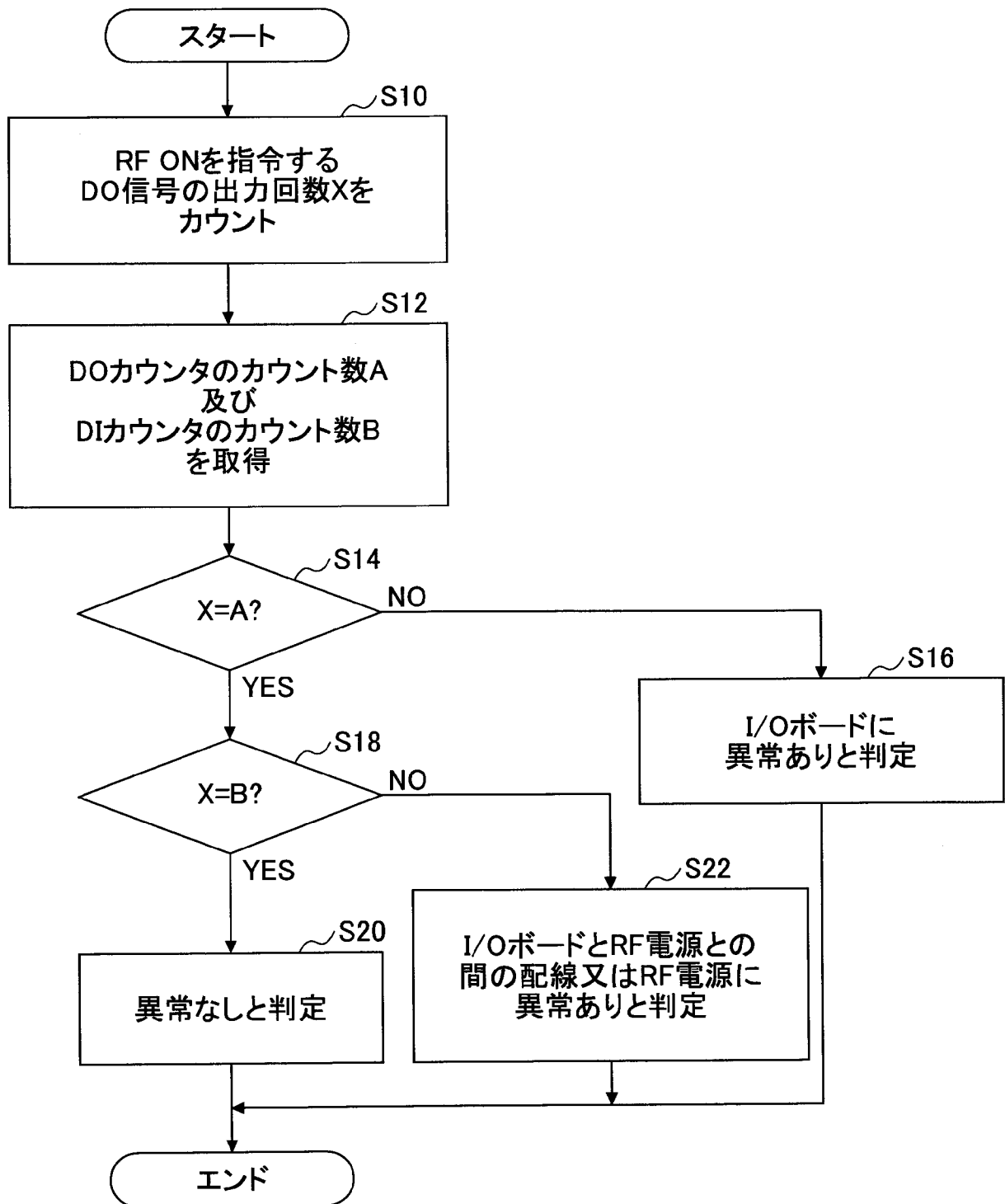
[図3]



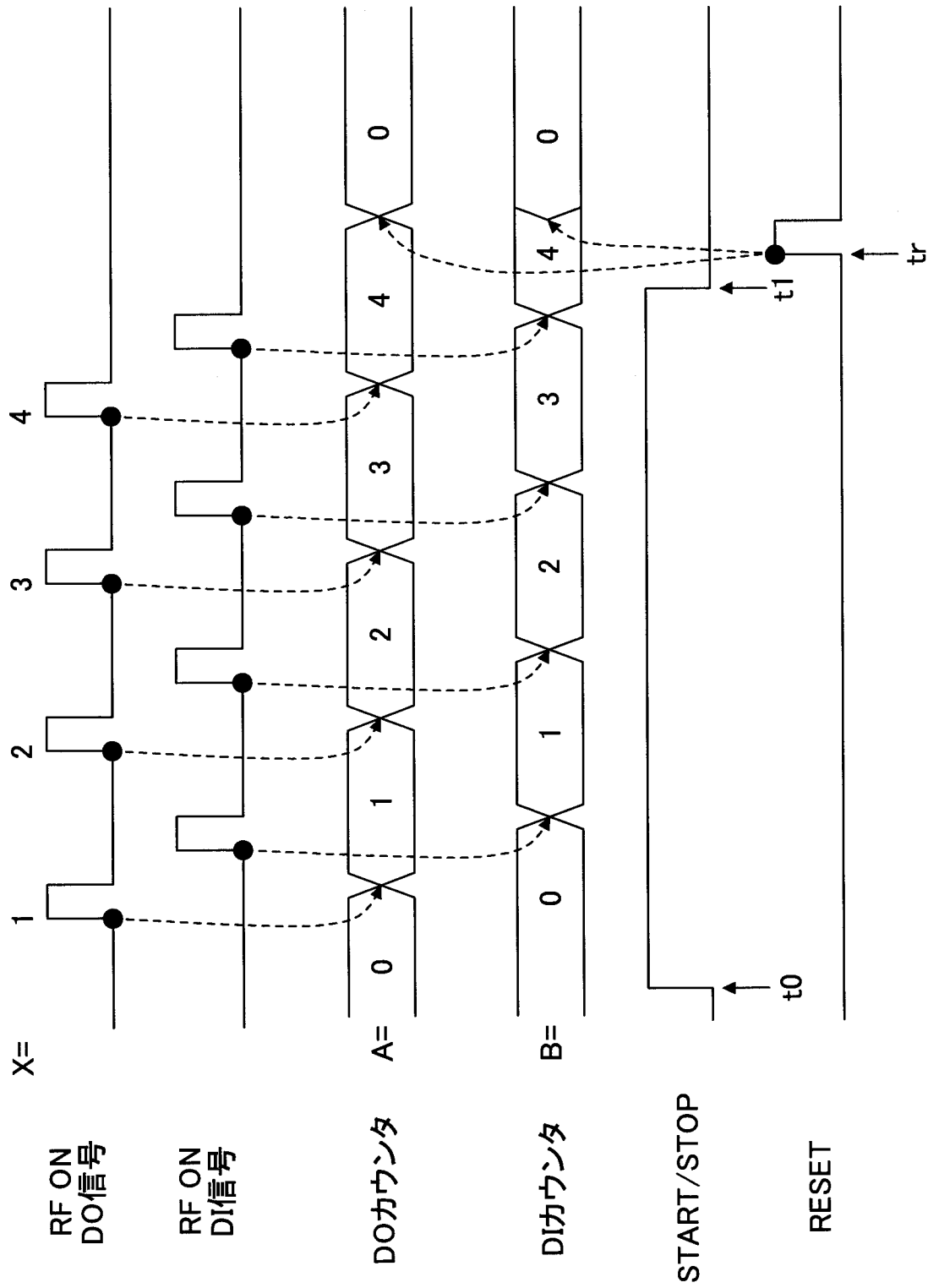
[図4]



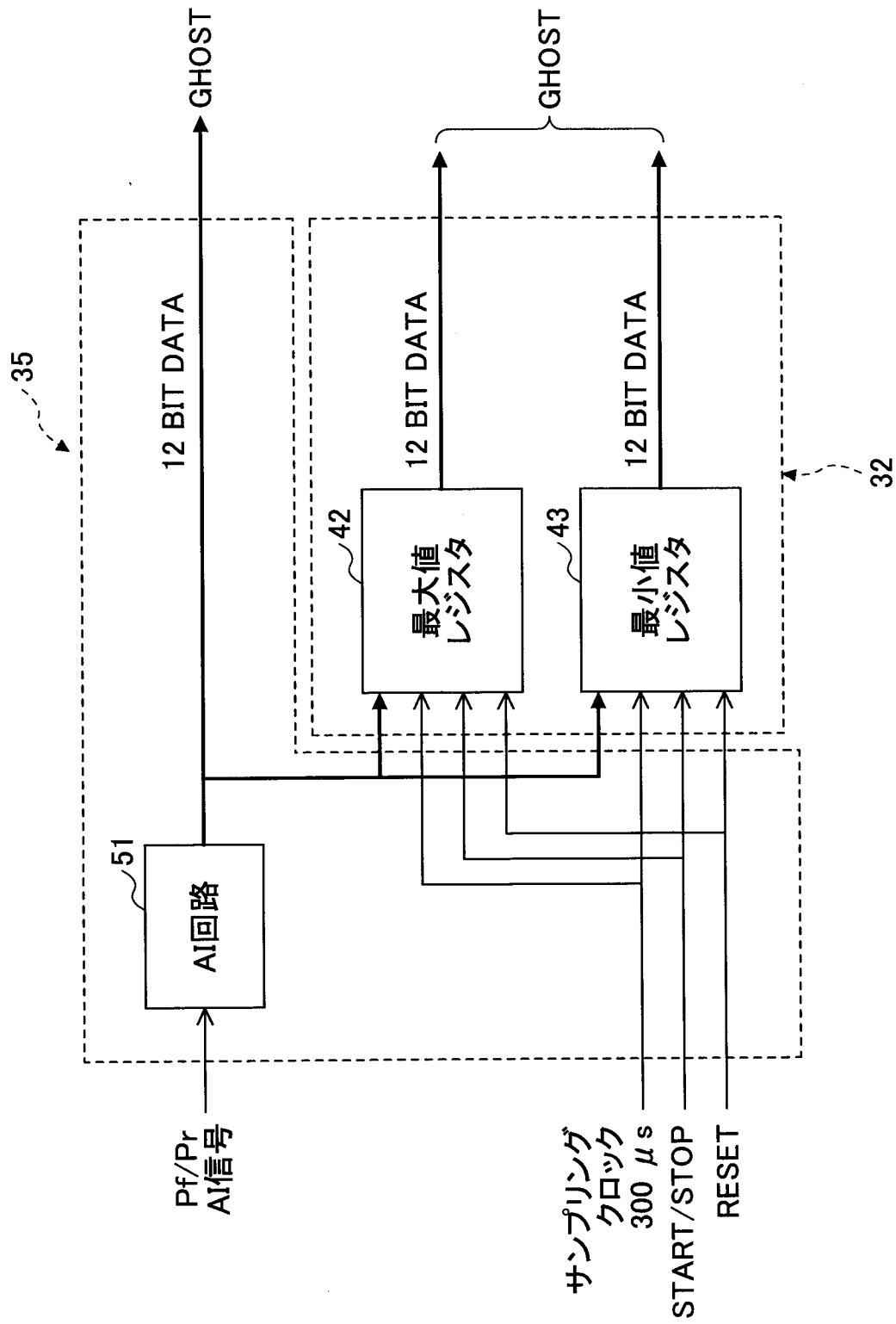
[図5]



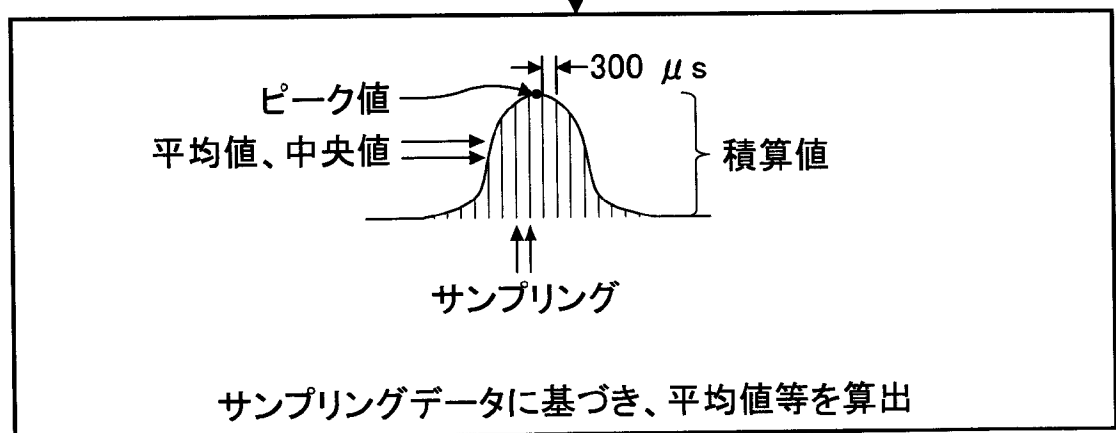
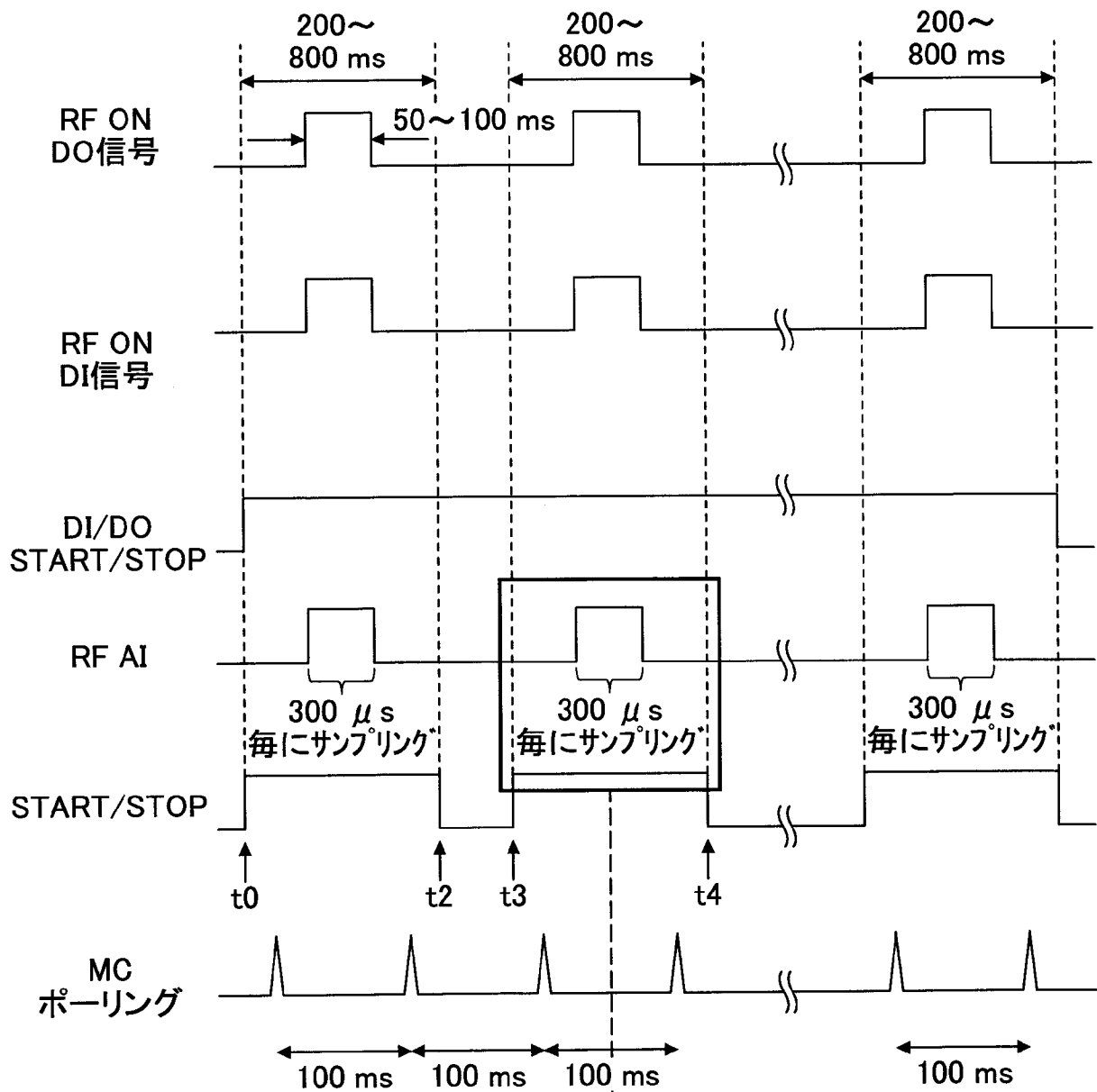
[図6]



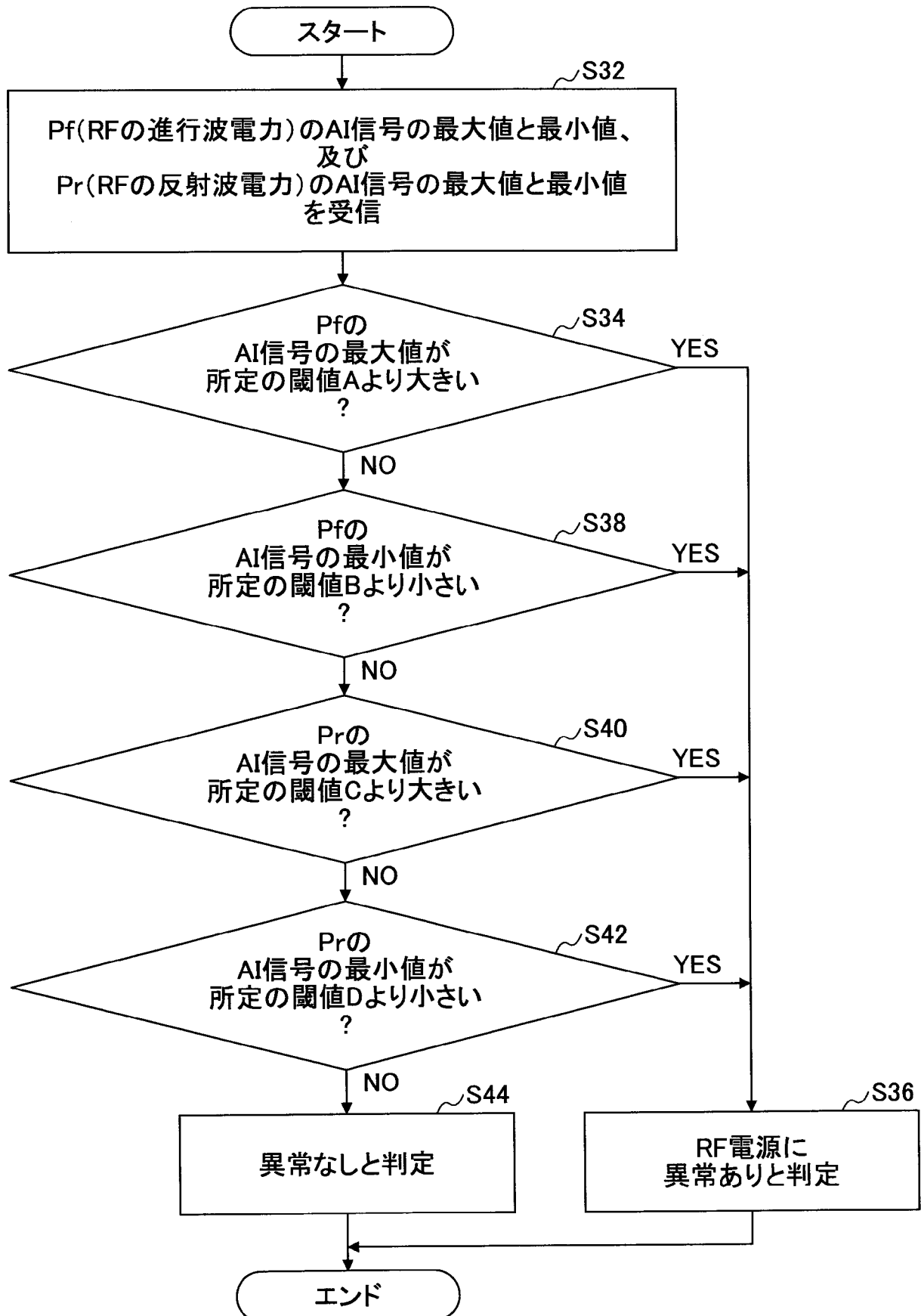
[図7]



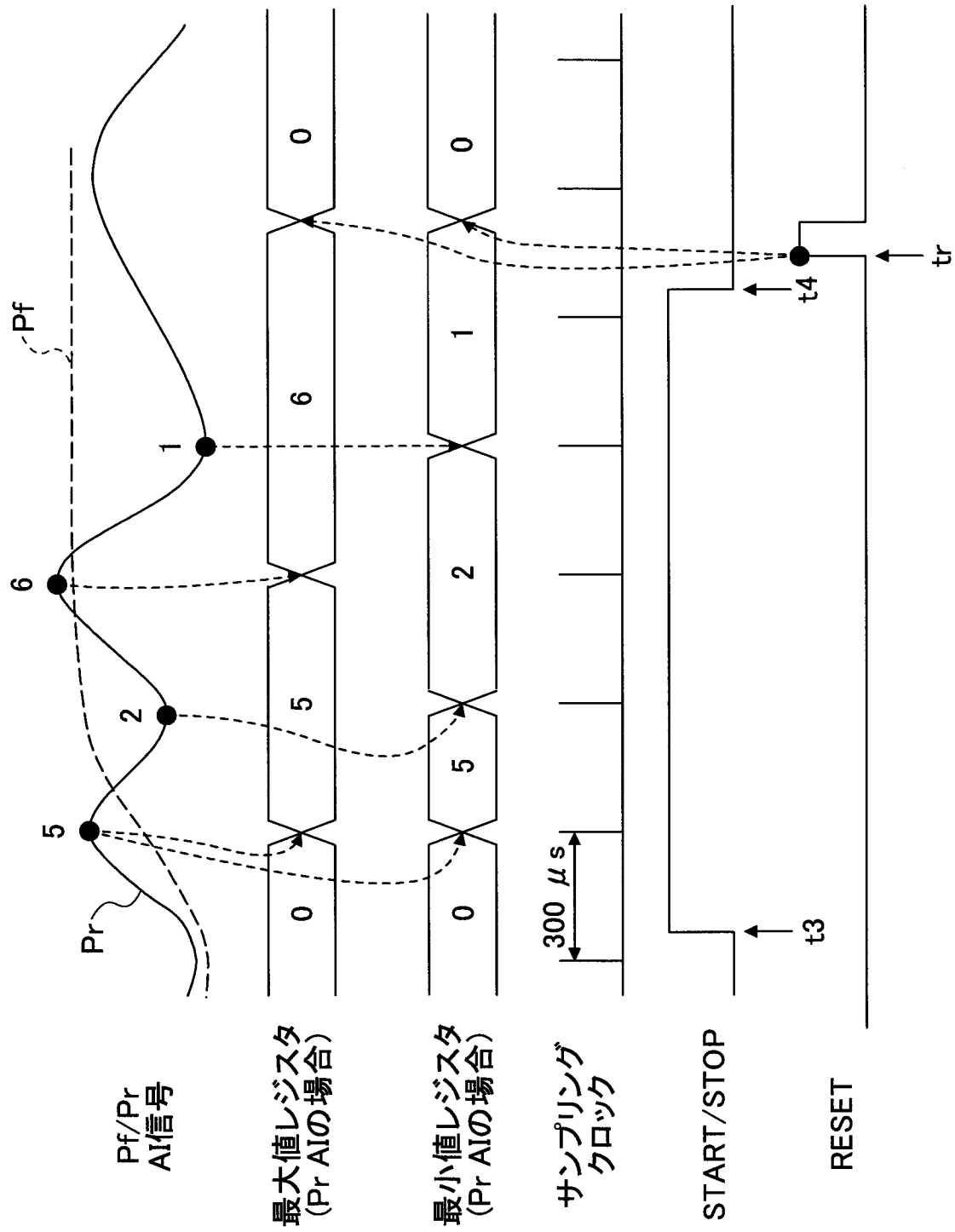
[図8]



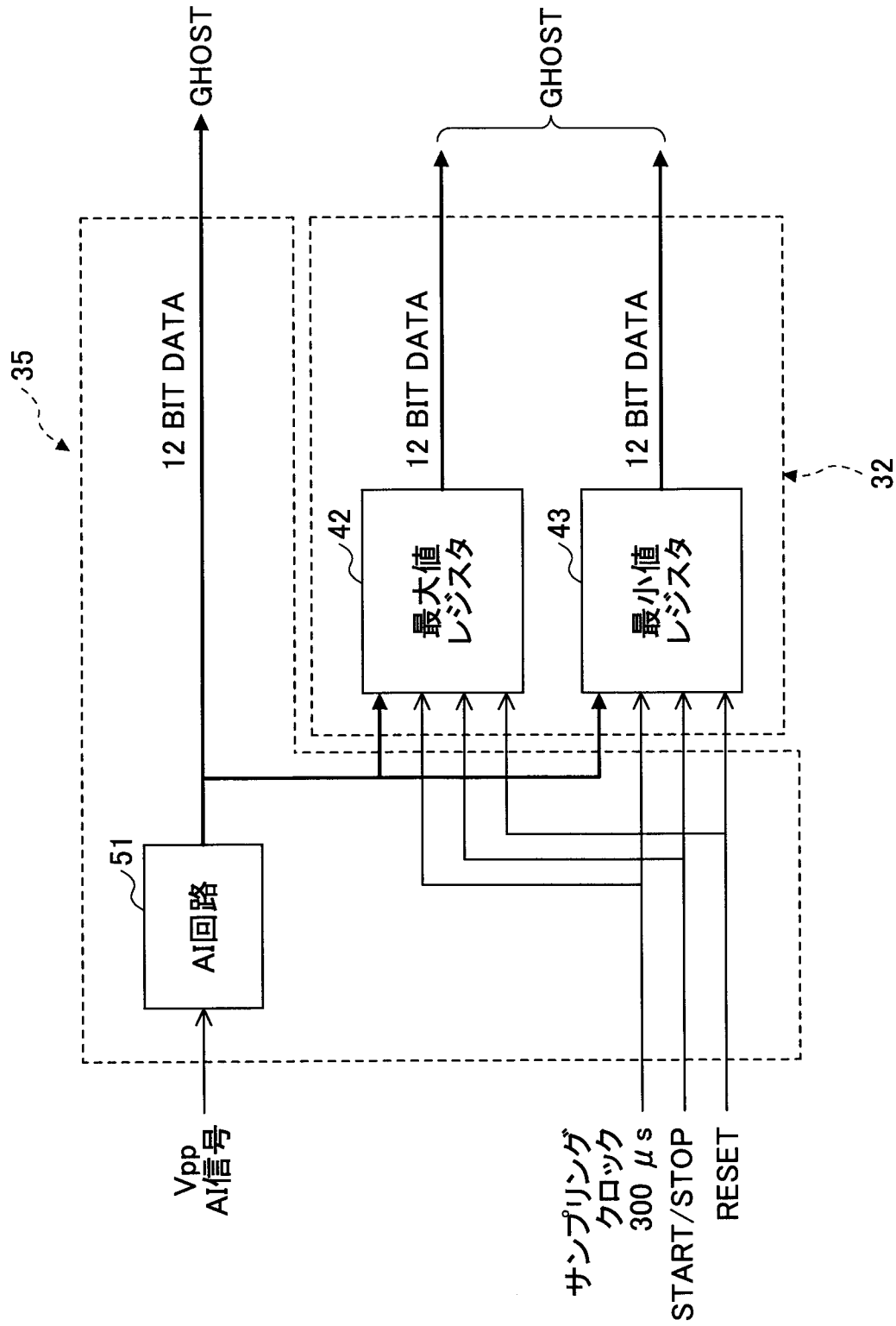
[図9]



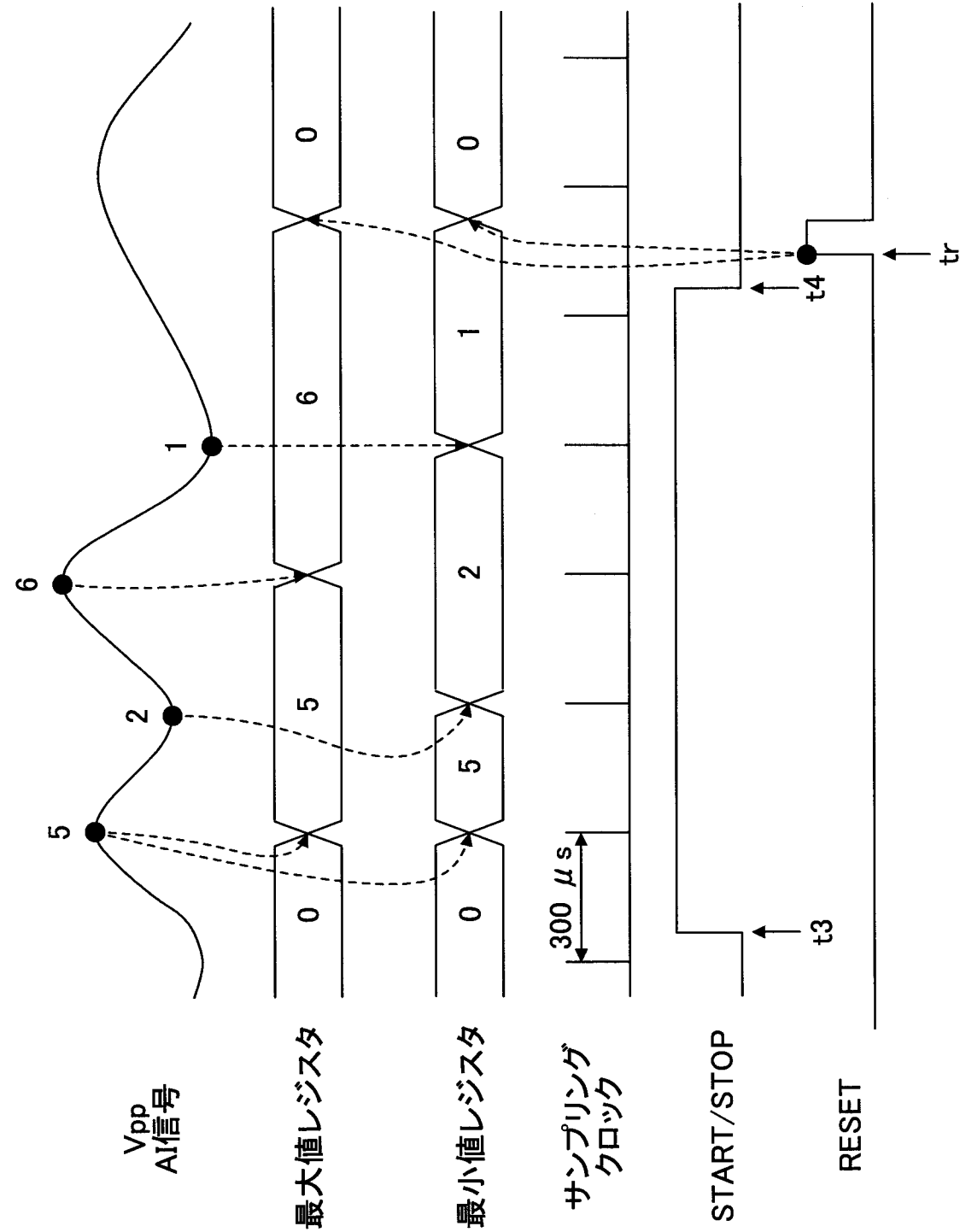
[図10]



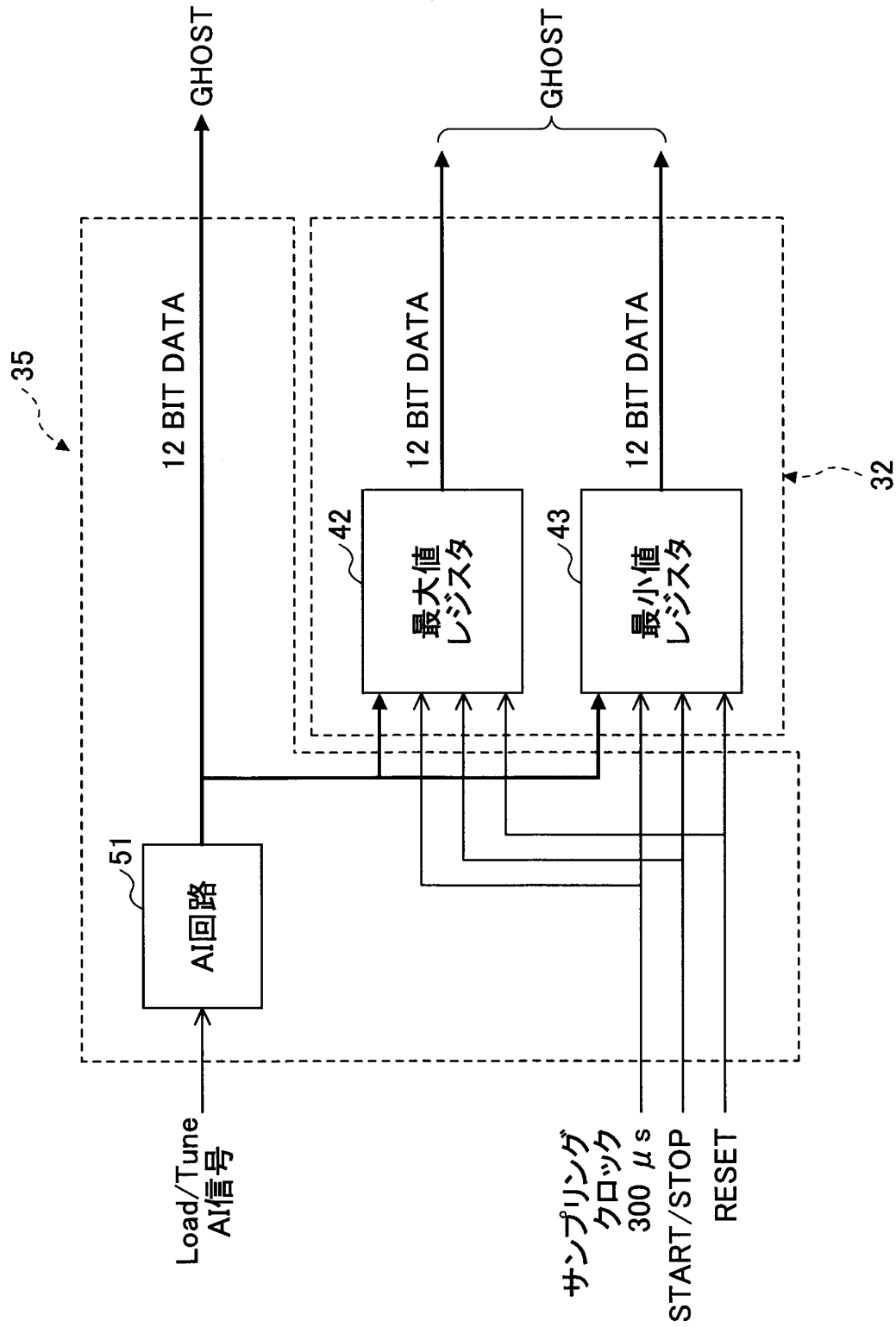
[図11]



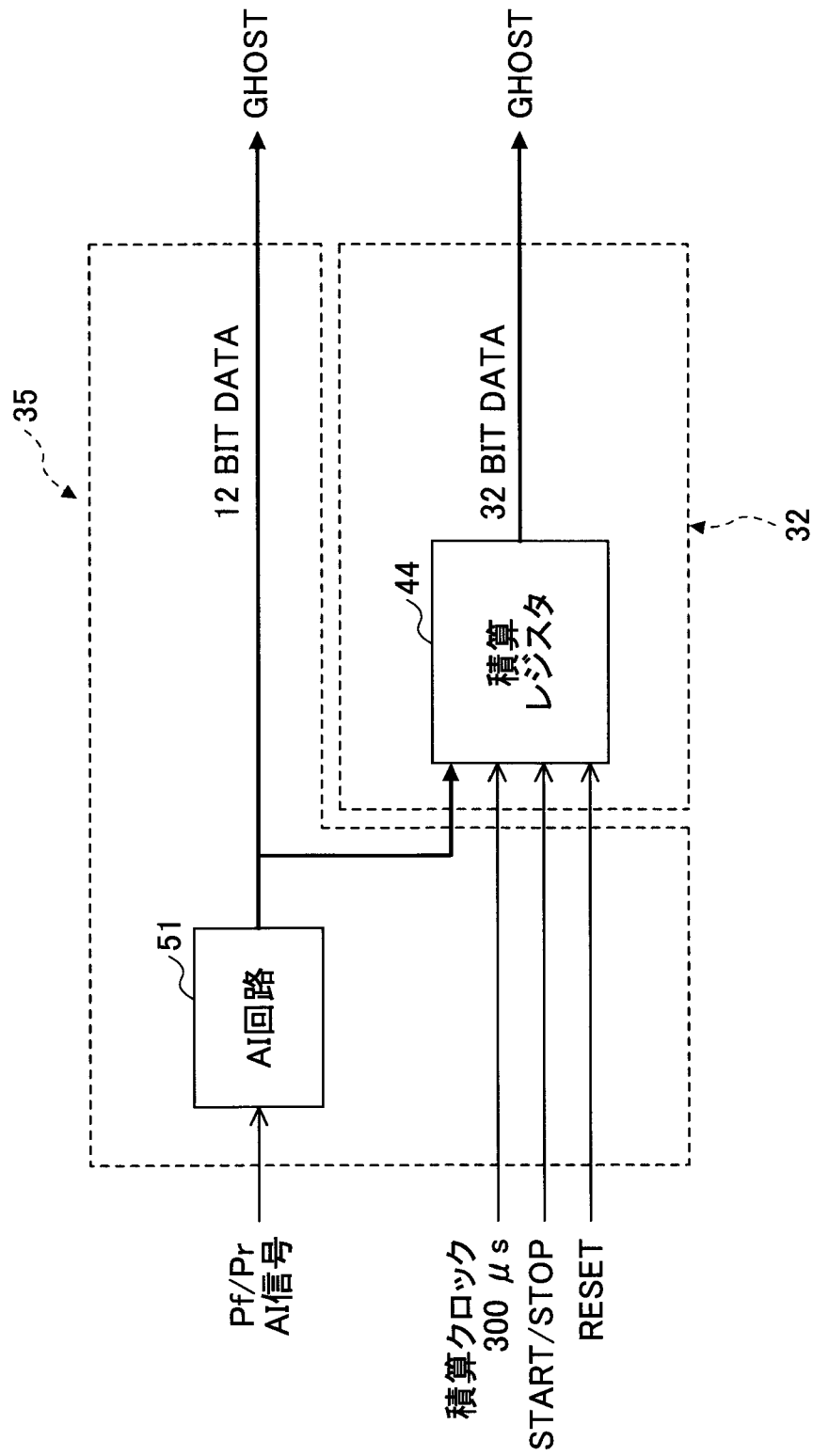
[図12]



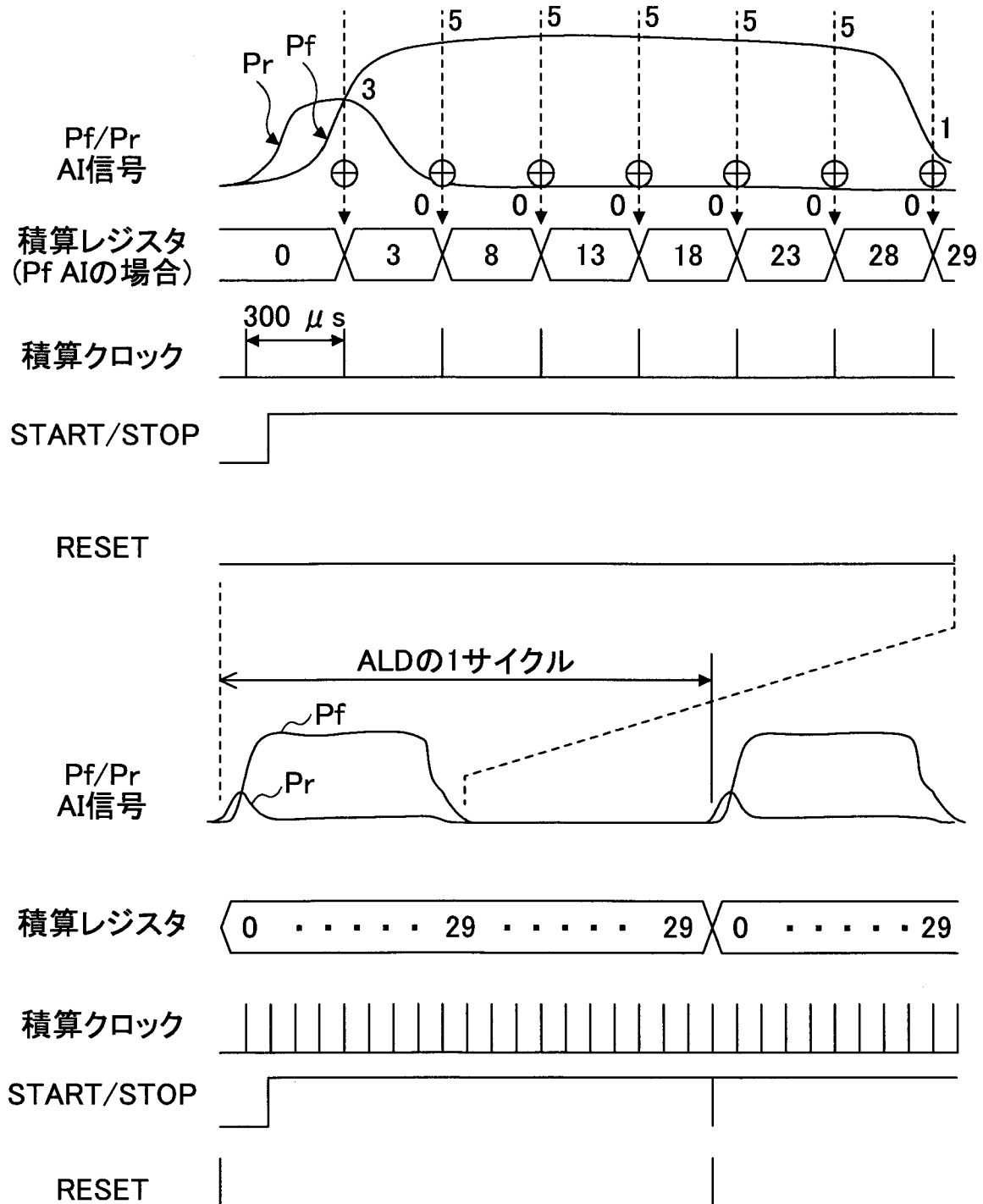
[図13]



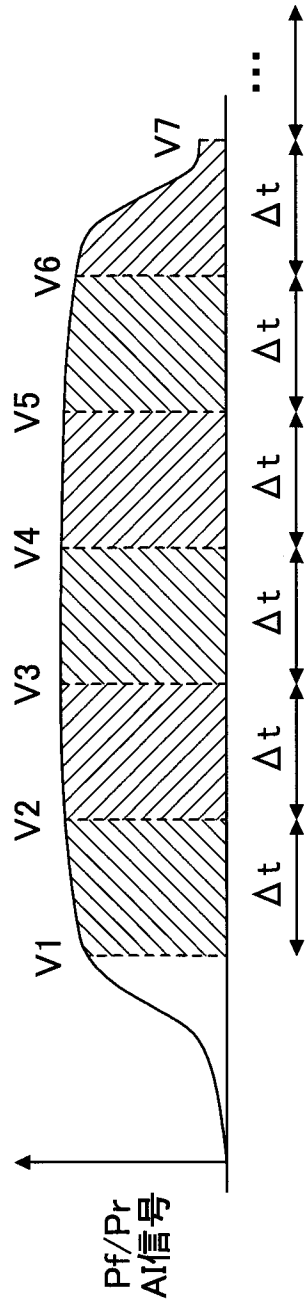
[図15]



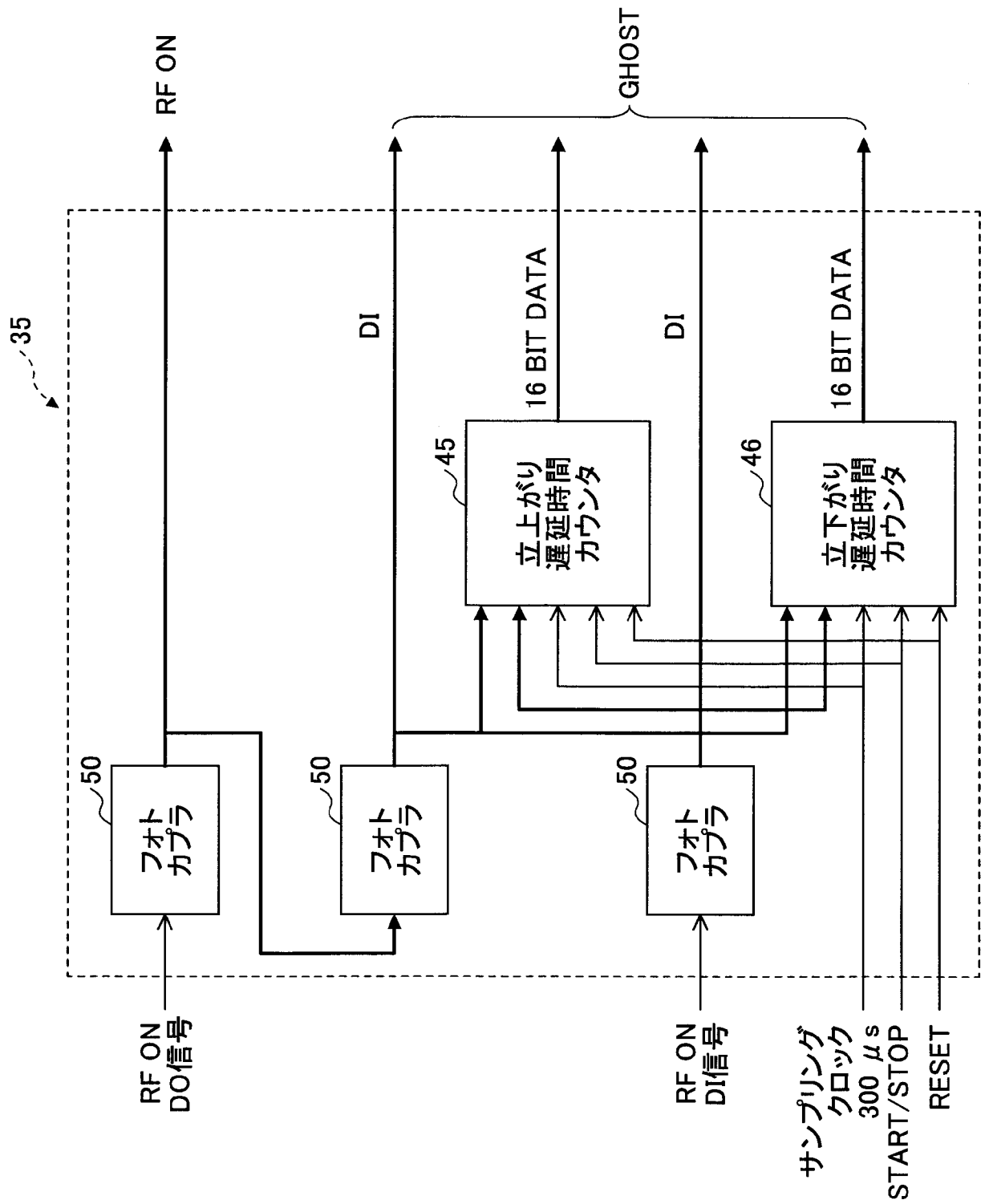
[図16]



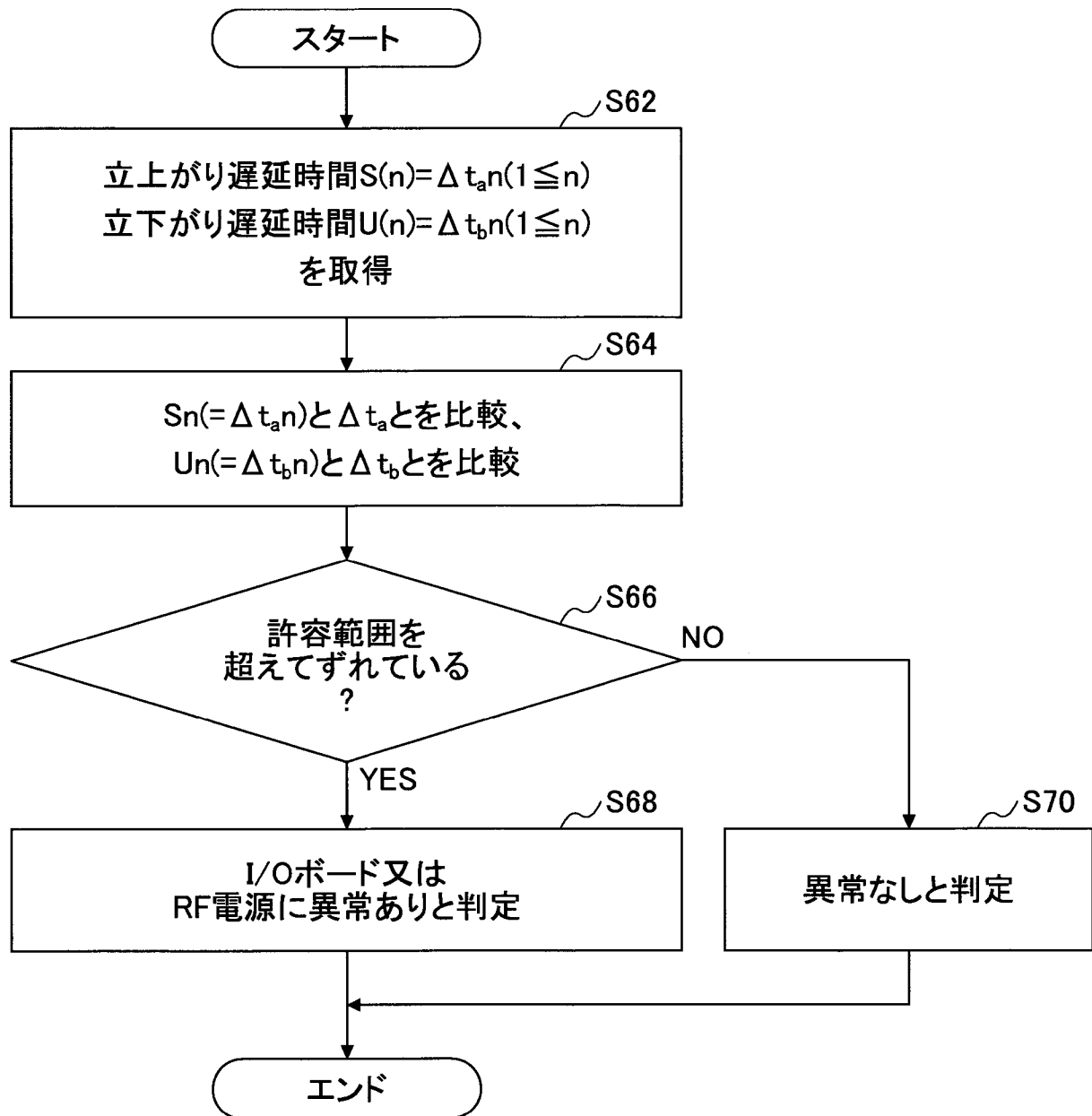
[図17]



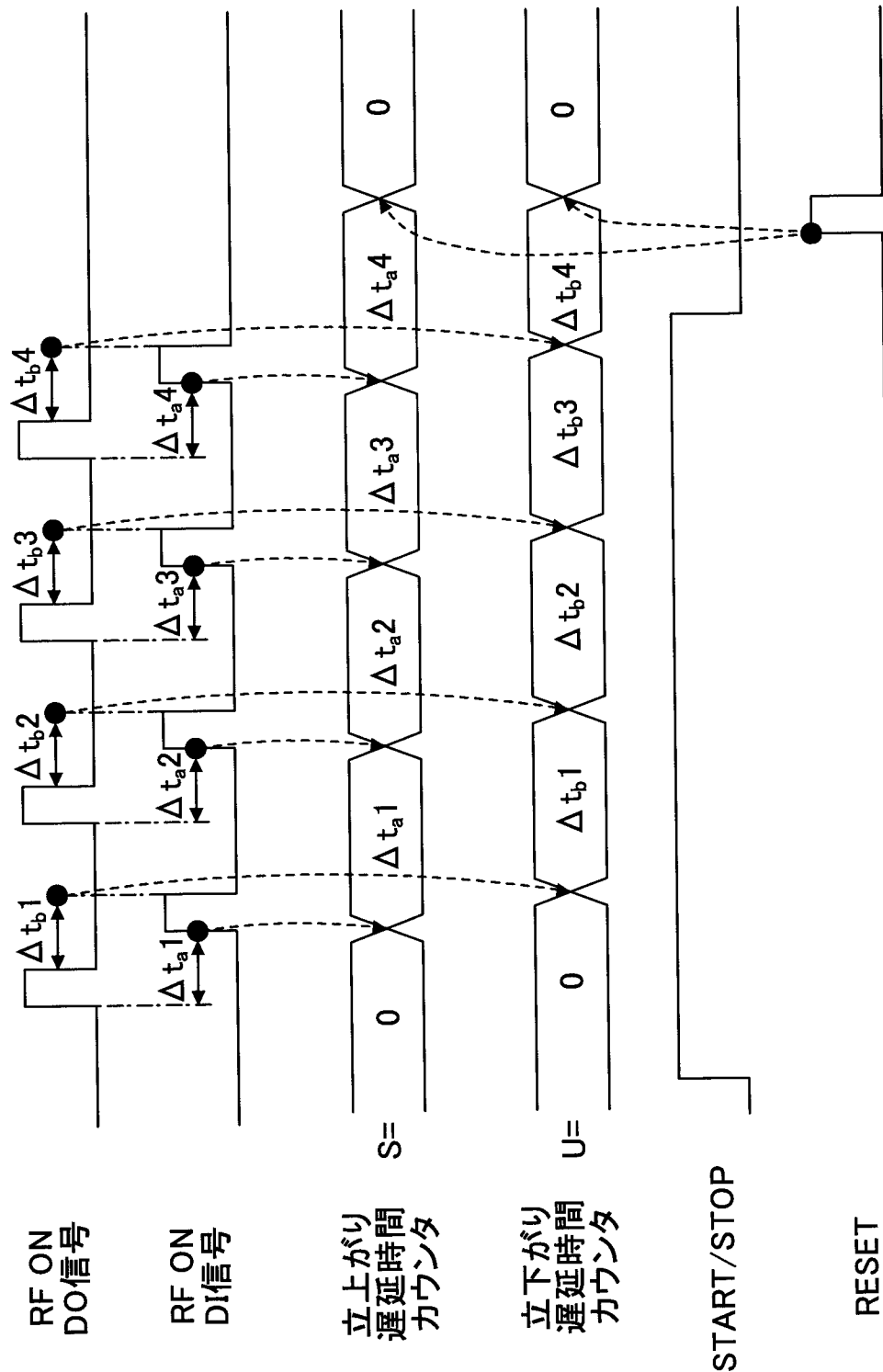
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010496

A. CLASSIFICATION OF SUBJECT MATTER

C23C16/52(2006.01)i, G05B23/02(2006.01)i, H01L21/205(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C23C16/52, G05B23/02, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2015-015282 A (Renesas Electronics Corp.), 22 January 2015 (22.01.2015), paragraphs [0030] to [0057]; fig. 1 to 11 (Family: none)	1, 2, 4-6, 8 7
X Y	WO 2005/057993 A1 (Daihen Corp.), 23 June 2005 (23.06.2005), claims 1, 15; paragraphs [0079] to [0131]; fig. 1 & US 2007/0121267 A1 claims 1, 15; paragraphs [0102] to [0155]; fig. 1	1-3, 6, 8 7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 May 2017 (25.05.17)

Date of mailing of the international search report
06 June 2017 (06.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010496

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-168131 A (Tokyo Electron Ltd.), 29 August 2013 (29.08.2013), paragraph [0003] & US 2013/0183443 A1 paragraph [0004] & CN 103205734 A	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. C23C16/52(2006.01)i, G05B23/02(2006.01)i, H01L21/205(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. C23C16/52, G05B23/02, H01L21/205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2015-015282 A (ルネサスエレクトロニクス株式会社) 2015.01.22, 段落 0030-0057, 図 1-11 (ファミリーなし)	1, 2, 4-6, 8 7
X Y	WO 2005/057993 A1 (株式会社ダイヘン) 2005.06.23, 請求項 1, 15, [0079]-[0131], Fig. 1 & US 2007/0121267 A1 (Claims 1, 15, [0102]-[0155], Fig. 1)	1-3, 6, 8 7
Y	JP 2013-168131 A (東京エレクトロン株式会社) 2013.08.29, 段落 0003 & US 2013/0183443 A1 ([0004]) & CN 103205734 A	7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

25.05.2017

国際調査報告の発送日

06.06.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

塩谷 領大

4 G

4 6 6 5

電話番号 03-3581-1101 内線 3416