(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 2 月 29 日 (29.02.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/040883 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 29/423* (2006.01)
H01L 27/092 (2006.01) *H01L 29/06* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/08* (2006.01)
H01L 21/8238 (2006.01) *H01L 29/10* (2006.01)
H01L 27/088 (2006.01)

(21) 国际申请号: PCT/CN2023/076338

(22) 国际申请日: 2023 年 2 月 16 日 (16.02.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211028523.8 2022年8月25日 (25.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 张卫民 (**ZHANG, Weimin**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所（普通合伙） (**SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP**); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法

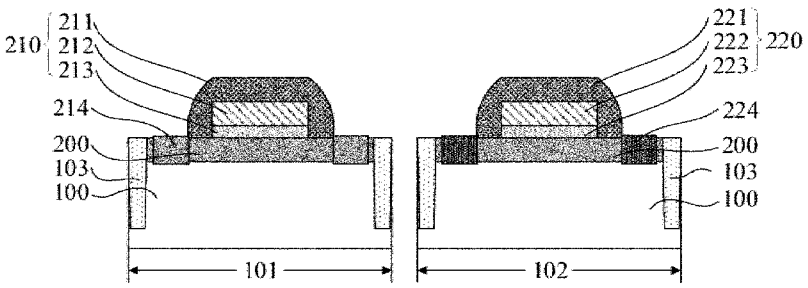


图 1

(57) **Abstract:** The embodiments of the present disclosure relate to the field of semiconductors. Provided are a semiconductor structure and a manufacturing method therefor. The structure comprises: a substrate, which comprises a first active area and a second active area; a channel layer located on a surface of the substrate; a first gate electrode and a second gate electrode, wherein the first gate electrode is located above the part of the channel layer in the first active area, and the second gate electrode is located above the part of the channel layer in the second active area; first semiconductor layers, which are located on two sides of the first gate electrode and are embedded into the channel layer and the substrate, the material of the first semiconductor layers being the same as that of the channel layer; and second semiconductor layers, which are located on two sides of the second gate electrode and are embedded into the channel layer and the substrate, the material of the second semiconductor layers being different from that of the channel layer.

(57) 摘要: 本公开实施例涉及半导体领域，提供一种半导体结构及其制作方法，结构包括：衬底，衬底包括第一有源区和第二有源区；沟道层，沟道层位于衬底表面；第一栅极以及第二栅极，第一栅极位于第一有源区的部分沟道层上方，第二栅极位于第二有源区的部分沟道层上方；第一半导体层，第一半导体层位于第一栅极的两侧，且嵌入沟道层以及衬底内，第一半导体层的材料与沟道层的材料相同；第二半导体层，第二半导体层位于第二栅极的两侧，且嵌入沟道层以及衬底内，第二半导体层的材料与沟道层的材料不同。

WO 2024/040883 A1

[见续页]

MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其制作方法

交叉引用

[0001] 本公开要求于 2022 年 08 月 25 日递交的名称为“半导体结构及其制作方法”、申请号为 202211028523.8 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种半导体结构及其制作方法。

背景技术

[0003] 半导体集成电路飞速发展，半导体器件的特征尺寸已经进入到纳米数量级，随之而来的短沟道效应限制了半导体器件性能的进一步提高。采用应变硅技术可以通过提高半导体器件的载流子迁移率来提高半导体器件的电流驱动能力，而且与现有的工艺技术有良好的兼容性。

[0004] 在应变硅技术中，MOS 晶体管沟道区的张应力能够提升电子的迁移率，压应力能够提升空穴的迁移率。一般而言，在 N 型金属氧化物半导体场效应管（NMOS 管）的沟道区引入张应力来提升 NMOS 器件的性能，在 P 型金属氧化物半导体场效应管(PMOS 管)的沟道区引入压应力来提升 PMOS 器件的性能。

[0005] 对于 PMOS 器件而言，利用锗化硅层作为 PMOS 器件的沟道，锗化硅层的压应力能够提升空穴的迁移率，使 PMOS 器件具有更高的载流子迁移率。但是，对于 NMOS 器件，锗化硅层的压应力会导致 NMOS 器件的电子迁移率降低，从而导致 NMOS 器件的载流子迁移率降低。

发明内容

[0006] 本公开实施例提供一种半导体结构及其制作方法，以提升晶体管的载流子迁移率。

[0007] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，包括：衬底，衬底包括第一有源区和第二有源区；沟道层，沟道层位于衬底表面；第一栅极以及第二栅极，第一栅极位于第一有源区的部分沟道层上方，第二栅极位于第二有源区的部分沟道层上方；第一半导体层，第一半导体层位于第一栅极的两侧，且嵌入沟道层以及衬底内，第一半导体层的材料与沟道层的材料

相同；第二半导体层，第二半导体层位于第二栅极的两侧，且嵌入沟道层以及衬底内，第二半导体层的材料与沟道层的材料不同。

[0008] 在一些实施例中，沟道层的材料包括晶体 $Si_{1-x}Ge_x$，其中，$0.2\leq x\leq 0.3$。

[0009] 在一些实施例中，第一半导体层中锗元素的含量大于沟道层中锗元素的含量。

[0010] 在一些实施例中，第一半导体层的材料包括 $Si_{1-y}Ge_y$，其中，$0.3\leqslant y\leqslant 0.6$。

[0011] 在一些实施例中，第二半导体层的材料包括 $Si_{1-z}C_z$，其中，$0<z\leqslant 0.02$。

[0012] 在一些实施例中，第一半导体层和第二半导体层的顶面均高于沟道层，第一半导体层和第二半导体层的底面均低于沟道层。

[0013] 在一些实施例中，还包括：隔离结构，隔离结构贯穿沟道层，且位于衬底内，至少一个隔离结构位于所第一有源区和第二有源区之间。

[0014] 在一些实施例中，第一有源区为 PMOS 区，第二有源区为 NMOS 区。

[0015] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构的制作方法，包括：提供衬底，衬底包括第一有源区和第二有源区；形成沟道层，沟道层覆盖衬底的整个表面；形成第一栅极以及第二栅极，第一栅极位于第一有源区上方，第二栅极位于第二有源区上方；形成第一半导体层，第一半导体层位于第一栅极的两侧，且嵌入沟道层以及衬底内，第一半导体层的材料与沟道层的材料相同；形成第二半导体层，第二半导体层位于第二栅极的两侧，且嵌入沟道层以及衬底内，第二半导体层的材料与沟道层的材料不同。

[0016] 在一些实施例中，在形成沟道层之后，还包括：形成隔离槽，隔离槽位于沟道层以及衬底内，于隔离槽内填充绝缘材料以形成隔离结构。

[0017] 在一些实施例中，形成隔离结构的工艺温度为：300℃-600℃。

[0018] 在一些实施例中，形成第一半导体层的步骤包括：刻蚀第一栅极两侧的沟道层，并去除部分衬底以形成第一沟槽；于第一沟槽内填充第一半导体材料以形成第一半导体层。

[0019] 在一些实施例中，填充第一半导体材料包括：在第一沟槽中采用外延生长工艺原位形成锗化硅层。

[0020] 在一些实施例中，形成第二半导体层的步骤包括：刻蚀第二栅极两侧的

沟道层，并去除部分衬底以形成第二沟槽；于第二沟槽内填充第二半导体材料以形成第二半导体层。

[0021] 在一些实施例中，填充第二半导体材料包括：在第二沟槽中采用外延生长工艺原位形成碳化硅层。

附图说明

[0022] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0023] 图 1 为本公开一实施例提供的一种半导体结构示意图；

[0024] 图 2 至图 7 为本公开另一实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

具体实施方式

[0025] 由背景技术可知，利用锗化硅层作为 PMOS 器件的沟道，锗化硅层的压应力能够提升空穴的迁移率，使 PMOS 器件具有更高的载流子迁移率。但是，对于 NMOS 器件，锗化硅层的压应力会导致 NMOS 器件的电子迁移率降低，从而导致 NMOS 器件的载流子迁移率降低。

[0026] 分析发现，由于锗原子的晶格常数比硅原子大，在硅衬底上外延生长一层锗化硅层时，就在锗化硅层中引入了压应力，利用这层具有压应力的锗化硅层作为 PMOS 的沟道，能够提升空穴的迁移率，同时，锗材料具有更高的载流子迁移率，从而使锗硅层作为 PMOS 的沟道可以提升 PMOS 的载流子迁移率；但是，对于 NMOS 而言，具有压应力的锗化硅层做 NMOS 的沟道时，会导致 NMOS 的张应力下降，从而使 NMOS 的载流子的迁移率下降，因此 NMOS 用锗化硅层作沟道时，反而导致 NMOS 的性能下降。

[0027] 本公开一实施例提供一种半导体结构，以提升晶体管的载流子迁移率。

[0028] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开

而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0029] 图 1 为本公开一实施例提供的一种半导体结构示意图，以下将结合附图对本实施例提供的半导体结构进行详细说明，具体如下：

[0030] 参考图 1，半导体结构包括：衬底 100，衬底 100 包括第一有源区 101 和第二有源区 102；沟道层 200，沟道层 200 位于衬底 100 表面；第一栅极 210 以及第二栅极 220，第一栅极 210 位于第一有源区 101 的部分沟道层 200 上方，第二栅极 220 位于第二有源区 102 的部分沟道层 200 上方；第一半导体层 214，第一半导体层 214 位于第一栅极 210 的两侧，且嵌入沟道层 200 以及衬底 100 内，第一半导体层 214 的材料与沟道层 200 的材料相同；第二半导体层 224，第二半导体层 224 位于第二栅极 220 的两侧，且嵌入沟道层 200 以及衬底 100 内，第二半导体层 224 的材料与沟道层 200 的材料不同。

[0031] 通过将沟道层 200 覆盖衬底 100 的表面，可以在第一有源区 101 和第二有源区 102 中形成的具有相同沟道材料的晶体管结构，无需针对不同类型的晶体管制作相应材料的沟道区，简化了晶体管结构中沟道区的制作工艺；第一栅极 210 用于形成第一有源区 101 中晶体管结构的栅极，第二栅极 220 用于形成第二有源区 102 中晶体管结构的栅极；在第一栅极 210 的两侧衬底 100 和沟道层 200 内嵌入有第一半导体层 214，可用于形成第一有源区 101 中晶体管结构的源极或者漏极，在第二栅极 220 两侧的衬底 100 和沟道层 200 内嵌入有第二半导体层 224，可以用于形成第二有源区 102 中晶体管结构的源极或者漏极，沟道层 200 和第一半导体层 214 可以用于提高第一有源区 101 中晶体管结构的载流子迁移率，第二半导体层 224 可以抵消沟道层 200 对于第二有源区 102 中晶体管结构的载流子迁移率的影响，从而提高第二有源区 102 中晶体管结构的载流子迁移率。

[0032] 对于衬底 100，衬底 100 的材料可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以为硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

[0033] 在一些实施例中，衬底 100 中可以具有掺杂离子，例如，掺杂离子可以是 N 型离子或者 P 型离子，N 型离子具体可以为磷离子、砷离子或者锑离子；P 型离子具体可以为硼离子、铟离子或者氟化硼离子。

[0034] 对于第一有源区 101 和第二有源区 102，在本实施例中，第一有源区为

PMOS 区，第二有源区为 NMOS 区，即第一有源区用于形成 PMOS 管，第二有源区用于形成 NMOS 管；在其他实施例中，第一有源区为 NMOS 区，第二有源区为 PMOS 区，即第一有源区可以用于形成 NMOS 管，第二有源区可以用于形成 PMOS 管。

[0035] 对于沟道层 200，在本实施例中，沟道层的材料包括晶体 $Si_{1-x}Ge_x$，其中，$0.2\leqslant x\leqslant 0.3$，例如，x 可以是 0.2、0.25 或者 0.3。晶体 $Si_{1-x}Ge_x$ 材料具有更高的载流子迁移率，晶体 $Si_{1-x}Ge_x$ 中 Ge 元素的含量越大，晶体 $Si_{1-x}Ge_x$ 形成的沟道中压应力越大，对 PMOS 器件性能的提高越有利，但是，当 Ge 元素的含量过高时，晶体 $Si_{1-x}Ge_x$ 层中会因严重的晶格失配，从而使衬底与晶体 $Si_{1-x}Ge_x$ 之间产生大量的位错和缺陷，导致晶体 $Si_{1-x}Ge_x$ 层中的应变部分被弛豫，使晶体 $Si_{1-x}Ge_x$ 层形成的沟道内的应力减弱，从而影响 PMOS 器件的性能；减小晶体 $Si_{1-x}Ge_x$ 中 Ge 元素的含量会使缺陷减少，但也会使晶体 $Si_{1-x}Ge_x$ 层对沟道区施加的压应力减小，从而不能有效提高载流子迁移率。因此，沟道层的晶体 $Si_{1-x}Ge_x$ 材料中 Ge 元素的含量需要在一定范围内调整，以满足提高载流子迁移率的效果，同时不对晶体管结构的性能造成影响。

[0036] 对于第一半导体层 214，在本实施例中，第一半导体层 214 中锗元素的含量大于沟道层 200 中锗元素的含量。可以理解的是，沟道层 200 的材料为晶体 $Si_{1-x}Ge_x$ 可以提高源漏区域的导电能力，并且有利于提高沟道的压应力，例如，第一有源区用于形成 PMOS 管时，第一半导体层 214 用于形成 PMOS 管的源极或者漏极，当第一半导体层 214 中锗元素的含量大于沟道层 200 中锗元素的含量时，可以进一步提高 PMOS 管沟道区的压应力，从而使第一有源区中 PMOS 管的载流子迁移率进一步提高。

[0037] 在一些实施例中，第一半导体层的材料可以包括 $Si_{1-y}Ge_y$，其中，$0.3\leqslant y\leqslant 0.6$，例如，y 可以是 0.3、0.4、0.5 或者 0.6。可以理解的是，第一半导体层采用 $Si_{1-y}Ge_y$ 用于形成第一有源区中 PMOS 管的源极或者漏极时，第一半导体层中 Ge 元素的含量越高，源漏区域的载流子迁移能力越强，导电性能更好，相应的，形成 PMOS 管的源极和漏极对沟道区的压应力增加，对载流子迁移率的提升效果越好，但是第一半导体层中过高的 Ge 元素容易造成晶格失配，从而使 PMOS 管的源极或者漏极结构产生缺陷；相反，过低的 Ge 元素含量无法进一步提高 PMOS 管的源极和漏极对沟道区的压应力增加，从而无法到达提高 PMOS 管的载流子迁移率的目的，因此，第一半导体层采用 $Si_{1-y}Ge_y$ 形成第一有源区中 PMOS 管的源极或者漏极时，第一半导体层中 Ge 元素的含量需要控制

在一定范围内，以使第一半导体层对 PMOS 管沟道区的压应力增加，从而使第一有源区中 PMOS 管的载流子迁移率进一步提高，同时避免 PMOS 管源极或者漏极的结构产生缺陷，提高 PMOS 管的使用性能。

[0038] 在一些实施例中，第二半导体层的材料包括 $Si_{1-z}C_z$，其中，$0<z\leqslant 0.02$，例如，z 可以是 0.005、0.01、0.015 或者 0.02。硅的晶格常数是 5.431Å，碳的晶格常数是 3.57Å，硅与碳的不匹配率是 34.27%，从而使得 SiC 的晶格常数小于纯硅，并且碳的晶格常数远小于硅的晶格常数，$Si_{1-z}C_z$ 材料只需很少的碳原子就可得到很高的应力。例如，沟道层的材料采用晶体锗化硅时，由于沟道层中具有 Ge 元素可以用于提高晶体管结构中沟道的压应力，对于 PMOS 管而言，可以增加 PMOS 管的载流子迁移率；但对于 NMOS 管而言，压应力的增加会导致 NMOS 管的载流子迁移率下降，因此，当在第一有源区中形成 PMOS 管，在第二有源区中形成 NMOS 管时，第二半导体层采用 $Si_{1-z}C_z$ 形成第二有源区中 NMOS 管的源极或者漏极，可以使 NMOS 管的沟道压应力被 $Si_{1-z}C_z$ 抵消，从而避免 NMOS 管的载流子迁移率下降，以使 NMOS 管能抵消晶体锗化硅作为沟道时的影响，提高 NMOS 管的载流子迁移率。可以理解的是，第二半导体层中 C 含量的越高，对 NMOS 管沟道中压应力的抵消效果越好，但是由于硅和碳的晶格常数差别较大，过高的 C 含量会导致晶格中出现过多的无法预料的缺陷，影响源漏区的导电性能。因此，采用 $Si_{1-z}C_z$ 做 NMOS 管的源极或者漏极时，可以使 NMOS 管采用锗化硅做沟道，同时抵消锗化硅做沟道时的压应力对 NMOS 管的影响，从而达到提高 NMOS 管载流子迁移率的目的。

[0039] 在一些实施例中，第一半导体层和第二半导体层的顶面均高于沟道层，第一半导体层和第二半导体层的底面均低于沟道层。可以理解的是，当第一半导体层和第二半导体层的厚度均大于沟道层时，第一半导体层和第二半导体层形成相应的源极或者漏极产生的应力效果可以更好的作用于沟道层，例如，当第一有源区中用于形成 PMOS 管，第二有源区中用于形成 NMOS 管时，第一半导体层之间的压应力可以完全作用于 PMOS 管的沟道层中，第二半导体层之间的张应力可以完全作用于 NMOS 管的沟道层中。

[0040] 例如，在一些实施例中，第一半导体层和第二半导体层的顶面高于沟道层的高度范围均为 1nm~3nm，例如，可以是 1nm、2nm 或者 3nm；第一半导体层和第二半导体层的底面低于沟道层的高度范围均为 1nm~3nm，例如，可以是 1nm、2nm 或者 3nm。可以理解的是，第一半导体层和第二半导层的厚度均大于沟道层时，有利于第一半导体层和第二半导体层对相应的沟道层产生应力作

用，但是第一半导体层和第二半导层的厚度与沟道层的厚度差均较大时，不利于半导体结构的稳定性，因此，第一半导体层和第二半导层的厚度与沟道层的厚度差需要根据实际情况进行适应性调整，以满足半导体结构的需求，提高半导体结构的稳定性。

[0041] 对于第一栅极 210 和第二栅极 220，在本实施例中，第一栅极 210 包括第一栅介质层 212、第一栅导电层 213 和第一栅侧墙层 211，第一栅介质层 212 位于沟道层 200 的表面设置，第一栅导电层 213 覆盖第一栅介质层 212 表面，第一栅侧墙层 211 覆盖第一栅导电层 213 的表面，且覆盖第一栅介质层 212 和第一栅导电层 213 的侧壁；第二栅极包括第二栅介质层 222、第二栅导电层 223 和第二栅侧墙层 221，第二栅介质层 222 位于沟道层 200 的表面设置，第二栅导电层 223 覆盖第二栅介质层 222 表面，第二栅侧墙层 221 覆盖第二栅导电层 223 的表面，且覆盖第二栅介质层 222 和第二栅导电层 223 的侧壁。栅介质层可以防止后续工艺过程中栅导电层与沟道层发生反应，避免半导体结构的损坏，栅侧墙层可以将不同晶体管结构的栅极相互隔离，避免不同晶体管之间的栅极相互连通，或者晶体管的栅极与其他晶体管的源极或者漏极连通发生漏电，从而避免半导体结构的性能受到影响。

[0042] 对于第一栅介质层 212 和第二栅介质层 222，第一栅介质层 212 和第二栅介质层 222 的材料均包括氧化硅、氮化硅或者氮氧化硅中的至少一种。

[0043] 对于第一栅导电层 213 和第二栅导电层 223，第一栅导电层 213 和第二栅导电层 223 的材料均包括多晶硅、氮化钛、铝化钛、氮化钽、钽、铜、铝、镧、铜或者钨中的至少一种。

[0044] 对于第一栅侧墙层 211 和第二栅侧墙层 221，第一栅侧墙层 211 和第二栅侧墙层 221 的材料均包括氧化硅、氮化硅或者氮氧化硅的至少其中一种。

[0045] 在本实施例中，第一栅侧墙层和第二栅侧墙层均为单层结构；在其他实施例中，第一栅侧墙层和第二栅侧墙层均可以是多层结构。例如，第一栅侧墙层和第二栅侧墙层均可以是氧化硅-氮化硅-氧化硅（Oxide-Nitride-Oxide，ONO）结构，通过形成 ONO 结构可以增加栅侧墙层的绝缘能力，进一步避免栅极叠层与其他半导体器件之间产生漏电，同时，氮化硅具有较高的应力，可以良好的支撑栅侧墙层，保持栅极结构的良好形态。

[0046] 在一些实施例中，第二栅侧墙层还包括张应变 SiN 层，张应变 SiN 层与 SiGe 沟道层的两端接触，为沟道层提供张应力，以进一步缓解 SiGe 沟道中的

压应力对载流子迁移率的影响。

[0047] 在一些实施例中，还包括：隔离结构 103，隔离结构 103 贯穿沟道层 200，且位于衬底 100 内，至少一个隔离结构 103 位于所第一有源区 101 和第二有源区 102 之间。隔离结构 103 可以将第一有源区 101 和第二有源区 102 之间隔离，同时可以避免第一有源区 101 中的晶体管之间相互连通，也可以避免第二有源区 102 中的晶体管之间相互连通，从而避免晶体管结构的损坏，提高半导体结构的可靠性。

[0048] 在本实施例中，隔离结构设置为单层结构；在其他实施例中，隔离结构可以设置为多层结构。例如，隔离结构可以是氧化硅-氮化硅-氧化硅（Oxide-Nitride-Oxide，ONO）结构，位于基底表面的氧化硅可以作为氮化硅与基底之间的缓冲层，避免由于氮化硅的硬度过大造成氮化硅与基底表面发生错位的现象，提高半导体结构的使用性能；氮化硅具有较高的密度，可以有更好绝缘作用以隔离相邻的晶体管，同时氮化硅具有较高的硬度，可以对隔离结构具有支撑作用，使隔离结构保持良好的形态；最外层的氧化硅可以填充隔离结构中的间隙，使隔离结构的顶部表面与基底表面齐平，同时良好的绝缘性能可以使相邻的晶体管之间隔绝，避免相邻的晶体管之间相互导通，提高半导体结构的性能。

[0049] 本公开实施例提供的半导体结构，基于覆盖衬底表面的沟道层，可以在第一有源区和第二有源区中形成的具有相同沟道材料的晶体管结构，无需针对不同类型的晶体管制作相应材料的沟道区，简化了晶体管结构中沟道区的制作工艺；第一栅极用于形成第一有源区中晶体管结构的栅极，第二栅极用于形成第二有源区中晶体管结构的栅极；在第一栅极的两侧衬底和沟道层内嵌入有第一半导体层，可用于形成第一有源区中晶体管结构的源极或者漏极，在第二栅极两侧的衬底和沟道层内嵌入有第二半导体层，可以用于形成第二有源区中晶体管结构的源极或者漏极，沟道层和第一半导体层可以用于提高第一有源区中晶体管结构的载流子迁移率，第二半导体层可以抵消沟道层对于第二有源区中晶体管结构的载流子迁移率的影响，从而提高第二有源区中晶体管结构的载流子迁移率。

[0050] 本发明另一实施例提供一种半导体结构的制作方法，可用于形成上述半导体结构，以提升晶体管的载流子迁移率。需要说明的是，与上述实施例相同或者相应的部分，可参考前述实施例的相应说明，以下将不做详细赘述。

[0051] 图 2 至图 7 为本公开另一实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图，具体如下：

[0052] 参考图 2，提供衬底 100，衬底 100 包括第一有源区 101 和第二有源区 102；形成沟道层 200，沟道层 200 覆盖衬底 100 的整个表面。

[0053] 对于衬底 100，衬底 100 的材料可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以为硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

[0054] 对于第一有源区 101 和第二有源区 102，在本实施例中，第一有源区为 PMOS 区，第二有源区为 NMOS 区，即第一有源区用于形成 PMOS 管，第二有源区用于形成 NMOS 管；在其他实施例中，第一有源区为 NMOS 区，第二有源区为 PMOS 区，即第一有源区可以用于形成 NMOS 管，第二有源区可以用于形成 PMOS 管。

[0055] 对于沟道层 200，形成沟道层 200 的工艺包括外延生长工艺。

[0056] 在一些实施例中，在提供衬底之后，在形成沟道层之前，还包括对衬底进行离子掺杂。例如，掺杂离子可以是 N 型离子或者 P 型离子，N 型离子具体可以为磷离子、砷离子或者锑离子；P 型离子具体可以为硼离子、铟离子或者氟化硼离子。

[0057] 参考图 3，在一些实施例中，在形成沟道层 200 之后，还包括：形成隔离槽，隔离槽位于沟道层 200 以及衬底 100 内，于隔离槽内填充绝缘材料以形成隔离结构 103。隔离结构 103 可以将第一有源区 101 和第二有源区 102 之间隔离，同时可以避免第一有源区 101 中的晶体管之间相互连通，也可以避免第二有源区 102 中的晶体管之间相互连通，从而避免晶体管结构的损坏，提高半导体结构的可靠性。

[0058] 在一些实施例中，形成隔离结构 103 的工艺温度为：300℃-600℃。当沟道层的材料为晶体锗化硅时，形成隔离结构的温度较低时，可以避免沟道层的晶体结构被破坏，从而避免基于沟道层形成的晶体管结构性能受到影响，提高半导体结构的稳定性。

[0059] 参考图 4，形成第一栅极 210 以及第二栅极 220，第一栅极 210 位于第一有源区 101 上方，第二栅极 220 位于第二有源区 102 上方。

[0060] 例如，形成第一栅极 210 包括：形成第一栅介质层 212、第一栅导电层

213 和第一栅侧墙层 211，第一栅介质层 212 位于沟道层 200 的表面设置，第一栅导电层 213 覆盖第一栅介质层 212 表面，第一栅侧墙层 211 覆盖第一栅导电层 213 的表面，且覆盖第一栅介质层 212 和第一栅导电层 213 的侧壁；形成第二栅极 220 包括：形成第二栅介质层 222、第二栅导电层 223 和第二栅侧墙层 221，第二栅介质层 222 位于沟道层 200 的表面设置，第二栅导电层 223 覆盖第二栅介质层 222 表面，第二栅侧墙层 221 覆盖第二栅导电层 223 的表面，且覆盖第二栅介质层 222 和第二栅导电层 223 的侧壁。

[0061] 参考图 5，形成绝缘层 230 覆盖并填充第一栅极 210 和第二栅极 220 之间的间隙。形成绝缘层覆盖第一栅极和第二栅极，可以防止后续工艺过程对第一栅极和第二栅极造成影响，避免半导体结构的损坏；且后续工艺过程中分别针对第一有源区和第二有源区进行工艺操作时，可以保护第一有源区内的结构不受第二有源区的工艺影响，也可以保护第二有源区内的结构不受第一有源区内的工艺影响。

[0062] 参考图 6，形成第一半导体层 214，第一半导体层 214 位于第一栅极 210 的两侧，且嵌入沟道层 200 以及衬底 100 内，第一半导体层 214 的材料与沟道层 200 的材料相同。

[0063] 在一些实施例中，形成第一半导体层 214 的步骤包括：去除第一栅极 210 两侧的绝缘层 230，刻蚀第一栅极 210 两侧的沟道层 200，并去除部分衬底 100 以形成第一沟槽；于第一沟槽内填充第一半导体材料以形成第一半导体层 214。

[0064] 在一些实施例中，填充第一半导体材料包括：在第一沟槽中采用外延生长工艺原位形成锗化硅层。通过外延生长工艺可以使第一沟槽内的衬底表面均匀的生长锗化硅层，同时通过原位形成的方式，可以使生长的锗化硅层中具有掺杂离子，以直接形成第一有源区中晶体管的源极或者漏极，无需在后续工艺过程中进行离子注入和退火，从而可以避免晶体结构由于高温退火被破坏，提高半导体结构的稳定性。

[0065] 继续参考图 6，在一些实施例中，形成第一半导体层 214 之后还包括形成导电结构 240，导电结构 240 可以将第一半导体层 214 与其他器件电连接，从而将第一有源区 101 中晶体管的源极或者漏极与其他器件通电，以便于对晶体管的控制。

[0066] 参考图 7，形成第二半导体层 224，第二半导体层 224 位于第二栅极 220 的两侧，且嵌入沟道层 200 以及衬底 100 内，第二半导体层 224 的材料与沟道

层的材料不同。

[0067] 在一些实施例中，形成第二半导体层 224 的步骤包括：去除第二栅极 220 两侧的绝缘层 230，刻蚀第二栅极 220 两侧的沟道层 200，并去除部分衬底 100 以形成第二沟槽；于第二沟槽内填充第二半导体材料以形成第二半导体层 224。

[0068] 在一些实施例中，填充第二半导体材料包括：在第二沟槽中采用外延生长工艺原位形成碳化硅层。通过外延生长工艺可以使第二沟槽内的衬底表面均匀的生长碳化硅层，同时通过原位形成的方式，可以使生长的碳化硅层中具有掺杂离子，以直接形成第二有源区中晶体管的源极或者漏极，无需在后续工艺过程中进行离子注入和退火，从而可以避免晶体结构由于高温退火被破坏，提高半导体结构的稳定性。

[0069] 继续参考图 7，在一些实施例中，形成第二半导体层 224 之后还包括形成导电结构 240，导电结构 240 可以将第二半导体层 224 与其他器件电连接，从而将第二有源区 102 中晶体管的源极或者漏极与其他器件通电，以便于对晶体管的控制。

[0070] 本公开实施例提供的半导体结构制作方法，通过形成沟道层直接覆盖衬底的表面，可以在第一有源区和第二有源区中形成的具有相同沟道材料的晶体管结构，无需针对不同类型的晶体管制作相应材料的沟道区，简化了晶体管结构中沟道区的制作工艺；第一栅极用于形成第一有源区中晶体管结构的栅极，第二栅极用于形成第二有源区中晶体管结构的栅极；在第一栅极的两侧衬底和沟道层内嵌入有第一半导体层，可用于形成第一有源区中晶体管结构的源极或者漏极，在第二栅极两侧的衬底和沟道层内嵌入有第二半导体层，可以用于形成第二有源区中晶体管结构的源极或者漏极，沟道层和第一半导体层可以用于提高第一有源区中晶体管结构的载流子迁移率，第二半导体层可以抵消沟道层对于第二有源区中晶体管结构的载流子迁移率的影响，从而提高第二有源区中晶体管结构的载流子迁移率。

[0071] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。

权 利 要 求 书

1. 一种半导体结构，包括：

衬底，所述衬底包括第一有源区和第二有源区；

沟道层，所述沟道层位于所述衬底表面；

第一栅极以及第二栅极，所述第一栅极位于所述第一有源区的部分所述沟道层上方，所述第二栅极位于所述第二有源区的部分所述沟道层上方；

第一半导体层，所述第一半导体层位于所述第一栅极的两侧，且嵌入所述沟道层以及所述衬底内，所述第一半导体层的材料与所述沟道层的材料相同；

第二半导体层，所述第二半导体层位于所述第二栅极的两侧，且嵌入所述沟道层以及所述衬底内，所述第二半导体层的材料与所述沟道层的材料不同。

2. 如权利要求 1 所述的半导体结构，其中，所述沟道层的材料包括晶体 $Si_{1-x}Ge_x$，其中，$0.2 \leqslant x \leqslant 0.3$。

3. 如权利要求 2 所述的半导体结构，其中，所述第一半导体层中锗元素的含量大于所述沟道层中锗元素的含量。

4. 如权利要求 1~3 中任意一项所述的半导体结构，其中，所述第一半导体层的材料包括 $Si_{1-y}Ge_y$，其中，$0.3 \leqslant y \leqslant 0.6$。

5. 如权利要求 1~3 中任意一项所述的半导体结构，其中，所述第二半导体层的材料包括 $Si_{1-z}C_z$，其中，$0 < z \leqslant 0.02$。

6. 如权利要求 1 所述的半导体结构，其中，所述第一半导体层和所述第二半导体层的顶面均高于所述沟道层，所述第一半导体层和所述第二半导体层的底面均低于所述沟道层。

7. 如权利要求 1 所述的半导体结构，其中，还包括：隔离结构，所述隔离结构贯穿所述沟道层，且位于所述衬底内，至少一个所述隔离结构位于所第一有源区和所述第二有源区之间。

8. 如权利要求 1 所述的半导体结构，其中，所述第一有源区为 PMOS 区，所述第二有源区为 NMOS 区。

9. 一种半导体结构的制作方法，包括：

提供衬底，所述衬底包括第一有源区和第二有源区；

形成沟道层，所述沟道层覆盖所述衬底的整个表面；

形成第一栅极以及第二栅极，所述第一栅极位于所述第一有源区上方，所述第二栅极位于所述第二有源区上方；

形成第一半导体层，所述第一半导体层位于所述第一栅极的两侧，且嵌入所述沟道层以及所述衬底内，所述第一半导体层的材料与所述沟道层的材料相同；

形成第二半导体层，所述第二半导体层位于所述第二栅极的两侧，且嵌入所述沟道层以及所述衬底内，所述第二半导体层的材料与所述沟道层的材料不同。

10.如权利要求9所述的半导体结构的制作方法，其中，在形成所述沟道层之后，还包括：形成隔离槽，所述隔离槽位于所述沟道层以及所述衬底内，于所述隔离槽内填充绝缘材料以形成隔离结构。

11.如权利要求 10 所述的半导体结构的制作方法，其中，形成所述隔离结构的工艺温度为：300℃-600℃。

12.如权利要求 9 所述的半导体结构的制作方法，其中，所述形成第一半导体层的步骤包括：刻蚀所述第一栅极两侧的所述沟道层，并去除部分所述衬底以形成第一沟槽；于所述第一沟槽内填充第一半导体材料以形成所述第一半导体层。

13.如权利要求 12 所述的半导体结构的制作方法，其中，填充所述第一半导体材料包括：在所述第一沟槽中采用外延生长工艺原位形成锗化硅层。

14.如权利要求 9 所述的半导体结构的制作方法，其中，所述形成第二半导体层的步骤包括：刻蚀所述第二栅极两侧的所述沟道层，并去除部分所述衬底以形成第二沟槽；于所述第二沟槽内填充第二半导体材料以形成所述第二半导体层。

15.如权利要求 14 所述的半导体结构的制作方法，其中，填充所述第二半导体材料包括：在所述第二沟槽中采用外延生长工艺原位形成碳化硅层。

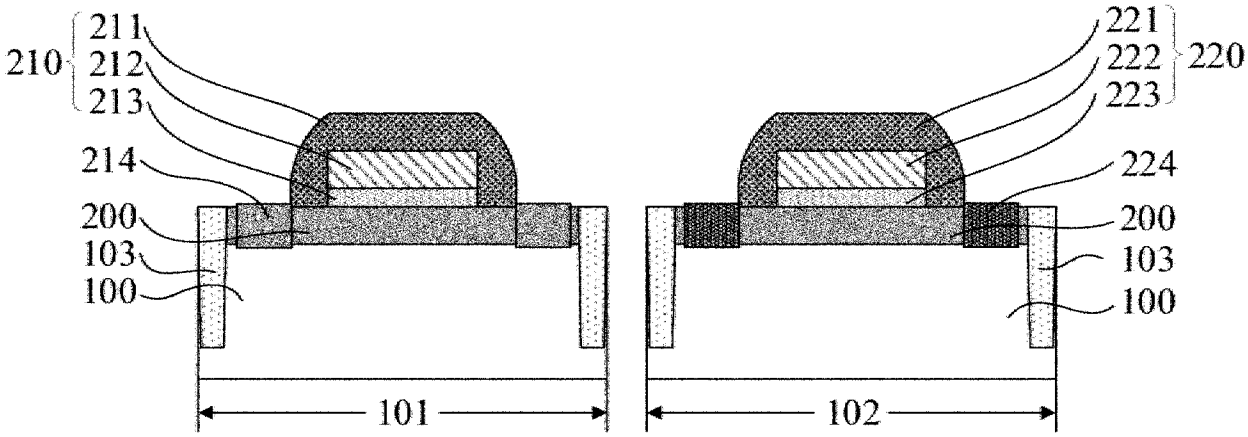

210
211
212
213
214
200
103
100
220
221
222
223
224
200
103
100
101
102

图 1

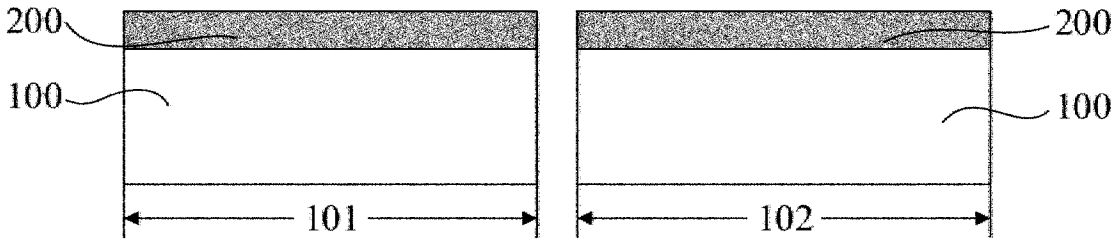

200
100
200
100
101
102

图 2

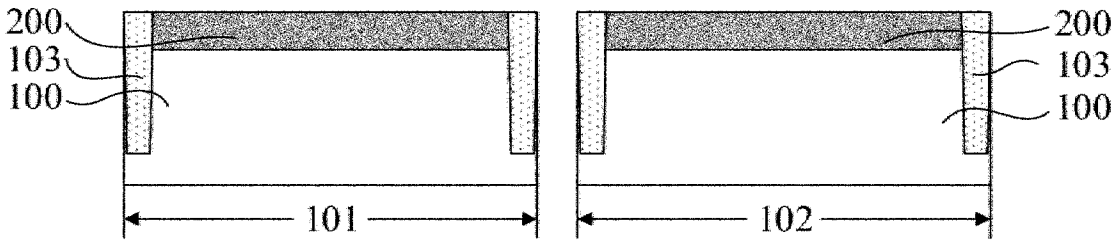

200
103
100
200
103
100
101
102

图 3

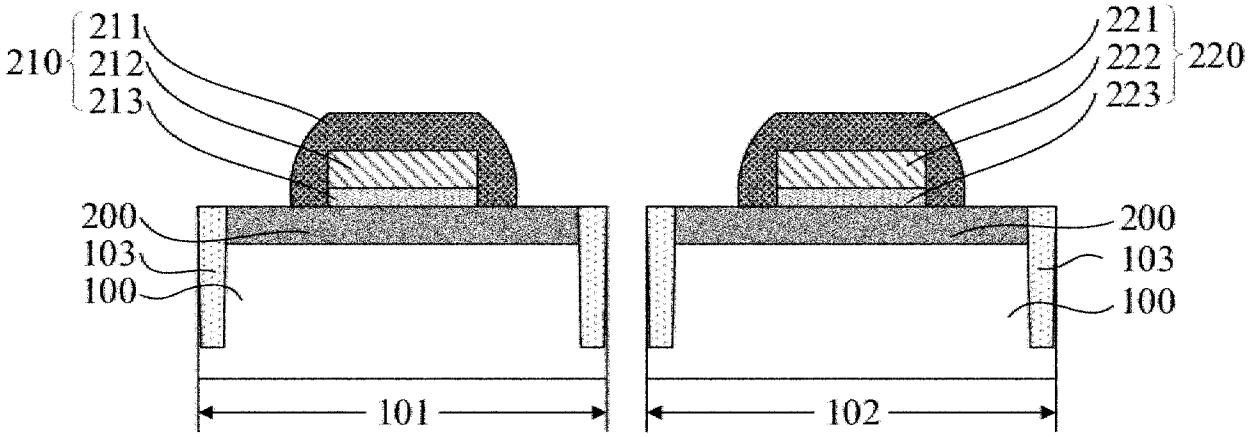

210
211
212
213
200
103
100
220
221
222
223
200
103
100
101
102

图 4

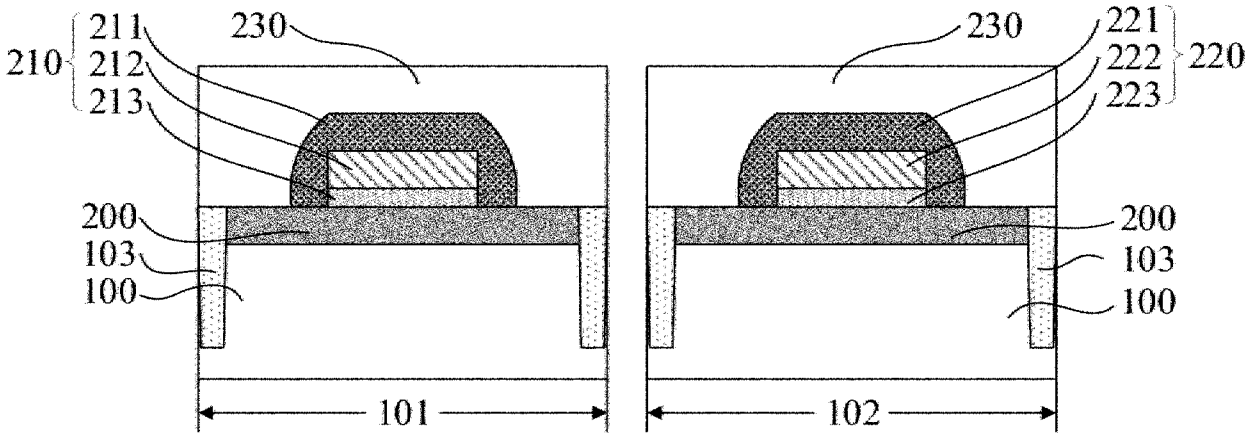

210
211
212
213
230
230
221
222
223
220
200
103
100
200
103
100
101
102

图 5

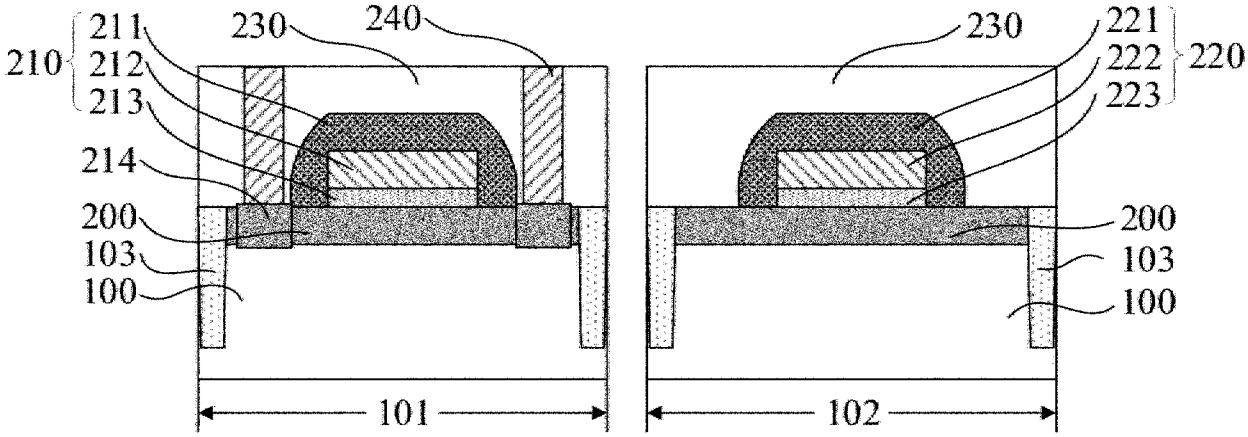

210
211
212
213
214
230
240
230
221
222
223
220
200
103
100
200
103
100
101
102

图 6

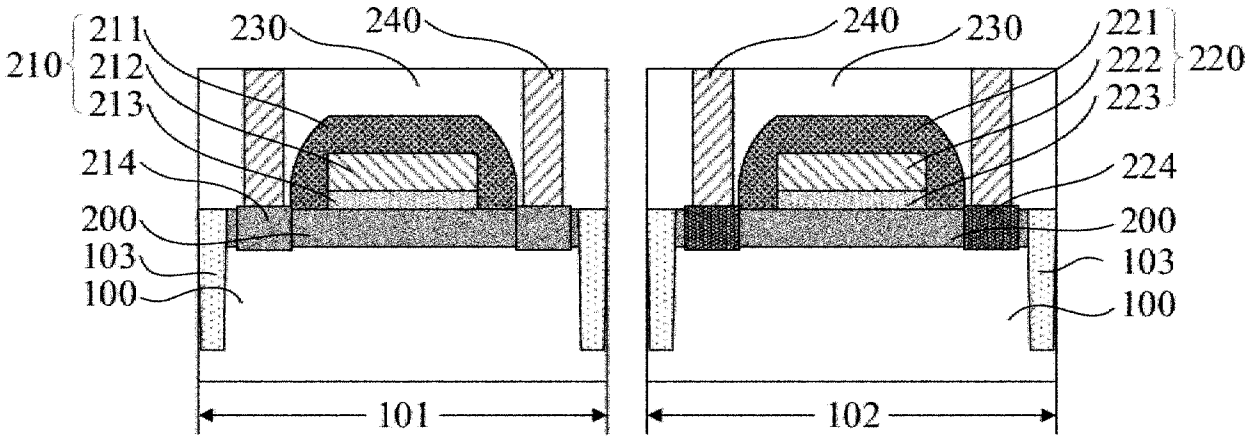

210
211
212
213
214
230
240
240
230
221
222
223
220
224
200
103
100
200
103
100
101
102

图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/076338

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i; H01L27/092(2006.01)i; H01L21/8234(2006.01)i; H01L21/8238(2006.01)i; H01L27/088(2006.01)i; H01L29/423(2006.01)i; H01L29/06(2006.01)n; H01L29/08(2006.01)n; H01L29/10(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, ENTXTC, WPABS, DWPI, CNKI, IEEE: 场效应, 晶体管, 半导体, 器件, 互补, 碳化硅, 碳硅, 硅碳, 锗化硅, 硅锗, 锗硅, 源, 漏, 极, 沟道, 通道, 信道, 有源, 活性, 应力, 应变, 变形, 形变, 拉伸, 拉力, 压力, 张力, 受力, 载流子, 电子, 空穴, 迁移率, 迁移量, 转移率, 转移量, +FET+, transistor?, +MOS+, semiconduct+, devic+, CFET?, CMOS?, complementary, Si?C?, Si? 1w ?C?, Si?Ge?, Si? 1w ?Ge?, source?, drain?, electrode?, active, channel, stress+, strain+, tension, tensile, stretch+, compress+, press+, crush+, carrier?, electron+, hole?, mobility

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115411091 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 November 2022 (2022-11-29) entire document	1-15
X	CN 107785313 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD. et al.) 09 March 2018 (2018-03-09) description, paragraphs [0034]-[0132], and figures 1-11	1-15
X	CN 105097698 A (BEIJING HUIMOR TECHNOLOGY CO., LTD. et al.) 25 November 2015 (2015-11-25) description, paragraphs [0016]-[0025], and figures 1-6	1-15
X	CN 114759094 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 15 July 2022 (2022-07-15) description, paragraphs [0014]-[0063], and figures 1-10	1-15

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 May 2023	**29 May 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/076338

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102931222 A (INSTITUTE OF MICROELECTRONICS OF THE CHINESE ACADEMY OF SCIENCES) 13 February 2013 (2013-02-13) description, paragraphs [0033]-[0062], and figures 1-10	1-15
A	US 2011260213 A1 (IBM) 27 October 2011 (2011-10-27) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/076338

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115411091	A	29 November 2022	None			
CN	107785313	A	09 March 2018	US	2018166569	A1	14 June 2018
				US	10790392	B2	29 September 2020
				EP	3288071	A1	28 February 2018
				CN	107785313	B	08 June 2021
CN	105097698	A	25 November 2015	None			
CN	114759094	A	15 July 2022	None			
CN	102931222	A	13 February 2013	WO	2013020255	A1	14 February 2013
				US	2013037822	A1	14 February 2013
				US	8754482	B2	17 June 2014
				CN	102931222	B	20 May 2015
US	2011260213	A1	27 October 2011	GB	201220031	D0	19 December 2012
				GB	2492524	A	02 January 2013
				GB	2492524	B	22 May 2013
				WO	2011133339	A2	27 October 2011
				WO	2011133339	A3	08 March 2012
				DE	112011101433	T5	28 March 2013
				DE	112011101433	B4	24 January 2019
				TW	201201371	A	01 January 2012
				TWI	505466	B	21 October 2015
				US	2012261717	A1	18 October 2012
				US	8421191	B2	16 April 2013
				US	8236660	B2	07 August 2012

国际检索报告

国际申请号
PCT/CN2023/076338

A. 主题的分类

H01L29/786(2006.01)i; H01L27/092(2006.01)i; H01L21/8234(2006.01)i; H01L21/8238(2006.01)i; H01L27/088(2006.01)i; H01L29/423(2006.01)i; H01L29/06(2006.01)n; H01L29/08(2006.01)n; H01L29/10(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNTXT, ENTXT, ENTXTC, WPABS, DWPI, CNKI, IEEE: 场效应，晶体管，半导体，器件，互补，碳化硅，碳硅，硅碳，锗化硅，硅锗，锗硅，源，漏，极，沟道，通道，信道，有源，活性，应力，应变，变形，形变，拉伸，拉力，压力，张力，受力，载流子，电子，空穴，迁移率，迁移量，转移率，转移量，+FET+, transistor?, +MOS+, semiconduct+, devic+, CFET?, CMOS?, complementary, Si?C?, Si? 1w ?C?, Si?Ge?, Si? 1w ?Ge?, source?, drain?, electrode?, active, channel, stress+, strain+, tension, tensile, stretch+, compress+, press+, crush+, carrier?, electron+, hole?, mobility

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 115411091 A (长鑫存储技术有限公司) 2022年11月29日 (2022-11-29) 全文	1-15
X	CN 107785313 A (中芯国际集成电路制造(上海)有限公司等) 2018年3月9日 (2018-03-09) 说明书第[0034]-[0132]段、附图1-11	1-15
X	CN 105097698 A (北京慧摩尔科技有限公司等) 2015年11月25日 (2015-11-25) 说明书第[0016]-[0025]段、附图1-6	1-15
X	CN 114759094 A (长鑫存储技术有限公司) 2022年7月15日 (2022-07-15) 说明书第[0014]-[0063]段、附图1-10	1-15
X	CN 102931222 A (中国科学院微电子研究所) 2013年2月13日 (2013-02-13) 说明书第[0033]-[0062]段、附图1-10	1-15

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"D" 申请人在国际申请中引证的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年5月17日	2023年5月29日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 杨贺 电话号码 (+86) 62411370

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2011260213 A1 (IBM) 2011年10月27日 (2011-10-27) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/076338

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115411091	A	2022年11月29日	无			
CN	107785313	A	2018年3月9日	US	2018166569	A1	2018年6月14日
				US	10790392	B2	2020年9月29日
				EP	3288071	A1	2018年2月28日
				CN	107785313	B	2021年6月8日
CN	105097698	A	2015年11月25日	无			
CN	114759094	A	2022年7月15日	无			
CN	102931222	A	2013年2月13日	WO	2013020255	A1	2013年2月14日
				US	2013037822	A1	2013年2月14日
				US	8754482	B2	2014年6月17日
				CN	102931222	B	2015年5月20日
US	2011260213	A1	2011年10月27日	GB	201220031	D0	2012年12月19日
				GB	2492524	A	2013年1月2日
				GB	2492524	B	2013年5月22日
				WO	2011133339	A2	2011年10月27日
				WO	2011133339	A3	2012年3月8日
				DE	112011101433	T5	2013年3月28日
				DE	112011101433	B4	2019年1月24日
				TW	201201371	A	2012年1月1日
				TWI	505466	B	2015年10月21日
				US	2012261717	A1	2012年10月18日
				US	8421191	B2	2013年4月16日
				US	8236660	B2	2012年8月7日