(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/202006 A1

(51) 国際特許分類:
H01L 31/10 (2006.01) *H01L 27/146* (2006.01)

(21) 国際出願番号： PCT/JP2022/006473

(22) 国際出願日： 2022年2月17日(17.02.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-051422 2021年3月25日(25.03.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 中川 遥之 (**NAKAGAWA Haruyuki**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

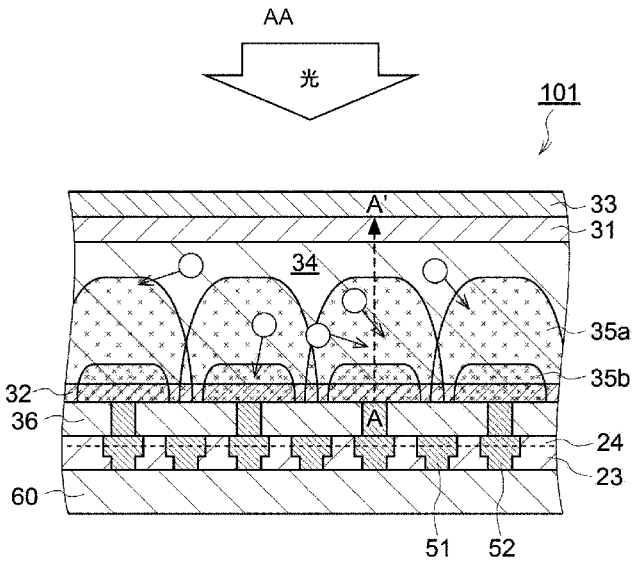
(74) 代理人: 中村 行孝, 外 (**NAKAMURA Yukitaka** et al.); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** PHOTOELECTRIC CONVERSION ELEMENT, METHOD FOR PRODUCING SAME, AND IMAGING DEVICE

(54) 発明の名称： 光電変換素子及びその製造方法並びに撮像装置

[図2]



AA Light

(57) **Abstract:** [Problem] To provide a photoelectric conversion element that makes it possible to further suppress color mixture, a method for producing the same, and an imaging device. [Solution] The present disclosure provides a photoelectric conversion element (101) comprising: a first compound semiconductor layer (31) that is composed of a first compound semiconductor material having a first conductivity type; a photoelectric conversion layer (34) that is formed to be in contact with the first compound semiconductor layer (31); a second compound semiconductor layer (32) that is

WO 2022/202006 A1

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

formed to be in contact with the photoelectric conversion layer (34) and is composed of a second compound semiconductor material having the first conductivity type; a first second-conductivity-type region (35a) that is formed in at least a part of the second compound semiconductor layer (32), has a second conductivity type differing from the first conductivity type, and reaches the photoelectric conversion layer (34); and a second second-conductivity-type region (35b) that is formed in at least a part of the second compound semiconductor layer (32), has the second conductivity type, and reaches the photoelectric conversion layer (34), the second second-conductivity-type region (35b) having a region differing from the first second-conductivity-type region (35a).

(57) 要約:[課題]より混色の抑制が可能な光電変換素子及びその製造方法並びに撮像装置を提供する。[解決手段]本開示によれば、第1導電型を有する第1化合物半導体材料から成る第1化合物半導体層(31)と、第1化合物半導体層(31)に接して形成される光電変換層(34)と、光電変換層(34)に接して形成され、第1導電型を有する第2化合物半導体材料から成る第2化合物半導体層(32)と、少なくとも第2化合物半導体層(32)の一部に形成され、第1導電型とは異なる第2導電型を有し、光電変換層(34)に達する第1の第2導電型領域(35a)と、少なくとも第2化合物半導体層(32)の一部に形成され、第2導電型を有し、光電変換層(34)に達する第2の第2導電型領域(35b)であって、第1の第2導電型領域(35a)と異なる領域を有する第2の第2導電型領域(35b)と、を備える、光電変換素子(101)が提供される。

明　細　書

発明の名称 ： 光電変換素子及びその製造方法並びに撮像装置

技術分野

[0001]　本開示は、光電変換素子及びその製造方法並びに撮像装置に関する。

背景技術

[0002]　現在のＩｎＧａＡｓを用いた光電変換素子は近赤外（ＮＩＲ）、短波赤外（ＳＷＩＲ）域まで撮像可能である。このため、一般撮影以外にも産業用の検査装置にも用いられている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１７－１７５１０２号公報

発明の概要

発明が解決しようとする課題

[0004]　光電変換層における画素ごとの分離ができない場合に、発生したキャリアが隣接画素に移動する事により混色となってしまう可能性がある。このため、不純物拡散領域により電界を生じさせ、キャリアの収束性を向上させている。ところが、産業用の検査装置などでは更なる混色の抑制が求められる場合がある。

[0005]　そこで、本開示では、より混色の抑制が可能な光電変換素子及びその製造方法並びに撮像装置を提供するものである。

課題を解決するための手段

[0006]　上記の課題を解決するために、本開示によれば、第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層と、

前記第１化合物半導体層に接して形成される光電変換層と、

前記光電変換層に接して形成され、前記第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層と、

少なくとも前記第２化合物半導体層の一部に形成され、前記第１導電型と

は異なる第２導電型を有し、前記光電変換層に達する第１の第２導電型領域と、

少なくとも前記第２化合物半導体層の一部に形成され、前記第２導電型を有し、前記光電変換層に達する第２の第２導電型領域であって、前記第１の第２導電型領域と異なる領域を有する第２の第２導電型領域と、

を備える、光電変換素子が提供される。

[0007] 前記第１化合物半導体層に電気的に接続される第１電極と、

前記第２導電型領域上に形成される第２電極と、

を、更に備えてもよい。

[0008] 前記第１の第２導電型領域と前記第２の第２導電型領域とは、不純物濃度が異なってもよい。

[0009] 前記第１の第２導電型領域の方が前記第２の第２導電型領域よりも不純物濃度が低く、前記第１の第２導電型領域は、前記第２の第２導電型領域よりも前記第１化合物半導体層のより近くまで形成されてもよい。

[0010] 少なくとも前記第２化合物半導体層の一部に形成され、前記第２導電型を有し、前記光電変換層に達する第３の第２導電型領域であって、前記第１の第２導電型領域、及び前記第２の第２導電型領域と異なる領域を有する第３の第２導電型領域を、更に備えてもよい。

[0011] 前記第１の第２導電型領域と前記第２の第２導電型領域とは、異なる条件で不純物が拡散され、形成されてもよい。

[0012] 前記第１の第２導電型領域と前記第２の第２導電型領域とは、異なる位置から前記不純物が拡散され、形成されてもよい。

[0013] 前記第１の第２導電型領域の方が前記第２の第２導電型領域よりも不純物濃度が高く、前記第２の第２導電型領域よりも前記第１化合物半導体層のより近くまで形成されてもよい。

[0014] 前記第２の第２導電型領域は、前記第２化合物半導体層に沿って２つの凸状領域を有してもよい。

[0015] 前記光電変換層は、複数の不純物濃度の異なる層が積層されてもよい。

[0016] 前記第１電極は、前記第１化合物半導体層の光入射側の面上に形成されてもよい。

[0017] 前記第１化合物半導体層、及び前記第２化合物半導体層は、同じ材料から成ってもよい。

[0018] 前記第１化合物半導体層、及び前記第２化合物半導体層は、ＩＩＩ－Ｖ属化合物半導体材料から成ってもよい。

[0019] 前記光電変換層はＩｎＧａＡｓから成り、

前記第１化合物半導体層、及び前記第２化合物半導体層はＩｎＰから成ってもよい。

[0020] 前記第１化合物半導体層を介して光が入射してもよい。

[0021] 撮像装置は、光電変換素子が、複数、２次元マトリクス状に配列されてもよい。

[0022] 本開示によれば第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層、光電変換層、及び、第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層、

を、順次、形成し、

少なくとも第２化合物半導体層の一部に、第１導電型とは異なる第２導電型を有し、光電変換層に達する第１の第２導電型領域を形成し、

前記第１の第２導電型領域と異なる条件により、少なくとも第２化合物半導体層の一部に、前記第２導電型を有し、前記光電変換層に達する第２の第２導電型領域を形成する、　各工程を備えた光電変換素子の製造方法が提供される。

[0023] 前記第２化合物半導体層からマスク層を介して不純物を拡散させ、前記第１の第２導電型領域及び前記第２の第２導電型領域を形成してもよい。

[0024] 前記第２化合物半導体層から第１マスク層を介して不純物を拡散させ、前記第１マスク層を削除した後に第２マスク層を介して不純物を拡散させ、前記第２の第２導電型領域を形成してもよい。

[0025] 前記第１マスク層を介して不純物を拡散させる状態と、前記第２マスク層

を介して不純物を拡散さる状態と、は不純物の濃度、温度、及び時間の少なくともいずれかが異なってもよい。

図面の簡単な説明

[0026] [図1]第１実施形態における撮像装置の構成例を示す図。

[図2]本実施形態に係る光電変換素子の模式的な一部断面図。

[図3]第１の第２導電型領域、及び第２の第２導電型領域の位置と濃度との関係を示す図。

[図4]比較例に係る光電変換素子の模式的な一部断面図。

[図5]第１の第２導電型領域、及び第２の第２導電型領域を生成する工程を示す模式図。

[図6]第１の第２導電型領域を生成する際に使用するマスク層の平面図。

[図7]第２の第２導電型領域を生成する際に使用するマスク層の平面図。

[図8]第１電極、及び第２電極を生成する工程を示す模式図。

[図9]第２実施形態に係る光電変換素子の模式的な一部断面図。

[図10]第１乃至第３の第２導電型領域の位置と濃度との関係を示す図。

[図11]第１乃至第３の第２導電型領域を生成する工程を示す模式図。

[図12]第３の第２導電型領域を生成する際に使用するマスク層の平面図。

[図13]第３実施形態に係る光電変換素子の模式的な一部断面図。

[図14]第４及び第５の第２導電型領域の位置と濃度との関係を示す図。

[図15]第５の第２導電型領域を生成する際に使用するマスク層の平面図。

[図16]第４、及び第５の第２導電型領域を生成する工程を示す模式図。

[図17]第４実施形態に係る光電変換素子の模式的な一部断面図。

[図18]光電変換層、及び第２の第２導電型領域の位置と濃度との関係を示す図。

[図19]第４実施形態に係る光電変換素子の製造方法例を説明する図。

[図20]第５実施形態に係る光電変換素子１０１の模式的な一部断面図。

[図21]光電変換層と、第１及び第２の第２導電型領域との位置と濃度との関係を示す図。

[図22]第５実施形態に係る光電変換素子の製造方法例を説明する図。

[図23]開示の撮像装置を電子機器に用いた例を示す概念図。

発明を実施するための形態

[0027] 以下、図面を参照して、光電変換素子及びその製造方法並びに撮像装置の実施形態について説明する。以下では、光電変換素子及びその製造方法並びに撮像装置の主要な構成部分を中心に説明するが光電変換素子及びその製造方法並びに撮像装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0028] （第１実施形態）

図１は、本技術の第１実施形態における撮像装置１００の構成例を示す図である。図１に示すように、撮像装置１００は、光電変換素子１０１が２次元マトリクス状（２次元アレイ状）に配列された撮像領域１１１、並びに、その駆動回路（周辺回路）としての垂直駆動回路１１２、カラム信号処理回路１１３、水平駆動回路１１４、出力回路１１５及び駆動制御回路１１６等から構成されている。尚、これらの回路は周知の回路から構成することができるし、また、他の回路構成（例えば、従来のＣＣＤ型撮像装置やＣＭＯＳ型撮像装置にて用いられる各種の回路）を用いて構成することができることが可能である。すなわち、この撮像装置１００は、複数段のＺｎ拡散領域により光電変換素子１０１内に電界を生じさせ、画素間の混色の抑制をさせることが可能である。

[0029] 駆動制御回路１１６は、垂直同期信号、水平同期信号及びマスタークロックに基づいて、垂直駆動回路１１２、カラム信号処理回路１１３及び水平駆動回路１１４の動作の基準となるクロック信号や制御信号を生成する。そして、生成されたクロック信号や制御信号は、垂直駆動回路１１２、カラム信号処理回路１１３及び水平駆動回路１１４に入力される。

[0030] 垂直駆動回路１１２は、例えば、シフトレジスタによって構成され、撮像領域１１１の各光電変換素子１０１を行単位で順次垂直方向に選択走査する

。そして、各光電変換素子１０１における受光量に応じて生成した電流（信号）に基づく画素信号（画像信号）は、信号線（データ出力線）１１７を介してカラム信号処理回路１１３に送られる。

[0031] カラム信号処理回路１１３は、例えば、光電変換素子１０１の列毎に配置されており、１行分の光電変換素子１０１から出力される画像信号を撮像素子毎に黒基準画素（図示しないが、有効画素領域の周囲に形成される）からの信号によって、ノイズ除去や信号増幅の信号処理を行う。カラム信号処理回路１１３の出力段には、水平選択スイッチ（図示せず）が水平信号線１１８との間に接続されて設けられる。

[0032] 水平駆動回路１１４は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路１１３の各々を順次選択し、カラム信号処理回路１１３の各々から信号を水平信号線１１８に出力する。

[0033] 出力回路１１５は、カラム信号処理回路１１３の各々から水平信号線１１８を介して順次供給される信号に対して、信号処理を行って出力する。

[0034] 光電変換素子１０１から、ＣＣＤ素子（Ｃｈａｒｇｅ Ｃｏｕｐｌｅｄ Ｄｅｖｉｃｅ：電荷結合素子）、ＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）イメージセンサ、ＣＩＳ（Ｃｏｎｔａｃｔ Ｉｍａｇｅ Ｓｅｎｓｏｒ）、ＣＭＤ（Ｃｈａｒｇｅ Ｍｏｄｕｌａｔｉｏｎ Ｄｅｖｉｃｅ）型の信号増幅型イメージセンサを構成することができる。また、撮像装置１００から、例えば、デジタルスチルカメラやビデオカメラ、カムコーダ、車載用カメラ、監視用カメラ、携帯電話機等の撮像機能を有する電子機器を構成することができる。光電変換素子を除く撮像装置の構成、構造は、周知の撮像装置の構成、構造と同じとすることができるし、光電変換素子によって得られた信号の各種処理も周知の回路に基づき行うことができる。

[0035] 図２は、本実施形態に係る光電変換素子１０１の模式的な一部断面図である。光電変換素子１０１は、例えば支持基板２３、絶縁膜２４、第１化合物

半導体層３１、第２化合物半導体層３２、反射膜３３，光電変換層３４、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂ、被覆層３６、第１電極５１及び第２電極５２を有する。第２電極５２は、第１電極５１と同じ側に形成されている。第１電極５１は、第１化合物半導体層３１に電気的に接続される。第２電極５２は、第２導電型領域３５ａ、３５ｂに電気的に接続される。

[0036] 図２に示すように、支持基板２３の上に構成された絶縁膜２４の上に被覆層３６、第２化合物半導体層３２、光電変換層３４、及び反射膜３３が積層された構造を有する。本開示の撮像装置１００（図１参照）は、駆動用基板６０、例えば、読出し用集積基板（ＲＯＩＣ基板、Ｒｅａｄ　Ｏｎｌｙ　ＩＣ　基板）を更に備えており、各光電変換素子１０１を構成する第１電極５１は、駆動用基板６０に設けられた第１電極接続部に接続される。この場合、各光電変換素子１０１を構成する第２電極５２は、駆動用基板６０に設けられた第２電極接続部に接続される。

[0037] 本実施形態において、第１化合物半導体層３１を介して光が入射する。第１導電型をｎ型とし、第２導電型をｐ型とする。第１化合物半導体層３１、及び第２化合物半導体層３２は、同じ材料により形成される。例えば、第１化合物半導体層３１、第２化合物半導体層３２、及び光電変換層３４は、ＩＩ－Ｖ属化合物半導体材料により形成される。そして、光電変換層３４はＩｎＧａＡｓ（具体的には、ｎ－ＩｎＧａＡｓ、より具体的には、ｎ－Ｉｎ０．５７Ｇａ０．４３Ａｓ）から成り、第１化合物半導体層３１、及び第２化合物半導体層３２はＩｎＰ（具体的には、ｎ＋－ＩｎＰ）により形成される。例えば、光電変換層３４の不純物濃度Ｉｍ０は５×１０^{16}ｃｍ$^{-3}$以下であり、第１化合物半導体層３１及び第２化合物半導体層３２の不純物濃度Ｉｍ１，Ｉｍ２も５×１０^{17}ｃｍ$^{-3}$乃至５×１０^{18}ｃｍ$^{-3}$である。なお、第１導電型をｐ型とし、第２導電型をｎ型としてもよい。

[0038] 図３は、第１の第２導電型領域３５ａ、及び第２の第２導電型領域３５ｂの位置と濃度との関係を示す図である。縦軸は濃度を示し、横軸はＡ－Ａ‘

ライン（図２参照）上の位置を示す。第２化合物半導体層３２の下面の位置をＺｎ拡散表面として０で示し、Ｚｎ拡散表面からの位置を深さとして示す。第１の第２導電型領域３５ａ、及び第２の第２導電型領域３５ｂは、例えばＺｎ拡散により生成される。ラインＬ１００が第１の第２導電型領域３５ａの深さと不純物濃度の関係を示す。ラインＬ１０２が第２の第２導電型領域３５ｂの深さと不純物濃度との関係を示す。このように、２段階のＺｎ拡散により、第２化合物半導体層３２及び光電変換層３４中における画素中央の深さ方向５０ｎｍより深くに例えば１ｅ^{20}［ｃｍ$^{-3}$］の不純物濃度の第２の第２導電型領域３５ｂが形成される。なお、第２の第２導電型領域３５ｂは例えば１ｅ^{17}［ｃｍ$^{-3}$］～１ｅ^{20}［ｃｍ$^{-3}$］の濃度範囲で構成してもよい。

[0039] 第１の第２導電型領域３５ａは、例えば第２の第２導電型領域３５ｂの不純物濃度に対して１ｅ^{17}［ｃｍ$^{-3}$］の濃度差を有するように構成される。このように、Ｚｎ拡散を薄く深くまで拡散させ、それに加えて、浅いＺｎ拡散を行って複数の濃度分布を組み合わせた構造とする。

[0040] 赤外光が、第１化合物半導体層３１側から光電変換素子１０１に入射すると、光電変換層３４において、正孔及び電子が生成する。第１電極５１に第２電極５２よりも高い電位を加えておくと、電子は、第１導電型領域３１から第１電極５１を経由して外部へと取り出される。一方、正孔は、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂ、及び第２化合物半導体層３２から、第２電極５２を経由して外部へと取り出される。Ｚ濃度差が生じる境界に電界が生じるので、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂによりキャリアである正孔をより第２電極５２に集めることが可能となる。なお、本実施形態に係る第１電極５１及び第２電極５２は、同側に設けられているが、これに限定されない。例えば、第１電極５１は、第１化合物半導体層３１側に設けてもよい。

[0041] 図４は、比較例に係る光電変換素子１０１の模式的な一部断面図である。比較例に係る光電変換素子１０１は、第１の第２導電型領域３５ａが形成さ

れていない例である。第１の第２導電型領域３５ａが形成されていないので、光電変換層３４の入射光側で生成されたキャリアである正孔は、隣接する画素まで移動する可能性が高くなる。これに対して、本実施形態に係る光電変換素子１０１は、上述のように、第１の第２導電型領域３５ａを更に形成しているので、光電変換層３４の入射光側で生成されたキャリアである正孔も第１の第２導電型領域３５ａの境界に生成される電界により、第２電極５２により集めることが可能となり、より混色を抑制可能となる。すなわち、２段階の第２導電型領域３５ａ、３５ｂを形成することにより、電界の形成を第２電極５２にキャリア（例えば正孔）をより集めるように生成できる。これにより、第２電極５２の上部の所定範囲（画素範囲に対応する）で発生したキャリアを同一画素内の第２電極５２により集めることが可能となる。

[0042] 図５乃至図７に基づき、本実施形態に係る光電変換素子１０１の製造方法例を説明する。図５は、第１の第２導電型領域３５ａ、及び第２の第２導電型領域３５ｂを生成する工程を示す模式図である。図６は、第１の第２導電型領域３５ａを生成する際に使用するマスク層３００の平面図を示す。マスク層３００には開口３００ａが形成される。図７は、第２の第２導電型領域３５ｂを生成する際に使用するマスク層３０２の平面図を示す。マスク層３０２には開口３０２ａが形成される。開口３００ａの面積は、開口３０２ａの面積よりも大きく形成される。

[0043] ［工程－１００］

図５に示すように、第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層３１、光電変換層３４、及び、第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層３２を、順次、形成する。具体的には、ＩｎＰから成り、厚さ０．１μｍ乃至１μｍの成膜用基板を準備する。そして、周知のＭＯＣＶＤ法に基づき、成膜用基板の上に、厚さ０．１μｍ乃至１μｍの第１化合物半導体層３１、厚さ３μｍ乃至５μｍの光電変換層３４、厚さ０．１μｍ乃至１μｍの第２化合物半導体層３２を、順次、成膜する。

[0044] ［工程－１０２］

図５に示すように、その後、少なくとも第２化合物半導体層３２の一部に、第１導電型とは異なる第２導電型を有し、光電変換層３４に達する第１の第２導電型領域３５ａを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３００（図６参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させ、あるいは、固相拡散させることで、第１の第２導電型領域３５ａを形成することができる。その後、マスク層３００を除去する。

[0045] ［工程－１０４］

図５に示すように、その後、第２導電型を有し、光電変換層３４に達する第２の第２導電型領域３５ｂを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３０２（図７参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させ、あるいは、固相拡散させることで、第２の第２導電型領域３５ｂを形成することができる。例えば、工程－１０２のＺｎの濃度よりも工程－１０４の濃度を高くし、より高温で拡散させる。その後、マスク層３０２を除去する。このように、複数段のＺｎ拡散領域を生成する場合には、マスクの形状、不純物の濃度、拡散温度、及び拡散時間等を変えることにより、複数段のＺｎ拡散領域の広がり範囲、不純物濃度などを変更可能である。

[0046] 図８は、第１電極５１、及び第２電極５２ｂを生成する工程を示す模式図である。

工程－１０４の後、工程－１０６～工程－１０８により第２の第２導電型領域３５ｂに第２電極５２を形成する。併せて、第１化合物半導体層３１に電気的に接続された第１電極５１を形成する。

［工程－１０６］

より詳細には、第２の第２導電型領域３５ｂ及び第２化合物半導体層３２の上にＳｉＮから成る被覆層３６を形成し、次いで、フォトリソグラフィ技術及びエッチング技術に基づき、第２電極５２を形成すべき部分の被覆層３

６に開口部３６Ａを形成する

[0047] ［工程－１０８］

次に、開口部３６Ａの底部に露出した第２導電型領域３５の上から被覆層３６の上に亙り第２電極５２を形成し、被覆層３６の上に亙り第１電極５１を形成する。

[0048] ［工程－１１０］

次に、支持基板２３と駆動用基板６０とを、絶縁膜２４を介して周知の方法に基づき貼り合わせる。こうして、図２に示す構造の光電変換素子１０１を構成することができる。なお、第１電極５１及び第２電極５２の頂面には、接続部として銅層（図示せず）を形成しておく。

[0049] 以上説明したように、本実施形態に係る光電変換素子１０１は、２段階のＺｎ拡散により、第２化合物半導体層３２及び光電変換層３４中における画素中央の深さ方向５０ｎｍより深くに例えば$1e^{20}$［cm^{-3}］の不純物濃度の第２の第２導電型領域３５ｂが形成され、第１の第２導電型領域３５ａは、例えば第２の第２導電型領域３５ｂの不純物濃度よりも$1e^{17}$［cm^{-3}］の濃度の濃度差を有するように構成される。このように、本実施形態に係る光電変換素子１０１は、第１の第２導電型領域３５ａを更に形成しているので、光電変換層３４の入射光側で生成されたキャリアである正孔も第１の第２導電型領域３５ａの境界に生成される電界により、第２電極５２により集めることが可能となり、画素間の混色をより抑制可能となる。

[0050] （第２実施形態）

第２実施形態に係る撮像装置１００の光電変換素子１０１は、光電変換素子１０１は、３段階の不純物拡散により、更に第３の第２導電型領域３５ｃを備える点で、第１実施形態に係る撮像装置１００と相違する。以下では、第１実施形態に係る撮像装置１００と相違する点を説明する。

[0051] 図９は、第２実施形態に係る光電変換素子１０１の模式的な一部断面図である。光電変換素子１０１は更に第３の第２導電型領域３５ｃを備える点で、第１実施形態に係る光電変換素子１０１と相違する。

[0052] 図１０は、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂ及び第３の第２導電型領域３５ｃの位置と濃度との関係を示す図である。縦軸は濃度を示し、横軸はＡ－Ａ‘ライン（図９参照）上の位置を示す。第２化合物半導体層３２の下面の位置をＺｎ拡散表面として０で示し、Ｚｎ拡散表面からの位置を深さとして示す。ラインＬ１００が第１の第２導電型領域３５ａの深さと不純物濃度の関係を示す。ラインＬ１０２が第２の第２導電型領域３５ｂの深さと不純物濃度の関係を示す。ラインＬ１０４が第３の第２導電型領域３５ｃの深さと不純物濃度の関係を示す。このように、３段階のＺｎ拡散により、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂ及び第３の第２導電型領域３５ｃが形成される。

[0053] 赤外光が、第１化合物半導体層３１側から光電変換素子１０１に入射すると、光電変換層３４において、正孔及び電子が生成する。第１電極５１に第２電極５２よりも高い電位を加えておくと、電子は、第１導電型領域３１から第１電極５１を経由して外部へと取り出される。一方、正孔は、第３の第２導電型領域３５ｃ、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂ、及び第２化合物半導体層３２から、第２電極５２を経由して外部へと取り出される。Ｚ濃度差が生じる境界に電界が生じるので、第３の第２導電型領域３５ｃ、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂにより、キャリアである正孔をより第２電極５２に集めることが可能となる。

[0054] このように、本実施形態に係る光電変換素子１０１は、第３の第２導電型領域３５ｃを更に形成しているので、光電変換層３４の入射光側で生成されたキャリアである正孔も第３の第２導電型領域３５ｃの境界に生成される電界により、第２電極５２により集めることが可能となり、より混色を抑制可能となる。すなわち、３段階の第２導電型領域３５ａ、３５ｂ、３５ｃを形成することにより、電界の形成を第２電極５２にキャリア（例えば正孔）をより集めるように生成できる。これにより、第２電極５２の上部の所定範囲（画素範囲に対応する）で発生したキャリアを同一画素内の第２電極５２に

より集めることが可能となる。

[0055] 図１１，及び図１２に基づき、第２実施形態に係る光電変換素子１０１の製造方法例を説明する。図１１は、第３の第２導電型領域３５ｃ、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂを生成する工程を示す模式図である。図１２は、第３の第２導電型領域３５ｃを生成する際に使用するマスク層３０４の平面図を示す。マスク層３０４には開口３０４ａが形成される。開口３０４ａの面積は、開口３００ａ（図６参照）の面積よりも大きく形成される。図１１に示すように、工程－１００（図５参照）と工程－１０２（図５参照）の間に工程－１１２を行う。なお、工程－１０６～工程－１０８は上述と同等であるので説明を省略する。

[0056] ［工程－１１２］

図１１に示すように、少なくとも第２化合物半導体層３２の一部に、第１導電型とは異なる第２導電型を有し、光電変換層３４に達する第３の第２導電型領域３５ｃを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３０４（図１０参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させ、あるいは又、固相拡散させることで、第３の第２導電型領域３５ｃを形成することができる。その後、マスク層３００を除去する。その後工程－１０２（図５参照）、工程－１０４（図５参照）と同様の工程を行う。なお、複数段のＺｎ拡散領域を生成する場合には、マスクの形状、不純物の濃度、拡散温度、及び拡散時間等を変えることにより、複数段のＺｎ拡散領域の広がり範囲、不純物濃度などを調整可能である。

[0057] 以上説明したように、本実施形態に係る光電変換素子１０１は、３段階のＺｎ拡散により、第１の第２導電型領域３５ａ、第２の第２導電型領域３５ｂ及び第３の第２導電型領域３５ｃが形成される。第３の第２導電型領域３５ｃを更に形成しているので、光電変換層３４の入射光側で生成されたキャリアである正孔も第１の第２導電型領域３５ａの境界に生成される電界により、より第２電極５２により集めることが可能となり、より混色を抑制可能

となる。これにより、第２電極５２の上部の所定範囲（画素範囲に対応する）で発生したキャリアを同一画素内の第２電極５２により集めることが可能となる。

[0058] （第３実施形態）

第３実施形態に係る撮像装置１００の光電変換素子１０１は、光電変換素子１０１は、２段階のＺｎ拡散を異なる場所から行う点で、第１実施形態に係る撮像装置１００と相違する。以下では、第１実施形態に係る撮像装置１００と相違する点を説明する。

[0059] 図１３は、第３実施形態に係る光電変換素子１０１の模式的な一部断面図である。光電変換素子１０１は第４の第２導電型領域３５ｄと、異なる位置からＺｎ拡散した第５の第２導電型領域３５ｅを備える点で、第１実施形態に係る光電変換素子１０１と相違する。

[0060] 図１４は、第４の第２導電型領域３５ｄ、及び第５の第２導電型領域３５ｅの位置と濃度との関係を示す図である。縦軸は濃度を示し、横軸はＡ－Ａ‘ライン（図１３参照）上の位置を示す。第２化合物半導体層３２の下面の位置をＺｎ拡散表面として０で示し、Ｚｎ拡散表面からの位置を深さとして示す。ラインＬ１０６が第４の第２導電型領域３５ｄの深さと不純物濃度の関係を示す。ラインＬ１０８が第５の第２導電型領域３５ｅの深さと不純物濃度の関係を示す。ラインＬ１１０が、第４の第２導電型領域３５ｄと第５の第２導電型領域３５ｅとの濃度を足し合わせた濃度を示す。このように、異なる場所からＺｎ拡散を行なうことにより、濃度分布、すなわち電界をより自在に設定することが可能となる。例えば、深さ方向の濃度分布を連続的に減少させる領域を形成することも可能となる。このように、異なる場所からＺｎ拡散を行なうことにより、濃度分布の広がり、すなわち電界をより自在に設定することが可能となり、より混色を防止する電界を形成することが可能となる。

[0061] 赤外光が、第１化合物半導体層３１側から光電変換素子１０１に入射すると、光電変換層３４において、正孔及び電子が生成する。第１電極５１に第

２電極５２よりも高い電位を加えておくと、電子は、第１電極５１を経由して外部へと取り出される。一方、正孔は、第４の第２導電型領域３５ｄ、第５の第２導電型領域３５ｅ、及び第２化合物半導体層３２から、第２電極５２を経由して外部へと取り出される。

[0062] 図１５，及び図１６に基づき、第３実施形態に係る光電変換素子１０１の製造方法例を説明する。図１５は、第５の第２導電型領域３５ｅを生成する際に使用するマスク層３０６の平面図を示す。図１６は、第４の第２導電型領域３５ｄ、第５の第２導電型領域３５ｅを生成する工程を示す模式図である。マスク層３０６にはドウナツ状の開口３０６ａが形成される。

[0063] ［工程－１１４］

図１６に示すように、少なくとも第２化合物半導体層３２の一部に、第１導電型とは異なる第２導電型を有し、光電変換層３４に達する第４の第２導電型領域３５ｄを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３０２（図７参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させる。この場合、工程１０４（図５参照）よりも長い時間で気相拡散させる。その後、マスク層３０２を除去する。

[0064] ［工程－１１６］

図１６に示すように、少なくとも第２化合物半導体層３２の一部に、第１導電型とは異なる第２導電型を有し、光電変換層３４に達する第５の第２導電型領域３５ｅを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３０６（図１５参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させる。その後、マスク層３０２を除去する。なお、複数段のＺｎ拡散領域を生成する場合には、不純物の濃度、拡散温度、及び拡散時間等を変えることにより、複数段のＺｎ拡散領域の広がり範囲、及び不純物濃度などをより高い自由度をもって調整可能である。

[0065] 以上説明したように、本実施形態に係る光電変換素子１０１は、２段階の

Ｚｎ拡散を異なる場所から行い、第４の第２導電型領域３５ｄ、及び第５の第２導電型領域３５ｅが形成される。このように、異なる場所からＺｎ拡散を行なうにより、深さ方向の濃度分布は連続的に減少していく領域を形成可能となる。このため、濃度分布、すなわち電界をより自在に設定することが可能となり、より混色を防止する電界を形成することが可能となる。

[0066] （第４実施形態）

第４実施形態に係る撮像装置１００の光電変換素子１０１は、不純物濃度が予め異なる積層構造を有する光電変換層３４に対してＺｎ拡散を行う点で、第１実施形態に係る撮像装置１００と相違する。以下では、第１実施形態に係る撮像装置１００と相違する点を説明する。

[0067] 図１７は、第４実施形態に係る光電変換素子１０１の模式的な一部断面図である。４実施形態に係る光電変換層３４は、不純物濃度の異なる光電変換層３８を更に有する点で、第１実施形態に係る光電変換素子１０１と相違する。

[0068] 図１８は、異なる不純物濃度の光電変換層３８を有する光電変換層３４、及び第２の第２導電型領域３５ｂの位置と濃度との関係を示す図である。縦軸は濃度を示し、横軸はＡ－Ａ‘ライン（図１３参照）上の位置を示す。第２化合物半導体層３２の下面の位置をＺｎ拡散表面として０で示し、Ｚｎ拡散表面からの位置を深さとして示す。ラインＬ１１４が光電変換層３８を有する光電変換層３４の深さと不純物濃度の関係を示す。ラインＬ１１２が第２の第２導電型領域３５ｂの深さと不純物濃度の関係を示す。ラインＬ１１６が、光電変換層３８を有する光電変換層３４と第２導電型領域３５ｂとの濃度を足し合わせた濃度を示す。このように、不純物濃度が予め異なる積層構造を有する光電変換層３４に対してＺｎ拡散を行うことにより、濃度分布、すなわち電界をより自在に設定することが可能となる。これにより、画素間の混色をより防止することが可能な電界を形成することができる。

[0069] 赤外光が、第１化合物半導体層３１側から光電変換素子１０１に入射すると、光電変換層３４において、正孔及び電子が生成する。第１電極５１に第

２電極５２よりも高い電位を加えておくと、電子は、第１導電型領域３１から第１電極５１を経由して外部へと取り出される。一方、正孔は、第２の第２導電型領域３５ｂから、第２電極５２を経由して外部へと取り出される。

[0070] 図１９に基づき、第４実施形態に係る光電変換素子１０１の製造方法例を説明する。図１９は、第４実施形態に係る光電変換素子１０１の製造方法例を説明する図である。なお、工程－１０６～工程－１０８（図８参照）は上述と同等であるので説明を省略する。

[0071] ［工程－１１８］

図１９に示すように、第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層３１、光電変換層３４、光電変換層３８及び、第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層３２を、順次、形成する。具体的には、ＩｎＰから成り、厚さ０．１μｍ乃至１μｍの成膜用基板を準備する。そして、周知のＭＯＣＶＤ法に基づき、成膜用基板の上に、厚さ０．１μｍ乃至１μｍの第１化合物半導体層３１、厚さ２μｍ乃至５μｍの光電変換層３４、厚さ１μｍ乃至３μｍの光電変換層３８、厚さ０．１μｍ乃至１μｍの第２化合物半導体層３２を、順次、成膜する。

[0072] ［工程－１２０］

図１９に示すように、その後、少なくとも第２化合物半導体層３２の一部に、第１導電型とは異なる第２導電型を有し、光電変換層３８に達する第２の第２導電型領域３５ｂを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３０２（図７参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させ、あるいは又、固相拡散させることで、第１の第２導電型領域３５ａを形成することができる。その後、マスク層３００を除去する。

[0073] 以上説明したように、本実施形態に係る光電変換素子１０１は、不純物濃度が予め異なる積層構造を有する光電変換層３４に対して第１の第２導電型領域３５ａする。これにより、濃度分布、すなわち電界をより自在に設定することが可能となり、画素間の混色をより防止することが可能な電界を形成

することができる。

[0074] （第５実施形態）

第５実施形態に係る撮像装置１００の光電変換素子１０１は、不純物濃度が予め異なる積層構造を有する光電変換層３４に対して複数段のＺｎ拡散を行う点で、第１実施形態に係る撮像装置１００と相違する。以下では、第１実施形態に係る撮像装置１００と相違する点を説明する。

[0075] 図２０は、第５実施形態に係る光電変換素子１０１の模式的な一部断面図である。第５実施形態に係る光電変換層３４は、不純物濃度の異なる光電変換層３８を更に有する点で、第１実施形態に係る光電変換素子１０１と相違する。

[0076] 図２１は、光電変換層３８を有する光電変換層３４、第１の第２導電型領域３５ａ、及び第２の第２導電型領域３５ｂの位置と濃度との関係を示す図である。縦軸は濃度を示し、横軸はＡ－Ａ‘ライン（図１３参照）上の位置を示す。第２化合物半導体層３２の下面の位置をＺｎ拡散表面として０で示し、Ｚｎ拡散表面からの位置を深さとして示す。ラインＬ１１８が光電変換層３８を有する光電変換層３４の深さと不純物濃度の関係を示す。ラインＬ１２０が第１の第２導電型領域３５ａの深さと不純物濃度の関係を示す。ラインＬ１２２が第２の第２導電型領域３５ｂの深さと不純物濃度の関係を示す。ラインＬ１２４が、光電変換層３８を有する光電変換層３４と第１の第２導電型領域３５ａ、及び第２の第２導電型領域３５ｂとの濃度を足し合わせた濃度を示す。このように、不純物濃度が予め異なる積層構造を有する光電変換層３４に対してＺｎ拡散を複数回行うことにより、濃度分布、すなわち電界をより自在に設定することが可能となる。これにより、画素間の混色をより防止することが可能な電界を形成することができる。なお、第２、第３実施形態と同様に、３段階以上のＺｎ拡散を行ったり、マスク層の形状を異ならせてＺｎ拡散を行ったりしてもよい。

[0077] 赤外光が、第１化合物半導体層３１側から光電変換素子１０１に入射すると、光電変換層３４において、正孔及び電子が生成する。第１電極５１に第

２電極５２よりも高い電位を加えておくと、電子は、第１導電型領域３１から第１電極５１を経由して外部へと取り出される。一方、正孔は、第１の第２導電型領域３５、及び第２の第２導電型領域３５ｂから、第２電極５２を経由して外部へと取り出される。

[0078] 図２２に基づき、第５実施形態に係る光電変換素子１０１の製造方法例を説明する。図２２は、第５実施形態に係る光電変換素子１０１の製造方法例を説明する図である。なお、工程－１０６～工程－１０８（図８参照）は上述と同等であるので説明を省略する。

[0079] ［工程－１１８］の後に工程－１２２、工程－１２４を行う。

[0080] ［工程－１２２］

図２２に示すように、その後、少なくとも第２化合物半導体層３２の一部に、第１導電型とは異なる第２導電型を有し、光電変換層３４に達する第１の第２導電型領域３５ａを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３００（図６参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させ、あるいは又、固相拡散させることで、第１の第２導電型領域３５ａを形成することができる。その後、マスク層３００を除去する。

[0081] ［工程－１２４］

図２２に示すように、その後、第２導電型を有し、光電変換層３４に達する第２の第２導電型領域３５ｂを形成する。より具体的には、第２化合物半導体層３２の下面側にマスク層３０２（図７参照）を形成し、例えば、第２導電型（ｐ型）を有する不純物（具体的には、亜鉛、Ｚｎ）を気相拡散させ、あるいは又、固相拡散させることで、第２の第２導電型領域３５ｂを形成することができる。例えば、工程－１２２のＺｎの濃度よりも工程－１２４の濃度を高くし、より高温で拡散させる。その後、マスク層３０２を除去する。このように、複数段のＺｎ拡散領域を生成する場合には、マスクの形状、不純物の濃度、温度、及び時間等を変えることにより、複数段のＺｎ拡散領域の広がり範囲、不純物濃度などを変更可能である。

[0082] 以上説明したように、本実施形態に係る光電変換素子１０１は、不純物濃度が予め異なる積層構造を有する光電変換層３４に対して第１の第２導電型領域３５ａ、及び第２の第２導電型領域３５ｂをする。これにより、濃度分布、すなわち電界をさらに自在に設定することが可能となり、画素間の混色をより防止することが可能な電界を形成することができる。

[0083] 図２３は、開示の撮像装置１００（図２３では２０１）を電子機器（カメラ）２００に用いた例を示す概念図である。電子機器２００は、撮像装置２０１、光学レンズ２１０、シャッタ装置２１１、駆動回路２１２、及び、信号処理回路２１３を有する。光学レンズ２１０は、被写体からの像光（入射光）を撮像装置２０１の撮像面上に結像させる。これにより撮像装置２０１内に、一定期間、信号電荷が蓄積される。シャッタ装置２１１は、撮像装置２０１への光照射期間及び遮光期間を制御する。駆動回路２１２は、撮像装置２０１の転送動作等及びシャッタ装置２１１のシャッタ動作を制御する駆動信号を供給する。駆動回路２１２から供給される駆動信号（タイミング信号）により、撮像装置２０１の信号転送を行う。信号処理回路２１３は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、あるいは、モニタに出力される。このような電子機器２００では、撮像装置２０１において画素サイズを微細化することができ、また、転送効率が向上するので、画素特性の向上が図られた電子機器２００を得ることができる。撮像装置２０１を適用できる電子機器２００としては、カメラに限られるものではなく、デジタルスチルカメラ、携帯電話機等のモバイル機器向けカメラモジュール等の撮像装置に適用可能である。

[0084] なお、本技術は以下のような構成を取ることができる。

（１）第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層と、

前記第１化合物半導体層に接して形成される光電変換層と、

前記光電変換層に接して形成され、前記第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層と、

少なくとも前記第２化合物半導体層の一部に形成され、前記第１導電型とは異なる第２導電型を有し、前記光電変換層に達する第１の第２導電型領域と、

少なくとも前記第２化合物半導体層の一部に形成され、前記第２導電型を有し、前記光電変換層に達する第２の第２導電型領域であって、前記第１の第２導電型領域と異なる領域を有する第２の第２導電型領域と、

を備える、光電変換素子。

[0085] （２）前記第１化合物半導体層に電気的に接続される第１電極と、

前記第２導電型領域上に形成される第２電極と、

を、更に備える、（１）に記載の光電変換素子。

[0086] （３）前記第１の第２導電型領域と前記第２の第２導電型領域とは、不純物濃度が異なる、（１）又は（２）に記載の光電変換素子。

[0087] （４）前記第１の第２導電型領域の方が前記第２の第２導電型領域よりも不純物濃度が低く、前記第１の第２導電型領域は、前記第２の第２導電型領域よりも前記第１化合物半導体層のより近くまで形成される、（３）に記載の光電変換素子。

[0088] （５）少なくとも前記第２化合物半導体層の一部に形成され、前記第２導電型を有し、前記光電変換層に達する第３の第２導電型領域であって、前記第１の第２導電型領域、及び前記第２の第２導電型領域と異なる領域を有する第３の第２導電型領域を、

更に備える、（４）に記載の光電変換素子。

[0089] （６）前記第１の第２導電型領域と前記第２の第２導電型領域とは、異なる条件で不純物が拡散され、形成される、（１）乃至（５）のいずれか一項に記載の光電変換素子。

[0090] （７）前記第１の第２導電型領域と前記第２の第２導電型領域とは、異なる位置から前記不純物が拡散され、形成される、（６）に記載の光電変換素子。

[0091] （８）前記第１の第２導電型領域の方が前記第２の第２導電型領域よりも

不純物濃度が高く、前記第２の第２導電型領域よりも前記第１化合物半導体層のより近くまで形成される、（７）に記載の光電変換素子。

[0092] （９）前記第２の第２導電型領域は、前記第２化合物半導体層に沿って２つの凸状領域を有する、（８）に記載の光電変換素子。

[0093] （１０）前記光電変換層は、複数の不純物濃度の異なる層が積層される、（１）乃至（９）のいずれか一項に記載の光電変換素子。

[0094] （１１）前記第１電極は、前記第１化合物半導体層の光入射側の面上に形成されている、（２）に記載の光電変換素子。

[0095] （１２）前記第１化合物半導体層、及び前記第２化合物半導体層は、同じ材料から成る、（１）乃至（１１）のいずれか一項に記載の光電変換素子。

[0096] （１３）前記第１化合物半導体層、及び前記第２化合物半導体層は、ＩＩＩ－Ｖ属化合物半導体材料から成る、（１２）に記載の光電変換素子。

[0097] （１４）前記光電変換層はＩｎＧａＡｓから成り、

前記第１化合物半導体層、及び前記第２化合物半導体層はＩｎＰから成る、（１３）に記載の光電変換素子。

[0098] （１５）前記第１化合物半導体層を介して光が入射する、（１）に記載の光電変換素子。

[0099] （１６）（１）乃至（１５）のいずれか１項に記載の光電変換素子が、複数、２次元マトリクス状に配列される、撮像装置。

[0100] （１７）第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層、光電変換層、及び、第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層、を、順次、形成し、

少なくとも第２化合物半導体層の一部に、第１導電型とは異なる第２導電型を有し、光電変換層に達する第１の第２導電型領域を形成し、

前記第１の第２導電型領域と異なる条件により、少なくとも第２化合物半導体層の一部に、前記第２導電型を有し、前記光電変換層に達する第２の第２導電型領域を形成する、　各工程を備えた光電変換素子の製造方法。

[0101] （１８）前記第２化合物半導体層からマスク層を介して不純物を拡散させ

、前記第１の第２導電型領域及び前記第２の第２導電型領域を形成する、（１７）に記載の光電変換素子の製造方法。

[0102] （１９）前記第２化合物半導体層から第１マスク層を介して不純物を拡散させ、前記第１マスク層を削除した後に第２マスク層を介して不純物を拡散させ、前記第２の第２導電型領域を形成する、（１８）に記載の光電変換素子の製造方法。

[0103] （２０）前記第１マスク層を介して不純物を拡散させる状態と、前記第２マスク層を介して不純物を拡散さる状態と、は不純物の濃度、温度、及び時間の少なくともいずれかが異なる、（１９）に記載の光電変換素子の製造方法。

[0104] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0105] ３１：第１化合物半導体層、３２：第２化合物半導体層、３４：光電変換層、３５ａ～３５ｅ：第２導電型領域、５１：第１電極、５２：第２電極、６０：駆動用基板、１００：撮像装置、１０１：光電変換素子（撮像素子）。

請求の範囲

[請求項1] 第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層と、

前記第１化合物半導体層に接して形成される光電変換層と、

前記光電変換層に接して形成され、前記第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層と、

少なくとも前記第２化合物半導体層の一部に形成され、前記第１導電型とは異なる第２導電型を有し、前記光電変換層に達する第１の第２導電型領域と、

少なくとも前記第２化合物半導体層の一部に形成され、前記第２導電型を有し、前記光電変換層に達する第２の第２導電型領域であって、前記第１の第２導電型領域と異なる領域を有する第２の第２導電型領域と、

を備える、光電変換素子。

[請求項2] 前記第１化合物半導体層に電気的に接続される第１電極と、

前記第２導電型領域上に形成される第２電極と、

を、更に備える、請求項１に記載の光電変換素子。

[請求項3] 前記第１の第２導電型領域と前記第２の第２導電型領域とは、不純物濃度が異なる、請求項１に記載の光電変換素子。

[請求項4] 前記第１の第２導電型領域の方が前記第２の第２導電型領域よりも不純物濃度が低く、前記第１の第２導電型領域は、前記第２の第２導電型領域よりも前記第１化合物半導体層のより近くまで形成される、請求項３に記載の光電変換素子。

[請求項5] 少なくとも前記第２化合物半導体層の一部に形成され、前記第２導電型を有し、前記光電変換層に達する第３の第２導電型領域であって、前記第１の第２導電型領域、及び前記第２の第２導電型領域と異なる領域を有する第３の第２導電型領域を、

更に備える、請求項４に記載の光電変換素子。

[請求項6] 前記第１の第２導電型領域と前記第２の第２導電型領域とは、異なる条件で不純物が拡散され、形成される、請求項１に記載の光電変換素子。

[請求項7] 前記第１の第２導電型領域と前記第２の第２導電型領域とは、異なる位置から前記不純物が拡散され、形成される、請求項６に記載の光電変換素子。

[請求項8] 前記第１の第２導電型領域の方が前記第２の第２導電型領域よりも不純物濃度が高く、前記第２の第２導電型領域よりも前記第１化合物半導体層のより近くまで形成される、請求項７に記載の光電変換素子。

[請求項9] 前記第２の第２導電型領域は、前記第２化合物半導体層に沿って２つの凸状領域を有する、請求項８に記載の光電変換素子。

[請求項10] 前記光電変換層は、複数の不純物濃度の異なる層が積層される、請求項１に記載の光電変換素子。

[請求項11] 前記第１電極は、前記第１化合物半導体層の光入射側の面上に形成されている、請求項２に記載の光電変換素子。

[請求項12] 前記第１化合物半導体層、及び前記第２化合物半導体層は、同じ材料から成る、請求項１に記載の光電変換素子。

[請求項13] 前記第１化合物半導体層、及び前記第２化合物半導体層は、ＩＩＩ－Ｖ属化合物半導体材料から成る、請求項１２に記載の光電変換素子。

[請求項14] 前記光電変換層はＩｎＧａＡｓから成り、

前記第１化合物半導体層、及び前記第２化合物半導体層はＩｎＰから成る、請求項１３に記載の光電変換素子。

[請求項15] 前記第１化合物半導体層を介して光が入射する、請求項１に記載の光電変換素子。

[請求項16] 請求項１に記載の光電変換素子が、複数、２次元マトリクス状に配列される、撮像装置。

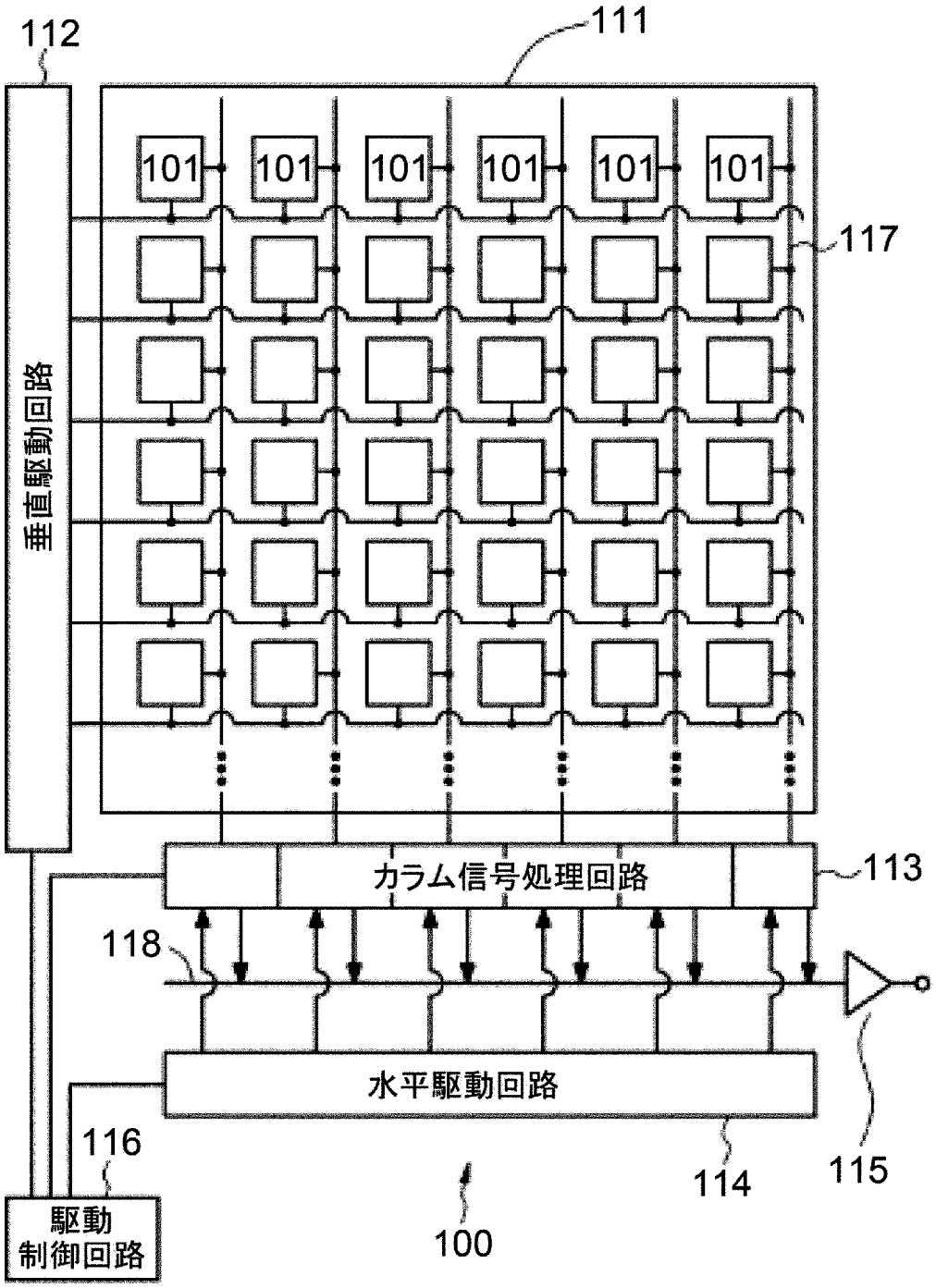
[請求項17] 第１導電型を有する第１化合物半導体材料から成る第１化合物半導体層、光電変換層、及び、第１導電型を有する第２化合物半導体材料から成る第２化合物半導体層、
を、順次、形成し、
少なくとも第２化合物半導体層の一部に、第１導電型とは異なる第２導電型を有し、光電変換層に達する第１の第２導電型領域を形成し、
前記第１の第２導電型領域と異なる条件により、少なくとも第２化合物半導体層の一部に、前記第２導電型を有し、前記光電変換層に達する第２の第２導電型領域を形成する、　各工程を備えた光電変換素子の製造方法。

[請求項18] 前記第２化合物半導体層からマスク層を介して不純物を拡散させ、前記第１の第２導電型領域及び前記第２の第２導電型領域を形成する、請求項１７に記載の光電変換素子の製造方法。

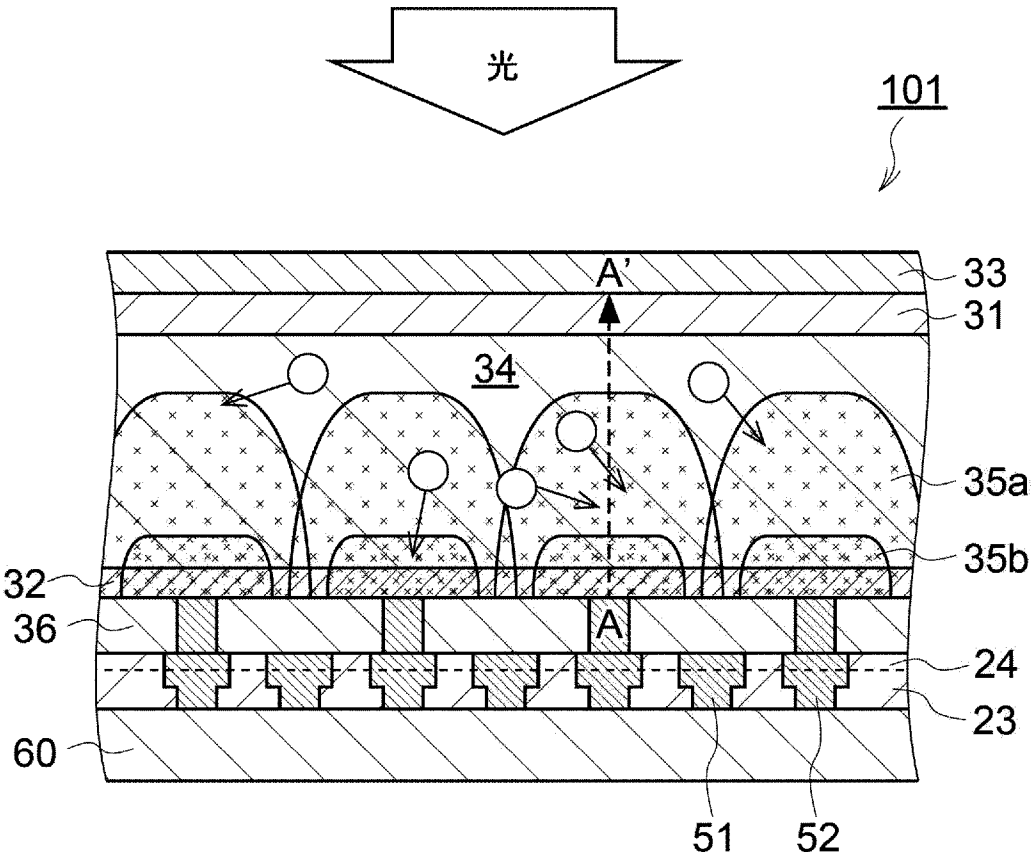
[請求項19] 前記第２化合物半導体層から第１マスク層を介して不純物を拡散させ、前記第１マスク層を削除した後に第２マスク層を介して不純物を拡散させ、前記第２の第２導電型領域を形成する、請求項１８に記載の光電変換素子の製造方法。

[請求項20] 前記第１マスク層を介して不純物を拡散させる状態と、前記第２マスク層を介して不純物を拡散さる状態と、は不純物の濃度、温度、及び時間の少なくともいずれかが異なる、請求項１９に記載の光電変換素子の製造方法。

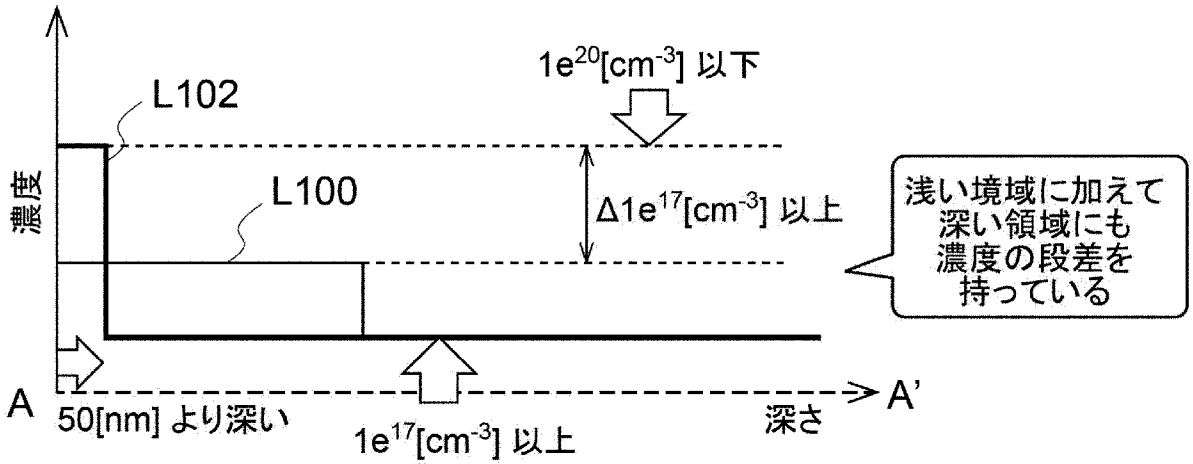
[図1]


112
111
101
101
101
101
101
101
117
垂直駆動回路
カラム信号処理回路
113
118
水平駆動回路
116
114
115
駆動
制御回路
100

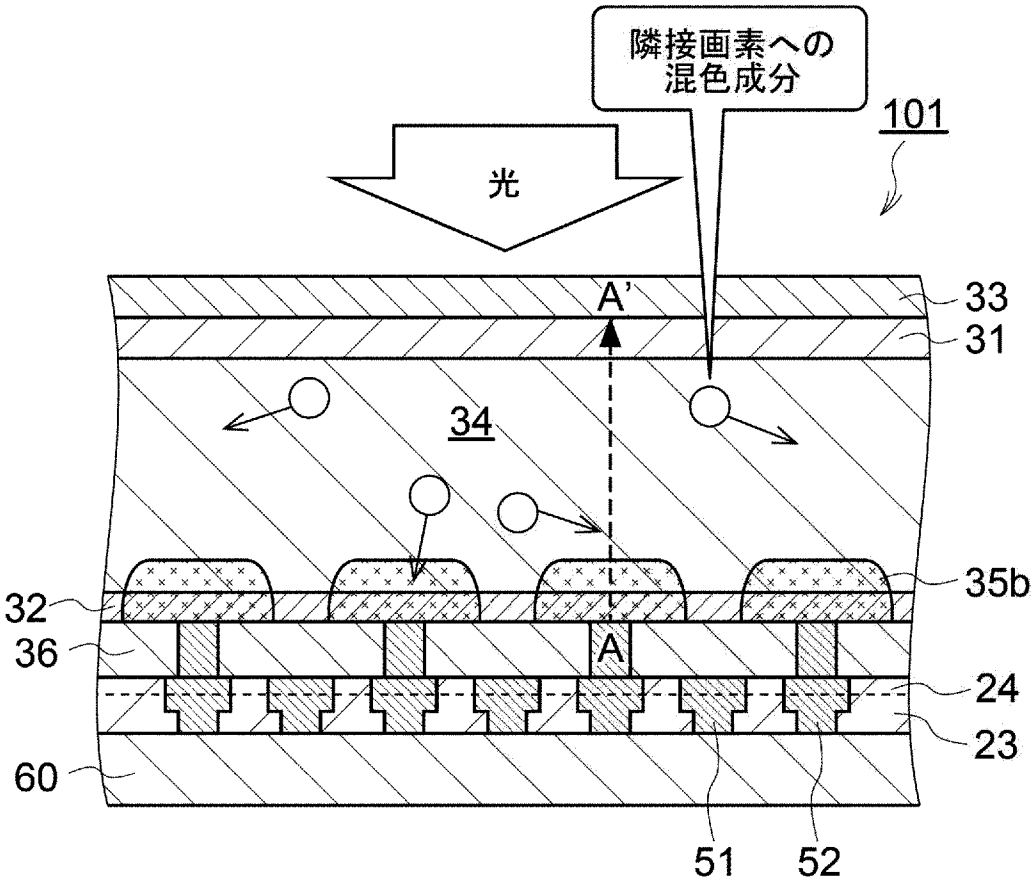
[図2]



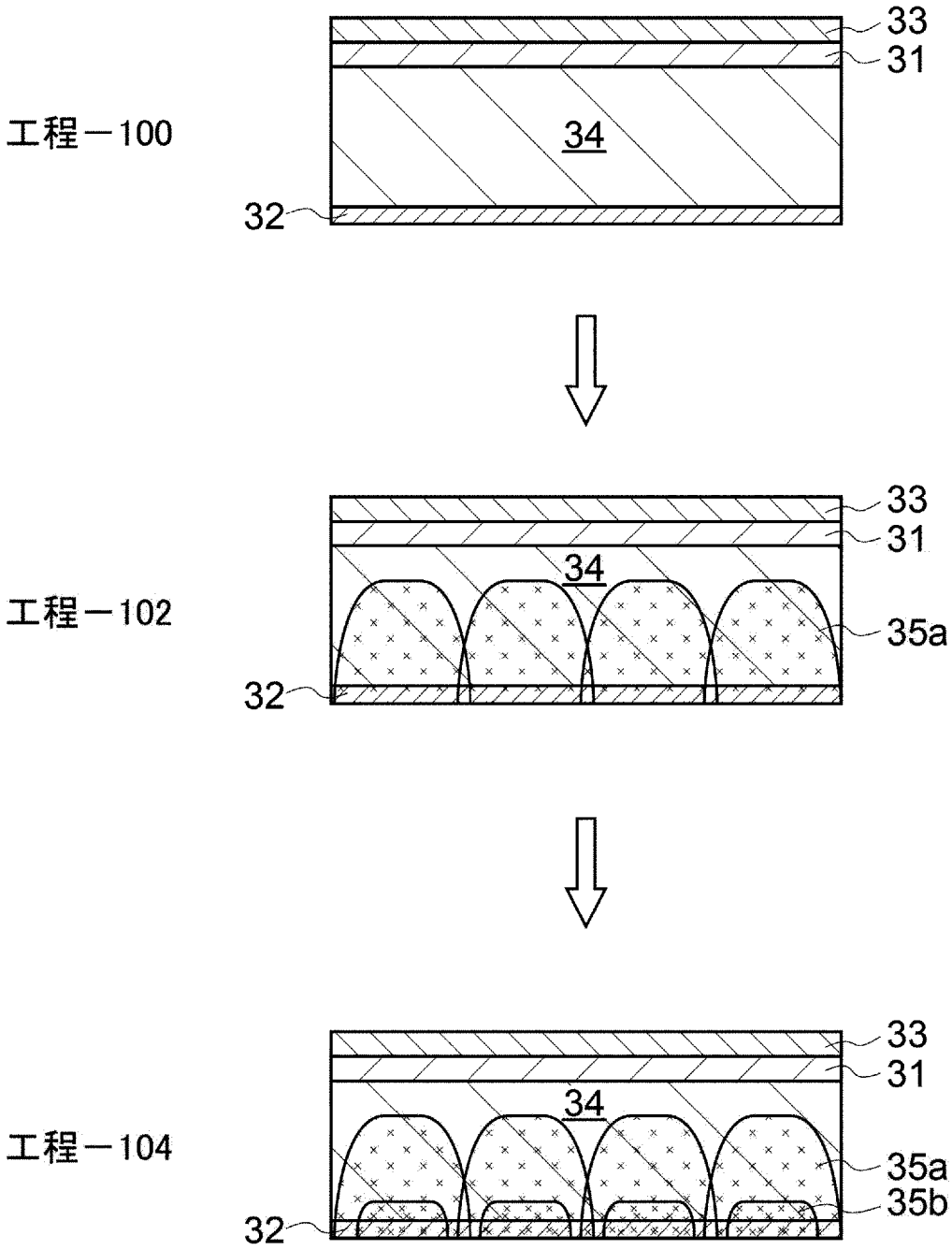
[図3]


濃度
L102
L100
1e20[cm-3] 以下
Δ1e17[cm-3] 以上
浅い境域に加えて
深い領域にも
濃度の段差を
持っている
A
50[nm] より深い
1e17[cm-3] 以上
深さ
A'

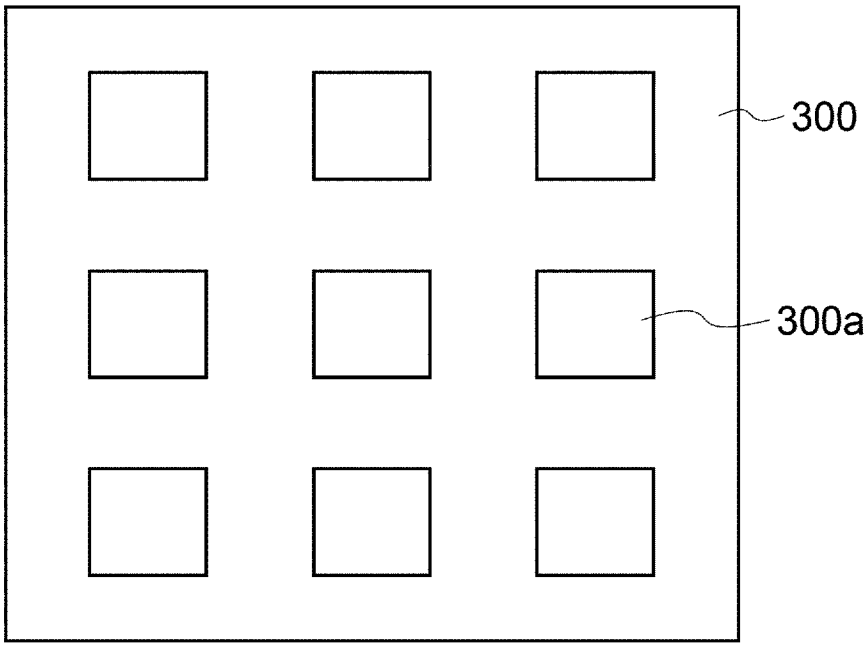
[図4]



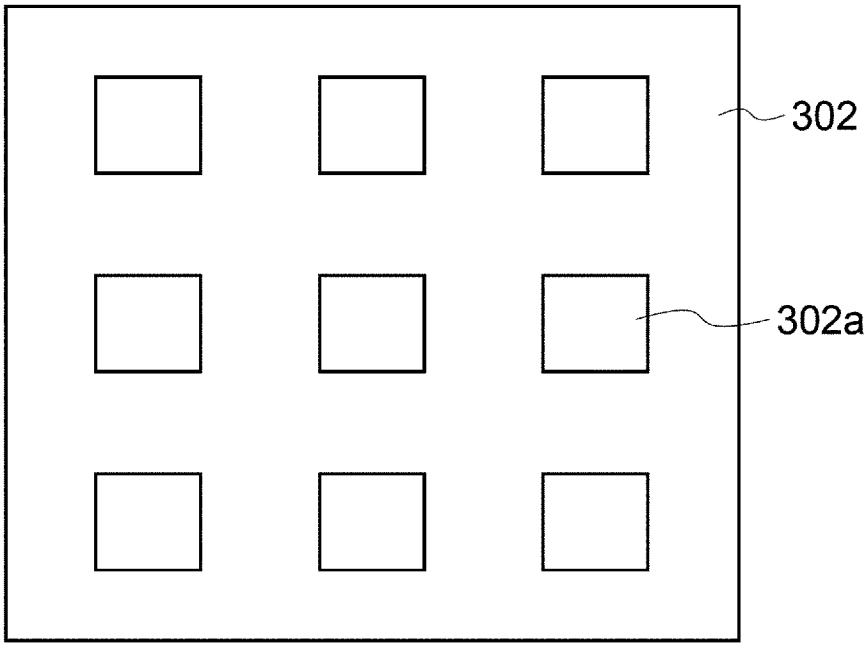
[図5]



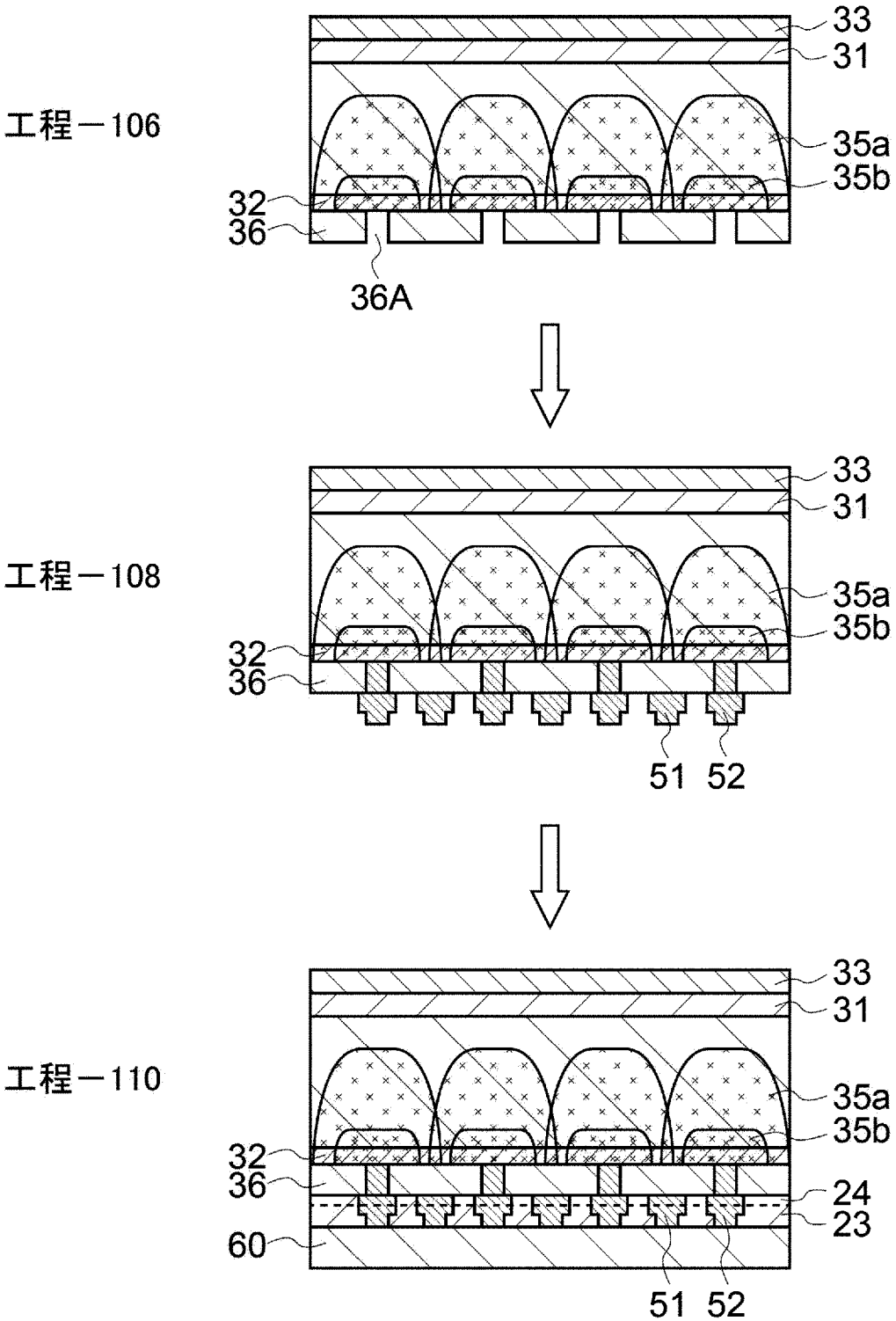
[図6]



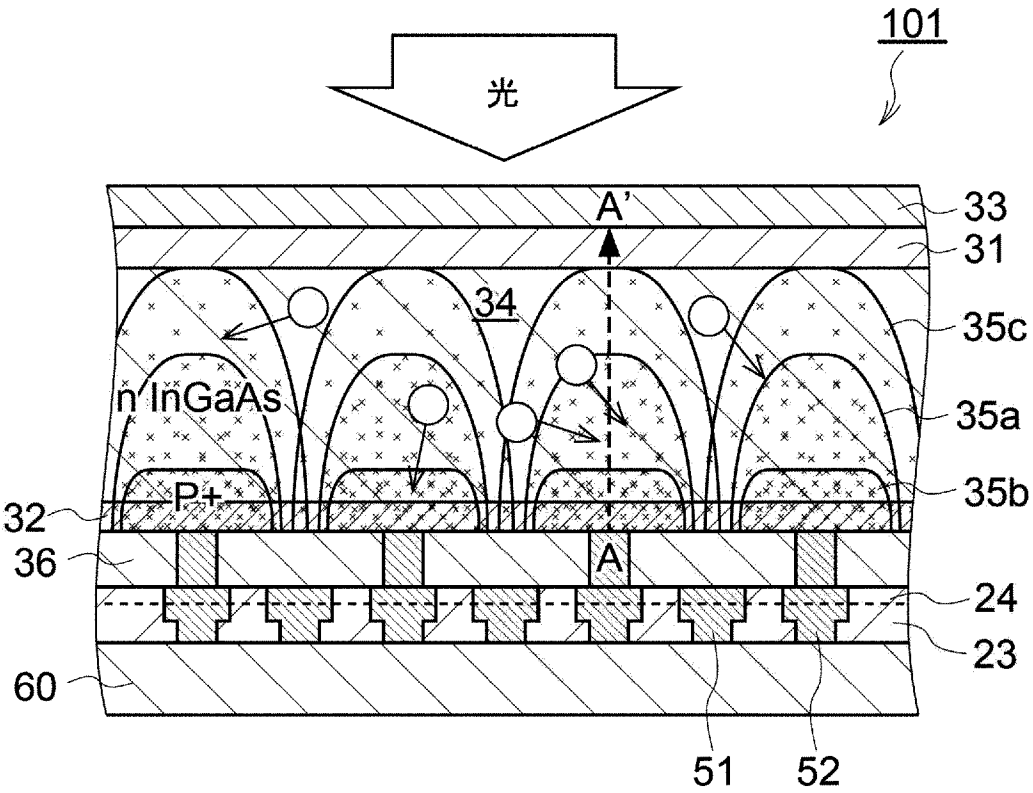
[図7]



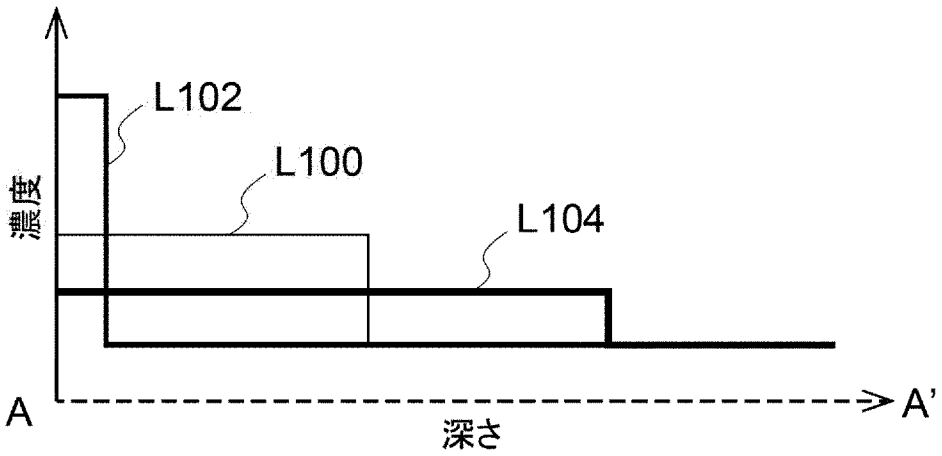
[図8]


工程－106
33
31
35a
35b
32
36
36A
工程－108
33
31
35a
35b
32
36
51
52
工程－110
33
31
35a
35b
32
36
24
23
60
51
52

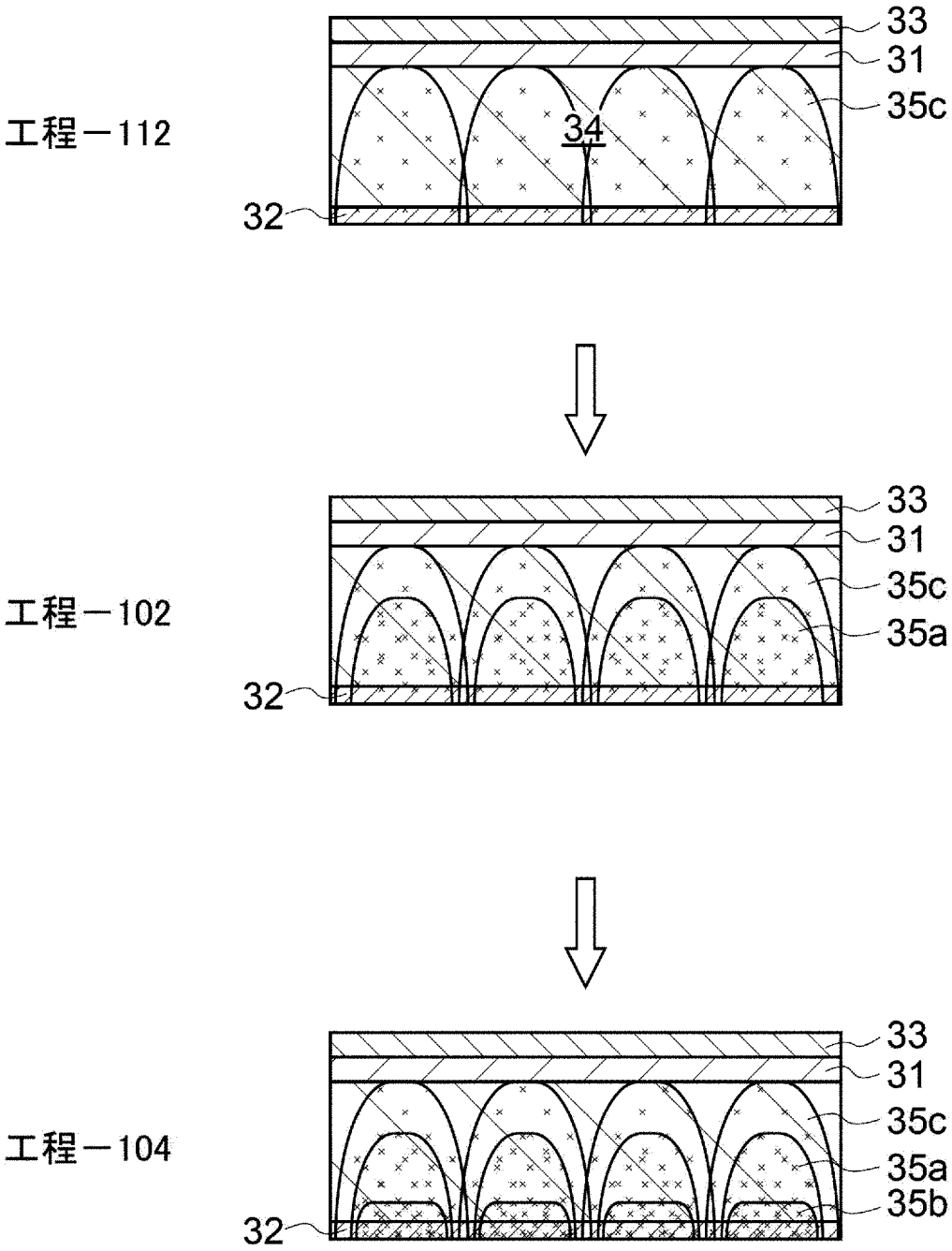
[図9]



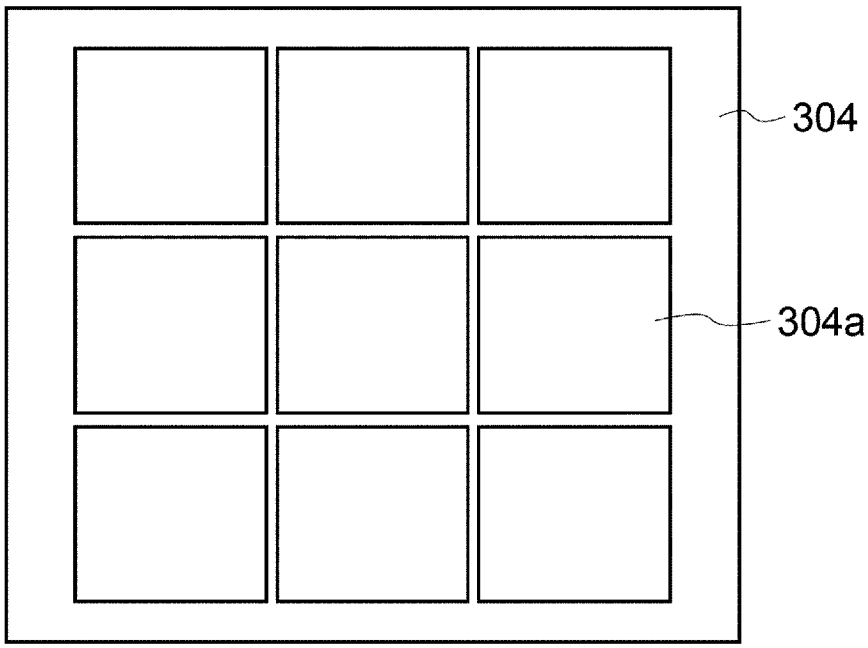
[図10]



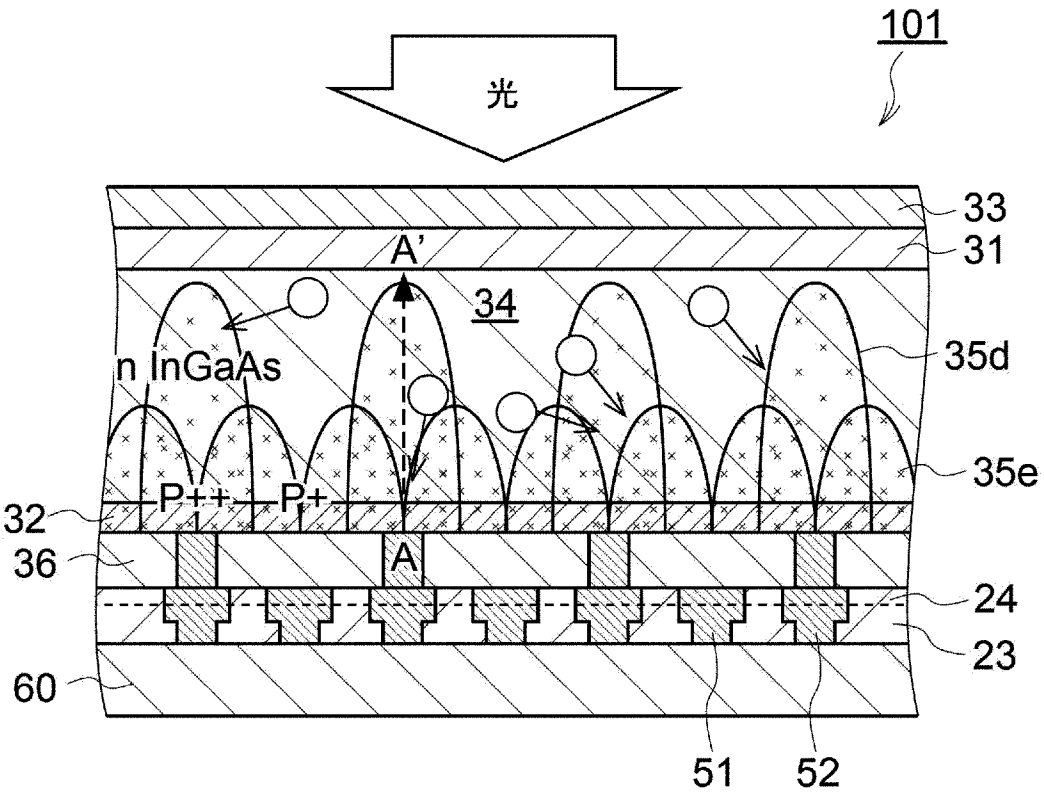
[図11]


工程－112
33
31
35c
34
32
工程－102
33
31
35c
35a
32
工程－104
33
31
35c
35a
35b
32

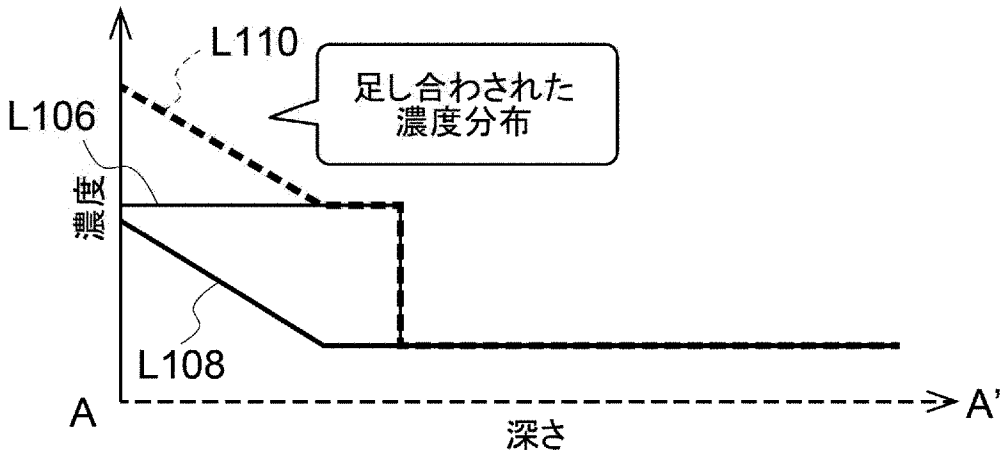
[図12]



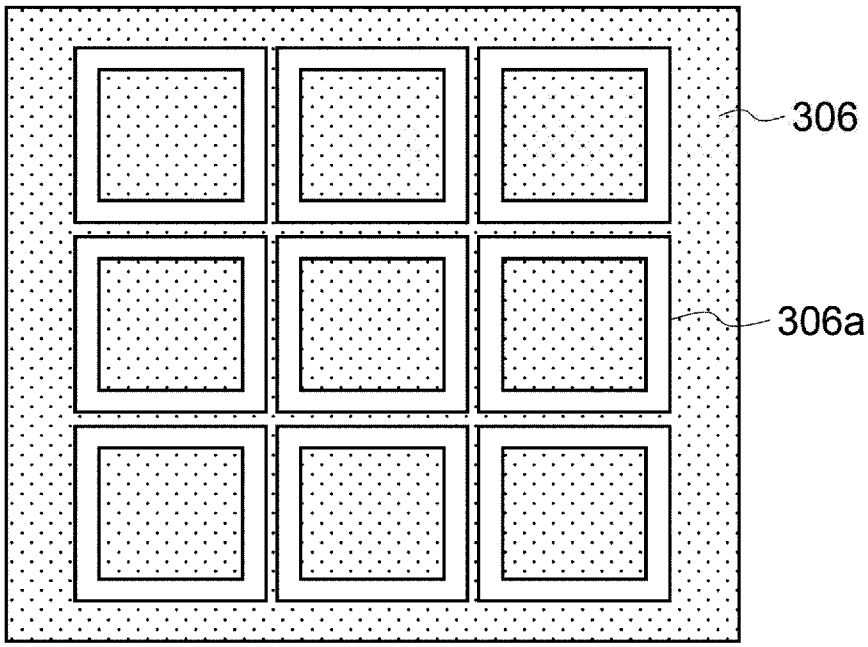
[図13]



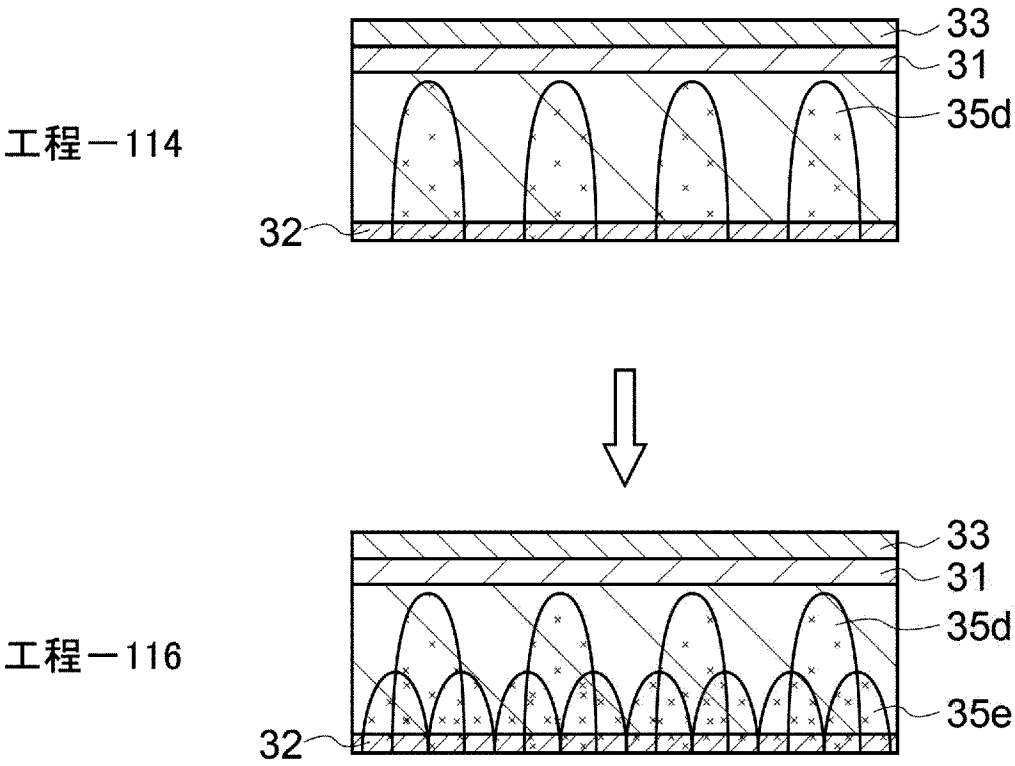
[図14]



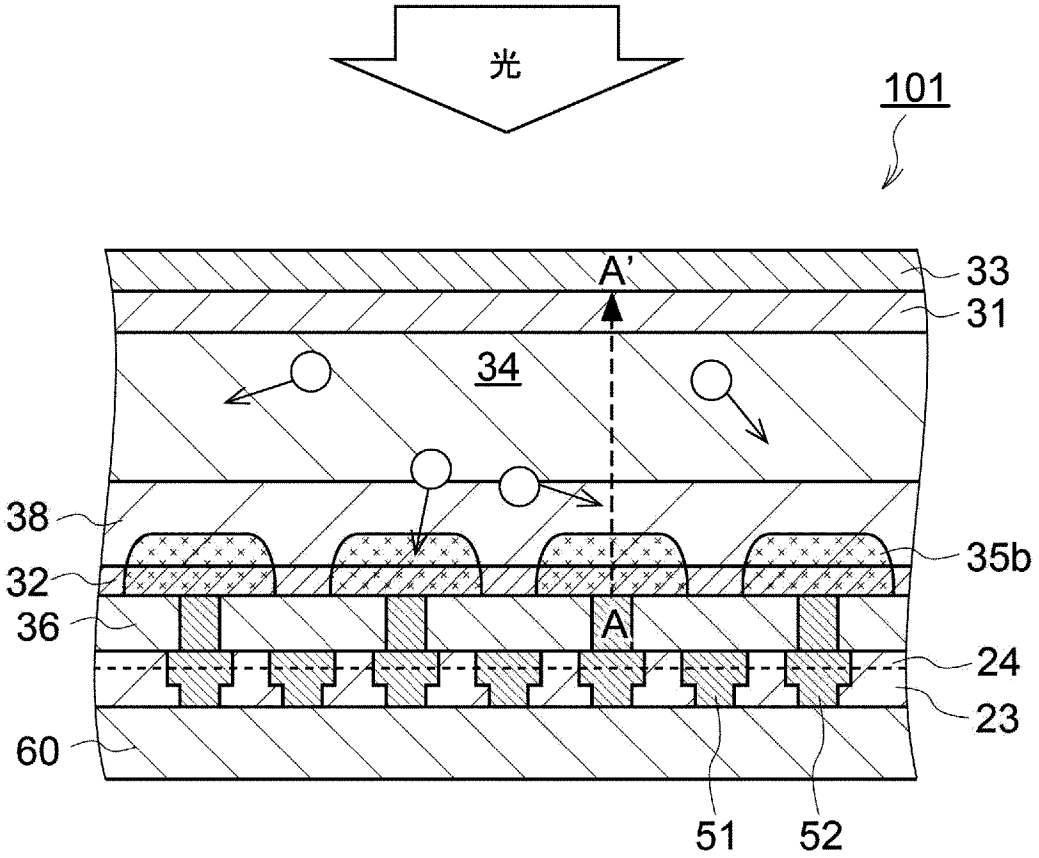
[図15]



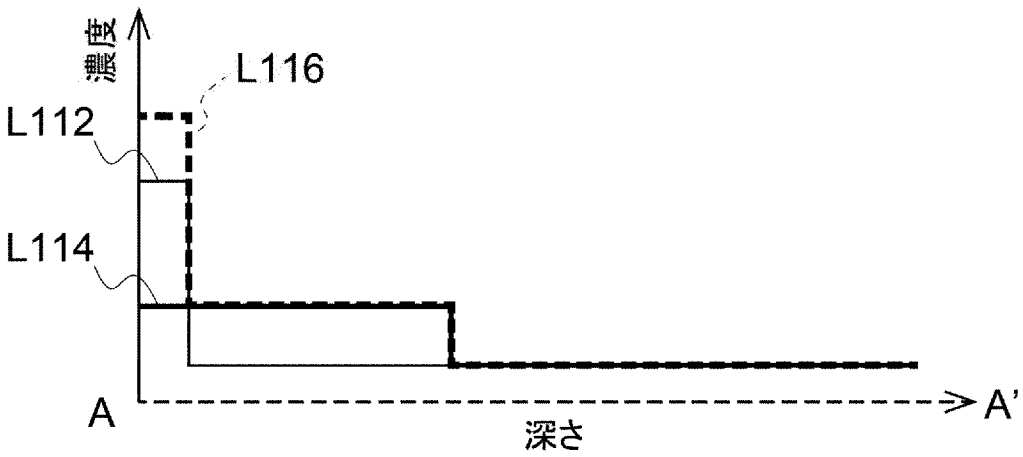
[図16]



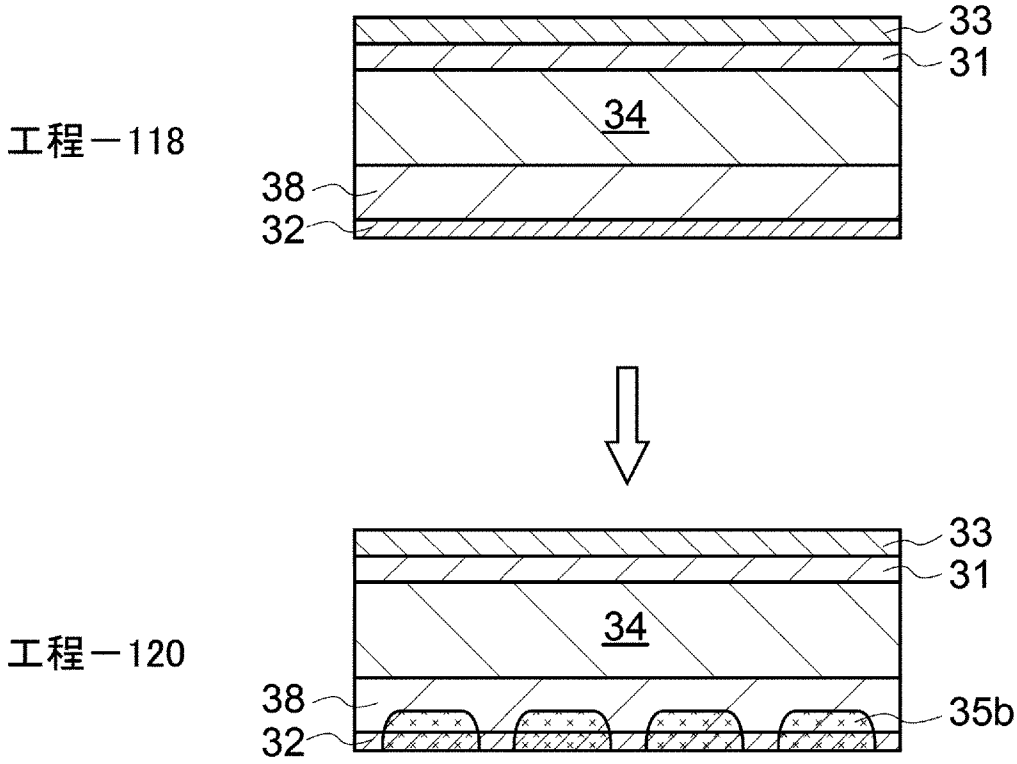
[図17]



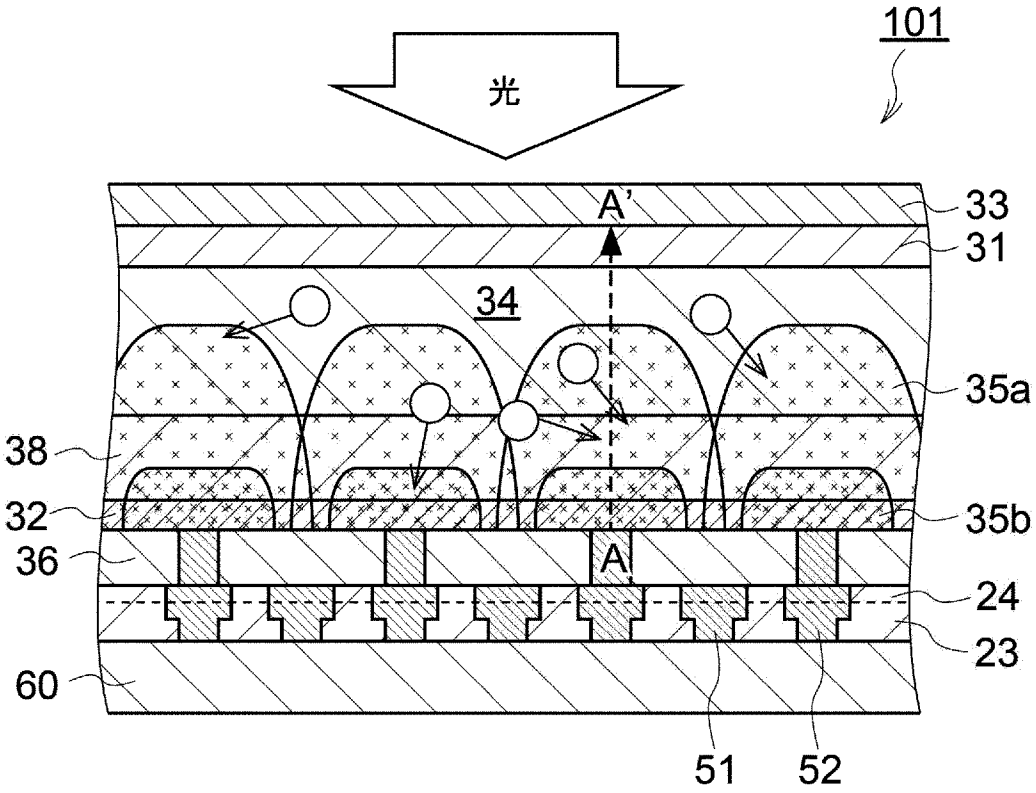
[図18]



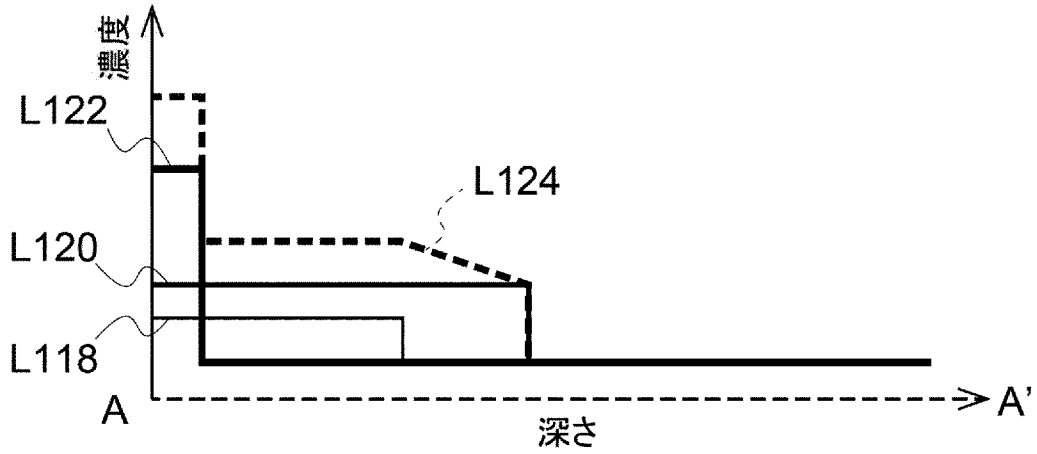
[図19]



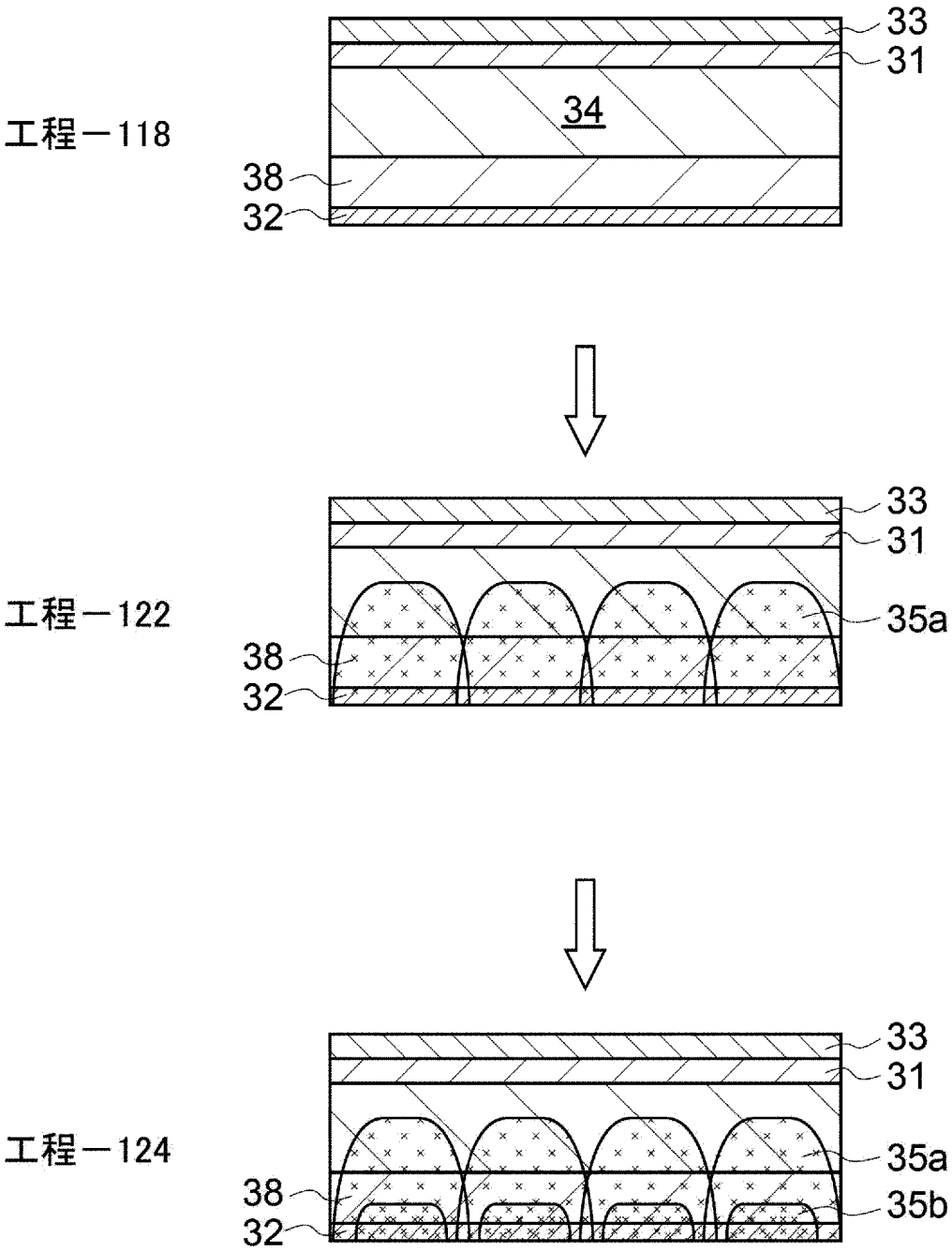
[図20]



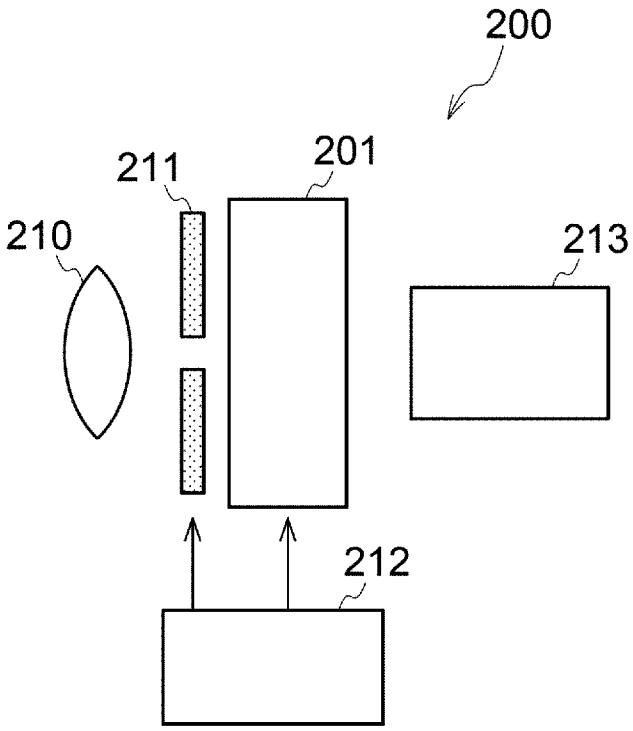
[図21]



[図22]


工程－118
33
31
34
38
32
工程－122
33
31
35a
38
32
工程－124
33
31
35a
38
35b
32

[図23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/006473

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/10(2006.01)i; ***H01L 27/146***(2006.01)i
FI: H01L31/10 A; H01L27/146 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10-31/119; H01L27/14-27/148

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-175102 A (SONY CORP.) 28 September 2017 (2017-09-28) paragraphs [0039], [0054]-[0077], fig. 1, 6	1-7, 10-20
Y	US 2015/0171256 A1 (OSI OPTOELECTRONICS, INC.) 18 June 2015 (2015-06-18) paragraphs [0074]-[0086], [0098]-[0105], fig. 1, 5-6	1-7, 10-20
Y	JP 2007-184410 A (SUMITOMO ELECTRIC IND., LTD.) 19 July 2007 (2007-07-19) paragraphs [0025]-[0026], [0034]-[0036], fig. 4, 12	5-7, 17-20
Y	JP 5-160426 A (NEC CORP.) 25 June 1993 (1993-06-25) paragraphs [0008]-[0010], [0017], fig. 1	10
X	JP 3-82084 A (MITSUBISHI ELECTRIC CORP.) 08 April 1991 (1991-04-08) page 2, lower right column, line 7 to page 4, lower right column, line 4, fig. 1, 3	1-10, 12-14, 16-17
Y		11, 15, 18-20
A	JP 2010-98239 A (NEC ELECTRONICS CORP.) 30 April 2010 (2010-04-30) entire text, all drawings	1-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 March 2022	**19 April 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/006473

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-160691 A (SUMITOMO ELECTRIC IND., LTD.) 23 August 2012 (2012-08-23) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/006473

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-175102 A	28 September 2017	US 2019/0081191 A1 paragraphs [0164], [0179]-[0215], fig. 1A-1B, 6 WO 2017/159130 A1 EP 3432357 A1 CN 108701706 A	
US 2015/0171256 A1	18 June 2015	(Family: none)	
JP 2007-184410 A	19 July 2007	(Family: none)	
JP 5-160426 A	25 June 1993	(Family: none)	
JP 3-82084 A	08 April 1991	US 5010381 A column 3, line 12 to column 5, line 60, fig. 1, 3	
JP 2010-98239 A	30 April 2010	(Family: none)	
JP 2012-160691 A	23 August 2012	US 2013/0292646 A1 entire text, all drawings WO 2012/096239 A1 EP 2665102 A1 CN 103329287 A KR 10-2014-0001971 A	

国際調査報告

国際出願番号
PCT/JP2022/006473

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 31/10(2006.01)i; H01L 27/146(2006.01)i
FI: H01L31/10 A; H01L27/146 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L31/10-31/119; H01L27/14-27/148

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2017-175102 A (ソニー株式会社) 28.09.2017 (2017-09-28) 段落[0039],[0054]-[0077],図1,6	1-7,10-20
Y	US 2015/0171256 A1 (OSI OPTOELECTRONICS, INC.) 18.06.2015 (2015-06-18) 段落[0074]-[0086],[0098]-[0105],図1,5-6	1-7,10-20
Y	JP 2007-184410 A (住友電気工業株式会社) 19.07.2007 (2007-07-19) 段落[0025]-[0026],[0034]-[0036],図4,12	5-7,17-20
Y	JP 5-160426 A (日本電気株式会社) 25.06.1993 (1993-06-25) 段落[0008]-[0010],[0017],図1	10
X Y	JP 3-82084 A (三菱電機株式会社) 08.04.1991 (1991-04-08) 第2ページ右下欄第7行-第4ページ右下欄第4行,第1,3図	1-10,12-14,16-17 11,15,18-20
A	JP 2010-98239 A (ＮＥＣエレクトロニクス株式会社) 30.04.2010 (2010-04-30) 全文全図	1-20
A	JP 2012-160691 A (住友電気工業株式会社) 23.08.2012 (2012-08-23) 全文全図	1-20

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
31.03.2022	19.04.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
佐竹　政彦 2K 2547
電話番号 03-3581-1101 内線 3255

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/006473

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-175102 A	28.09.2017	US 2019/0081191 A1 段落[0164],[0179]-[0215], 図1A-1B,6 WO 2017/159130 A1 EP 3432357 A1 CN 108701706 A	
US 2015/0171256 A1	18.06.2015	（ファミリーなし）	
JP 2007-184410 A	19.07.2007	（ファミリーなし）	
JP 5-160426 A	25.06.1993	（ファミリーなし）	
JP 3-82084 A	08.04.1991	US 5010381 A 第3欄第12行-第5欄第60行, 図1,3	
JP 2010-98239 A	30.04.2010	（ファミリーなし）	
JP 2012-160691 A	23.08.2012	US 2013/0292646 A1 全文全図 WO 2012/096239 A1 EP 2665102 A1 CN 103329287 A KR 10-2014-0001971 A	