

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)



(10) 国際公開番号

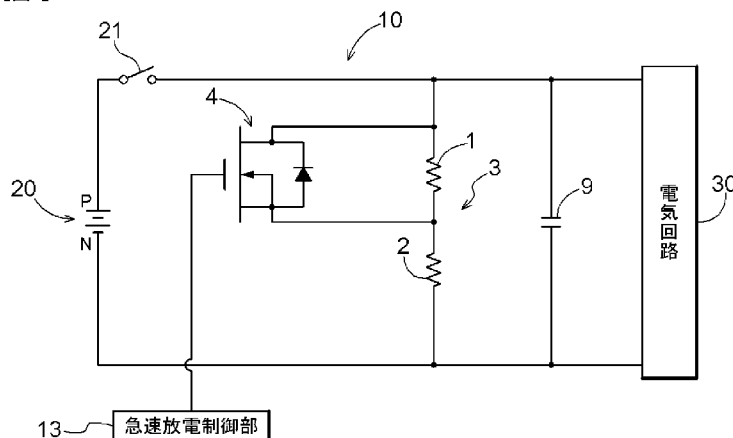
WO 2012/147448 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01) *H02M 3/00* (2006.01)
H02J 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/058380
- (22) 国際出願日: 2012 年 3 月 29 日(29.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-096839 2011 年 4 月 25 日(25.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): アイシン・エイ・ダブリュ株式会社 (AISIN AW CO., LTD.) [JP/JP]; 〒4441192 愛知県安城市藤井町高根 10 番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中村 恭士 (NAKAMURA Yasushi) [JP/JP]; 〒4441192 愛知県安城市藤井町高根 10 番地 アイシン・エイ・ダブリュ株式会社内 Aichi (JP).
- (74) 代理人: 北村 修一郎, 外 (KITAMURA Shuichiro et al.); 〒5300005 大阪府大阪市北区中之島三丁目 3 番 3 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISCHARGE CONTROL CIRCUIT

(54) 発明の名称: 放電制御回路

[図1]



13 Rapid discharge control unit
30 Electrical circuit

(57) Abstract: Provided is a discharge control circuit which has a small power consumption when supplied with electricity, which enables rapid discharge of an electrical charge stored in a smoothing capacitor when a power source is intercepted, and in which a switch controlling the discharge has a low withstanding voltage. This discharge control circuit is provided with: a resistor series section (3) wherein a first resistor (1) and a second resistor (2) are serially connected while being connected in a parallel manner with a smoothing capacitor (9); and a switch (4) which is connected in a parallel manner with the first resistor (1), which is in a non-conductive state while a connection between a main power source (20) and an electrical circuit (30) is maintained, and which short-circuits both ends of the first resistor (1) in a conductive state when the connection between the main power source (20) and the electrical circuit (30) is disconnected. The electrical charge of the smoothing capacitor (9), positioned between the main power source (20) and the electrical circuit (30), is discharged when the connection between the main power source (20) and the electrical circuit (30) is disconnected.

(57) 要約:

[続葉有]



電力供給時の電力消費が小さく、電源遮断時には平滑コンデンサに蓄積された電荷を速やかに放電させることが可能であり、放電を制御するスイッチの耐圧が低い放電制御回路を提供する。第1抵抗器1と第2抵抗器2とが直列接続されていると共に、平滑コンデンサ9に対して並列に接続されている抵抗直列部3と、第1抵抗器1と並列に接続されると共に、主電源20と電気回路30との接続が維持されている際には非導通状態であり、主電源20と電気回路30との接続が切断された際には導通状態で第1抵抗器1の両端を短絡させるスイッチ4とを備え、主電源20と電気回路30との間に介在された平滑コンデンサ9の電荷を、主電源20と電気回路30接続が切断された際に放電させる。

明 細 書

発明の名称：放電制御回路

技術分野

[0001] 本発明は、平滑コンデンサに蓄積された電荷を放電させる放電制御回路に関する。

背景技術

[0002] 電気回路は、当該回路を動作させる電力を供給されて所定の機能を実現する。この電力が安定していなければ、回路の動作の安定性も低くなるので、多くの場合、電力を供給する電源と電気回路と間に、当該電力を安定させるために平滑コンデンサが備えられる。電源からの電力の供給が遮断された場合でも、この平滑コンデンサには電荷が蓄積されており、この電荷は自然放電によって次第に減少する。但し、電気回路が50V以上の比較的高電圧且つ数A以上の消費電流で動作する場合には、平滑コンデンサの静電容量もそれに応じて大きくなるから、自然放電によって電荷が減少する時間も長くなる。電源からの電力の供給が遮断された後に、電気回路を点検するようなことも考慮すると、平滑コンデンサの電荷は速やかに放電されることが好ましい。このような観点から、平滑コンデンサの電荷を速やかに放電させるために、平滑コンデンサと並列に放電抵抗が備えられる場合がある。当然ながら、この放電抵抗の抵抗値が小さい方が、放電に要する時間は短くなる。しかし、放電抵抗の抵抗値が小さいほど、電力が供給された状態での消費電力が大きくなる（効率が悪化する）とともに、抵抗器の外形も大きくなる。そのため従来のシステムでは比較的放電時間の長い放電抵抗が用いられている場合が多い（この放電は常時放電と称す。）。しかし、点検、安全性向上の観点からこれとは別に電力の遮断の際にのみ機能する急速放電システムの追加も必要となってきた。

[0003] 特開平6-276610号公報（特許文献1）には、スイッチとして機能するメカニカルリレーにより、平滑コンデンサの充放電を制御する技術が開

示されている（第１７－１９段落、図１等）。これによれば、平滑コンデンサ（Ｃ）を充電する際には、放電抵抗（Ｒ１）がメカニカルリレー（Ｒ_y３）により遮断され、平滑コンデンサ（Ｃ）への突入電流を抑制する電流制限抵抗（充電用抵抗（Ｒ２））を介して平滑コンデンサ（Ｃ）に電荷が供給される。この充電用抵抗（Ｒ２）は、電源投入時を除いてメカニカルリレー（Ｒ_y２）により遮断される。一方、平滑コンデンサ（Ｃ）を放電させる際には、平滑コンデンサ（Ｃ）に対する放電抵抗（Ｒ１）との並列接続がメカニカルリレー（Ｒ_y３）により確立され、平滑コンデンサ（Ｃ）に蓄積された電荷が放電抵抗（Ｒ１）を介して放電される。

[0004] ところで、このような放電回路においてスイッチとして機能する素子には、メカニカルリレー以外にも、半導体を用いたソリッドステートリレーや、ＦＥＴなどの半導体スイッチング素子がある。そして、昨今では、取り扱いの容易さや、コストの観点から、このような半導体を用いたスイッチが利用されることが多い。このようなスイッチが遮断状態にある時には、その接点には電圧が掛かることになる。メカニカルリレーでは、接点の物理的な離間距離が絶縁距離となり、これが耐圧となる。半導体によるスイッチでは、例えばＰＮ接合などの逆降伏電圧が耐圧となる。ここで、電源から電力を供給される電気回路の動作電圧が例えば５０Ｖ以上の比較的高電圧である場合には、平滑コンデンサの両端電圧も同様に５０Ｖ以上の比較的高電圧となる。また、電気回路が回転電機などの駆動回路であれば、動作電圧は、２００Ｖ以上となる場合もある。平滑コンデンサに対して並列に接続される放電抵抗の両端電圧は、平滑コンデンサの両端電圧と等価となるから、放電抵抗を遮断するスイッチのオフ状態における接点にも同様の電圧が掛かる。従って、スイッチには高い耐圧特性が要求される。但し、そのような高い耐圧特性を有する半導体スイッチは、大型であったり、高コストであったりする可能性がある。

先行技術文献

特許文献

[0005] 特許文献1：特開平6－276610号公報

発明の概要

発明が解決しようとする課題

[0006] 上記背景に鑑みて、電力供給時の電力消費を小さくすると共に、電源遮断時には当該平滑コンデンサに蓄積された電荷を速やかに放電させることが可能であり、放電を制御するスイッチの耐圧が低く抑えられた放電制御回路の提供が望まれる。

課題を解決するための手段

[0007] 上記課題に鑑みた本発明に係る放電制御回路の特徴構成は、

電気回路へ直流電力を供給する主電源と当該電気回路との間に介在された平滑コンデンサに蓄積された電荷を、前記主電源と前記電気回路との接続が切断された際に放電させる放電制御回路であって、

第1抵抗器と第2抵抗器とが直列接続されて構成されていると共に、前記平滑コンデンサに対して並列に接続されている抵抗直列部と、

前記第1抵抗器と並列に接続されると共に、前記主電源と前記電気回路との接続が維持されている際には非導通状態に制御され、前記主電源と前記電気回路との接続が切断された際には導通状態に制御されて前記第1抵抗器の両端を短絡させるスイッチと、

を備える点にある。

[0008] この構成によれば、第1抵抗器と並列に接続されるスイッチの両端には、平滑コンデンサの端子間電圧を第1抵抗器と第2抵抗器とで分圧した電圧が印加される。つまり、スイッチの両端には、平滑コンデンサの端子間電圧よりも小さい電圧が印加されることになる。従って、耐圧が平滑コンデンサの端子間電圧よりも小さい電気的特性を有するスイッチを利用することができる。また、電力供給時は、直列接続された第1抵抗器と第2抵抗器との抵抗値の和が合成抵抗となるから、電力消費は小さい。一方、平滑コンデンサの電荷を放電する際には、第1抵抗器の両端がスイッチによって短絡され、第2抵抗器のみが放電抵抗となるので、小さい時定数で平滑コンデンサを放電

させることができる。このように、本特徴構成によれば、電力供給時の電力消費を小さくすると共に、電源遮断時には当該平滑コンデンサに蓄積された電荷を速やかに放電させることが可能であり、放電を制御するスイッチの耐圧が抑制された放電制御回路を得ることができる。

[0009] ここで、本発明に係る放電制御回路の前記第2抵抗器の抵抗値は、前記第1抵抗器の抵抗値よりも小さい値に設定されていると好適である。この構成によれば、通常の電力供給時の電力消費を小さくするとともに、素早い放電が可能となる。

[0010] また、本発明に係る放電制御回路の前記第1抵抗器及び前記スイッチは、前記主電源の正極側に接続されていると好適である。この構成によれば、仮に第2抵抗器が地絡故障を生じた場合であっても、スイッチが開放状態であれば第1抵抗器が平滑コンデンサに対して並列接続されることになる。従って、第1抵抗器及びスイッチが、主電源の正極側に接続されていると、放電抵抗としての機能はこの第1抵抗器によって維持される。

[0011] また、急速放電の際に、大電流が流れ、発熱が大きい第2抵抗器の放熱を容易にするために、第1抵抗器やスイッチが実装される基板の外に第2抵抗器が配置されるように放電制御回路が構成される場合がある。例えば、基板に実装されたコネクタハウジングに、第2抵抗器を含むコネクタアセンブリを接続することによってこの構成を実現することができる。この際、コネクタハウジングの端子を介して、基板の外に露出する可能性があるのは、主電源の負極側と、第1抵抗器及びスイッチの端子である。従って、上記構成によれば、大電圧である可能性もある主電源の正極は基板の中に収まり、絶縁を確保し易くなる。

[0012] ところで、第1抵抗器及びスイッチが主電源の正極側に接続されている場合に、平滑コンデンサを急速放電させるための第2抵抗器が地絡故障を生じると、地絡故障により放電抵抗としての機能を失うことになる。しかし、例えば、第1抵抗器と第2抵抗器との接続点の電圧をモニターしておくことによって、この地絡故障を検出することができる。即ち、第2抵抗器が地絡故

障を生じていない場合には、当該接続点の電圧は、平滑コンデンサの両端電圧（主電源の電圧）を第１抵抗器と第２抵抗器とで分圧した値となる。一方、第２抵抗器が地絡故障を生じている場合には、当該接続点の電圧は、グラウンド電圧（主電源の負極側の電圧）となる。従って、放電制御回路は、電気回路の定常動作中に第２抵抗器が地絡故障を生じたとしても、第１抵抗器と第２抵抗器との接続点の電圧をモニターしておくことによって、この地絡故障を検出することができる。そして、放電制御回路は、スイッチをオン状態に制御しないようにすれば、スイッチに過電流が流れることを防止できスイッチの破損を防止できるとともに、少なくとも第１抵抗器を介して平滑コンデンサの電荷を放電させることが可能である。また、別の故障として、スイッチが短絡故障を生じている場合には、常に第１抵抗器が短絡状態となり、第１抵抗器と第２抵抗器との接続点の電圧が主電源の正極側の電圧となる。従って、当該接続点の電圧をモニターしておくことによって、スイッチの短絡故障や第１抵抗器の短絡故障も検出することができる。

[0013] 具体的には、１つの好適な態様として、本発明に係る放電制御回路は、前記抵抗直列部の正極側端子の電圧を検出する第１電圧センサと、前記第１抵抗器と前記第２抵抗器との接続点の電圧を検出する第２電圧センサと、前記第１電圧センサの検出結果及び前記第２電圧センサの検出結果に基づいて、前記抵抗直列部及び前記スイッチの故障を診断する故障診断部とをさらに備えると好適である。尚、第１抵抗器及びスイッチが、主電源の正極側ではなく、負極側に接続されている場合であっても、第１電圧センサと第２電圧センサと故障診断部とを備えることによって、放電制御回路の故障を検出することが可能である。例えば、第１抵抗器が地絡故障を生じた場合には、当該接続点の電圧がグラウンド電圧（主電源の負極側の電圧）となるので、この地絡故障を検出することができる。

図面の簡単な説明

[0014] [図１]放電制御回路の構成の一例を模式的に示す回路ブロック図

[図２]診断機能付きの放電制御回路の構成の一例を模式的に示す回路ブロック

図

[図3]比較例の放電制御回路の一例を示す回路ブロック図

[図4]図3の放電制御回路に診断機能を付加した一例を示す回路ブロック図

[図5]別の比較例の放電制御回路に診断機能を付加した一例を示す回路ブロック図

[図6]放電制御回路の構成の他の例を模式的に示す回路ブロック図

発明を実施するための形態

[0015] 以下、本発明の実施形態を図面に基づいて説明する。放電制御回路10は、図1に示すように、電気回路30へ直流電力を供給する主電源20と電気回路30との間に介在された平滑コンデンサ9に蓄積された電荷を、主電源20と電気回路30との接続が切断された際に放電させる回路である。電気回路30は、種々の回路を適用することができる。例えば、電気回路30は、比較的高電圧（50V以上）の電源電圧で数A以上の大電流を消費して動作するようなインバータやコンバータなどのパワー系の回路とすることができる。このような電気回路30は、システムメインリレー（SMR）21等を介して主電源20と接続される。SMR21が閉じている場合には、主電源20から電気回路30に電力が供給され、SMR21が開放している場合には、主電源20と電気回路30との接続が切断される。尚、電気回路30が発電機に接続されており、主電源20が充電可能なバッテリーなどの場合には、電気回路30から主電源20に電力を供給して主電源20を充電してもよい。

[0016] ところで、電気回路30を動作させる電力が安定していなければ、当該電気回路30の動作の安定性も低くなる。従って、多くの場合、電力を供給する主電源20と電気回路30と間に、当該電力を安定させるために平滑コンデンサ9が備えられる。SMR21が開放され、主電源20からの電力の供給が遮断された場合でも、この平滑コンデンサ9には電荷が残存している。この電荷は自然放電によっても次第に減少するが、電気回路30が上述したようなパワー系の回路の場合には、平滑コンデンサ9の静電容量もそれに応

じて大きくなるから、自然放電によって電荷が減少する時間も長くなる。主電源 20 からの電力の供給が遮断された後に、電気回路 30 を点検するようなケースも考慮すると、平滑コンデンサ 9 の電荷は速やかに放電されることが好ましい。このような観点から、平滑コンデンサ 9 の電荷を速やかに放電させるために、平滑コンデンサ 9 と並列に抵抗器が備えられる。

[0017] 本実施形態においては、第 1 抵抗器 1 と第 2 抵抗器 2 とが直列接続されて構成された抵抗直列部 3 が平滑コンデンサ 9 に対して並列に接続されている。SMR 21 が開状態から閉状態となると、抵抗直列部 3 の合成抵抗と平滑コンデンサ 9 の静電容量とで定まる時定数に応じた過渡応答（充電特性）を伴って平滑コンデンサ 9 が充電される。充電が完了し、定常状態となると、平滑コンデンサ 9 の両端電圧は、主電源 20 の正負両極間電圧 $P-N$ となる。ここで、主電源 20 の負極 N をグラウンド（ $=0$ [V]）とすれば、平滑コンデンサ 9 の両端電圧は、 P [V] と表すことができる。

[0018] 一方、SMR 21 が閉状態から開状態となると、平滑コンデンサ 9 に蓄積された電荷は、抵抗直列部 3 を介して放電される。この際、抵抗直列部 3 の抵抗値が小さいほど、電流は大きくなり、放電に要する時間は短くなる。しかし、抵抗直列部 3 の抵抗値が小さいと通常時の電力消費が大きくなってしまふ。そこで、本実施形態の放電制御回路 10 は、充電開始時や定常動作時と、放電時とにおいて、抵抗直列部 3 の抵抗値を変更できるように構成されている。具体的には、充電開始時や定常動作時には、抵抗直列部 3 の抵抗値は、直列接続された第 1 抵抗器 1 と第 2 抵抗器 2 との抵抗値を合成した抵抗値（和）となる。一方、放電時には、第 2 抵抗器 2 の抵抗値が抵抗直列部 3 の抵抗値となる。このような抵抗値の切り換えは以下のようにして実施される。

[0019] 図 1 に示すように、本実施形態では、主電源 20 の正極 P の側に第 1 抵抗器 1 が接続され、負極 N の側に第 2 抵抗器 2 が接続されている。換言すれば、第 1 抵抗器 1 は、抵抗直列部 3 のハイサイドの抵抗器であり、第 2 抵抗器 2 はローサイドの抵抗器である。また、第 1 抵抗器 1 には、スイッチとして

機能するMOSFET 4が並列に接続されている。このMOSFET 4は、例えばマイクロコンピュータなどによって構成された急速放電制御部13によってスイッチング制御される。具体的には、MOSFET 4は、主電源20と電気回路30との接続が維持されている際（SMR 21が閉状態のとき）には非導通状態（オフ状態）に制御される。また、MOSFET 4は、主電源20と電気回路30との接続が切断された際（SMR 21が開状態のとき）には導通状態（オン状態）に制御される。

[0020] MOSFET 4が導通状態に制御されると、微小なオン抵抗を介して第1抵抗器1の両端が接続される。このオン抵抗は、第1抵抗器1の抵抗値に対して無視できるほど小さく、実質的に第1抵抗器1の両端が短絡される。第1抵抗器1の両端がMOSFET 4を介して短絡されることにより、抵抗直列部3の抵抗値は、実質的に第2抵抗器2の抵抗値と同じになる。SMR 21は開放状態にあり、主電源20から平滑コンデンサ9には電荷が供給されず、平滑コンデンサ9に蓄積された電荷は、抵抗直列部3を介して放電される。この際、抵抗直列部3は第2抵抗器2のみで構成されているので、充電時に比べて抵抗直列部3の抵抗値は小さく、時定数も小さい。従って、迅速に平滑コンデンサ9の放電が完了する。

[0021] ここで、第2抵抗器2の抵抗値が、第1抵抗器1の抵抗値よりも小さい値に設定されていると好適である。充電時や定常時に比べて放電時の抵抗直列部3の抵抗値をより小さくすることができるので、時定数もより小さくすることができ、さらに迅速に平滑コンデンサ9の放電を完了させることができる。当然ながら、第1抵抗器1と第2抵抗器2とは、同じ定格値の抵抗値を有する抵抗器であってもよいし、第1抵抗器1の抵抗値が第2抵抗器の抵抗値よりも小さい値であってもよい。つまり、2つの抵抗器の抵抗値の和に比べれば、第2抵抗器2の抵抗値は小さいから、第1抵抗器1の両端をMOSFET 4を介して実質的に短絡することによって、抵抗直列部3の抵抗値を小さい値へと変更することが可能である。

[0022] 尚、急速放電の際に大電流が流れることから、第1抵抗器1に比べて発熱

が大きい第2抵抗器2の放熱を容易にするために、第1抵抗器1やMOSFET4が実装される基板の外に第2抵抗器2が配置されるように放電制御回路10が構成されると好適である。また、発熱による消耗や定期的なメンテナンスにより、第2抵抗器2を交換する際も、当該基板の外に第2抵抗器2が配置されていると好適である。具体的には、当該基板に実装されたコネクタハウジングに、第2抵抗器2を含むコネクタアセンブリを接続することによって、負極Nの側と、第1抵抗器1及びMOSFET4の並列部との間に第2抵抗器2が実装されると好適である。第2抵抗器2が基板外に配置されることによって、単純な空冷を含め、ヒートシンクの付加など、高い自由度で第2抵抗器2の放熱を実現することができる。また、当該コネクタアセンブリを交換することによって、容易に第2抵抗器2を交換することも可能である。

[0023] 図1に例示する放電制御回路10は、上述したように、抵抗直列部3のハイサイドに第1抵抗器1とMOSFET4（スイッチ）が配置されている。このため、コネクタハウジングを介して基板の外に部分的に露出する端子は、主電源20の負極Nの側と、第1抵抗器1及びMOSFET4の正極Pの側とは反対の端子とである。従って、主電源20の正極Pの側の端子は、部分的にも基板の外部に対して露出することなく、当該基板において高い絶縁性を保って実装されることが可能である。主電源20が例えば50V以上の大電圧の場合には、安全性を考慮して正極Pの側の絶縁は特に厳重に実施されることが好ましい。第1抵抗器1及びMOSFET4をハイサイドに配置することによって、そのような好適な形態を容易に実現することができる。

[0024] ところで、図3は、本実施形態の放電制御回路10に対する比較例となる放電制御回路100を示している。この放電制御回路100では、電気回路130の定常運転時及び平滑コンデンサ109の放電時に機能する第1抵抗器101と、平滑コンデンサ109の放電時に機能する第2抵抗器102とが、それぞれ平滑コンデンサ109に対して並列に接続されている。放電制御回路100では、MOSFET104がオフ状態の時、そのドレインソース

ース間に主電源 120 の正負両極間電圧である P [V] が印可されることになる。これに対して、図 1 に例示した本実施形態では、MOSFET 4 がオフ状態のとき、そのドレインソース間に印可される電圧は、 P [V] を第 1 抵抗器 1 と第 2 抵抗器 2 とによって分圧した電圧であり、 P [V] よりも低い電圧となる。

[0025] 具体的には、第 1 抵抗器 1 の抵抗値を R_1 、第 2 抵抗器 2 の抵抗値を R_2 とすれば、ドレインソース間電圧は、 $P \times (R_1 / (R_1 + R_2))$ [V] である。つまり、本実施形態の放電制御回路 10 では、MOSFET 4 の両端電圧を低く抑えることが可能となるので、耐圧の低い素子を用いることができ、装置規模やコストの増大を抑制可能である。上述したように、第 2 抵抗器 2 の抵抗値 R_2 が第 1 抵抗器 1 の抵抗値 R_1 よりも小さい場合、例えば、 $R_1 = 45$ [k Ω]、 $R_2 = 5$ [k Ω]、 $P = 100$ [V] とすれば、MOSFET 4 のドレインソース間電圧は、90 [V] となる。図 3 に示す放電制御回路 100 の MOSFET 104 のドレインソース間電圧は $P = 100$ [V] となるから、本実施形態の放電制御回路 10 の MOSFET 4 の方が、より低い耐圧の素子を用いることができる。

[0026] また、本実施形態の放電制御回路 10 は、優れた診断機能を付加することが可能である。図 2 は、図 1 の放電制御回路 10 にそのような診断回路を付加した例を示している。図 2 に示すように、放電制御回路 10 には、抵抗直列部 3 の正極 P の側の端子の電圧を検出する第 1 電圧センサ 11 と、第 1 抵抗器 1 と第 2 抵抗器 2 との接続点の電圧を検出する第 2 電圧センサ 12 とが備えられている。これら第 1 電圧センサ 11 と第 2 電圧センサ 12 とによる検出結果は、急速放電制御部 13 と同様に、マイクロコンピュータ 15 を用いて構成された故障診断部 14 に伝達される。故障診断部 14 は、第 1 電圧センサ 11 の検出結果及び第 2 電圧センサ 12 の検出結果に基づいて、抵抗直列部 3 及び MOSFET 4 の故障を診断する。

[0027] (診断条件／SMR：閉(定常動作中))

SMR 21 が閉状態の時、第 1 抵抗器 1 及び第 2 抵抗器 2 の抵抗値は既知

であるから、第1電圧センサ11の検出結果に基づいて、故障診断部14は、第1抵抗器1と第2抵抗器2との接続点における電圧を演算することができる。そして、この演算結果と、第2電圧センサ12の検出結果に基づいて抵抗直列部3（MOSFET4も含む）が正常であるか否かを判定することができる。例えば、第1抵抗器1又はMOSFET4の負極Nの側の端子（又は第2抵抗器2の正極Pの側の端子）が正極Pに短絡していれば、第2電圧センサ12の検出値がP[V]となる。この場合、故障診断部14は、抵抗直列部3に故障（天絡故障）有りとは判定することができる。また、第1抵抗器1又はMOSFET4の負極Nの側の端子（第2抵抗器2の正極Pの側の端子）が負極Nに短絡していれば、第2電圧センサ12の検出値が0[V]となる。この場合、故障診断部14は、抵抗直列部3に故障（地絡故障）有りとは判定することができる。

[0028] また、第1抵抗器1が断線したり、第1抵抗器1の端子が基板等から外れていたりしてオープン状態となっている場合には、第2電圧センサ12の検出値が0[V]となるから、故障診断部14は、第1抵抗器1に故障（オープン故障）有りとは判定することができる。また、第2抵抗器2が断線したり、第2抵抗器2の端子が基板等から外れていたりしてオープン状態となっている場合には、第2電圧センサ12の検出値がP[V]となるから、故障診断部14は、第2抵抗器2に故障（オープン故障）有りとは判定することができる。尚、故障診断部14は、必ずしも故障の種類までを特定する必要はなく、故障の有無を判定可能であれば充分である。

[0029] また、故障診断部14は、SMR21が閉状態の時に、急速放電制御部13によりMOSFET4をオン状態に制御しても、第2電圧センサ12の検出値がP[V]とならず、 $P \times (R1 / (R1 + R2))$ の場合には、MOSFET4に故障有りとは判定することができる。このように、SMR21が閉状態の時、つまり、電気回路30が定常動作している間に、スイッチとしてのMOSFET4を含む抵抗直列部3の故障診断を実行することができるので、放電制御回路10の信頼性が向上する。

[0030] (診断条件／SMR：開(放電動作中))

一方、SMR 21が開状態の際には、故障診断部14は、平滑コンデンサ9の放電特性を含めて放電制御回路10の故障診断を実行することができる。例えば、故障診断部14は、MOSFET4がオフ状態のままで、一定のサンプリング間隔で第1電圧センサ11及び第2電圧センサ12の検出値をモニターすることで、急速放電ではない通常放電の放電特性を取得することができる。マイクロコンピュータ15の不図示のプログラムメモリやパラメータメモリにこの放電特性の基準値を記憶させておき、取得した放電特性とこの基準値とを比較することによって、放電特性も含めた放電制御回路10の故障診断が可能となる。また、マイクロコンピュータ15は、MOSFET4をオン状態として一定のサンプリング間隔で第1電圧センサ11及び第2電圧センサ12の検出値をモニターすることで、急速放電時の放電特性を取得することができる。そして、同様に、マイクロコンピュータ15のプログラムメモリやパラメータメモリに記憶された急速放電時の放電特性の基準値と取得した放電特性とを比較することによって、急速放電時の放電特性も含めて、放電制御回路10の故障診断を行うことができる。

[0031] (比較例の放電制御回路の診断／診断条件／SMR：開(放電動作中))

図3に示した比較例の放電制御回路100では、SMR121が開状態の場合には、上記と同様に放電特性も含めて故障診断が可能である。この場合には、図4に示すように、第1抵抗器101の正極側端子の電圧を検出する第1電圧センサ111と、第2抵抗器102とMOSFET104との接続点の電圧を検出する第2電圧センサ112とが備えられる。そして、これら第1電圧センサ111と第2電圧センサ112との検出結果に基づいて、故障診断部114は放電制御回路100の故障を診断することが可能である。MOSFET104がオフ状態の時には、上記と同様に、急速放電ではない通常放電の放電特性を取得することができる。また、MOSFET104がオン状態の時には、上記と同様に、急速放電の放電特性を取得することができる。これらの放電特性は、上記と同様に、マイクロコンピュータ115に

よって、基準値と比較可能である。また、詳細な説明は省略するが、第2抵抗器102の負極Nの側の端子の地絡なども、検出可能である。

[0032] (比較例の放電制御回路の診断／診断条件／SMR：閉(定常動作中))

SMR121が閉状態の場合、放電制御回路100は、上記のような放電特性の取得はもちろんのこと、第1抵抗器101の断線などによるオープン故障を検出することはできない。図2に例示した放電制御回路10と同様の故障検出を実現するためには、少なくとも図4に示したように放電制御回路100を構成する必要がある。具体的には、第1抵抗器101を2つの抵抗器101a、101bの直列接続による構成とする。そして、抵抗器101aと抵抗器101bとの接続点にさらに第3電圧センサ119を備え、その検出結果を故障診断部114に伝達する必要がある。故障診断部114は、第1電圧センサ111と第2電圧センサ112と第3電圧センサ119との検出結果に基づいて、放電制御回路100の故障を診断する。詳細な説明は省略するが、第1抵抗器101(101a、101b)が正常であれば、第1電圧センサ111の検出結果はP[V]である。また、既知の値である第1抵抗器101aと101bとでP[V]が分圧された値が、第3電圧センサ119の検出結果である。第1抵抗器101aと101bとの何れかがオープン故障を生じていれば、第3電圧センサ119の検出結果が予想値(基準値)と異なることになる。従って、これによって、第1抵抗器101の故障を判定することができる。

[0033] 図2に示す放電制御回路10と、図4に示す放電制御回路100とを比較すれば明らかなように、比較例の放電制御回路100では、第1抵抗器101を2つに分割したり、第3電圧センサ119を設けたりするなど、回路規模が増大する。従って、図2に例示した、本発明の一態様である放電制御回路10は、同様の機能をより小規模に構成することができて好適である。

[0034] (比較例の放電制御回路の別の例)

尚、比較例としての放電制御回路100は、MOSFET104を、ローサイドからハイサイドに置き換えて、図5に示す放電制御回路200のよう

に構成することもできる。この場合には、故障診断部 214 へ検出情報を提供するセンサとして、電流センサ 218 を備えると好適である。この電流センサ 218 は、例えば、第 2 抵抗器 202 の正極 P の側が地絡故障している状態で MOSFET 204 をオンにした際に流れる過電流を検出する。但し、この放電制御回路 200 では、MOSFET 204 がオフ状態の時には、第 2 抵抗器 202 の状態を含め、急速放電機能の診断は実施することができない。また、放電制御回路 200 では、第 2 抵抗器 202 のオープン故障も検出することはできない。これに対して、本発明の一態様である放電制御回路 10 は、上述したように、MOSFET 4 がオフ状態において第 2 抵抗器 2 の地絡故障も、オープン故障も検出可能である。尚、放電制御回路 10 は、MOSFET 4 がオンの状態で、これらの故障を検出する機能は有していないが、第 2 抵抗器 2 の地絡故障は、MOSFET 4 がオフの状態を検出可能であるから、MOSFET 4 をオン状態に制御しなければ、短絡を回避することができる。つまり、MOSFET 4 に過電流が流れることを防止でき MOSFET 4 の破損を防止できると共に、少なくとも第 1 抵抗器 1 を介して平滑コンデンサ 9 の残存電荷を放電させることができる。

[0035] 〔その他の実施形態〕

本発明のその他の実施形態について説明する。なお、以下に説明する各実施形態の構成は、それぞれ単独で適用されるものに限られず、矛盾が生じない限り、他の実施形態の構成と組み合わせて適用することも可能である。

[0036] (1) 図 1 及び図 2 を用いて説明したように、本発明の一態様として抵抗直列部 3 のハイサイドに第 1 抵抗器 1 と MOSFET 4 (スイッチ) を配置する例を提示した。しかし、本発明はこの構成に限定されるものではない。例えば、図 6 に示すように、抵抗直列部 3 のローサイドに第 1 抵抗器 1 と MOSFET 4 が配置されてもよい。また、この放電制御回路 10 も図 2 に例示した放電制御回路 10 と同様に、故障診断機能を有して構成されてもよい。

[0037] (2) 上記実施形態においては、第 1 抵抗器 1 と並列に配置されるスイッチとして MOSFET を用いる例を示したが、本発明はこれに限定されるもの

ではない。バイポーラトランジスタや、ソリッドステートリレー、メカニカルリレーなどを当該スイッチとして適用してもよい。

産業上の利用可能性

[0038] 本発明は、平滑コンデンサに蓄積された電荷を放電させる放電制御回路に適用することができる。特に、大電圧大電流で動作するパワー系の電気回路の平滑コンデンサを効果的に放電させる放電制御回路に適用すると好適である。そのような電気回路として、例えば、回転電機を駆動するためのインバータや、DC-DCコンバータなどが適用できる。

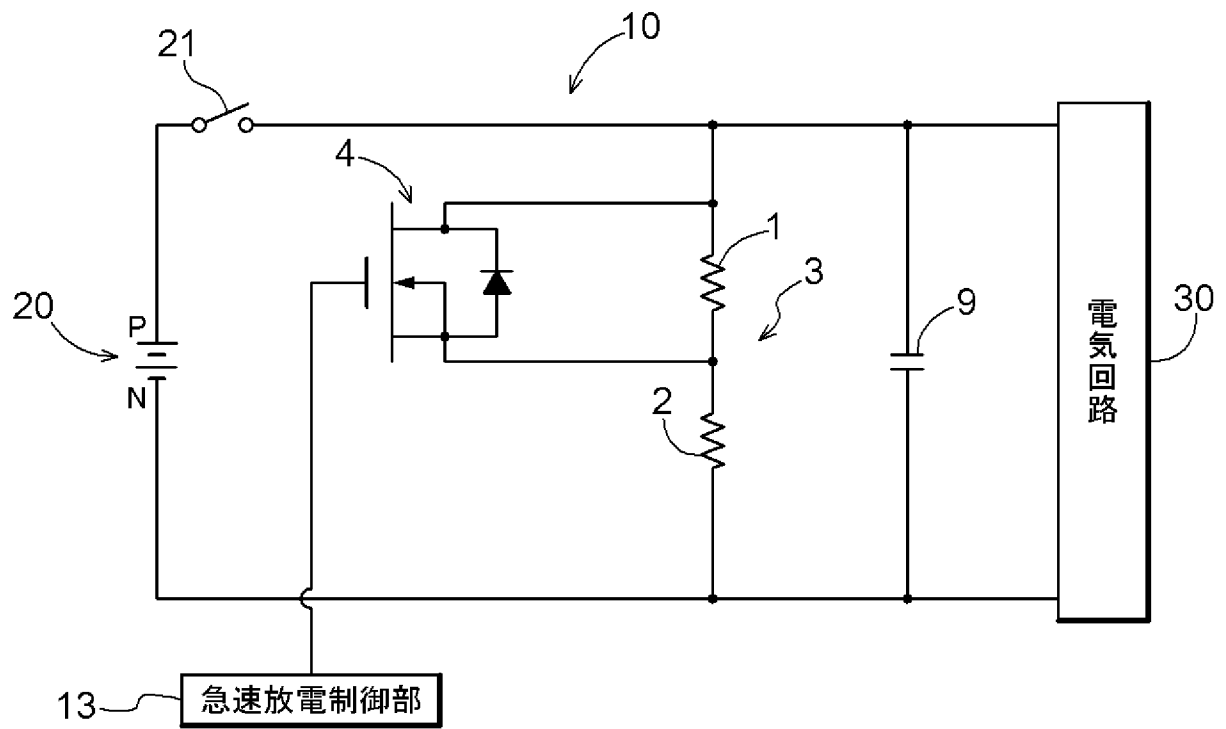
符号の説明

[0039] 1 : 第1抵抗器
2 : 第2抵抗器
3 : 抵抗直列部
4 : MOSFET (スイッチ)
10 : 放電制御回路
11 : 第1電圧センサ
12 : 第2電圧センサ
14 : 故障診断部
20 : 主電源
30 : 電気回路

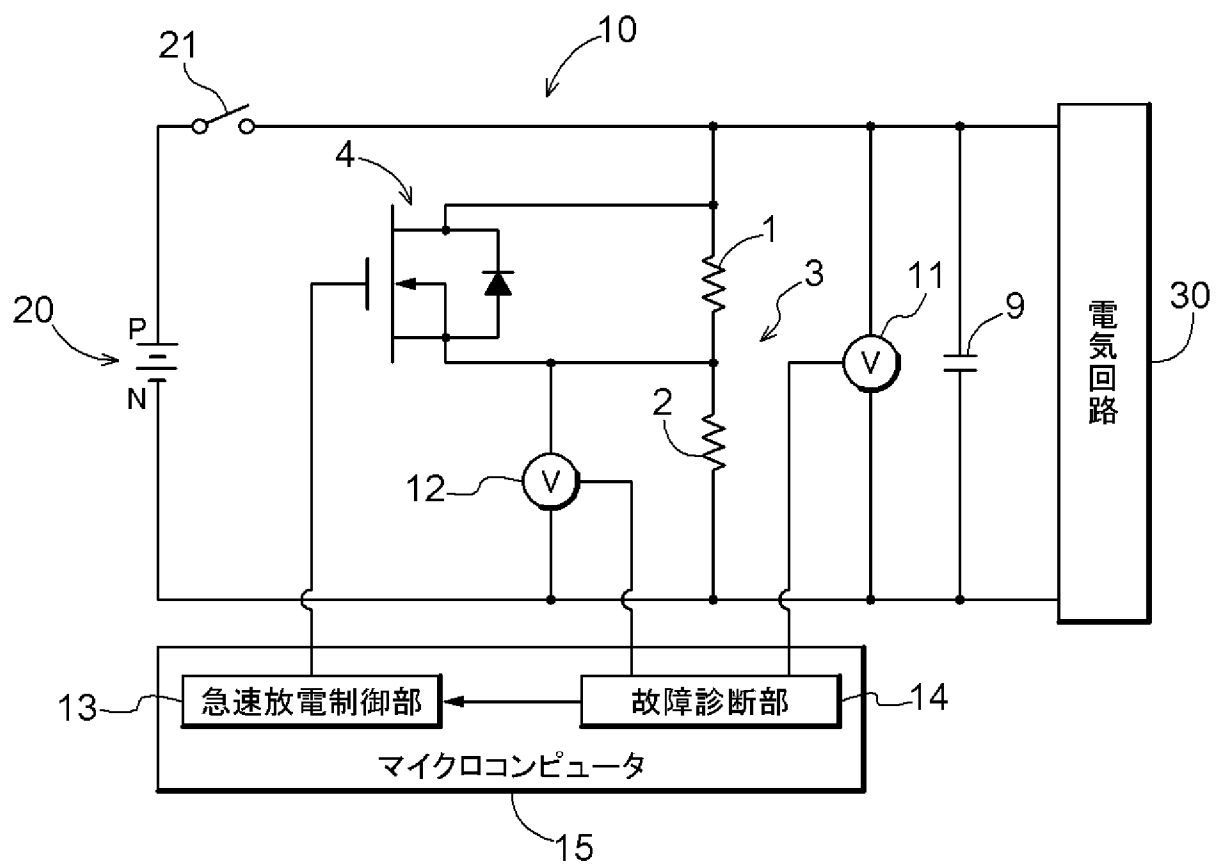
請求の範囲

- [請求項1] 電気回路へ直流電力を供給する主電源と当該電気回路との間に介在された平滑コンデンサに蓄積された電荷を、前記主電源と前記電気回路との接続が切断された際に放電させる放電制御回路であって、
- 第1抵抗器と第2抵抗器とが直列接続されて構成されていると共に、前記平滑コンデンサに対して並列に接続されている抵抗直列部と、
- 前記第1抵抗器と並列に接続されると共に、前記主電源と前記電気回路との接続が維持されている際には非導通状態に制御され、前記主電源と前記電気回路との接続が切断された際には導通状態に制御されて前記第1抵抗器の両端を短絡させるスイッチと、
- を備える放電制御回路。
- [請求項2] 前記第2抵抗器の抵抗値は、前記第1抵抗器の抵抗値よりも小さい値に設定されている請求項1に記載の放電制御回路。
- [請求項3] 前記第1抵抗器及び前記スイッチは、前記主電源の正極側に接続されている請求項1又は2に記載の放電制御回路。
- [請求項4] 前記抵抗直列部の正極側端子の電圧を検出する第1電圧センサと、
- 前記第1抵抗器と前記第2抵抗器との接続点の電圧を検出する第2電圧センサと、
- 前記第1電圧センサの検出結果及び前記第2電圧センサの検出結果に基づいて、前記抵抗直列部及び前記スイッチの故障を診断する故障診断部と、
- をさらに備える請求項1から3の何れか一項に記載の放電制御回路。

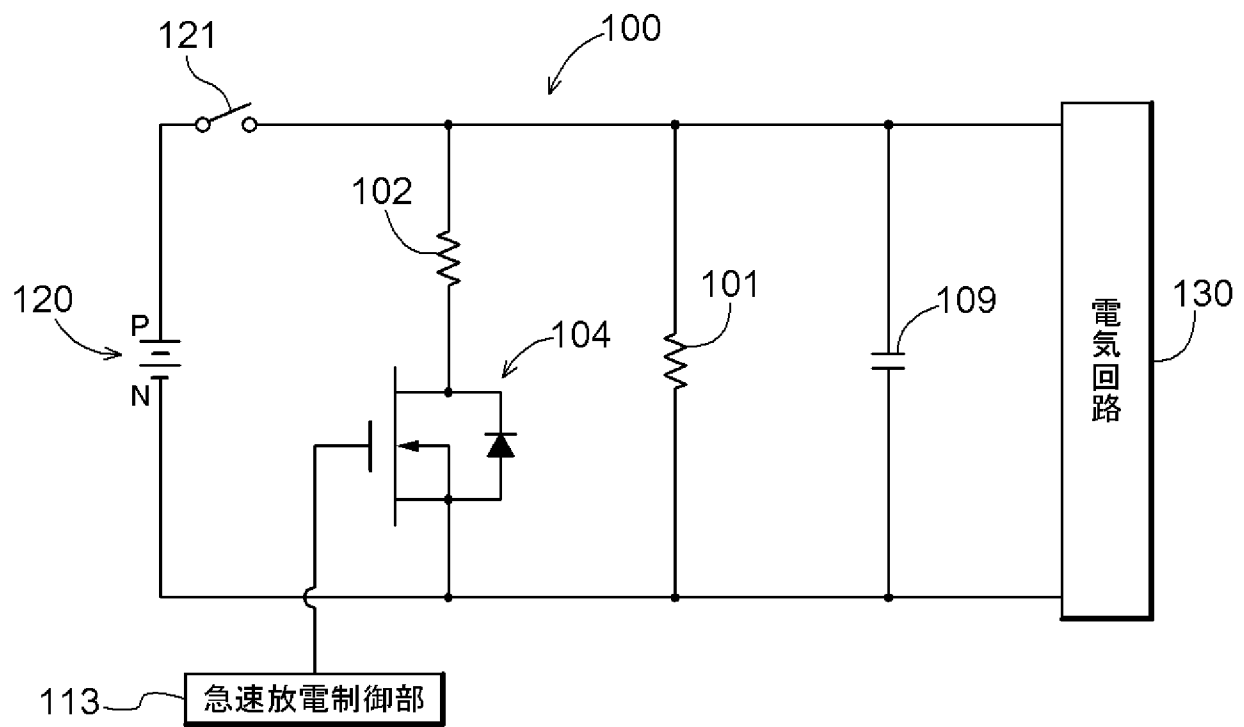
[図1]



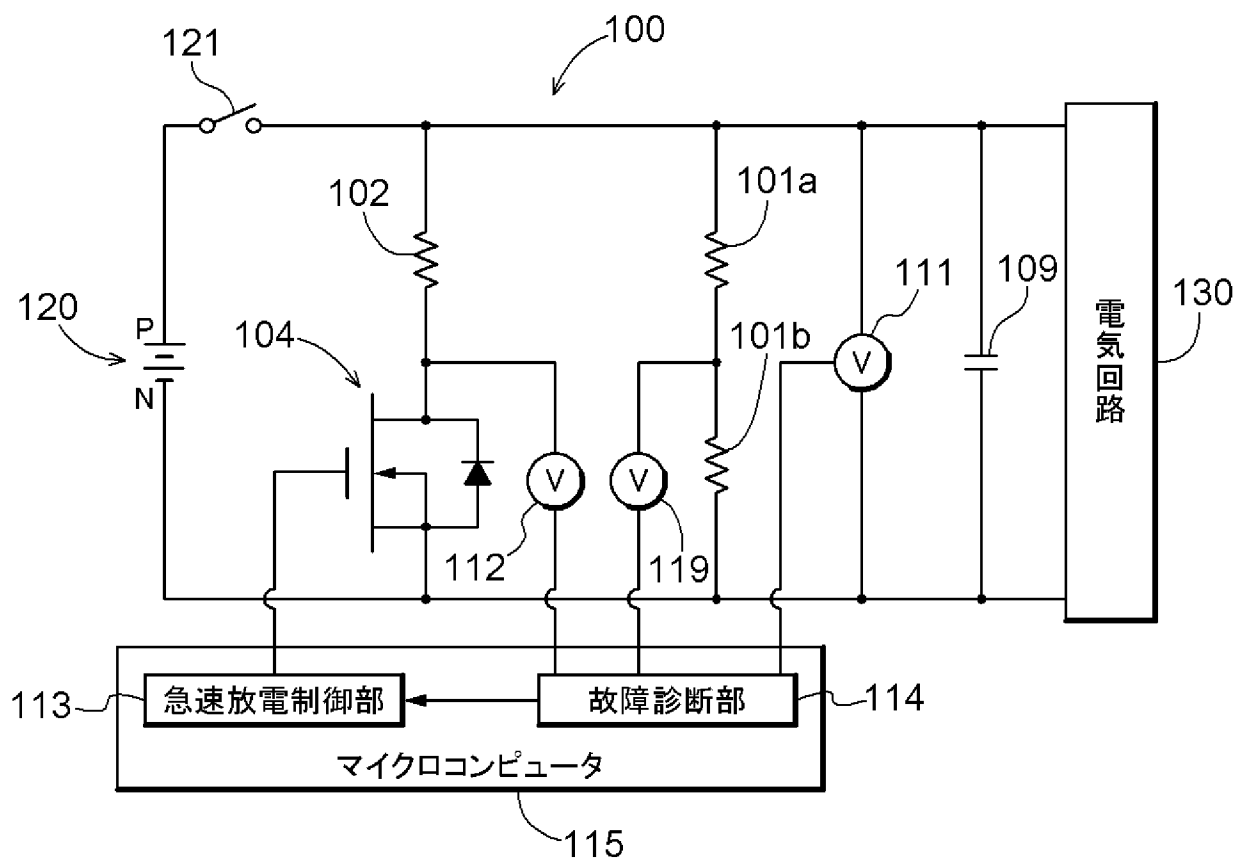
[図2]



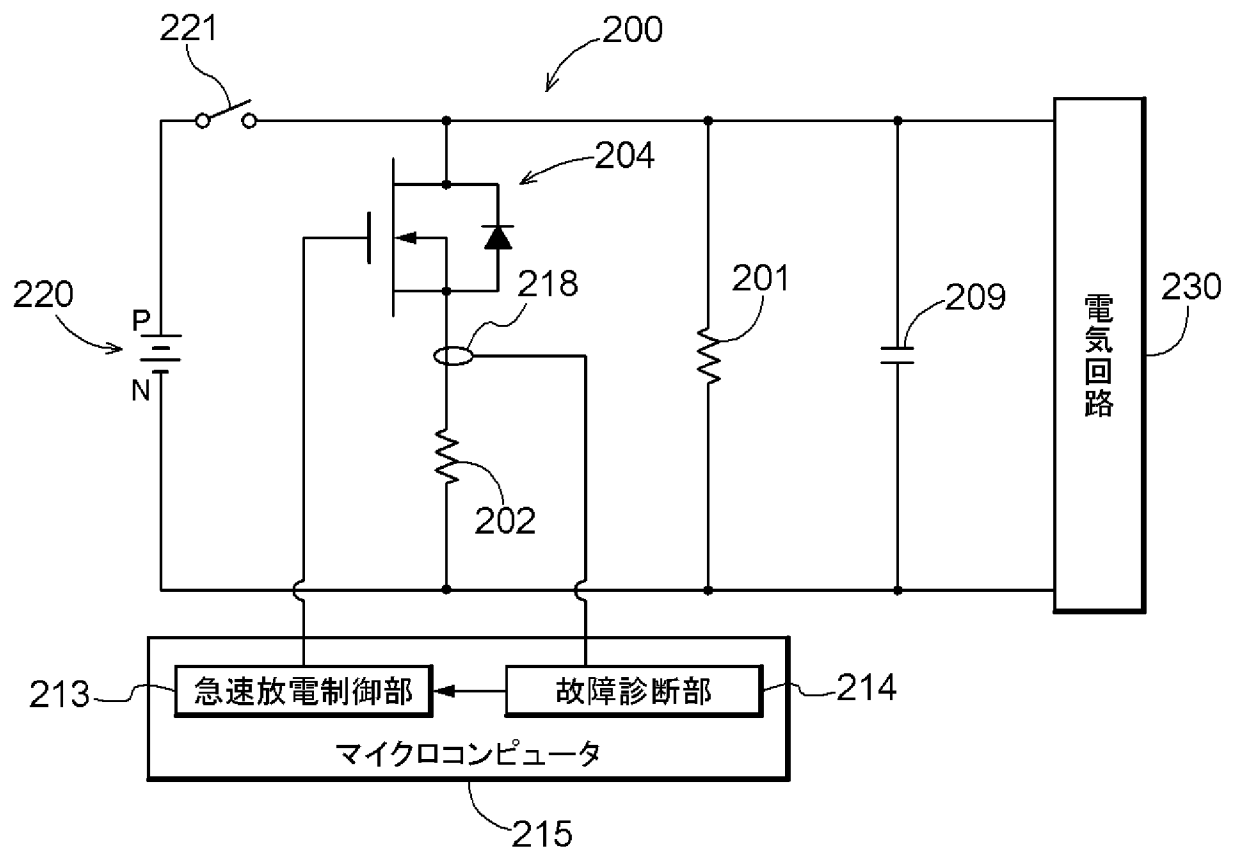
[図3]



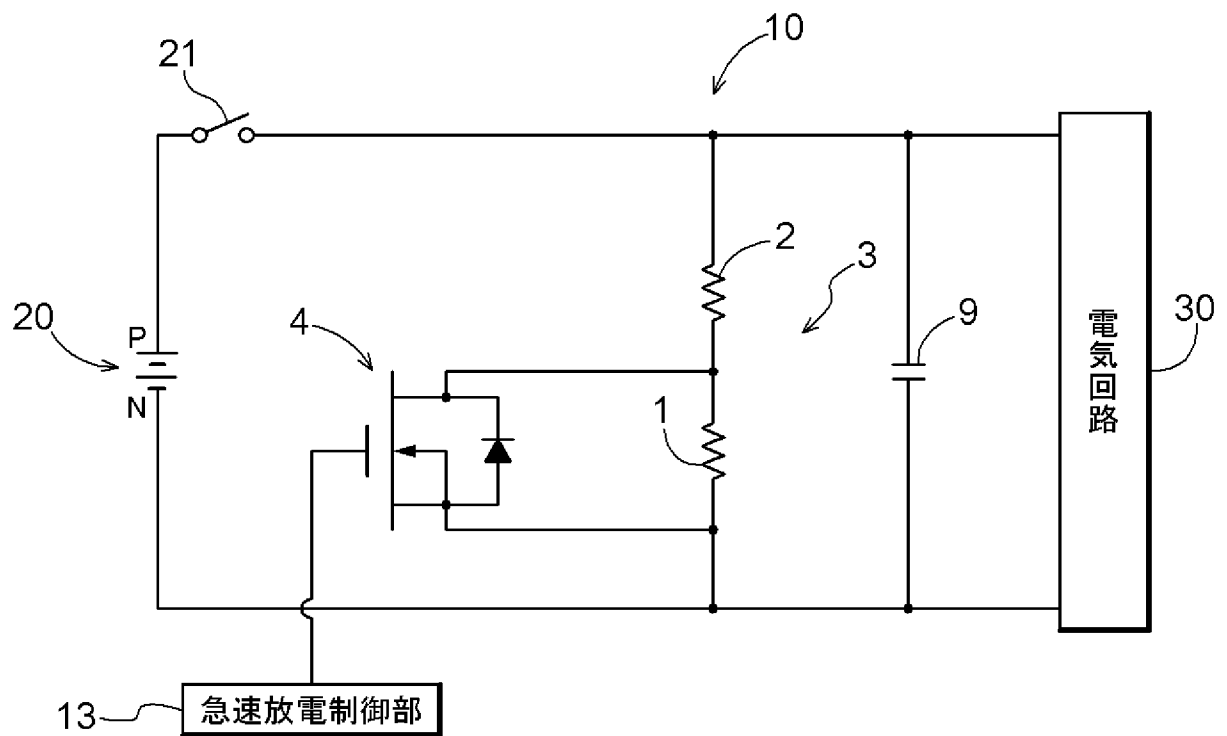
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058380

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H02J7/00(2006.01)i, H02M3/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H02J7/00, H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-276610 A (Sanden Corp.), 30 September 1994 (30.09.1994), fig. 1, 2; paragraphs [0013] to [0023] (Family: none)	1-4
Y	JP 10-322914 A (Sharp Corp.), 04 December 1998 (04.12.1998), fig. 1; paragraphs [0023] to [0026] (Family: none)	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

27 June, 2012 (27.06.12)

Date of mailing of the international search report

10 July, 2012 (10.07.12)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058380

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 15368/1992 (Laid-open No. 78194/1993) (Mitsubishi Electric Corp.), 22 October 1993 (22.10.1993), fig. 1; paragraphs [0010] to [0018] (Family: none)	1-4
Y	WO 2010/23246 A1 (ROBERT BOSCH GMBH), 04 March 2010 (04.03.2010), fig. 1; pages 3, 4 & JP 2012/501061 A & EP 2319154 A & DE 102009028941 A & CN 102138268 A	1-4
Y	JP 2010-252441 A (Powerchip Technology Corp.), 04 November 2010 (04.11.2010), fig. 7; paragraphs [0002] to [0014] (Family: none)	1-4
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 77709/1988 (Laid-open No. 3144/1990) (Toshiba Corp.), 10 January 1990 (10.01.1990), fig. 1; pages 9, 10 (Family: none)	1-4
Y	JP 9-325822 A (Fujitsu Ltd.), 16 December 1997 (16.12.1997), fig. 1 (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M7/48(2007.01)i, H02J7/00(2006.01)i, H02M3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M7/48, H02J7/00, H02M3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 6-276610 A (サンデン株式会社) 1994.09.30, 図 1, 2, 【0 0 1 3】 ~ 【0 0 2 3】 (ファミリーなし)	1-4
Y	JP 10-322914 A (シャープ株式会社) 1998.12.04, 図 1, 【0 0 2 3】 ~ 【0 0 2 6】 (ファミリーなし)	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 0 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

坂東 博司

5 T

4 2 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願 4-15368 号(日本国実用新案登録出願公開 5-78194 号)の願書に添付した明細書及び図面の内容を記録した CD-ROM (三菱電機株式会社) 1993.10.22, 図 1、【 0 0 1 0 】 ~ 【 0 0 1 8 】 (ファミリーなし)	1-4
Y	WO 2010/23246 A1 (ROBERT BOSCH GMBH) 2010.03.04, 第 1 図、3, 4 ページ & JP 2012/501061 A & EP 2319154 A & DE 102009028941 A & CN 102138268 A	1-4
Y	JP 2010-252441 A (力晶科技股▲ふん▼有限公司) 2010.11.04, 図 7、【 0 0 0 2 】 ~ 【 0 0 1 4 】 (ファミリーなし)	1-4
Y	日本国実用新案登録出願 63-77709 号(日本国実用新案登録出願公開 2-3144 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (株式会社東芝) 1990.01.10, 第 1 図、9, 1 0 ページ (ファミリーなし)	1-4
Y	JP 9-325822 A (富士通株式会社) 1997.12.16, 図 1 (ファミリーなし)	1-4