

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/48 (2006.01)

H01L 23/28 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200410011862.0

[43] 公开日 2006年3月29日

[11] 公开号 CN 1753174A

[22] 申请日 2004.9.22

[21] 申请号 200410011862.0

[71] 申请人 日月光半导体制造股份有限公司

地址 台湾省高雄市

[72] 发明人 盖永锋

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 陈肖梅 文琦

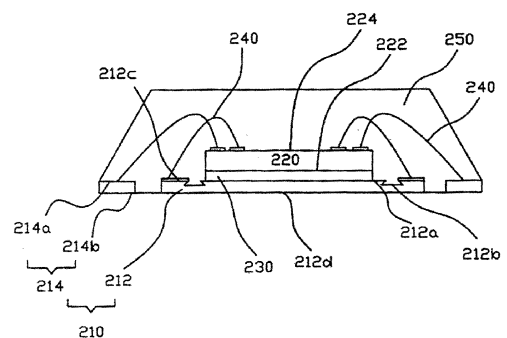
权利要求书 2 页 说明书 5 页 附图 2 页

## [54] 发明名称

无外引脚封装结构

## [57] 摘要

本发明涉及一种无外引脚封装结构，主要包含一导线架、一芯片、一黏胶及多条导电线，其中，导线架由芯片座及其周缘多个引脚所组成，且该等引脚环设于该芯片座周边；另外，芯片座具有一黏晶区、一凹槽及一芯片接地区，且该凹槽设置于黏晶区及接地区间，再者，芯片背面通过黏胶设置于芯片座上，且主动表面借助多条导电线分别与引脚电性接合，值得注意的是，凹槽为上窄下宽，故黏胶涂布于芯片座时，过量的银胶能分布于凹槽中以适当地控制而不溢入芯片座的接地区，因此芯片通过导电线与芯片座接地导通时，不会因溢出银胶的作用，而影响导电线与芯片座接地区的接合强度。



1. 一种无外引脚封装结构，其特征在于，包含：  
一导线架，具有一芯片座及多个引脚，该芯片座具有一黏晶区、  
5 一凹槽及一芯片接地区，该等引脚环设于该芯片座周边，且该凹槽设置于该黏晶区及该接地区之间；  
一芯片，具有一主动表面及一背面，该背面设置于该黏晶区上；  
至少一第一导电线，该第一导电线连接该芯片与该芯片座的该接地区；以及  
10 至少一第二导电线，该第二导电线连接该芯片与该引脚之一。
2. 如权利要求 1 所述的无外引脚封装结构，其中，更包含一黏着层，该黏着层设置于黏晶区与该芯片的背面间。
- 15 3. 如权利要求 2 所述的无外引脚封装结构，其中，该黏着层包含银胶、或是包含 B 阶胶层。
4. 如权利要求 1 所述的无外引脚封装结构，其中，该第一导电线包含金线。
- 20 5. 如权利要求 1 所述的无外引脚封装结构，其中，该第二导电线包含金线。
6. 如权利要求 1 所述的无外引脚封装结构，其中，该芯片接地区环绕该凹槽。
- 25 7. 如权利要求 1 所述的无外引脚封装结构，其中，该凹槽为一上窄下宽的凹槽。
- 30 8. 一种无外引脚封装导线架，其特征在于，包含：

---

一芯片座，该芯片座具有一黏晶区、一凹槽及一芯片接地区，该凹槽设置于该黏晶区及该接地区之间；及

多个引脚，该等引脚环设于该芯片座周边。

5           9. 如权利要求 8 所述的无外引脚封装导线架，其中，该芯片接地区环绕该凹槽。

10           10. 如权利要求 8 所述的无外引脚封装导线架，其中，该凹槽具有一凹槽底面与一凹槽侧壁，该凹槽侧壁与该凹槽底面相连接，且该凹槽侧壁为一斜面。

11. 如权利要求 10 所述的无外引脚封装导线架，其中，该凹槽侧壁与该凹槽底面定义一角度，且该角度小于 90 度。

## 无外引脚封装结构

5 技术领域

本发明涉及一种无外引脚封装结构，特别是一种可提升芯片与导线架间电性接合可靠度及提升封胶材与导线架间的接合可靠度的无外引脚封装结构。

10 背景技术

近年来，由于移动电话、个人数字助理(personal digital assistance, PDA)、及数字相机等消费性电子产品的需求与日俱增，因此封装构造的型态朝向于重量轻、尺寸小，及信号传输路径短等方向来发展。

15 其中，由 Matsushita 公司所开发的无外引脚封装结构(即四方扁平无引脚封装结构(Quad Flat Nolead Package, QFN))，为以导线架为构装基材的芯片尺寸构装(lead frame based CSP)。由于无引脚型(leadless)的芯片尺寸构装具有信号传递路径(trace)短，降低信号衰减的优点，一直是低脚位(low pin count)半导体元件常用的构装结构。

20

请参照图 1，其显示现有无外引脚封装结构的剖面示意图。该无外引脚封装结构的导线架 110(如铜导线架)由芯片座 112(die pad)及其周缘多个引脚 114(lead)所组成。其中，芯片座 112 包含芯片接合区 112a 及接地区 112b，且芯片 120 以其背面 122 通过银胶 130(silver paste)与  
25 芯片座 112 的芯片接合区 112a 贴合。芯片 120 的主动表面 124(active surface)上的焊垫 126(bonding pad)则通过导电线(金线) 140(gold wire)，分别与引脚 114 的顶面 114a 连接及芯片座 112 的接地区 112b，形成电性导通。而封胶材 150(molding compound)包覆芯片 120、导电线 140、芯片座 112 的芯片接合区 112a 及接地区 112b 及引脚 114 的  
30 顶面 114a，而暴露出芯片座 112 的底面 112c 及引脚 114 的底面 114b。

通过引脚 114 的底面 114b 与外部的印刷电路板(未显示)连接。

5 承上所述,为使芯片 120 能与芯片座 112 紧密接合,常需涂布适量的银胶 130 以作为连接之用;惟当芯片 120 的尺寸与芯片座 112 的尺寸相近,且芯片 120 周边 128 距离导电线 140 与芯片座 112 的接地区 112b 小于  $6\mu$  (mils)时(即  $D < 6\text{mils}$ ),过量的银胶将溢入接地区 112b,使得导电线无法与芯片座 112 的接地区 112b 紧密地接合。也因此使得无外引脚封装结构的产品可靠度降低。

10 有鉴于此,为避免前述无外引脚封装结构的缺点,以提升多无外引脚封装结构的密封胶材与导线架间接合可靠度及提升芯片与导线架间电性接合可靠度,实为一重要的课题。

### 发明内容

15 有鉴于上述课题,本发明的目的在于克服现有技术的不足与缺陷,提供一种无外引脚封装结构,用以提升无外引脚封装结构中芯片与导线架间电性接合的可靠度及提升密封胶材与导线架间的接合可靠度。

20 为达上述目的,本发明提供一种无外引脚封装结构,主要包含一导线架、一芯片、一黏着层(液态黏着胶或银胶)及多条导电线。其中,导线架由芯片座及其周缘多个引脚所组成,且芯片座具有一黏晶区、一凹槽及一芯片接地区,且凹槽设置于芯片接地区与黏晶区间。而芯片具有一背面及一主动表面,且芯片以背面面向芯片座设置于黏晶区  
25 上并通过黏着层与芯片座接合,而主动表面通过多条导电线分别与引脚电性接合。

30 综上所述,由于芯片座的接地区与黏晶区间设置一凹槽,故银胶涂布于黏晶区时,凹槽中能容置过量的银胶,使银胶能适当地受到控制而不易溢入芯片座的接地区域,故芯片通过导电线与芯片座接地导

通时，不会因溢出银胶的作用，而影响导电线与芯片座接地区域的接合强度。再者，由于凹槽为上窄下宽的形式，故可增加芯片座与封胶体的结合强度。

## 5 附图说明

图 1 为一示意图，显示现有无外引脚封装结构的剖面示意图；

图 2 为一示意图，显示本发明较佳实施例的无外引脚封装结构的剖面示意图；

10 图 3 为一示意图，显示本发明第一较佳实施例中导线架的俯视示意图；

图 4 为一示意图，显示图 3 中 A-A 处的芯片座的剖面示意图。

### 图中符号说明

|    |      |         |
|----|------|---------|
|    | 110  | 导线架     |
| 15 | 112  | 芯片座     |
|    | 112a | 芯片接合区   |
|    | 112b | 接地区     |
|    | 112c | 芯片座底面   |
|    | 114  | 引脚      |
| 20 | 114a | 引脚顶面    |
|    | 114b | 引脚底面    |
|    | 120  | 芯片      |
|    | 122  | 芯片背面    |
|    | 124  | 芯片主动表面  |
| 25 | 126  | 芯片焊垫    |
|    | 128  | 芯片周边    |
|    | 130  | 黏着胶(银胶) |
|    | 140  | 导电线     |
|    | 150  | 封胶材     |
| 30 | 210  | 导线架     |

|    |      |              |
|----|------|--------------|
|    | 212  | 芯片座          |
|    | 212a | 黏晶区          |
|    | 212b | 凹槽           |
|    | 212c | 接地区          |
| 5  | 212d | 芯片座底面        |
|    | 212e | 凹槽开口         |
|    | 212f | 凹槽底面         |
|    | 212g | 凹槽侧壁         |
|    | 212h | 凹槽底面与凹槽侧壁的夹角 |
| 10 | 214a | 引脚顶面         |
|    | 214b | 引脚底面         |
|    | 220  | 芯片           |
|    | 222  | 芯片背面         |
|    | 224  | 芯片主动表面       |
| 15 | 230  | 黏着层(银胶)      |
|    | 240  | 导电线          |
|    | 250  | 密封胶材         |

### 具体实施方式

20 以下将参照相关附图，说明依本发明较佳实施例的无外引脚封装结构。

25 图 2 显示本发明的第一较佳实施例的无外引脚封装结构。本发明的无外引脚封装结构至少包含导线架 210、芯片 220、黏着层 230(液态黏着胶、银胶或 B-stage 胶)及多条导电线 240。其中，图 3 显示本发明实施例中所述的导线架 210(如铜导线架)俯视图，导线架 210(如铜导线架)由芯片座 212 及其周缘多个引脚 214 所组成，且芯片座 212 具有一黏晶区 212a、一凹槽 212b 及一接地区 212c，其中该凹槽 212b 设置于黏晶区 212a 及接地区 212c 之间且环绕黏晶区 212a 的周边配置。而芯片 220 具有一背面 222 及一主动表面 224，且芯片 220 以背

30

面 222 面向芯片座 212 设置于黏晶区 212a 上并通过黏着层 230(如液态黏着胶、银胶或 B 阶胶层)与芯片座 210 接合,而主动表面 224 通过多条导电线 240 分别与引脚 214 电性接合及接地区 212c 接地导通。

5 再者,本发明的无外引脚封装结构更可包含封胶材 250(molding compound)包覆芯片 220、导电线 240、芯片座 212 的黏晶区 212a、凹槽 212b 及接地区 212c 与引脚 214 的顶面 214a,而暴露出芯片座 212 的底面 212d 及引脚 214 的底面 214b。通过引脚 214 的底面 214b 及芯片座 212 的底面 212d 与外部的印刷电路板(未显示)连接。

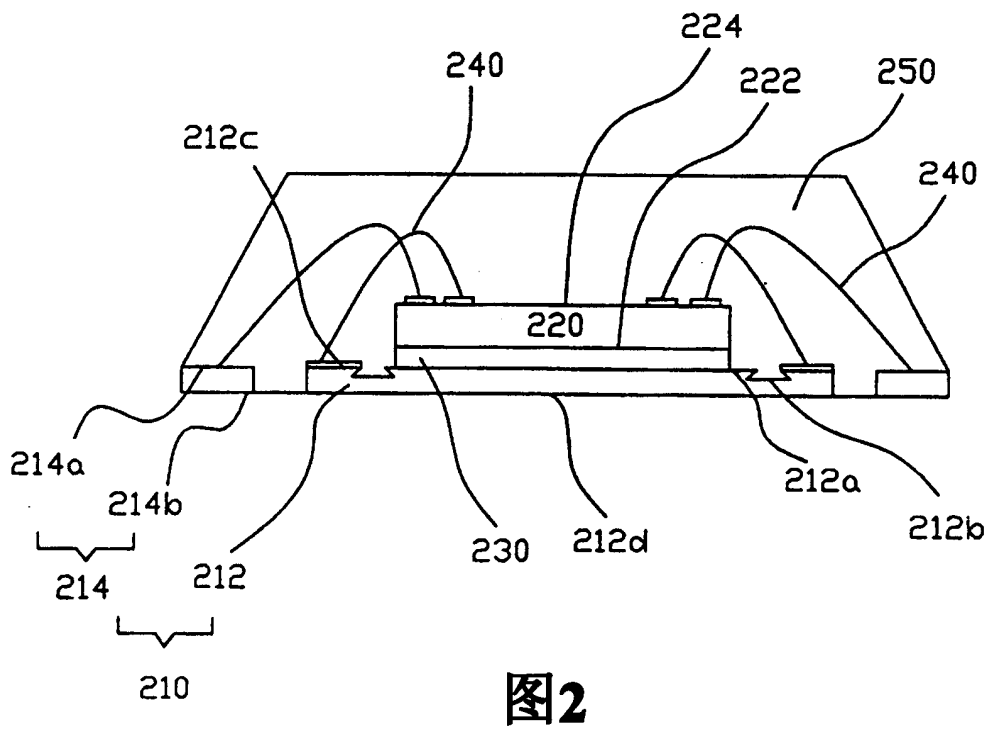
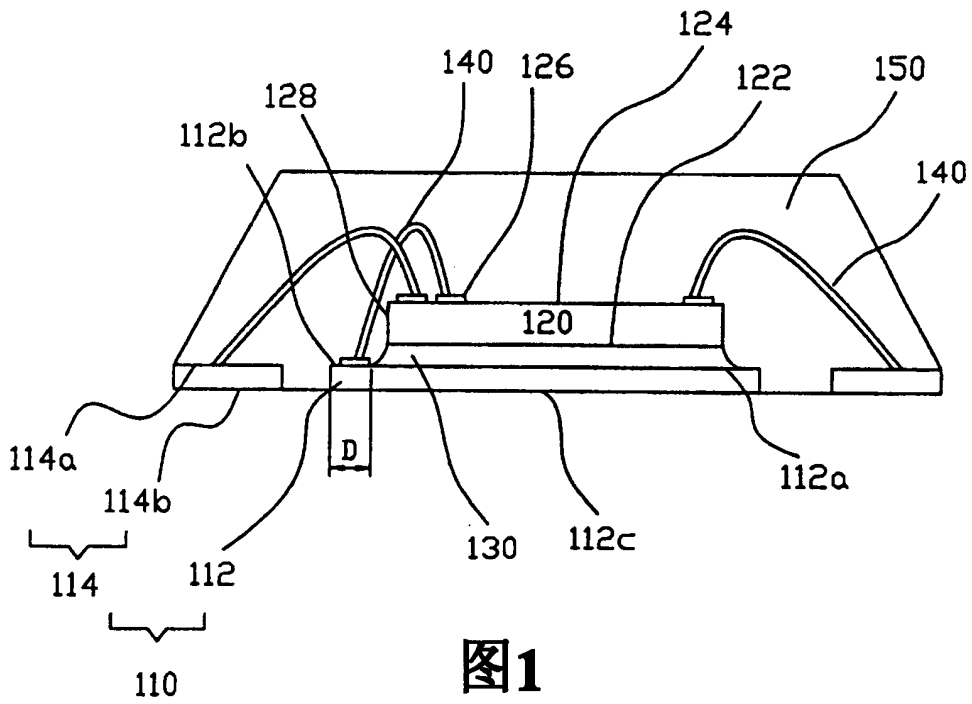
10

再者,请参考图 4,其显示本实施例图 3 中 A-A 处的芯片座的剖面示意图。于蚀刻形成凹槽时,可通过蚀刻阻罩的设计及控制蚀刻时间,使凹槽的开口 212e 小于凹槽底面 212f。如此更可通过凹槽侧壁 212g 的倾斜设计,即该凹槽侧壁 212g 与底面连接形成一角度,且该角度  
15 小于 90 度,以使封胶材 250 与导线架间的接合强度提升。

承上所述,一般凹槽 212b 的深度约大于芯片座 212 厚度的二分之一。如此,芯片 220 容置于凹槽 212b 中时,由于芯片座 212 的接地区 212c 域突出设置于凹槽 212b 周边,故涂布于芯片凹槽 212b 中的液态黏着层 230 能适当地被控制而不易溢入芯片座 212 的接地区  
20 212c,如此芯片 220 通过导电线 240 与芯片座 212 接地导通时,不会因溢出液态黏着层 230 (如银胶)的作用,而影响导电线 240 与芯片座 212 接地区 212c 的接合强度。

25 于本实施例的详细说明中所提出的具体的实施例仅为了易于说明本发明的技术内容,而并非将本发明狭义地限制于该实施例,因此,在不超出本发明的精神及以下权利要求书的情况,可作种种变化实施。





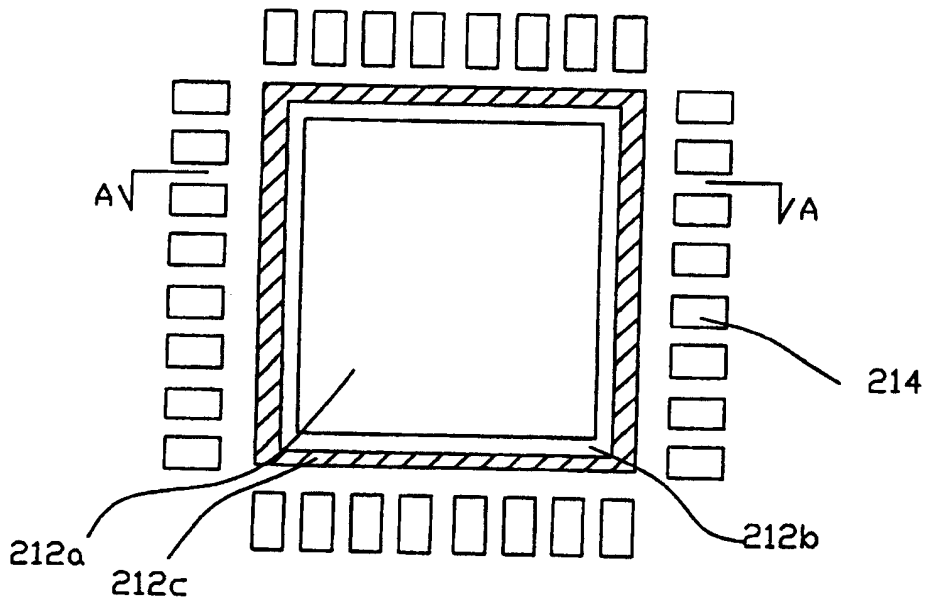


图3

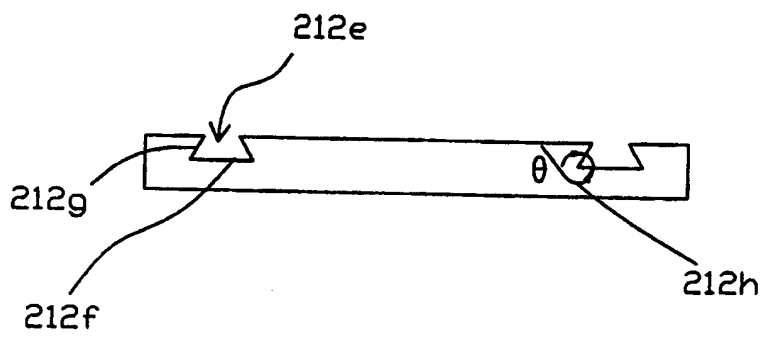


图4