



(12)发明专利申请

(10)申请公布号 CN 109727956 A

(43)申请公布日 2019.05.07

(21)申请号 201910016020.0

(22)申请日 2019.01.08

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖开发区关东科技工业园华光大道18号7018室

(72)发明人 杨盛玮 韩坤

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 赵秀芹 王宝筠

(51) Int. Cl.
H01L 23/544(2006.01)
H01L 27/092(2006.01)
G01R 31/00(2006.01)

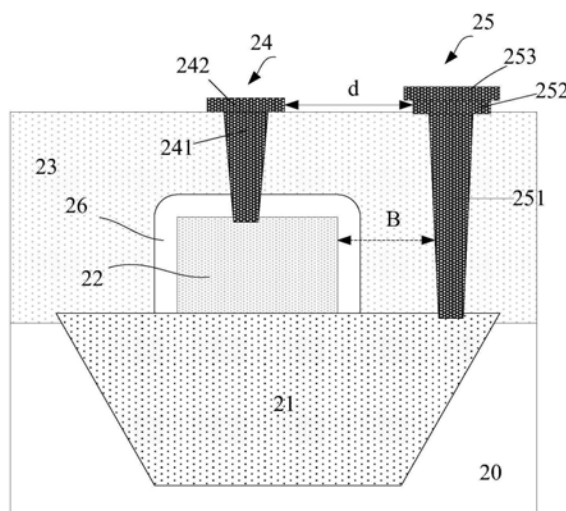
权利要求书2页 说明书6页 附图4页

(54)发明名称

一种测试结构、半导体器件

(57)摘要

本申请公开了一种测试结构以及包含该测试结构的半导体器件。该测试结构包括：衬底、测试栅极、介电材料层。衬底上具有隔离结构，测试栅极位于隔离结构之上。介电材料层覆盖衬底和测试栅极，介电材料层内设置有第一测试端和第二测试端。如此，在该测试结构的测试栅极的侧面形成有介电材料层。当向位于介电材料层内的第一测试端和第二测试端施加测试信号后，由于测试栅极位于隔离结构之上，而且在隔离结构内部不会出现漏电流，如此，可以测量出测试栅极侧面的介电材料层的可靠性。



1. 一种测试结构,用于测量CMOS晶体管的栅极侧面的介电材料的可靠性,其特征在于,包括:
 - 衬底,具有隔离结构;
 - 测试栅极,位于所述隔离结构之上;
 - 覆盖所述衬底以及测试栅极的介电材料层;
 - 位于所述介电材料层内的第一测试端和第二测试端;
 - 所述第一测试端位于所述测试栅极之上并与所述测试栅极电连接;
 - 所述第二测试端位于所述测试栅极周围的所述隔离结构之上,且一端与所述隔离结构接触。
2. 如权利要求1所述的测试结构,其特征在于,所述第一测试端包括:第一导电插塞和第一金属互连线,
 - 所述第一导电插塞位于所述测试栅极之上,并且所述第一导电插塞的一端与所述测试栅极电连接,所述第一导电插塞的另一端与所述第一金属互连线电连接;
 - 和/或,
 - 所述第二测试端包括:第二导电插塞、第二金属互连线和测试垫,
 - 所述第二导电插塞位于所述测试栅极周围,并且所述第二导电插塞的一端与所述隔离结构接触连接,所述第二导电插塞的另一端与所述第二金属互连线的一端电连接;所述测试垫与所述第二金属互连线的另一端电连接。
3. 如权利要求2所述的测试结构,其特征在于,所述第一金属互连线与第二金属互连线之间的距离大于所述CMOS晶体管的栅极与源/漏极之间的距离。
4. 如权利要求3所述的测试结构,其特征在于,所述第一金属互连线与第二金属互连线之间的距离大于所述CMOS晶体管的栅极与源/漏极之间的距离的2倍。
5. 如权利要求2所述的测试结构,其特征在于,所述第二导电插塞在所述测试栅极的长度方向上位于所述测试栅极的一侧;和/或,所述第二导电插塞在所述测试栅极的宽度方向上位于所述测试栅极的一侧。
6. 如权利要求5所述的测试结构,其特征在于,沿所述测试栅极的长度方向位于所述测试栅极一侧的所述第二导电插塞与所述测试栅极之间的距离等于或大于所述CMOS晶体管的栅极与源/漏极之间的距离。
7. 如权利要求5所述的测试结构,其特征在于,沿所述测试栅极的宽度方向位于所述测试栅极一侧的所述第二导电插塞与第一导电插塞位于同一条直线上。
8. 如权利要求1至7任一项所述的测试结构,其特征在于,所述隔离结构为浅沟槽隔离结构。
9. 如权利要求1至7任一项所述的测试结构,其特征在于,所述测试栅极的周围覆盖有侧墙,所述介电材料层覆盖所述侧墙。
10. 一种半导体器件,其特征在于,包括权利要求1至9任一项所述的测试结构。
11. 如权利要求10所述的半导体器件,其特征在于,所述半导体器件还包括位于所述衬底上的所述CMOS晶体管。
12. 如权利要求11所述的半导体器件,其特征在于,所述CMOS晶体管的栅极与所述测试栅极相互独立设置;或者,所述CMOS晶体管的栅极的一部分延伸至所述隔离结构之上以作

为所述测试栅极。

13. 如权利要求11所述的半导体器件,其特征在于,所述半导体器件还包括后道工序测试结构,所述后道工序测试结构包括与所述CMOS晶体管电连接的测试盘,所述测试盘与所述测试垫共用。

一种测试结构、半导体器件

技术领域

[0001] 本申请涉及半导体技术领域,尤其涉及一种测试结构以及包含该测试结构的半导体器件。

背景技术

[0002] CMOS (Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)是指制造大规模集成电路芯片用的一种技术。其是以NMOS晶体管和PMOS晶体管互补形成的结构。

[0003] 在集成电路制造中,CMOS晶体管是芯片最基本的单元,扮演着重要的作用,其质量优劣决定了芯片的性能。

[0004] 目前,对CMOS晶体管各方面的性能、可靠性测试已经相当完善。但是,对构成CMOS晶体管的晶体管的栅极侧面的介电材料的性能、可靠性测试的关注较少,该部分的性能和可靠性测试被忽略,这是因为栅极侧面的介电材料的厚度和承受的应力是整个CMOS晶体管中最不容易出现问题的。

[0005] 然而,一旦栅极侧面的介电材料这部分出现问题,将导致CMOS晶体管的可靠性分析难以进行。

发明内容

[0006] 有鉴于此,本申请的第一方面提供了一种测试结构,以实现栅极侧面介电材料的可靠性测试。

[0007] 基于本申请的第一方面,本申请的第二方面提供了一种包含该测试结构的半导体器件。

[0008] 为了解决上述技术问题,本申请采用了如下技术方案:

[0009] 本申请的第一方面提供了一种测试结构,用于测量CMOS晶体管的栅极侧面的介电材料的可靠性,其包括:

[0010] 衬底,具有隔离结构;

[0011] 测试栅极,位于所述隔离结构之上;

[0012] 覆盖所述衬底以及测试栅极的介电材料层;

[0013] 位于所述介电材料层内的第一测试端和第二测试端;

[0014] 所述第一测试端位于所述测试栅极之上并与所述测试栅极电连接;

[0015] 所述第二测试端位于所述测试栅极周围的所述隔离结构之上,且一端与所述隔离结构接触。

[0016] 可选地,所述第一测试端包括:第一导电插塞和第一金属互连线,

[0017] 所述第一导电插塞位于所述测试栅极之上,并且所述第一导电插塞的一端与所述测试栅极电连接,所述第一导电插塞的另一端与所述第一金属互连线电连接;

[0018] 和/或,

- [0019] 所述第二测试端包括：第二导电插塞、第二金属互连线和测试垫，
- [0020] 所述第二导电插塞位于所述测试栅极周围，并且所述第二导电插塞的一端与所述隔离结构接触连接，所述第二导电插塞的另一端与所述第二金属互连线的一端电连接；所述测试垫与所述第二金属互连线的另一端电连接。
- [0021] 可选地，所述第一金属互连线与第二金属互连线之间的距离大于所述CMOS晶体管的栅极与源/漏极之间的距离。
- [0022] 可选地，所述第一金属互连线与第二金属互连线之间的距离大于所述CMOS晶体管的栅极与源/漏极之间的距离的2倍。
- [0023] 可选地，所述第二导电插塞在所述测试栅极的长度方向上位于所述测试栅极的一侧；和/或，所述第二导电插塞在所述测试栅极的宽度方向上位于所述测试栅极的一侧。
- [0024] 可选地，沿所述测试栅极的长度方向位于所述测试栅极一侧的所述第二导电插塞与所述测试栅极之间的距离等于或大于所述CMOS晶体管的栅极与源/漏极之间的距离。
- [0025] 可选地，沿所述测试栅极的宽度方向位于所述测试栅极一侧的所述第二导电插塞与第一导电插塞位于同一条直线上。
- [0026] 可选地，所述隔离结构为浅沟槽隔离结构。
- [0027] 可选地，所述测试栅极的周围覆盖有侧墙，所述介电材料层覆盖所述侧墙。
- [0028] 本申请的第二方面提供了一种半导体器件，包括上述第一方面任一可选实现方式所述的测试结构。
- [0029] 可选地，还包括位于所述衬底上的所述CMOS晶体管。
- [0030] 可选地，所述CMOS晶体管的栅极与所述测试栅极相互独立设置；或者，所述CMOS晶体管的栅极的一部分延伸至所述隔离结构之上以作为所述测试栅极。
- [0031] 可选地，所述半导体器件还包括后道工序测试结构，所述后道工序测试结构包括与所述CMOS晶体管电连接的测试盘，所述测试盘与所述测试垫共用。
- [0032] 相较于现有技术，本申请具有以下有益效果：
- [0033] 基于以上技术方案可知，介电材料层覆盖测试栅极，如此，在测试栅极的侧面形成有介电材料层。当向位于介电材料层内的第一测试端和第二测试端施加测试信号后，由于测试栅极位于隔离结构之上，而且在隔离结构内部不会出现漏电流，如此，可以测量出测试栅极侧面的介电材料层的可靠性。

附图说明

- [0034] 为了清楚地理解本申请的具体实施方式，下面将描述本申请具体实施方式时用到的附图做一简要说明。
- [0035] 图1是本领域常规的CMOS晶体管的剖面结构示意图；
- [0036] 图2是本申请实施例提供的测试结构剖面结构示意图；
- [0037] 图3(1)和图3(2)分别是本申请实施例提供的测试结构俯视结构示意图；
- [0038] 图4是本申请实施例提供的半导体器件剖面结构示意图；
- [0039] 图5是本申请实施例提供的另一种半导体器件的俯视结构示意图；
- [0040] 图6是本申请实施例提供的又一种半导体器件的俯视结构示意图。

具体实施方式

[0041] 常规的CMOS晶体管的剖面结构如图1所示,CMOS晶体管包括形成于半导体衬底10上的栅极11,侧墙12、栅氧化层13、源漏区14以及层间介质层15,其中,所述栅极11形成于所述半导体衬底10表面上,所述侧墙12形成于所述栅极11侧壁上,所述栅氧化层13形成于所述栅极11和所述半导体衬底10之间,所述源漏区14形成于所述栅极11两侧的半导体衬底10内部。层间介质层15覆盖于半导体衬底10、栅极11以及侧墙12之上。栅极接触插塞16穿过层间介质层15与栅极11电连接,源漏区接触插塞17穿过层间介质层15与源漏区14电连接。

[0042] 从图1中可以看出,栅极11侧面的介电材料为侧墙12和层间介质层15。

[0043] 若直接对栅极侧面的介电材料的电性测试,则需要对栅极接触插塞16和源漏区接触插塞17上施加用于测量栅极侧面的介电材料的测试信号。如此,在该电性能测试过程中,存在如图1所示的两条漏电路径A和B,其中,漏电路径B的漏电情况可以反映栅极侧面的介电材料的电性能。

[0044] 然而,由于栅氧化层13的厚度较薄,源漏区的承受电压的能力有限,所以,通常情况下,漏电路径A占据绝对主导地位,而相较于漏电路径A产生的漏电,漏电路径B的漏电则可以忽略不计,因此,根据图1所示的栅极侧面的介电材料的性能测试方法无法测试出栅极侧面的介电材料的性能。

[0045] 为了能够测试出CMOS晶体管的栅极侧面的介电材料的性能,如图2所示,本申请提供了一种测试结构,该测试结构包括:

[0046] 衬底20,具有隔离结构21;

[0047] 测试栅极22,位于所述隔离结构21之上;

[0048] 覆盖所述衬底20以及测试栅极22的介电材料层23;

[0049] 位于所述介电材料层23内的第一测试端24和第二测试端25;

[0050] 所述第一测试端24位于所述测试栅极22之上并与所述测试栅极22电连接;

[0051] 所述第二测试端25位于所述测试栅极22周围的所述隔离结构21之上,且一端与所述隔离结构21接触。

[0052] 此外,本申请实施例所述的测试栅极22的周围还可以覆盖有侧墙26,该侧墙26被介电材料层23所覆盖。换句话说,介电材料层23覆盖侧墙26。

[0053] 作为示例,衬底20可以为Si衬底、Ge衬底、SiGe衬底、SOI(绝缘体上硅,Silicon On Insulator)或GOI(绝缘体上锗,Germanium On Insulator)等。在其他实施例中,所述半导体衬底还可以为包括其他元素半导体或化合物半导体的衬底,例如GaAs、InP或SiC等,还可以为叠层结构,例如Si/SiGe等,还可以其他外延结构,例如SGOI(绝缘体上锗硅)等。在该具体的实施例中,所述衬底20为体硅衬底。作为更具体示例,衬底30可以为多晶硅材料。

[0054] 隔离结构21可以为局部硅氧化隔离结构(LOCOS,local oxidation of silicon),此外,隔离结构也可以为浅沟道隔离结构(shallow trench isolation,STI)。其中,LOCOS多用于亚微米以前的工艺,STI多用于深亚微米工艺,在0.25微米及以下技术节点中,被广泛采用。

[0055] 测试栅极22与CMOS晶体管的栅极采用相同的工艺形成,如此,测试栅极22与CMOS晶体管的栅极的结构相同,两者的性能相同。作为示例,该测试栅极22可以采用多晶硅材料制成。

[0056] 介电材料层23可以为二氧化硅层。

[0057] 作为一示例,为了方便后续可靠性的测试,第一测试端24可以包括第一导电插塞241和第一金属互连线242,所述第一导电插塞241位于所述测试栅极22之上,并且所述第一导电插塞241的一端与所述测试栅极22电连接,所述第一导电插塞241的另一端与所述第一金属互连线242电连接。

[0058] 所述第二测试端25可以包括:第二导电插塞251、第二金属互连线252和测试垫253,所述第二导电插塞251位于所述测试栅极22周围,并且所述第二导电插塞251的一端与所述隔离结构21接触连接,所述第二导电插塞251的另一端与所述第二金属互连线252的一端电连接;所述测试垫253与所述第二金属互连线252的另一端电连接。

[0059] 作为更具体示例,为了能够准确地测量到测试栅极22侧面介电材料的电性能,第一金属互连线242与第二金属互连线252之间的距离(图2中用d表示)不能太小。太小的话,会导致测量到的电性能为第一金属互连线242与第二金属互连线252之间的介电材料的性能,而非测试栅极22侧面的介电材料的性能。更具体地,第一金属互连线242与第二金属互连线252之间的距离大于所述CMOS晶体管的栅极与源/漏极之间的距离。更具体地,第一金属互连线242与第二金属互连线252之间的距离大于所述CMOS晶体管的栅极与源/漏极之间的距离的2倍。

[0060] 为了更清楚地理解本申请提供的测试结构的具体结构,本申请实施例还提供了该测试结构的俯视图。

[0061] 作为一种示例,如图3(1)所示,第二导电插塞251所述测试栅极22的宽度方向上位于所述测试栅极22的一侧,其中,测试栅极22的宽度方向为竖直方向,具体如图3(1)所示的A-A方向,如此,当在第一测试端24和第二测试端25上施加测试信号时,可以测量到测试栅极宽度方向即A-A方向上的侧面介电材料的性能。

[0062] 作为本申请的又一示例,为了能够更为准确地测量出测试栅极22宽度方向上的侧面介电材料的性能,沿所述测试栅极22的宽度方向位于所述测试栅极22一侧的所述第二导电插塞251与第一导电插塞241位于同一条直线上。

[0063] 作为另一示例,如图3(2)所示,第二导电插塞251在所述测试栅极22的长度方向上位于所述测试栅极22的一侧,其中,测试栅极22的长度方向为水平方向,具体如图3(2)所示的B-B方向,如此,当在第一测试端24和第二测试端25上施加测试信号时,可以测量到测试栅极长度方向即B-B方向上的侧面介电材料的性能。

[0064] 作为本申请的又一示例,为了能够更为准确地测量出测试栅极22长度方向上的侧面介电材料的性能,沿所述测试栅极22的长度方向位于所述测试栅极22一侧的所述第二导电插塞251与所述测试栅极22之间的距离等于或大于所述CMOS晶体管的栅极与源/漏极之间的距离。

[0065] 作为又一示例,第二导电插塞251既可以设置在所述测试栅极22的长度方向上位于所述测试栅极22的一侧,也可以设置在测试栅极22的宽度方向上位于所述测试栅极22的一侧,如此,当在第一测试端24上和第二测试端25上施加测试信号时,可以测量到测试栅极22周围各个方向上的介电材料性能。

[0066] 以上为本申请实施例提供的用于测量CMOS晶体管的栅极侧面的介电材料的可靠性的测试结构。在该测试结构中,介电材料层23覆盖测试栅极22,如此,在测试栅极22的侧

面形成有介电材料层23。当向位于介电材料层23内的第一测试端24和第二测试端25施加测试信号后,由于测试栅极22位于隔离结构21之上,而且在隔离结构21内部不会出现漏电流,如此,可以测量出图2所示的漏电路径B所述的漏电性能,而该漏电路径B的漏电性能可以反映测试栅极侧面的介电材料层的漏电情况,进而通过图2所述的测试结构可以测量出测试栅极侧面的介电材料层的可靠性。

[0067] 通过测试本申请提供的测试结构中的测试栅极侧面的介电材料层的可靠性可以间接测量出CMOS晶体管栅极侧面的介电材料层的性能,因而通过本申请提供的测试结构可以实现对CMOS晶体管更加全面的性能和可靠性测试。

[0068] 需要说明,作为本申请的一种实现方式,上述实施例提供的测试结构可以独立设置于衬底上。作为本申请的另一种实现方式,上述实施例提供的测试结构可以与CMOS晶体管集成在同一衬底上,如此可以简化测试结构的工艺流程,降低制造成本。

[0069] 基于上述测试结构与CMOS晶体管集成在同一衬底上的实现方式,本申请还提供了一种半导体器件。该半导体器件包括测试结构以及CMOS晶体管。其中,测试结构与CMOS晶体管集成在同一衬底上。

[0070] 作为示例,该半导体器件的剖面结构示意图如图4所示,其包括:

[0071] 衬底40;

[0072] 形成于衬底40上的CMOS晶体管41和测试结构42;

[0073] 其中,CMOS晶体管41包括栅极411,侧墙412、栅氧化层413、源漏区414、层间介质层415、栅极接触插塞416以及源漏区接触插塞417;

[0074] 测试结构42可以为上述实施例中的任一实现方式提供的测试结构。

[0075] 需要说明,在本申请实施例中,层间介质层415能够覆盖整个衬底表面,因此,层间介质层415也覆盖测试栅极22以及隔离结构21。

[0076] 作为本申请提供的半导体器件的一种实现方式,CMOS晶体管41的栅极411可以与测试栅极22相互独立设置。

[0077] 作为本申请提供的半导体器件的另一种实现方式,如图5所示的半导体器件的俯视图,CMOS晶体管的栅极411的一部分可以延伸至隔离结构21之上,该延伸到隔离结构21之上的CMOS晶体管的栅极部分可以作为测试栅极。如此,CMOS晶体管41的栅极411可以与测试栅极22可以共用,进而测试栅极22的栅极接触可以与CMOS晶体管的栅极的栅极接触共用,因而,该实现方式可以简化半导体器件的结构,减少半导体器件中的信号接触端的数量。

[0078] 需要说明,在图5所示的半导体器件俯视图中,第二导电插塞251可以在所述CMOS晶体管的栅极411的宽度方向上位于所述栅极411的一侧,其中,栅极411的宽度方向为竖直方向,具体如图5所示的I-I方向,如此,当在栅极接触插塞416上和第二测试端25上施加测试信号时,可以测量到栅极411宽度方向即I-I方向上的侧面介电材料的性能。

[0079] 作为本申请的又一示例,为了能够更为准确地测量出栅极411宽度方向上的侧面介电材料的性能,沿所述栅极411的宽度方向位于所述栅极411一侧的所述第二导电插塞251与栅极接触插塞416位于同一条直线上。

[0080] 作为本申请的另一实施例,如图6所示的半导体器件俯视图,第二导电插塞251可以在所述CMOS晶体管的栅极411的长度方向上位于所述栅极411的一侧,其中,栅极411的长度方向为水平方向,具体如图6所示的II-II方向,如此,当在栅极接触插塞416上和第二测

试端25上施加测试信号时,可以测量到测试栅极长度方向即II-II方向上的侧面介电材料的性能。

[0081] 作为本申请的又一示例,为了能够更为准确地测量出栅极411长度方向上的侧面介电材料的性能,沿所述栅极411的长度方向位于所述栅极411一侧的所述第二导电插塞251与所述栅极411之间的距离等于或大于所述CMOS晶体管的栅极与源/漏极之间的距离。

[0082] 作为本申请的又一实现方式,上述所述的半导体器件还可以包括后道工序测试结构,所述后道工序测试结构包括与所述CMOS晶体管电连接的测试盘,该测试盘可以与测试结构42上的第二测试端25的测试垫253共用。在该半导体器件结构中,相较于常规CMOS晶体管,可以不会额外增加测试焊垫的数量,有利于简化半导体器件结构。需要说明,后道工序测试结构中的测试盘之所以能够用作测试结构中的测试垫253,是因为,后道工序形成的结构与栅极端之间的介电层厚度和承受电压能力远远大于栅极侧面介电材料的厚度和承受电压能力。

[0083] 以上为本申请实施例提供的半导体器件的具体实现方式。在该具体实现方式中,测试结构中的测试栅极的侧面介电材料性能与CMOS晶体管的栅极的侧面介电材料性能相同,如此,可以通过测量测试栅极的侧面介电材料性能来代替测量CMOS晶体管的栅极的侧面介电材料性能。因此,通过测试本申请提供的测试结构中的测试栅极侧面的介电材料层的可靠性可以间接测量出CMOS晶体管栅极侧面的介电材料层的性能,因而通过本申请提供的半导体器件可以实现对CMOS晶体管更加全面的性能和可靠性测试。

[0084] 以上为本申请实施例提供的测试结构以及包含该测试结构的半导体器件的具体实现方式。

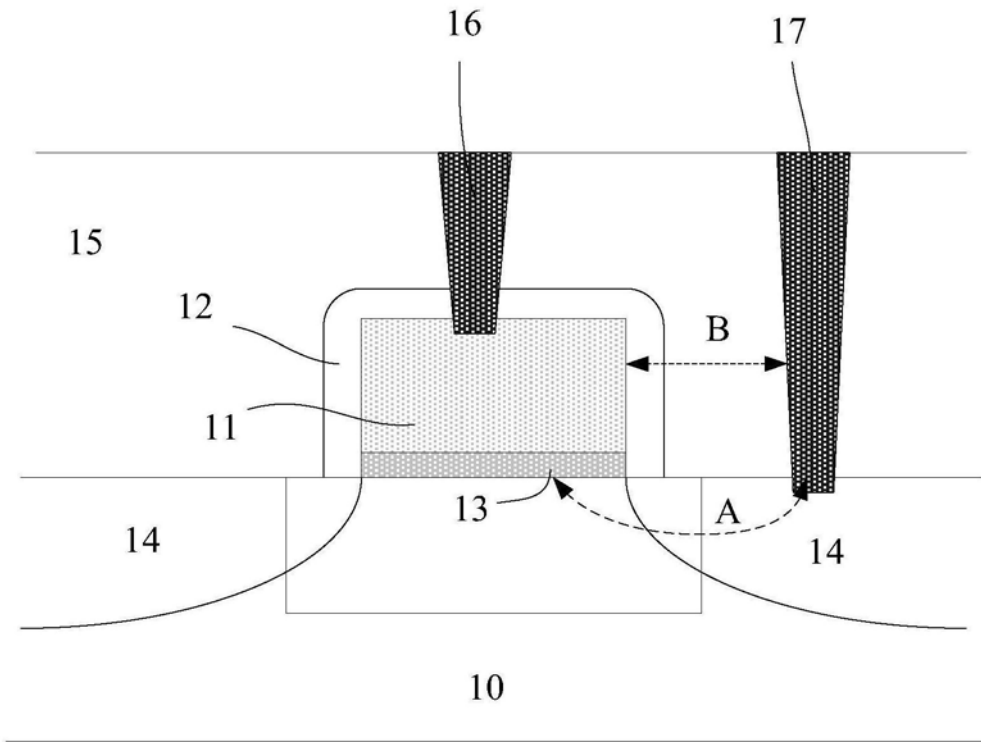


图1

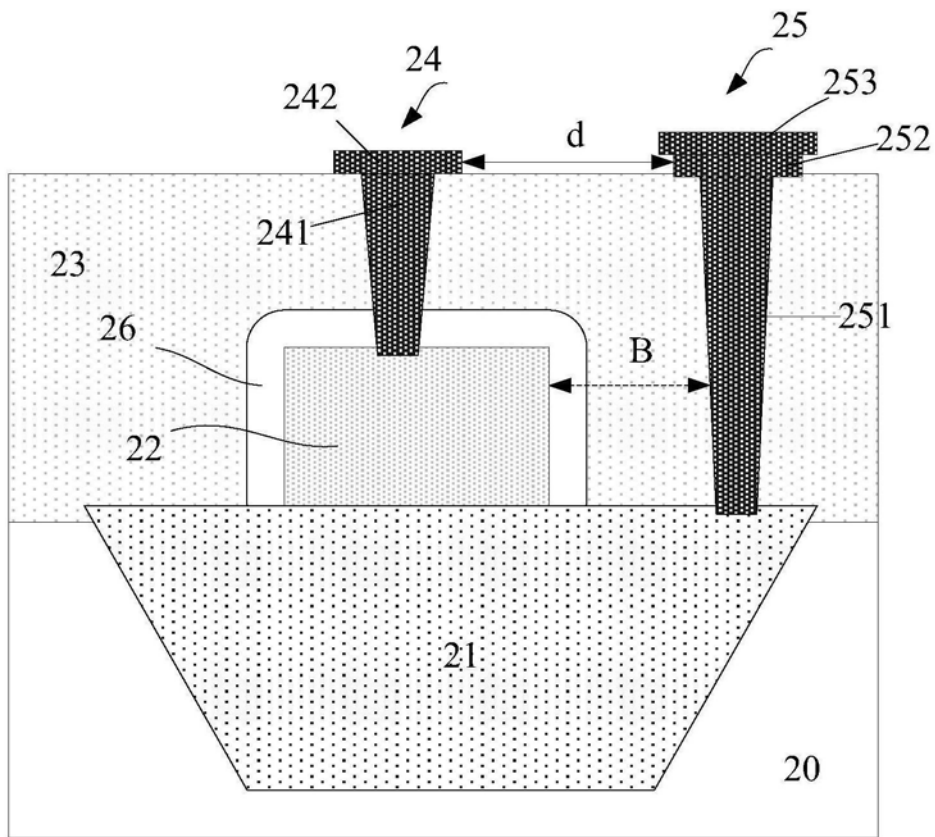


图2

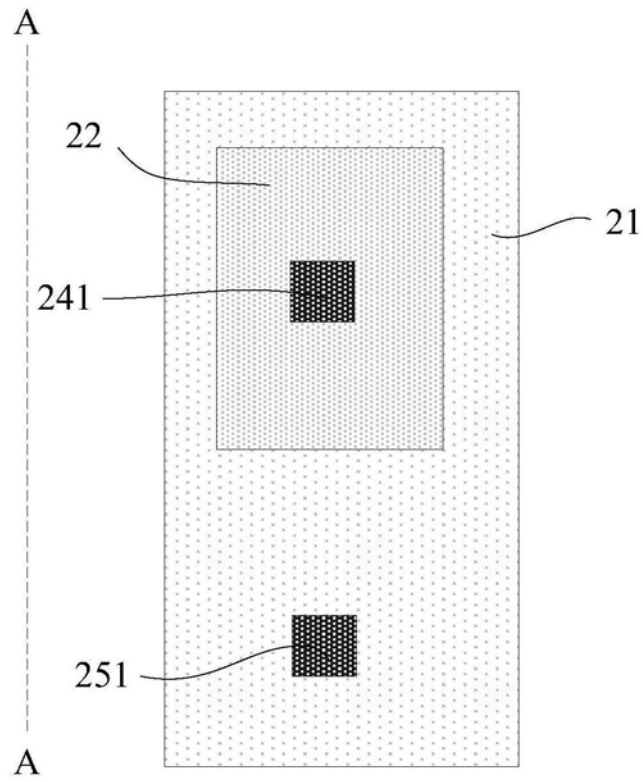


图3 (1)

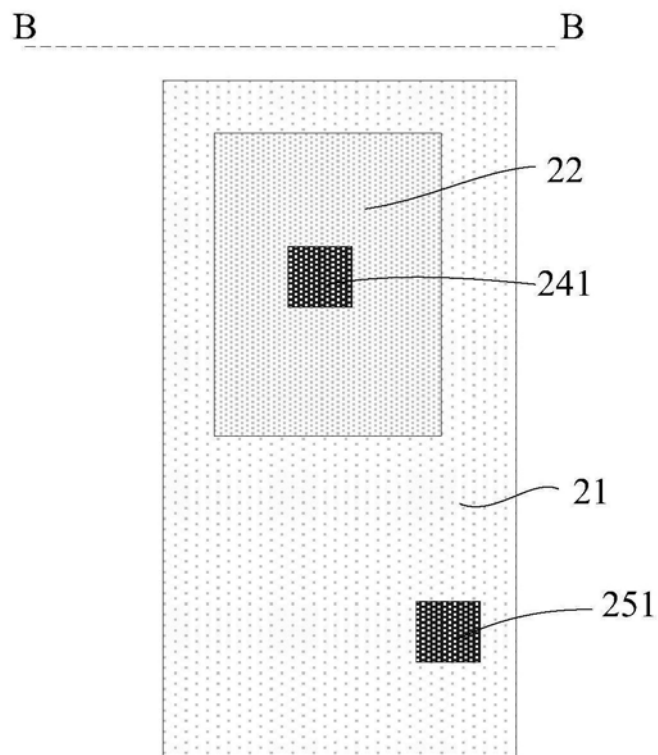


图3 (2)

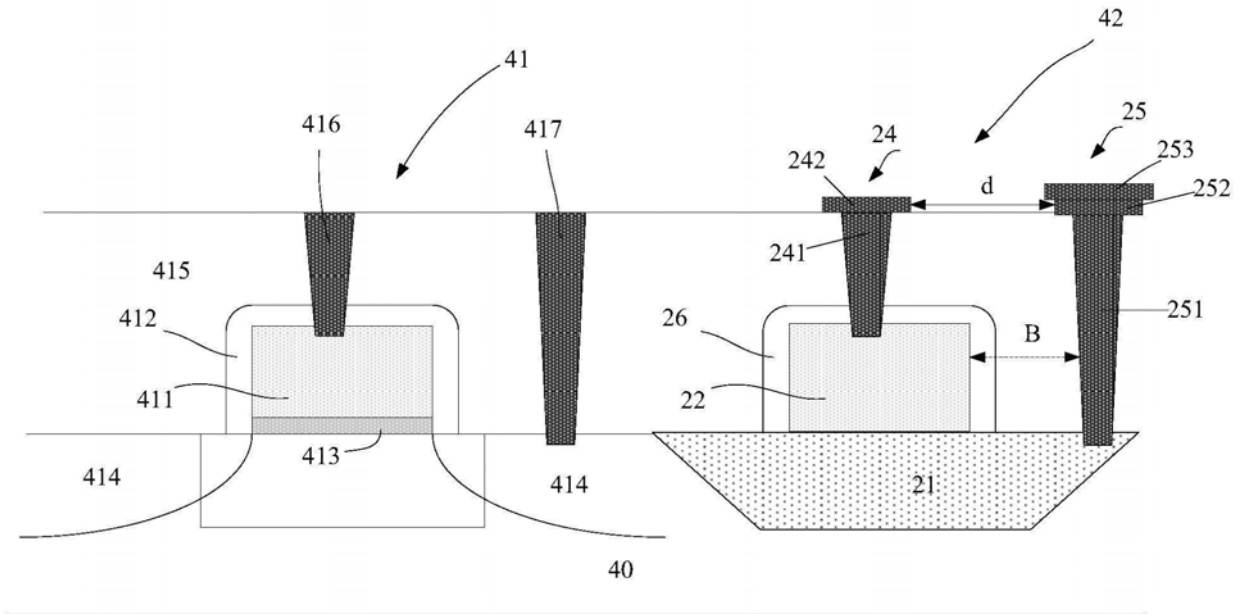


图4

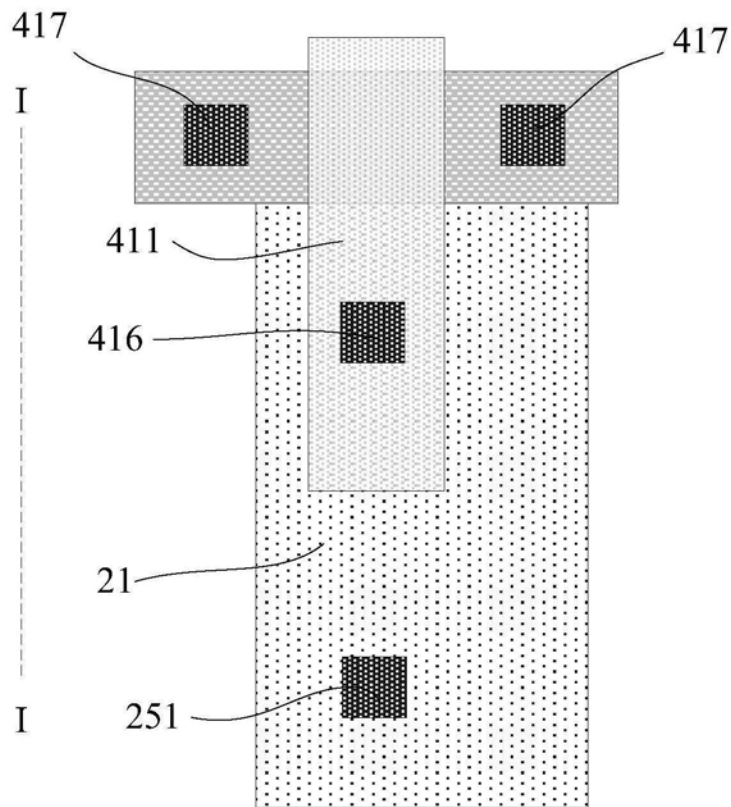


图5

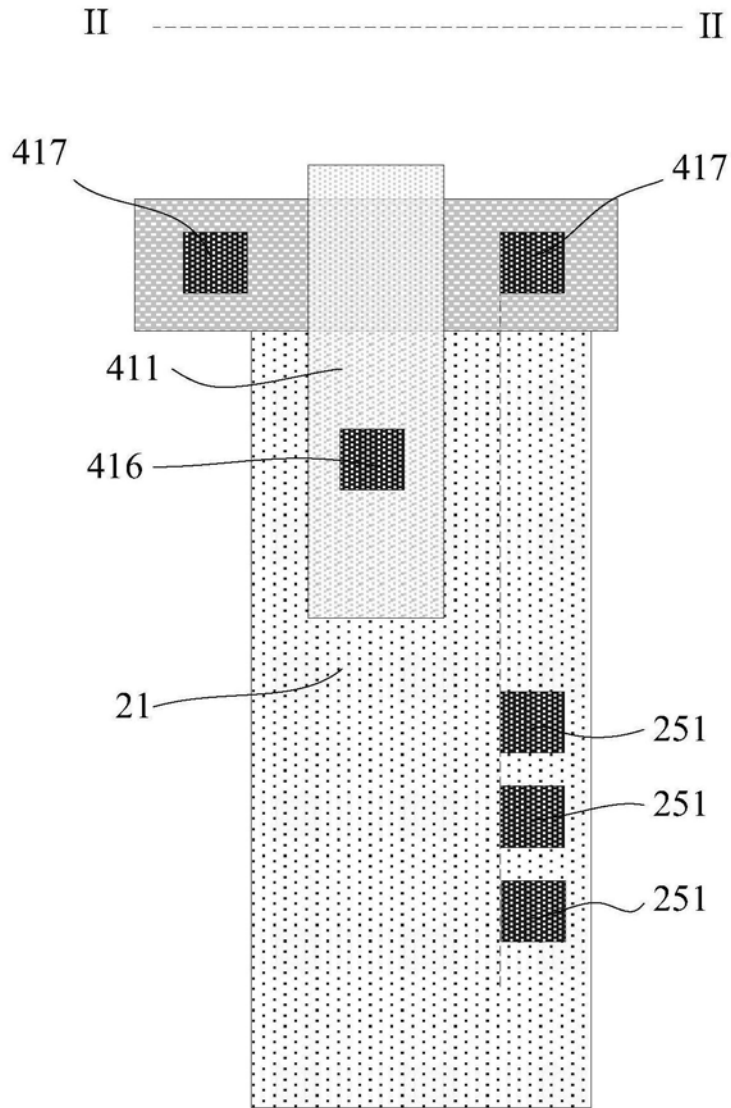


图6