

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-187018

(P2016-187018A)

(43) 公開日 平成28年10月27日(2016.10.27)

(51) Int.Cl.

HO1L 27/146 (2006.01)
HO1L 21/265 (2006.01)
HO4N 5/369 (2011.01)
HO1L 31/10 (2006.01)

F 1

HO1L 27/14
HO1L 21/265
HO4N 5/335
HO1L 31/10

A

6 9 0
A

テーマコード(参考)

4 M 1 1 8
5 C 0 2 4
5 F 8 4 9

審査請求 未請求 請求項の数 12 O L (全 12 頁)

(21) 出願番号

特願2015-67463 (P2015-67463)

(22) 出願日

平成27年3月27日 (2015.3.27)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

最終頁に続く

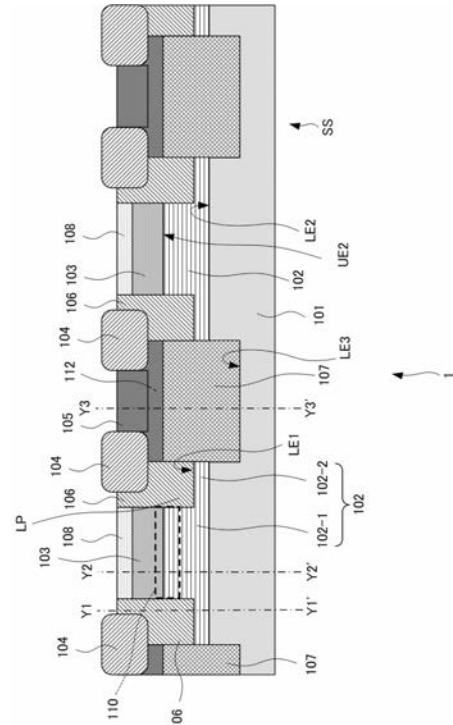
(54) 【発明の名称】光電変換装置およびカメラ

(57) 【要約】 (修正有)

【課題】電荷が素子分離の近傍から電荷蓄積領域へ流れ込むことを低減する構造を有する光電変換装置を提供する。

【解決手段】光電変換装置1は、第1導電型の電荷蓄積領域103と、第2導電型の第1半導体領域106と、第2導電型の第2半導体領域102と、絶縁体で構成された素子分離とが配された半導体基板SSを含む。第1半導体領域は、電荷蓄積領域と素子分離104との間から下方に延びるように配され、第2半導体領域は、電荷蓄積領域の下に配された部分を含む。半導体基板の深さ方向における不純物濃度分布が、電荷蓄積領域は、深さRp1にピークを有し、第1半導体領域は、深さRp2にピークを有し、第2半導体領域は、深さRp3にピークを有し、Rp1 < Rp2 < Rp3が満たされる。第1半導体領域の深さRp1における不純物濃度をC1、第2半導体領域の深さRp3における不純物濃度をC2とすると、C1 > C2が満たされる。

【選択図】図3



【特許請求の範囲】

【請求項 1】

第1導電型の電荷蓄積領域と、前記第1導電型とは異なる第2導電型の第1半導体領域と、前記第2導電型の第2半導体領域と、絶縁体で構成された素子分離とが配された半導体基板を含む光電変換装置であって、

前記第1半導体領域は、前記電荷蓄積領域と前記素子分離との間から下方に延びるように配され、前記第2半導体領域は、前記電荷蓄積領域の下に配された部分を含み、

前記半導体基板の深さ方向における前記電荷蓄積領域の不純物濃度分布は、深さ $R_p 1$ にピークを有し、前記深さ方向における前記第1半導体領域の不純物濃度分布は、深さ $R_p 2$ にピークを有し、前記深さ方向における前記第2半導体領域の不純物濃度分布は、深さ $R_p 3$ にピークを有し、

$$R_p 1 < R_p 2 < R_p 3$$

が満たされ、前記第1半導体領域の深さ $R_p 2$ における不純物濃度を C_1 、前記第2半導体領域の深さ $R_p 3$ における不純物濃度を C_2 とすると、

$$C_1 > C_2$$

が満たされることを特徴とする光電変換装置。

【請求項 2】

前記第1半導体領域の下端は、前記第2半導体領域の上端より深く、前記第2半導体領域の下端より浅い位置にある、

ことを特徴とする請求項1に記載の光電変換装置。

【請求項 3】

前記半導体基板には、前記第2導電型の第3半導体領域が更に配され、前記第3半導体領域は、前記第2半導体領域の側方に配され、前記第1半導体領域の下部は、前記第2半導体領域の前記部分と前記第3半導体領域との間に配されている、

ことを特徴とする請求項1又は2に記載の光電変換装置。

【請求項 4】

前記第3半導体領域の下端は、前記第2半導体領域の下端より深い位置にある、

ことを特徴とする請求項3に記載の光電変換装置。

【請求項 5】

前記深さ方向における前記第3半導体領域の不純物濃度分布は、深さ $R_p 4$ にピークを有し、

$$R_p 1 < R_p 2 < R_p 3 < R_p 4$$

が満たされることを特徴とする請求項3又は4に記載の光電変換装置。

【請求項 6】

前記半導体基板には、前記第2導電型の第4半導体領域および前記第1導電型の第5半導体領域が更に配され、

前記第4半導体領域は、前記第3半導体領域の上に配され、

前記第5半導体領域は、前記第4半導体領域の上に配され、トランジスタの拡散領域を構成している、

ことを特徴とする請求項3乃至5のいずれか1項に記載の光電変換装置。

【請求項 7】

前記第3半導体領域は、前記深さ方向に積層された前記第2導電型の複数の領域を有する、

ことを特徴とする請求項3乃至6のいずれか1項に記載の光電変換装置。

【請求項 8】

前記第2半導体領域は、前記深さ方向に積層された前記第2導電型の複数の領域を有する、

ことを特徴とする請求項1乃至7のいずれか1項に記載の光電変換装置。

【請求項 9】

前記第2導電型の第1半導体領域は、前記深さ方向に積層された前記第2導電型の複数

10

20

30

40

50

の領域を有する、

ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

【請求項 1 0】

第 1 導電型の電荷蓄積領域と、前記第 1 導電型とは異なる第 2 導電型の第 1 半導体領域と、前記第 2 導電型の第 2 半導体領域と、絶縁体で構成された素子分離と、前記第 2 導電型の第 3 半導体領域とが配された半導体基板を含む光電変換装置であって、

前記第 1 半導体領域は、前記電荷蓄積領域と前記素子分離との間から下方に延びるように配され、

前記第 2 半導体領域は、前記電荷蓄積領域の下に配された部分を含み、

前記第 3 半導体領域は、前記第 2 半導体領域の側方に配され、

10

前記第 1 半導体領域の下部は、前記第 2 半導体領域の前記部分と前記第 3 半導体領域との間に配されている、

ことを特徴とする光電変換装置。

【請求項 1 1】

前記第 3 半導体領域の下端は、前記第 2 半導体領域の下端より深い位置にある、

ことを特徴とする請求項 1 0 に記載の光電変換装置。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する処理部と、

を備えることを特徴とするカメラ。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、光電変換装置およびそれを搭載したカメラに関する。

【背景技術】

【0 0 0 2】

特許文献 1 には、素子分離絶縁層で発生する暗電流の影響を抑制する構造を有する固体撮像装置が記載されている。該固体撮像装置は、P 型ウエル領域およびN 領域で構成される光電変換部と、素子分離絶縁層と、素子分離絶縁層とN 領域との間に配された第 1 の P 型素子分離層と、第 1 の P 型素子分離層の下に配された第 2 の P 型素子分離層とを有する。第 1 の P 型素子分離層および第 2 の P 型素子分離層は、光電変換部を囲むように設けられている。

30

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2009-252782 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

素子分離と半導体基板との界面には欠陥があり、該欠陥で発生する暗電流が光電変換部に流れ込むと、これがノイズとなる。固体撮像装置においては、このノイズは、画像の S/N 比を低下させたり、画像に白傷を発生させたりする原因となりうる。特許文献 1 に記載された構造は、上記のようなノイズの低減に有利であるが、更なるノイズの低減が求められている。

40

【0 0 0 5】

本発明は、ノイズの原因となる電荷が素子分離の近傍から電荷蓄積領域へ流れ込むことを低減するために有利な構造を有する光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 6】

本発明の 1 つの側面は、第 1 導電型の電荷蓄積領域と、前記第 1 導電型とは異なる第 2

50

導電型の第1半導体領域と、前記第2導電型の第2半導体領域と、絶縁体で構成された素子分離とが配された半導体基板を含む光電変換装置に係り、前記光電変換装置において、前記第1半導体領域は、前記電荷蓄積領域と前記素子分離との間から下方に延びるように配され、前記第2半導体領域は、前記電荷蓄積領域の下に配された部分を含み、前記半導体基板の深さ方向における前記電荷蓄積領域の不純物濃度分布は、深さR_{p1}にピークを有し、前記深さ方向における前記第1半導体領域の不純物濃度分布は、深さR_{p2}にピークを有し、前記深さ方向における前記第2半導体領域の不純物濃度分布は、深さR_{p3}にピークを有し、R_{p1} < R_{p2} < R_{p3}が満たされ、前記第1半導体領域の深さR_{p2}における不純物濃度をC₁、前記第2半導体領域の深さR_{p3}における不純物濃度をC₂とすると、C₁ > C₂が満たされる。

10

【発明の効果】

【0007】

本発明によれば、ノイズの原因となる電荷が素子分離の近傍から電荷蓄積領域へ流れ込むことを低減するために有利な構造を有する光電変換装置が提供される。

【図面の簡単な説明】

【0008】

【図1】本発明の1つの実施形態の光電変換装置の一部分の等価回路を示す図。

【図2】本発明の1つの実施形態の光電変換装置の平面レイアウトを示す図。

【図3】本発明の第1実施形態の光電変換装置の構成を示す断面図。

【図4】本発明の第1実施形態の光電変換装置における不純物濃度分布を示す図。

20

【図5】本発明の1つの実施形態の光電変換装置の製造方法を示す図。

【図6】本発明の1つの実施形態の光電変換装置の製造方法を示す図。

【図7】本発明の1つの実施形態の光電変換装置の製造方法を示す図。

【図8】本発明の1つの実施形態の光電変換装置の製造方法を示す図。

【図9】本発明の第2実施形態の光電変換装置の構成を示す断面図。

【図10】本発明の第2実施形態の光電変換装置における不純物濃度分布を示す図。

【発明を実施するための形態】

【0009】

以下、添付図面を参照しながら本発明をその例示的な実施形態を通して説明する。

【0010】

図1には、本発明の1つの実施形態の光電変換装置1の一部分の等価回路が示されている。光電変換装置1は、少なくとも1つの画素PIXを有する。一例において、光電変換装置1は、複数の行および複数の列からなる画素アレイを構成するように配列された複数の画素PIXを有する固体撮像装置(イメージセンサ)として構成される。他の例において、光電変換装置1は、ライン状に配列された複数の画素PIXを有するラインセンサとして構成される。更に他の例において、光電変換装置1は、単一の画素PIXを備える光センサとして構成される。

30

【0011】

画素PIXは、フォトダイオード等で構成される光電変換素子PECを含む。画素PIXは、電荷を電圧に変換する電荷電圧変換部として機能するフローティングディフュージョンFDと、光電変換素子PECで発生し蓄積された電荷をフローティングディフュージョンFDに転送する転送トランジスタTTRとを含みうる。転送トランジスタTTRは、転送信号TRが活性化されると、光電変換素子PECとフローティングディフュージョンFDとの間に、光電変換素子PECからフローティングディフュージョンFDへ電荷を転送するためのチャネルを形成する。

40

【0012】

画素PIXは、その他、リセットトランジスタRTR、増幅トランジスタATRおよび選択トランジスタSTRの少なくとも1つを含みうる。リセットトランジスタRTRは、リセット信号RESが活性化されると、フローティングディフュージョンFDの電圧をリセットする。増幅トランジスタATRは、フローティングディフュージョンFDの電圧

50

に応じた電圧を信号線 S L に出力する。一例において、信号線 S L には、電流源が接続され、増幅トランジスタ A T R と該電流源とによってソースフォロワ回路が構成されうる。選択トランジスタ S T R は、選択信号 S E L が活性化されると、増幅トランジスタ A T R から信号線 S L への信号の出力を可能にする。

【 0 0 1 3 】

光電変換装置 1 が固体撮像装置として構成される場合、光電変換装置 1 は、画素アレイにおける画素を選択するための垂直選択回路および水平選択回路、画素アレイの各画素から信号を読み出す読出回路などを更に備えうる。

【 0 0 1 4 】

図 2 には、光電変換装置 1 の平面レイアウトが示されている。図 3 は、本発明の第 1 実施形態における光電変換装置 1 の構成を示す断面図である。ここで、図 3 は、図 1 における X - X' 線に沿った断面図である。図 2 には、4 つの画素 P I X が示されている。図 2 および図 3 では、ゲート電極よりも上の構造（例えば、コンタクトプラグ、第 1 配線層、ビアプラグ、第 2 配線層、カラーフィルタ、マイクロレンズなど）は図示が省略されている。

10

【 0 0 1 5 】

光電変換装置 1 は、半導体基板 S S を有する。半導体基板 S S には、第 1 導電型の半導体領域 1 0 1 と、第 1 導電型の電荷蓄積領域 1 0 3 と、第 2 導電型の第 1 半導体領域 1 0 6 と、第 2 導電型の第 2 半導体領域 1 0 2 と、絶縁体で構成された素子分離 1 0 4 とが配されている。また、半導体基板 S S には、第 2 導電型の第 3 半導体領域 1 0 7 と、第 2 導電型の第 4 半導体領域 1 1 2 と、第 1 導電型の第 5 半導体領域 1 0 5 とが配されうる。半導体基板 S S は、半導体材料で構成された構造体である。図 2 に示された例では、半導体基板 S S は、半導体領域 1 0 1 、電荷蓄積領域 1 0 3 、第 1 半導体領域 1 0 6 、第 2 半導体領域 1 0 2 、第 3 半導体領域 1 0 7 、第 4 半導体領域 1 1 2 および第 5 半導体領域 1 0 5 を含んでいる。第 1 導電型および第 2 導電型は、互いに異なる導電型である。例えば、第 1 導電型が n 型である場合は、第 2 導電型は p 型であり、逆に、第 1 導電型が p 型である場合は、第 2 導電型は n 型である。

20

【 0 0 1 6 】

第 2 導電型の第 1 半導体領域 1 0 6 は、第 1 導電型の電荷蓄積領域 1 0 3 と素子分離 1 0 4 との間から下方に延びるように配されている。換言すると、第 1 半導体領域 1 0 6 は、電荷蓄積領域 1 0 3 と素子分離 1 0 4 との間に配された第 1 部分と、該第 1 部分から下方に延びた第 2 部分とを含む。第 2 導電型の第 1 半導体領域 1 0 6 は、例えば、素子分離 1 0 4 における電荷蓄積領域 1 0 3 の側の側面と、素子分離 1 0 4 における底面の少なくとも一部とを覆うように配置されうる。ここで、第 1 半導体領域 1 0 6 は、素子分離 1 0 4 における電荷蓄積領域 1 0 3 の側の側面と、素子分離 1 0 4 における底面の全体とを覆うように配置されてもよい。あるいは、第 1 半導体領域 1 0 6 は、素子分離 1 0 4 の側面および底面の全体を覆うように配置されてもよい。

30

【 0 0 1 7 】

第 2 導電型の第 2 半導体領域 1 0 2 は、第 1 導電型の電荷蓄積領域 1 0 3 の下に配された第 1 部分 1 0 2 - 1 を含む。第 1 導電型の電荷蓄積領域 1 0 3 と第 2 導電型の第 2 半導体領域 1 0 2 とによって光電変換素子 P E C としてのフォトダイオードが構成される。光電変換素子 P E C は、更に、第 1 導電型の電荷蓄積領域 1 0 3 の上に配された第 2 導電型の半導体領域 1 0 8 を含んでもよい。素子分離 1 0 4 は、例えば、S T I または L O C O S でありうる。

40

【 0 0 1 8 】

第 1 半導体領域 1 0 6 における不純物濃度のピーク値は、第 2 半導体領域 1 0 2 における不純物濃度のピーク値よりも大きい。第 1 導電型の電荷蓄積領域 1 0 3 と第 2 導電型の第 2 半導体領域 1 0 2 とは P N 接合を構成し、第 1 導電型の電荷蓄積領域 1 0 3 と第 2 導電型の第 2 半導体領域 1 0 2 との境界部分には、空乏層 1 1 0 が形成される。第 1 半導体領域 1 0 6 は、電荷蓄積領域 1 0 3 の全体、第 2 半導体領域 1 0 2 の一部、および、半導

50

体領域 108（半導体領域 108 が存在する場合）を取り囲むように配置されうる。

【0019】

第1半導体領域 106 の下端 L E 1 は、第2半導体領域 102 の上端 U E 2 より深く、第2半導体領域 102 の下端 L E 2 より浅い位置にあることが好ましい。この場合、第2半導体領域 102 は、第1半導体領域 106 の下端 L E 1 の下の配された第2部分 102-2 を有する。第2部分 102-2 で光電変換によって発生した正負の電荷のうち第1導電型における多数キャリアである電荷（第1導電型が n 型である場合は電子、第1導電型が p 型である場合は正孔）は、電荷蓄積領域 103 に移動し、電荷蓄積領域 103 に蓄積される。よって、第2部分 102-2 を設けることによって電荷蓄積領域 103 による電荷の収集効率を向上させることができる。

10

【0020】

第2導電型の第3半導体領域 107 は、第2導電型の第2半導体領域 102 の側方に配されうる。第2導電型の第1半導体領域 106 の下部 L P は、第2導電型の第2半導体領域 102 の第1部分 102-1 と第2導電型の第3半導体領域 107 との間に配されうる。第3半導体領域 107 における不純物濃度のピーク値は、第2半導体領域 102 における不純物濃度のピーク値よりも大きいことが好ましい。第3半導体領域 107 の下端 L E 3 は、第2半導体領域 102 の下端 L E 2 より深い位置にあることが好ましい。このような構成は、画素 PIX と画素 PIX との間の電荷の移動による混色やブルーミングを抑制したり、電荷蓄積領域 103 における電荷の収集効率を向上したりするために有利である。

20

【0021】

第4半導体領域 112 は、第3半導体領域 107 の上に配され、第5半導体領域 105 は、第4半導体領域 112 の上に配され、トランジスタ ATR、RTT、STR の拡散領域（ソース領域およびドレイン領域）を構成しうる。

【0022】

図4には、図3における Y1-Y1' に沿った第2導電型の第1半導体領域 106 および第2導電型の第2半導体領域 102 の不純物濃度分布が示されている。また、図4には、図3における Y2-Y2' に沿った第2導電型の半導体領域 108、第1導電型の電荷蓄積領域 103 および第2導電型の第2半導体領域 102 の不純物濃度分布が示されている。また、図4には、図3における Y3-Y3' に沿った第1導電型の第5半導体領域 105、第2導電型の第4半導体領域 112 および第2導電型の第3半導体領域 107 の不純物濃度分布が示されている。図4において、横軸は、半導体基板 SS の深さを示し、縦軸は、不純物濃度を示している。ここで、不純物濃度とは、第1導電型の半導体領域であれば、第1導電型の半導体領域を形成するための正味の不純物濃度を意味し、第2導電型の半導体領域であれば、第2導電型の半導体領域を形成するための正味の不純物濃度を意味する。

30

【0023】

半導体基板 SS の深さ方向における電荷蓄積領域 103 の不純物濃度分布は、深さ R p 1 にピークを有する。前記深さ方向における第1半導体領域 106 の不純物濃度分布は、深さ R p 2 にピークを有し、深さ R p 2 における不純物濃度（つまりピーク値）は C 1 である。前記深さ方向における第2半導体領域 102 の不純物濃度分布は、深さ R p 3 にピークを有し、深さ R p 3 における不純物濃度（つまりピーク値）は C 2 である。

40

【0024】

ここで、図4に例示的に示されているように、R p 1 < R p 2 < R p 3 が満たされ、かつ、C 1 > C 2 が満たされることが好ましい。このような構成によれば、第1導電型の電荷蓄積領域 103 と第2導電型の第2半導体領域 102 との境界部分、即ち空乏層 110 が形成される領域を取り囲むように第1半導体領域 106 によってポテンシャルバリアが形成される。このような構造は、ノイズの原因となる電荷が素子分離 104 の近傍（素子分離 104 と半導体領域 106、112、105 との界面）から電荷蓄積領域 103 あるいは空乏層 110 へ流れ込むことを低減するために有利である。また、このような構造は

50

、電荷蓄積領域 103 による電荷の収集効率を向上させるように電荷蓄積領域 103、第 1 半導体領域 106 および第 2 半導体領域 102 によって形成されるポテンシャル勾配を制御するために有利である。

【0025】

半導体基板 SS の深さ方向における第 3 半導体領域 107 の不純物濃度分布は、深さ R_{p4} にピークを有し、 $R_{p1} < R_{p2} < R_{p3} < R_{p4}$ が満たされることが好ましい。第 3 半導体領域 107 は、画素 PIX と画素 PIX との間にポテンシャルバリアを形成する。第 3 半導体領域 107 は、画素 PIX と画素 PIX との間の電荷の移動による混色やブルーミングを抑制し、また電荷蓄積領域 103 による電荷の収集効率を向上させるために有利である。

10

【0026】

以下、図 5～図 8 を参照しながら光電変換装置 1 の製造方法を例示的に説明する。以下では、より具体的な例を提供するために、第 1 導電型を n 型、第 2 導電型を p 型として説明するが、これとは逆に、第 1 導電型を p 型、第 2 導電型を n 型としてもよい。

【0027】

まず、図 5 に示される工程では、第 1 導電型（ここでは n 型）の半導体領域 101 を含む半導体基板 SS が準備され、半導体基板 SS に素子分離 104 が形成される。半導体領域 101 を含む半導体基板 SS は、その全体が半導体領域 101 であってもよいし、第 1 導電型または第 2 導電型の半導体領域の上に第 1 導電型の半導体領域 101 を有する半導体基板であってもよいし、他の構造を有する半導体基板であってもよい。素子分離 104 は、例えば、200 nm～300 nm の範囲内の厚さを有しうる。

20

【0028】

図 5 に示される工程では、その他、素子分離 104 に形成される領域以外の領域、即ち素子領域に犠牲酸化膜 1001 が形成される。犠牲酸化膜 1001 は、例えば、10 nm～20 nm の範囲内の厚さを有しうる。素子領域は、光電変換素子 PEC、フローティングディフュージョン FD およびトランジスタ AT R、RTR、STR が形成される領域である。その後、第 2 導電型（ここでは p 型）の半導体領域を形成するための不純物、例えば、ホウ素イオン（B+）が、加速電圧 150～300 KeV、ドーズ量 $1.0 \times 10^{12} \text{ cm}^{-2} \sim 5.0 \times 10^{12} \text{ cm}^{-2}$ の条件で半導体基板 SS に注入される。これにより、第 2 導電型の第 2 半導体領域 102 が形成される。第 2 半導体領域 102 を形成するための注入は、互いに異なる加速電圧および/またはドーズ量で複数回にわたって実施されてもよい。

30

【0029】

次に、図 6 に示される工程では、まず、半導体基板 SS の表面の上にマスク M1 が形成される。マスク M1 は、例えば、フォトレジストなどの樹脂で構成されるマスクでありまするが、ハードマスクであってもよい。次いで、素子分離 104 を突き抜ける条件で第 2 導電型の半導体領域を形成するための不純物、例えばホウ素イオン（B+）が、加速電圧 50～150 KeV、ドーズ量 $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ の条件で、半導体基板 SS に注入される。これにより、第 2 導電型の第 1 半導体領域 106 が形成される。次いで、マスク M1 が除去される。第 1 半導体領域 106 を形成するための注入は、互いに異なる加速電圧および/またはドーズ量で複数回にわたって実施されてもよい。

40

【0030】

第 2 導電型の第 1 半導体領域 106 を形成するための不純物の注入時に、第 1 導電型の電荷蓄積領域 103 を複数の部分に分割する分離領域が第 1 半導体領域 106 とともに形成されてもよい。分割された電荷蓄積領域 103 は、例えば、オートフォーカスのための位相差検出に利用することができる。また、例えば、第 1 導電型の電荷蓄積領域 103 の中央部に第 2 導電型の半導体領域を形成することによって該中央部に PN 接合が形成される。これは、空乏化電圧を低下させ、電荷蓄積領域 103 からフローティングディフュージョン FD への電荷の転送を容易にするために寄与しうる。

50

【0031】

次に、図7に示される工程では、まず、半導体基板SSの表面の上にマスクM2が形成される。マスクM2は、例えば、フォトレジストなどの樹脂で構成されるマスクでありうるが、ハードマスクであってもよい。次いで、第2導電型(ここではp型)の半導体領域を形成するための不純物、例えばホウ素イオン(B+)が、加速電圧10~20KeV、ドーズ量 $5.0 \times 10^{13} \text{ cm}^{-2}$ ~ $1.0 \times 10^{14} \text{ cm}^{-2}$ の条件で半導体基板SSに注入される。これにより、第2導電型の半導体領域108が形成される。また、第1導電型(ここではn型)の半導体領域を形成するための不純物、例えばヒ素イオン(As+)が、加速電圧300~500KeV、ドーズ量 $1.0 \times 10^{12} \text{ cm}^{-2}$ ~ $5.0 \times 10^{12} \text{ cm}^{-2}$ の条件で半導体基板SSに注入される。これにより、第1導電型の電荷蓄積領域103が形成される。また、第2導電型の半導体領域108と第1導電型の電荷蓄積領域103とを形成する順番を逆に実施してもよい。10

【0032】

次に、図8に示される工程では、まず、半導体基板SSの表面の上にマスクM3が形成される。マスクM3は、例えば、フォトレジストなどの樹脂で構成されるマスクでありうるが、ハードマスクであってもよい。次いで、半導体基板SSへの不純物の注入によって、第2導電型の第3半導体領域107、第2導電型の第4半導体領域112、第1導電型の第5半導体領域105が形成される。

【0033】

以下、図9および図10を参照しながら本発明の第2の実施形態の光電変換装置1について説明する。第2実施形態として言及しない事項は、第1実施形態に従う。図9は、図1におけるX-X'線に沿った断面図である。図10には、図9におけるY1-Y1'に沿った第2導電型の第1半導体領域106および第2導電型の第2半導体領域102の不純物濃度分布が示されている。また、図10には、図9におけるY2-Y2'に沿った第2導電型の半導体領域108、第1導電型の電荷蓄積領域103および第2導電型の第2半導体領域102の不純物濃度分布が示されている。また、図10には、図9におけるY3-Y3'に沿った第1導電型の第5半導体領域105、第2導電型の第4半導体領域112および第2導電型の第3半導体領域107の不純物濃度分布が示されている。20

【0034】

第2実施形態では、第2導電型の第1半導体領域106、第2導電型の第2半導体領域102、第2導電型の第3半導体領域107の少なくとも1つは、半導体基板SSの深さ方向に積層された第2導電型の複数の領域を有する。第1半導体領域106は、半導体基板SSの深さ方向に積層された第2導電型の複数の領域106A、106Bを含みうる。第2半導体領域102は、半導体基板SSの深さ方向に積層された第2導電型の複数の領域102A、102B、102C、102D、102Eを含みうる。第3半導体領域107は、半導体基板SSの深さ方向に積層された第2導電型の複数の領域107A、107B、107C、107D、107Eを含みうる。30

【0035】

第1半導体領域106、第2半導体領域102および第3半導体領域107の少なくとも1つを半導体基板SSの深さ方向に積層された第2導電型の複数の領域で構成した構造によれば、ポテンシャル勾配の制御が容易である。これは、画素PIXと画素PIXとの間の電荷の移動による混色やブルーミングを抑制したり、電荷蓄積領域103における電荷の収集効率を向上したりするために有利である。40

【0036】

半導体基板SSの深さ方向における電荷蓄積領域103の不純物濃度分布は、深さRp1にピークを有する。前記深さ方向における第1半導体領域106の不純物濃度分布は、深さRp2に1つのピークを有し、深さRp2における不純物濃度(つまりピーク値)はC1である。前記深さ方向における第2半導体領域102の不純物濃度分布は、深さRp3に1つのピークを有し、深さRp3における不純物濃度(つまりピーク値)はC2である。50

【0037】

ここで、図10に例示的に示されているように、 $R_{p1} < R_{p2} < R_{p3}$ が満たされ、かつ、 $C_1 > C_2$ が満たされることが好ましい。このような構成によれば、第1導電型の電荷蓄積領域103と第2導電型の第2半導体領域102との境界部分、即ち空乏層110が形成される領域を取り囲むように第1半導体領域106によってポテンシャルバリアが形成される。このような構造は、ノイズの原因となる電荷が素子分離104の近傍（素子分離104と半導体領域106、112、105との界面）から電荷蓄積領域103あるいは空乏層110へ流れ込むことを低減するために有利である。また、このような構造は、電荷蓄積領域103による電荷の収集効率を向上させるように電荷蓄積領域103、第1半導体領域106および第2半導体領域102によって形成されるポテンシャル勾配を形成するために有利である。

10

【0038】

以下、上記の各実施形態に係る光電変換装置1の応用例として、光電変換装置1が組み込まれたカメラについて例示的に説明する。カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。カメラは、上記の実施形態として例示された本発明に係る光電変換装置と、該光電変換装置から出力される信号を処理する処理部とを含む。該処理部は、例えば、A/D変換器、および、該A/D変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

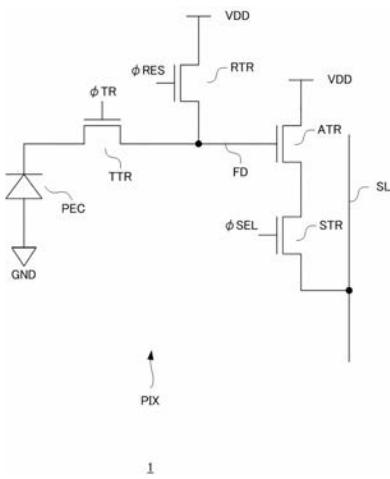
20

【符号の説明】

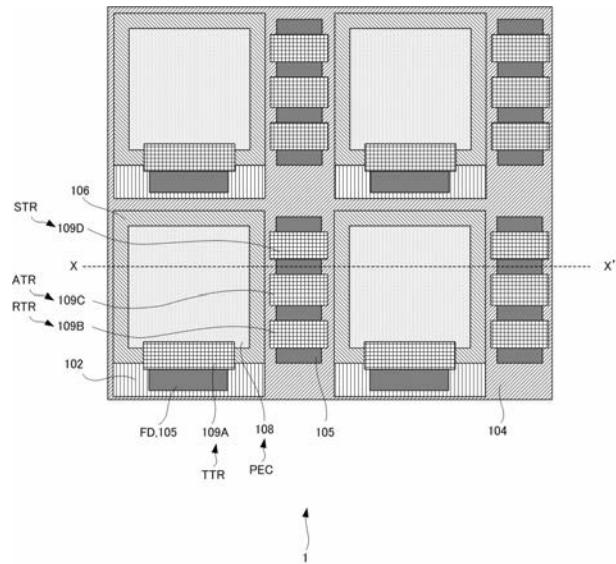
【0039】

103：第1導電型の電荷蓄積領域、106：第2導電型の第1半導体領域、102：第2導電型の第2半導体領域、104：素子分離、107：第2導電型の第3半導体領域、112：第2導電型の第4半導体領域、105：第1導電型の第5半導体領域

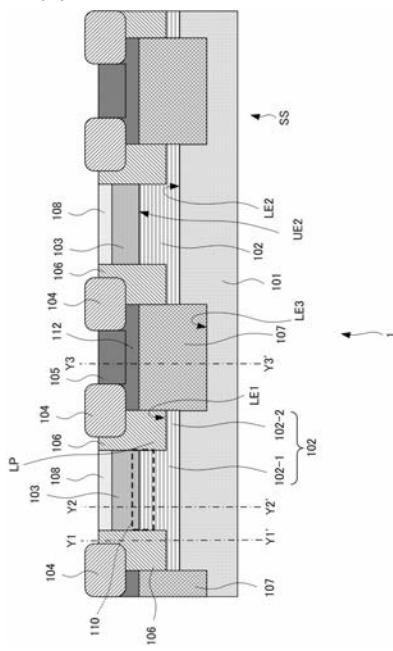
【図1】



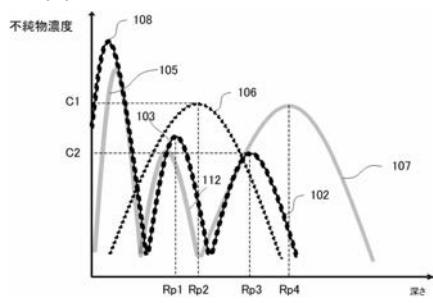
【図2】



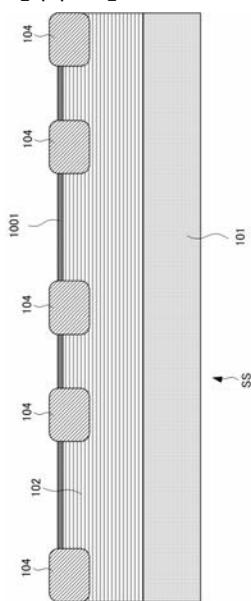
【 図 3 】



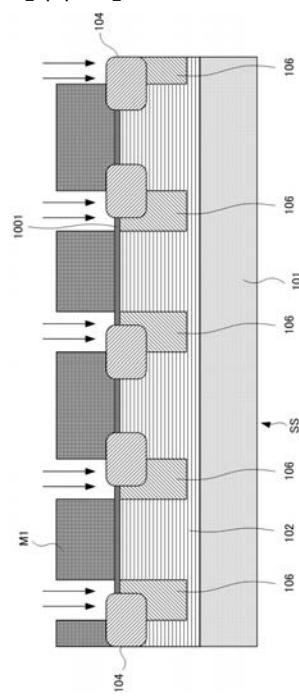
【 図 4 】



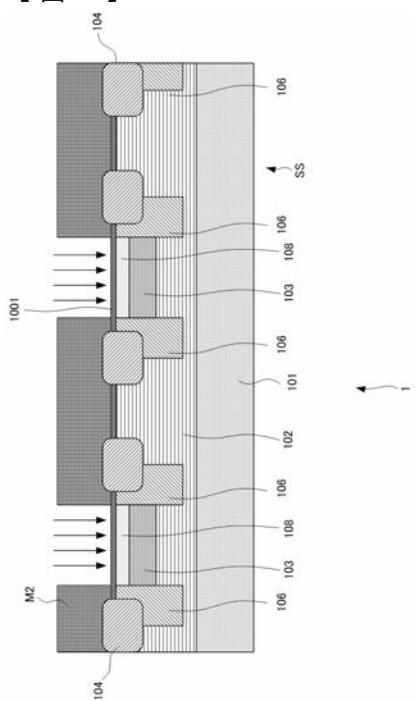
【図5】



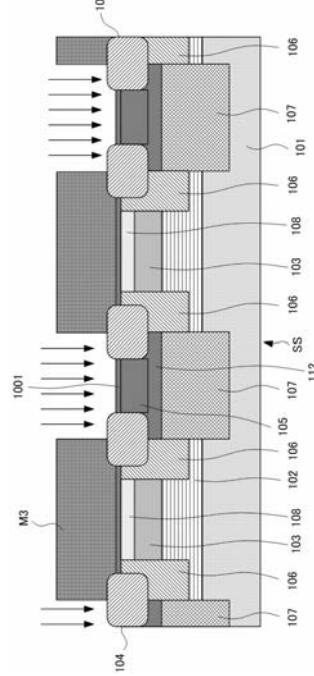
【図6】



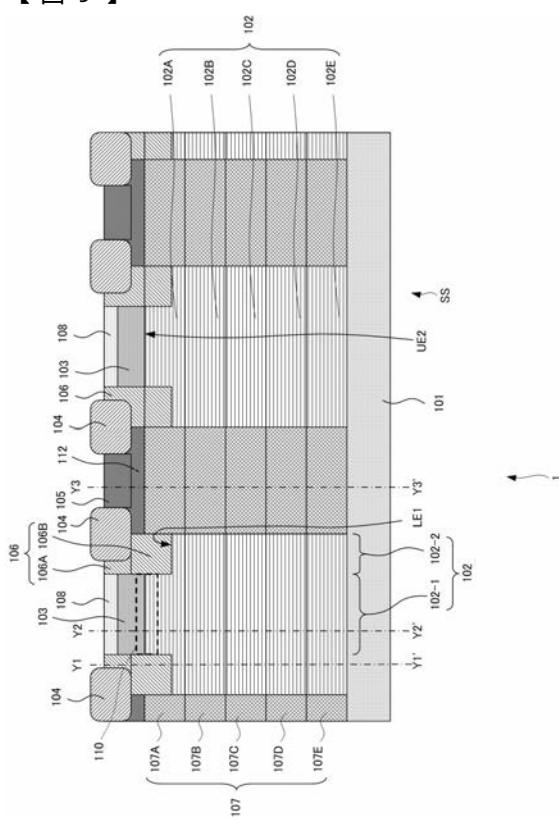
【 図 7 】



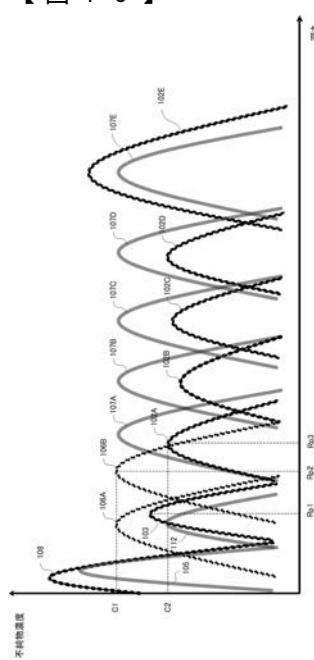
【 図 8 】



【 図 9 】



【 図 1 0 】



フロントページの続き

(72)発明者 廣田 克範

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

F ター&ム(参考) 4M118 AA05 AB01 BA09 BA14 CA04 CA18 DD04 EA14 FA06 FA08

FA28 GC07 GD04

5C024 CX32 CY47

5F849 AA02 BA04 BB03 XB01