

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94108755

※申請日期： 94.3.22 ※IPC 分類：E01F 31/18 (2006.01)

一、發明名稱：(中文/英文)

G11C 29/00 (2006.01)

測試裝置與測試方法

TESTING DEVICE AND TESTING METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

愛德萬測試股份有限公司

ADVANTEST CORPORATION

☐ 指定

為應受送達人

代表人：(中文/英文) 丸山 利雄/MARUYAMA, TOSHIO

住居所或營業所地址：(中文/英文)

日本東京都練馬區旭町1丁目32番1號

1-32-1, ASAHI-CHO, NERIMA-KU, TOKYO, JAPAN

國 籍：(中文/英文) 日本/JP

三、發明人：(共 1 人)

姓 名：(中文/英文) ID :

1. 寒竹 秀介/KANTAKE, SHUSUKE

國 籍：(中文/英文) 1. 日本/JP

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004/3/26；2004-093310

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及一種測試裝置及測試方法，特別是涉及被測試記憶體測試用的測試裝置及測試方法。對藉由文獻的參照而被認為可併入的指定國，則由參照下述申請案所記載的內容，併入本案作為本案的記載的一部份。

特願 2004-93310 申請日 西元 2004 年 3 月 26 日

【先前技術】

圖 6 顯示先前技術所屬的測試裝置 600 的構成。該測試裝置 600 具備位準比較器 604，時序比較器 606 以及邏輯比較器 608。由被測試裝置(以下稱為”DUT”)602 所輸出的輸出資料在以位準比較器 604 來進行電壓比較之後，藉由測試裝置 600 的內部所預先決定的時序所產生的選通(Strobe)脈衝，由時序比較器 606 中取得該輸出資料。然後，在邏輯比較器 608 中與期待值作比較，依據比較結果來判定 DUT602 是否良好。

目前由於對先前技術文獻的存在尚不清楚，與先前技術文獻有關的記載因此省略。

【發明內容】

近年，發送器側係將時脈埋入至資料中以進行發送，接收器側由資料中使時脈再生，以已再生的時脈來接收資料，以此種方式來進行通信的高速串列(serial)介面目前正在開發。然後，在此種時脈埋入方式的高速串列介面的資料中固定的大的時序不確定寬度(jitter)是容許的。然而，

在先前技術所屬的測試裝置 600 中，取得 DUT602 的輸出資料所用的選通脈衝的時序由於是由測試裝置 600 的內部所預先決定，則無法追蹤 DUT602 的輸出資料的時序變動。因此，無法對具有如上所述的高速串列介面的被測試裝置正確地進行測試。

本發明的目的是提供一種可解決上述問題的測試裝置。該目的是藉由申請專利範圍中的獨立項所記載的特徵的組合來達成。又，申請專利範圍各附屬項規定了本發明更有利的具體實施例。

依據本發明的第 1 實施形式，被測試裝置測試用的測試裝置具備：基準時脈源，其產生基準時脈以控制該被測試裝置的動作；時脈產生電路，其產生一種再生時脈，其頻率略等於基準時脈且其相位略等於被測試裝置的輸出資料；延遲電路，其使再生時脈延遲以產生一種選通脈衝；時序比較器，其依據該選通脈衝以取得該輸出資料的輸出值；邏輯比較器，其對該輸出值與預定的期待值作比較；以及良否判定部，其依據邏輯比較器的比較結果以判定該被測試裝置的良否。

時脈產生電路具備：第 1 相位比較器，其對該被測試裝置的輸出資料和再生時脈的相位進行比較以輸出第 1 比較結果信號；第 2 相位比較器，其對基準時脈和再生時脈的相位進行比較以輸出第 2 比較結果信號；加法器，其對第 1 比較結果信號和第 2 比較結果信號進行加算，以輸出一種加算結果信號；以及再生時脈產生部，其依據該加算

結果信號以產生一種再生時脈。

測試裝置更可具備第 1 低通濾波器，其只使第 1 比較結果信號中較第 1 頻率還低的信號通過。加法器亦可對已通過第 1 低通濾波器之第 1 比較結果信號和第 2 比較結果信號進行加算。

顯示第 1 低通濾波器的通過頻帶所用的第 1 頻率亦可對應於被測試裝置的種類來設定。顯示第 1 低通濾波器的通過頻帶所用的第 1 頻率亦可對應於被測試裝置所容許的變動(jitter)頻率來設定。延遲電路的延遲量亦可對應於被測試裝置的形態來設定。

測試裝置更可具備第 2 低通濾波器，其只使加算結果信號中較第 2 頻率還低的信號通過。再生時脈產生部亦可依據已通過第 2 低通濾波器的加算結果信號來產生該再生時脈。

顯示第 2 低通濾波器的通過頻帶所用的第 2 頻率亦可較第 1 頻率還高或與第 1 頻率大約相等。

第 1 低通濾波器在輸出資料不安定時亦可輸出一種固定值的保持(hold)信號以取代第 1 比較結果信號。

第 1 低通濾波器在由被測試裝置之輸出資料開始輸出後之固定時間內亦可輸出一種固定值以取代第 1 比較結果信號。

依據本發明的第 2 實施形式，被測試裝置測試用的測試裝置具備：時脈產生電路，其產生一種再生時脈，其相位略等於被測試裝置的輸出資料；延遲電路，其使再生時

脈延遲以產生一種選通脈衝；時序比較器，其依據該選通脈衝以取得該輸出資料的輸出值；邏輯比較器，其對該輸出值與預定的期待值作比較；以及良否判定部，其依據邏輯比較器的比較結果以判定該被測試裝置的良否。

時脈產生電路具備：相位比較器，其對該被測試裝置的輸出資料和再生時脈的相位進行比較以輸出一種比較結果信號；第1低通濾波器，其只使比較結果信號中較對應於被測試裝置的種類所設定的固定頻率還低的信號通過；以及再生時脈產生部，其依據該比較結果信號以產生一種再生時脈。

相位比較器亦可對該被測試裝置的輸出時脈和再生時脈產生部所產生的再生時脈的相位進行比較，以輸出一種比較結果信號。再生時脈產生部更可具備一種分頻器，其對已產生的再生時脈進行分頻。相位比較器亦可對該被測試裝置的輸出時脈與分頻周期已劃分的再生時脈的相位進行比較，以輸出一種比較結果信號。

依據本發明的第3實施形式，被測試裝置測試用的測試方法包含：產生步驟，其產生一種基準時脈，以控制該被測試裝置的動作；時脈再生步驟，其產生一種再生時脈，其頻率略等於基準頻率且其相位略等於被測試裝置的輸出資料；另一產生步驟，其使再生時脈延遲以產生一種選通脈衝；取得步驟，其依據該選通脈衝以取得該輸出資料的輸出值；比較步驟，其對該輸出值與預定的期待值作比較；以及良否判定步驟，其依據該比較結果以判定該被測試裝

置的良否。

時脈再生步驟包含以下各步驟：對該被測試裝置的輸出資料與再生時脈的相位進行比較，以輸出第 1 比較結果信號；對該基準時脈和再生時脈的相位進行比較以輸出第 2 比較結果信號；對第 1 比較結果信號和第 2 比較結果信號進行加算，以輸出一種加算結果信號；以及依據該加算結果信號以產生一種再生時脈。

依據本發明的第 4 實施形式，被測試裝置測試用的測試方法具備以下各步驟：時脈再生步驟，其產生一種再生時脈，其相位略等於被測試裝置的輸出資料；產生步驟，其使再生時脈延遲以產生一種選通脈衝；取得步驟，其依據該選通脈衝以取得該輸出資料的輸出值；比較步驟，其對該輸出值與預定的期待值作比較；以及良否判定步驟，其依據邏輯比較器的比較結果以判定該被測試裝置的良否。

時脈再生步驟包含以下各步驟：一輸出步驟，其中對該被測試裝置的輸出資料和再生時脈的相位進行比較以輸出一種比較結果信號；一通過步驟，其中只使比較結果信號中較對應於被測試裝置的種類所設定的固定頻率還低的信號通過；以及一再生時脈產生步驟，其依據該比較結果信號以產生一種再生時脈。

時脈再生步驟亦可含有一種輸出步驟，其對該被測試裝置的輸出時脈與再生時脈產生步驟中所產生的再生時脈的相位進行比較，以輸出一種比較結果信號。

又，上述發明的概要並未列舉本發明的必要特徵的全部，這些特徵群的下位組合(sub-combination)亦屬本發明。

發明的效果

依據本發明所屬的測試裝置，可準確地測試一種具有時脈埋入方式的高速串列介面的被測試裝置。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

以下將依據本發明的實施形式來說明本發明，但以下的實施形式不是用來限定各申請專利範圍所屬的發明。又，實施形式中所說明的特徵的組合的全部不限於發明解決手段中所必須者。

圖 1 係繪示本發明第 1 實施形式所屬的測試裝置 100 的構成的一例。圖 2(a)係第 1 實施形式中 DUT150 的輸出資料的時序圖的一例。圖 2(b) 係第 1 實施形式中 VCO380 所產生的再生時脈的時序圖的一例。圖 2(c)係第 1 實施形式中可變延遲電路 124 所產生的選通脈衝的時序圖的一例。

測試裝置 100 具備基準時脈源 102，時脈產生電路 104，位準比較器 106，可變延遲電路 124，時序比較器 108，邏輯比較器 110 以及良否判定部 112。又，良否判定部 112 亦可藉由該測試裝置 100 所具備的 CPU 進程式化時來實現，或亦可藉由設在該測試裝置 100 外部的工作站等的解

析裝置來實現。

基準時脈源 102 產生一種基準時脈以控制 DUT150 的動作。DUT150 依據基準時脈源 102 所產生的基準時脈來動作，以輸出如圖 2(a)所示的輸出資料。然後，位準比較器 106 使由 DUT150 所輸出的輸出資料來與預定的門限值電壓相比較，以輸出 2 值的輸出資料。又，時脈產生電路 104 產生如圖 2(b)所示的再生時脈，其頻率略等於基準時脈源 102 所產生的基準時脈且其相位略等於 DUT150 的輸出資料。

可變延遲電路 124 使時脈產生電路 104 所產生的再生時脈延遲，以產生如圖 2(c)所示的選通脈衝。可變延遲電路 124 的延遲量係對應於 DUT150 的形式來設定。例如，可變延遲電路 124 的延遲量可為 DUT150 的輸出資料的半周期時間。又，可變延遲電路 124 具有一種對相位比較器 122 和時序比較器 108 之間的相位差進行調整的功能。因此，可變延遲電路 124 亦可設在由 N1 分頻器 128 開始而朝向相位比較器 122 的傳送路徑中的相位比較器 122 之前。此時，VCO138 產生一種再生時脈，其具有一種對應於 DUT150 的輸出資料所定的相位差。

時序比較器 108 依據可變延遲電路 124 所產生的選通脈衝以取得 DUT150 的輸出資料的輸出值。邏輯比較器 110 例如是一種互斥或(Exclusive or)演算電路，其將時序比較器 108 所取得的輸出值來與預定的期待值相比較，以輸出一種不一致(fail)資料或一致(pass)資料。然後，良否判定部

112 依據邏輯比較器 110 的比較結果以判定 DUT150 的良否。

時脈產生電路 104 具有低通濾波器(LPF)120、相位比較器 122、N2 分頻器 126、N1 分頻器 128、相位比較器 130、加法器 132、低通濾波器 134、積分器 136 以及電壓控制振盪器(VCO)138。時脈產生電路 104 藉由包含相位比較器 122、LPF120、LPF134、積分器 136、VCO138 以及 N1 分頻器 128 之相位同步回路(loop)，使再生時脈和輸出資料的相位同步，又，藉由包含相位比較器 130、LPF134、積分器 136、VCO138、N1 分頻器 128 以及 N2 分頻器 126 之頻率同步回路(loop)，使再生時脈和基準時脈的頻率相一致。又，相位比較器 122 例如是一種早期領先(early lead)電路，LPF120 例如是一種數位濾波器。VCO138 是本發明的再生時脈產生部的一例。

相位比較器 122 對位準比較器 106 所輸出的 DUT150 的輸出資料和 VCO138 所產生之已由 N1 分頻器 128 完成 N1 分頻之再生時脈的相位進行比較，以輸出第 1 比較結果信號。LPF120 只使相位比較器 122 所輸出的第 1 比較結果信號中較第 1 頻率還低的信號通過，以供給至加法器 132 中。又，顯示 LPF120 的通過頻帶所用的第 1 頻率對應於 DUT150 的種類而設定，例如，可對應於 DUT150 中所容許的變動頻率而設定。具體而言，DUT150 的輸出資料的頻率在 6.5GHz 的程度時，則第 1 頻率例如可設定成 100kHz 的程度。

又，N1 分頻器 128 和 N2 分頻器 126 對 VCO138 所產生之再生時脈進行分頻，以供給至相位比較器 130 中。相位比較器 130 對基準時脈源 102 所產生的基準時脈和 VCO138 所產生之已由 N1 分頻器 128 和 N2 分頻器 126 完成($N1 \times N2$)分頻之再生時脈的相位進行比較，以輸出第 2 比較結果信號且供給至加法器 132。

加法器 132 對相位比較器 122 所輸出之已通過 LPF120 的第 1 比較結果信號和相位比較器 130 所輸出的第 2 比較結果信號進行加算，以輸出一種加算結果信號。LPF134 只使加法器 132 所輸出的加算結果信號中較第 2 頻率還低的信號通過，以供給至積分器 136。又，顯示 LPF134 的通過頻帶所用的第 2 頻率較顯示 LPF120 的通過頻帶所用的第 1 頻率還高。具體而言，DUT150 的輸出資料的頻率在 6.5GHz 的程度時，則第 2 頻率例如可設定成數 MHz 的程度。又，顯示 LPF134 的通過頻帶所用的第 2 頻率亦可與顯示 LPF120 的通過頻帶所用的第 1 頻率大約相等。

積分器 136 對 LPF134 所輸出的加算結果信號進行積分以供給至 VCO138。VCO138 依據 LPF134 所通過之由積分器 136 所積分的加算結果信號的積分值而產生一再生時脈，以供給至相位比較器 122 和可變延遲電路 124。

以下將依據 DUT150 的測試流程來說明該測試裝置 100 的動作。首先，進行初期設定時，依據 DUT150 的輸出資料速率，以對基準時脈源 102 所產生的基準時脈的頻率，N1 分頻器 128 和 N2 分頻器 126 的分頻比($N1$ 、 $N2$)

進行設定。然後，經過一定時間之後，藉由頻率同步回路在達到頻率同步時，VCO138 在基準時脈的頻率的 $N1 \times N2$ 倍的頻率時產生一種相位與基準時脈同步的再生時脈。

其次，由 DUT150 產生該時脈產生電路 104 的訓練圖樣(training pattern)。該訓練圖樣可為一種具有固定的資料變化率的資料列，其使 DUT150 的輸出資料和再生時脈的相位同步。因此，此時由邏輯比較器 110 而來的訓練圖樣未與期待值進行一種比較處理。

由 DUT150 所輸出的訓練圖樣的資料在測試裝置 100 中輸入至時脈產生電路 104 所連接的通道中。該測試裝置 100 中若輸入該訓練圖樣，則在位準比較器 106 中進行位準比較之後分開，以輸入至時序比較器 108 和相位比較器 122 中。

相位比較器 122 對已由 $N1$ 分頻器 128 完成分頻的再生時脈和訓練圖樣的相位進行比較，以輸出能顯示相位的超前或落後的資料之第 1 相位比較結果信號。又，DUT150 的輸出資料是一種隨機(random)資料。由於由周期所造成的資料的變化點的有無會不相同，則相位比較器 122 只有在 DUT150 的輸出資料中存在著變化點時才會進行相位比較，以輸出第 1 相位比較結果信號。DUT150 的輸出資料中未存在著變化點時不會進行相位比較。

相位比較器 122 所輸出的第 1 相位比較結果信號藉由 LPF120 平滑化之後，藉由加法器 132 來與相位比較器 130 所輸出的第 2 比較結果信號相加。然後，VCO138 進行回

授控制，使 DUT150 的輸出資料和再生時脈的相位誤差被消除以產生再生時脈。結果，DUT150 的輸出資料的頻率維持在基準時脈的 $N1 \times N2$ 倍，再生時脈的相位是與 DUT150 的輸出資料同步。

其次，處於由時脈產生電路 104 所造成的相位同步和頻率同步的狀態時，則開始 DUT150 的測試。在 DUT150 測試時，已由 N1 分頻器 128 完成 N1 分頻的再生時脈藉由可變延遲電路 124 而被延遲，固定時序的選通脈衝供給至時序比較器 108。然後，藉由時序比較器 108 依據選通脈衝所定的時序以取得 DUT150 的輸出資料，藉由邏輯比較器 110 來與期待值相比較。

測試時，時脈產生電路 104 經常對 DUT150 的輸出資料和再生時脈的相位進行比較，由於是藉由 VCO138 來進行回授控制，為了晶片溫度變動等所造成的偏移，即使 DUT150 的輸出資料的相位變動，若發生 LPF120 的截止頻率所在的第 1 頻率以下的變動，則仍可追蹤 DUT150 的相位變動以產生一種再生時脈。

如上所述，依據本實施形式中的測試裝置 100，在時脈埋入方式的高速串列介面的測試中，由 DUT150 的輸出資料產生一種再生時脈，在再生時脈的相位作為基準的所期望的時序中可取得 DUT150 的輸出資料。又，藉由基準時脈的頻率和 N1 分頻器 128 以及 N2 分頻器 126 的分頻比可改變，則可範圍廣泛地對應於 DUT150 的輸出資料速率，使作為測試裝置時的廣用性增加。又，VCO138 的輸

出頻率範圍由於通常可以八階(octave)方式來改變，則藉由使用 N1 分頻器 128 以及 N2 分頻器 126 共 2 個分頻器，可使 VCO138 的輸出頻率範圍對應於 DUT150 的輸出資料速率的範圍。

又，DUT150 由於是依據基準時脈源 102 所產生的基準時脈來動作，則就測試裝置 100 而言 DUT150 的輸出資料的頻率必定已知而不會變動。因此，相位同步回路和頻率同步回路可各別地構成且同時動作。又，藉由各別的 LPF120 和 LPF134，由於相位同步回路和頻率同步回路的回路頻帶可各別地設定，則藉由使頻率同步回路的回路頻帶變高，可使頻率同步的設定時間縮短以抑制 VCO138 的雜訊，且可藉由相位同步回路的回路頻帶變低，使 DUT150 的輸出資料的變動成份被去除。又，LPF120 的截止(cut-off)頻率成為可變時，其可對應於成為測試對象的 DUT150 的變動容許度(tolerance)規格。

圖 3 係第 2 實施形式的測試裝置 300 的構成的一例。又，圖 4(a)和圖 5(a)係第 2 實施形式之 DUT350 的輸出資料的時序圖的一例。圖 4(b)和圖 5(b)係第 2 實施形式之 DUT350 的源極同步時脈的時序圖的一例。圖 4(c)和圖 5(c)係第 2 實施形式之 VCO138 所產生的再生時脈的時序圖的一例。圖 4(d)和圖 5(d)係第 2 實施形式之可變延遲電路 124 所產生的選通脈衝的時序圖的一例。又，第 2 實施形式之測試裝置 300 的動作和功能除了以下說明的部份以外都與第 1 實施形式之測試裝置 100 的動作和功能相同，相同的

部份因此不再說明。

測試裝置 300 中加入第 1 實施形式之測試裝置 100 所具備的構成元件且另外具備位準比較器 306。又，時脈產生電路 304 中加入第 1 實施形式之時脈產生電路 104 所具有的構成元件且另外具有邊緣切換電路 340、M 分頻器 342、固定選通脈衝產生器 344 以及開關 346。第 1 實施形式之測試裝置 100 雖然具備時脈埋入方式的高速串列介面測試用的時脈產生電路 104，但第 2 實施形式之測試裝置 300 具備源極同步方式的高速串列介面測試用的時脈產生電路 304。又，源極同步時脈是本發明的輸出資料或輸出時脈的一例。第 1 實施形式之測試裝置 100 具有固定選通脈衝產生器 344 和開關 346，且亦可具有以下所說明的動作和功能。

DUT350 具備源極同步方式的高速串列介面，其輸出如圖 4(a)和圖 5(a)中所示的輸出資料以及如圖 4(b)和圖 5(b)中所示的源極同步時脈。因此，在源極同步時脈方式中，源極同步時脈的上升邊緣和下降邊緣此二者成為時序邊緣處於雙倍資料速率(DDR)時的方式，源極同步時脈的上升邊緣或下降邊緣中之一成為時序邊緣處於一倍資料速率(SDR)時的方式。此處，邊緣切換電路 340 設在由 DUT350 至相位比較器 122 的傳送路徑中的相位比較器 122 之前，由 DUT350 所輸出的源極同步時脈的邊緣中藉由相位比較器 122 來選取相位已比較的邊緣，以供給至相位比較器 122 中。因此，測試裝置 300 可測試以下二種裝置，即，一種

具備雙倍資料速率方式的高速串列介面之 DUT350 以及一種具備一倍資料速率方式的高速串列介面之 DUT350。

又，在源極同步方式中，輸出資料的頻率和源極同步時脈的頻率的比不限於 1 對 1，亦可為 1 對 2、1 對 4。因此，M 分頻器 342 設在由 N1 分頻器 128 至相位比較器 122 的傳送路徑中的相位比較器 122 之前，已由 N1 分頻器 128 完成 N1 分頻的再生時脈更進行 M 分頻以供給至相位比較器 122。因此，M 分頻器 342 使供給至可變延遲電路 124 中的再生時脈的頻率和供給至相位比較器 122 中的再生時脈的頻率成為不同，且使供給至相位比較器 122 中的再生時脈的頻率和源極同步時脈的頻率成為相同。於是，測試裝置 300 可對一種具備輸出資料的頻率和源極同步時脈的頻率之比是多樣性的源極同步方式的高速串列介面之 DUT350 進行測試。

固定選通脈衝產生器 344 產生一種固定相位差信號，其可顯示基準時脈和再生時脈的相位差。然後，開關 346 對相位比較器 122 所輸出的第 1 比較結果信號和固定選通脈衝產生器 344 所產生的固定相位差信號進行切換，以供給至加法器 132。即，開關 346 選擇第 1 比較結果信號以供給至加法器 132 中時，VCO138 產生一種對 DUT350 的源極同步時脈進行追蹤後之再生時脈，如圖 4(c)和圖 5(c)所示。然後，可變延遲電路 124 使時脈產生電路 304 所產生的再生時脈延遲，以產生如圖 4(d)和圖 5(d)所示之選通脈衝。另一方面，開關 346 選擇該固定相位差信號以供給

至加法器 132 中時，VCO138 不對 DUT350 的源極同步時脈進行追蹤，以對該基準時脈產生一種具有一固定相位差所示之相位差的再生時脈。因此，測試裝置 300 不只可對 DUT350 的源極同步時脈進行追蹤後之選通脈衝-而且亦可對基準時脈藉由具有一固定相位差的選通脈衝來取得 DUT350 的輸出資料以進行測試。

在 DUT350 開始輸出源極同步時脈後之固定時間內的情況等的 DUT350 所輸出的源極同步時脈未安定之情況下，LPF120 依據一種保持信號以輸出一固定值且供給至加法器 132 以取代第 1 比較結果信號。即，LPF120 選擇第 1 比較結果信號以供給至加法器 132 時，如圖 4(c)和圖 5(c)所示，VCO138 會產生一種與 DUT350 的源極同步時脈的相位同步的再生時脈。然後，可變延遲電路 124 使時脈產生電路 304 所產生的再生時脈延遲，以產生如圖 4(d)和圖 5(d)所示的選通脈衝。另一方面，LPF120 依據該保持信號以供給該固定值至加法器 132 中時，VCO138 未與 DUT350 的源極同步時脈形成相位同步而是產生一種與基準時脈的相位同步的再生時脈。又，第 1 實施形式中的測試裝置 100 所具備的 LPF120 亦能與上述的 LPF120 一樣依據該保持(hold)信號以輸出一固定值。

因此，第 2 實施形式中的測試裝置 300 中 DUT350 的源極同步時脈的相位不安定時或第 1 實施形式中的測試裝置 100 中 DUT150 的輸出資料成為"0"或"1"的長的連續圖樣時，在測試中相位同步停止的情況下，可暫時地停止相

位同步回路的動作。

以上雖然使用實施形式來說明本發明，但本發明的技術範圍不限於上述實施形式中所記載的範圍。上述實施形式中，可施加多樣的變更或改良。此種已施加變更或改良的形式亦包含在本發明的技術範圍中，這由所請求的範圍的記載即可明白。

產業上的可利用性

由以上的說明即可明白，依據本發明，具有時脈埋入式的高速串列介面的被測試裝置可被正確地測試。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 係繪示本發明第 1 實施形式所屬的測試裝置 100 的構成的一例。

圖 2 係輸出資料，再生時脈以及選通脈衝的時序圖。

圖 3 係第 2 實施形式的測試裝置 300 的構成的一例。

圖 4 係輸出資料，源極同步時脈，再生時脈以及選通脈衝的時序圖的一例。

圖 5 係輸出資料，源極同步時脈，再生時脈以及選通脈衝的時序圖的一例。

圖 6 係先前技術所屬的測試裝置 600 的構成。

【主要元件符號說明】

100	測試裝置
102	基準時脈源
104	時脈產生電路
106	位準比較器
108	時序比較器
110	邏輯比較器
112	良否判定部
120	低通濾波器(LPF)
122	相位比較器
124	可變延遲電路
126	N2 分頻器
128	N1 分頻器
130	相位比較器
132	加法器
134	低通濾波器(LPF)
136	積分器
138	電壓控制振盪器(VCO)
150	被測試裝置(DUT)
300	測試裝置
306	位準比較器
304	時脈產生電路
340	邊緣切換電路
342	M 分頻器
344	固定選通脈衝產生器

346	開關
350	被測試裝置(DUT)
600	測試裝置
602	被測試裝置(DUT)
604	位準比較器
606	時序比較器
608	邏輯比較器

五、中文發明摘要：

本發明涉及一種被測試裝置測試用的測試裝置，其具備：時脈產生電路，其產生一種再生時脈，其頻率略等於基準時脈且其相位略等於被測試裝置的輸出資料；延遲電路，其使再生時脈延遲以產生一種選通脈衝；時序比較器，其依據該選通脈衝以取得該輸出資料的輸出值；邏輯比較器，其對該輸出值與預定的期待值作比較；以及良否判定部，其依據邏輯比較器的比較結果以判定該被測試裝置的良否。時脈產生電路具備：第 1 相位比較器，其對該被測試裝置的輸出資料和再生時脈的相位進行比較以輸出第 1 比較結果信號；第 2 相位比較器，其對基準時脈和再生時脈的相位進行比較以輸出第 2 比較結果信號；以及再生時脈產生部，其依據第 1 比較結果信號和第 2 比較結果信號以產生一種再生時脈。

六、英文發明摘要：

The present invention provides a testing device, including a clock generation circuit, which generates a regenerative clock with a frequency substantially equal to a base clock and with a phase substantially equal to the output data of the tested device; a delay circuit, which delays the regenerative clock to generate a strobe; a timing comparator, which obtains the output value of the output data according to the strobe; a logical comparator, which compares the output value with an expectation value; and a good/bad judgment section, which performs the good/bad judgment of the tested device based on the comparison result. The clock generation circuit has a 1st phase comparator, which compares the phase of the output data with that of the regenerative clock, and outputs a 1st comparison result signal; a 2nd phase comparator, which compares the phase of the base clock with that of the regenerative clock, and outputs a 2nd comparison result signal; and a regenerative clock regeneration section, which generates a regenerative clock according to the 1st comparison result signal and the 2nd comparison result signal.

十、申請專利範圍：

1.一種被測試裝置測試用的測試裝置，包括：

基準時脈源，其產生基準時脈以控制該被測試裝置的動作；

時脈產生電路，其產生一種再生時脈，其頻率略等於基準時脈且其相位略等於被測試裝置的輸出資料；

延遲電路，其使再生時脈延遲以產生一種選通脈衝；

時序比較器，其依據該選通脈衝以取得該輸出資料的輸出值；

邏輯比較器，其對該輸出值與預定的期待值作比較；以及

良否判定部，其依據邏輯比較器的比較結果以判定該被測試裝置的良否，

時脈產生電路具備：

第 1 相位比較器，其對該被測試裝置的輸出資料和再生時脈的相位進行比較以輸出第 1 比較結果信號；

第 2 相位比較器，其對基準時脈和再生時脈的相位進行比較以輸出第 2 比較結果信號；

加法器，其對第 1 比較結果信號和第 2 比較結果信號進行加算，以輸出一種加算結果信號；以及

再生時脈產生部，其依據該加算結果信號以產生一種再生時脈。

2.如申請專利範圍第 1 項所述之被測試裝置測試用的測試裝置，其中更可具備第 1 低通濾波器，其只使第 1 比

較結果信號中較第 1 頻率還低的信號通過，以及

加法器亦可對已通過第 1 低通濾波器之第 1 比較結果信號和第 2 比較結果信號進行加算。

3.如申請專利範圍第 2 項所述之被測試裝置測試用的測試裝置，其中顯示第 1 低通濾波器的通過頻帶所用的第 1 頻率對應於被測試裝置的種類來設定。

4.如申請專利範圍第 3 項所述之被測試裝置測試用的測試裝置，其中顯示第 1 低通濾波器的通過頻帶所用的第 1 頻率對應於被測試裝置中所容許的變動頻率來設定。

5.如申請專利範圍第 2 項所述之被測試裝置測試用的測試裝置，其中更可具備第 2 低通濾波器，其只使加算結果信號中較第 2 頻率還低的信號通過，以及

再生時脈產生部依據已通過第 2 低通濾波器的加算結果信號來產生該再生時脈。

6.如申請專利範圍第 5 項所述之被測試裝置測試用的測試裝置，其中顯示第 2 低通濾波器的通過頻帶所用的第 2 頻率較第 1 頻率還高或與第 1 頻率大約相等。

7.如申請專利範圍第 2 項所述之被測試裝置測試用的測試裝置，其中第 1 低通濾波器輸出一種固定值的保持(hold)信號以取代第 1 比較結果信號。

8.如申請專利範圍第 7 項所述之被測試裝置測試用的測試裝置，其中第 1 低通濾波器在輸出資料不安定時輸出一種固定值的保持(hold)信號以取代第 1 比較結果信號。

9.如申請專利範圍第 7 項所述之被測試裝置測試用的

測試裝置，其中第 1 低通濾波器在由被測試裝置之輸出資料開始輸出後之固定時間內輸出一種固定值以取代第 1 比較結果信號。

10.如申請專利範圍第 1 項所述之被測試裝置測試用的測試裝置，其中延遲電路的延遲量對應於被測試裝置的形態來設定。

11.一種被測試裝置測試用的測試裝置，包括：

時脈產生電路，其產生一種再生時脈，其相位略等於被測試裝置的輸出資料；

延遲電路，其使再生時脈延遲以產生一種選通脈衝；

時序比較器，其依據該選通脈衝以取得該輸出資料的輸出值；

邏輯比較器，其對該輸出值與預定的期待值作比較；
以及

良否判定部，其依據邏輯比較器的比較結果以判定該被測試裝置的良否，

時脈產生電路具備：

相位比較器，其對該被測試裝置的輸出資料和再生時脈的相位進行比較以輸出一種比較結果信號；

第 1 低通濾波器，其只使比較結果信號中較對應於被測試裝置的種類所設定的固定頻率還低的信號通過；以及

再生時脈產生部，其依據該比較結果信號以產生一種再生時脈。

12.如申請專利範圍第 11 項所述之被測試裝置測試用

的測試裝置，其中相位比較器可對該被測試裝置的輸出時脈和再生時脈產生部所產生的再生時脈的相位進行比較，以輸出一種比較結果信號。

13.如申請專利範圍第 11 項所述之被測試裝置測試用的測試裝置，其中再生時脈產生部更可具備一種分頻器，其對已產生的再生時脈進行分頻，以及

相位比較器可對該被測試裝置的輸出時脈與分頻周期已劃分的再生時脈的相位進行比較，以輸出一種比較結果信號。

14.一種被測試裝置測試用的測試方法，包含：

產生步驟，其產生一種基準時脈，以控制該被測試裝置的動作；

時脈再生步驟，其產生一種再生時脈，其頻率略等於基準頻率且其相位略等於被測試裝置的輸出資料；

另一產生步驟，其使再生時脈延遲以產生一種選通脈衝；

取得步驟，其依據該選通脈衝以取得該輸出資料的輸出值；

比較步驟，其對該輸出值與預定的期待值作比較；以及

良否判定步驟，其依據該比較結果以判定該被測試裝置的良否，

時脈再生步驟包含以下各步驟：

對該被測試裝置的輸出資料與再生時脈的相位進行比

較，以輸出第 1 比較結果信號；

對該基準時脈和再生時脈的相位進行比較以輸出第 2 比較結果信號；

對第 1 比較結果信號和第 2 比較結果信號進行加算，以輸出一種加算結果信號；以及

依據該加算結果信號以產生一種再生時脈。

15.一種被測試裝置測試用的測試方法，包含：

時脈再生步驟，其產生一種再生時脈，其相位略等於被測試裝置的輸出資料；

產生步驟，其使再生時脈延遲以產生一種選通脈衝；

取得步驟，其依據該選通脈衝以取得該輸出資料的輸出值；

比較步驟，其對該輸出值與預定的期待值作比較；以及

良否判定步驟，其依據邏輯比較器的比較結果以判定該被測試裝置的良否，

時脈再生步驟包含以下各步驟：

一輸出步驟，其中對該被測試裝置的輸出資料和再生時脈的相位進行比較，以輸出一種比較結果信號；

一通過步驟，其中只使比較結果信號中較對應於被測試裝置的種類所設定的固定頻率還低的信號通過；以及

一再生時脈產生步驟，其依據該比較結果信號以產生一種再生時脈。

16.如申請專利範圍第 15 項所述之被測試裝置測試用

的測試方法，其中時脈再生步驟含有一種輸出步驟，其對該被測試裝置的輸出時脈與再生時脈產生步驟中所產生的再生時脈的相位進行比較，以輸出一種比較結果信號。

100

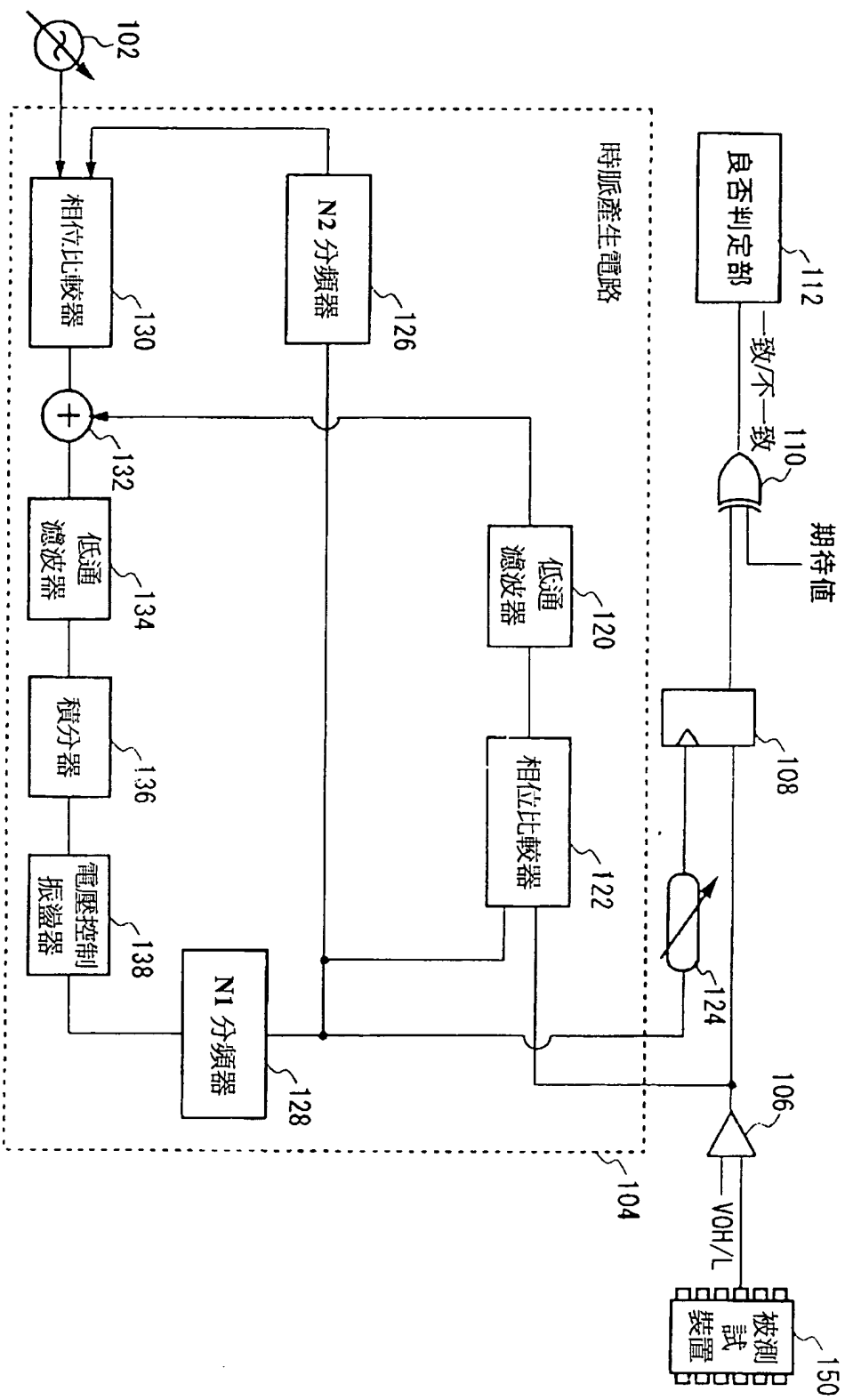


圖 1

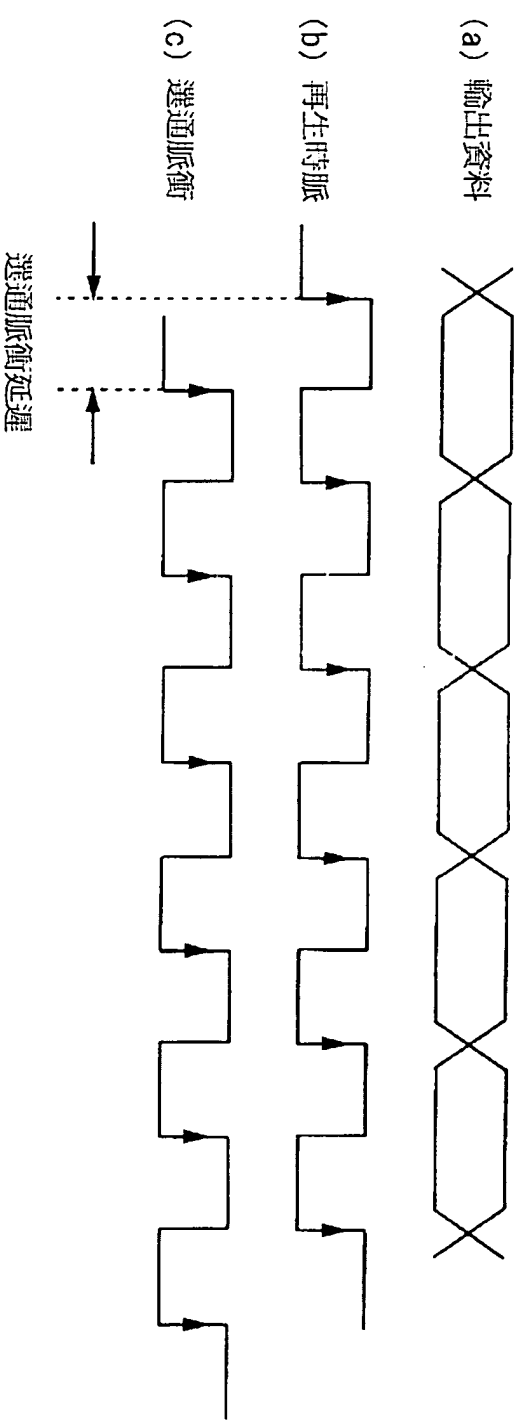


圖 2

300

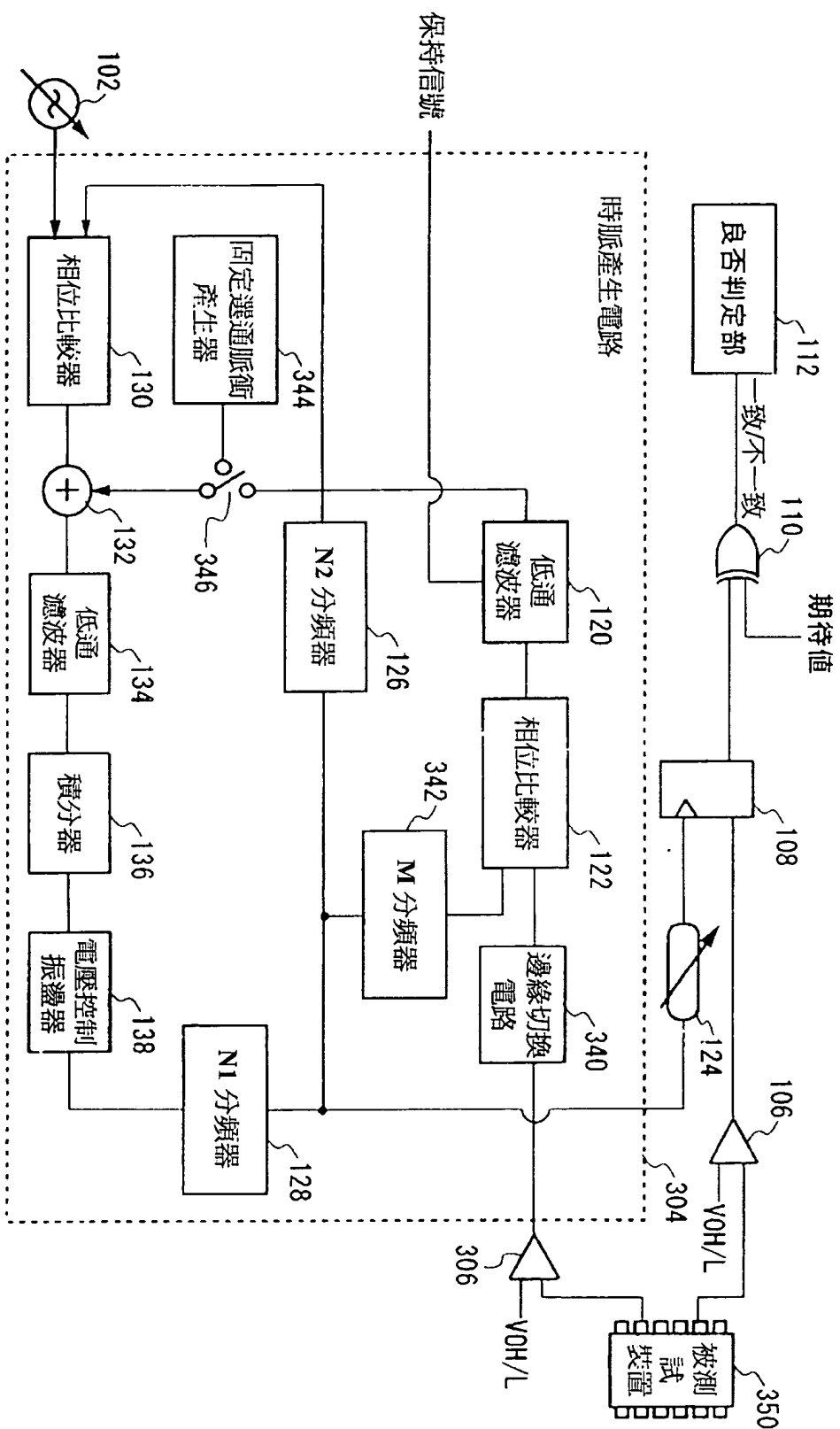


圖 3

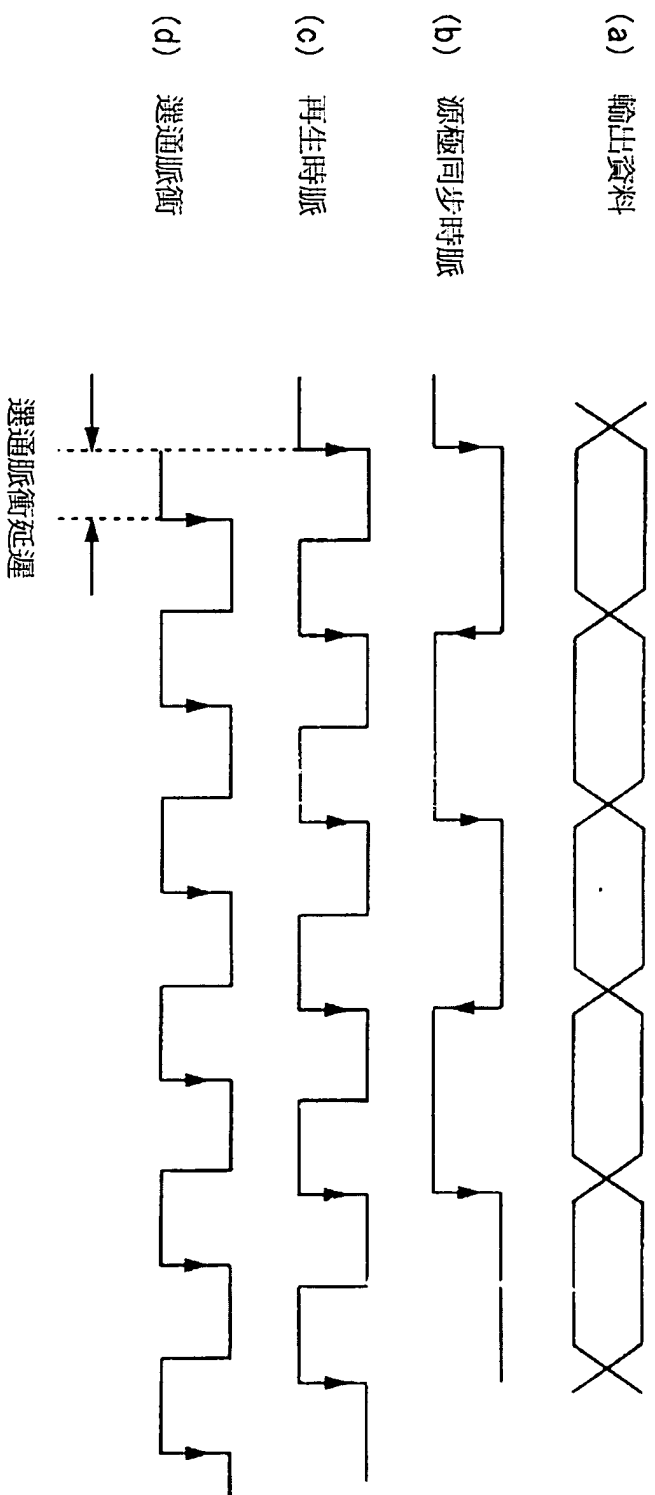


圖 4

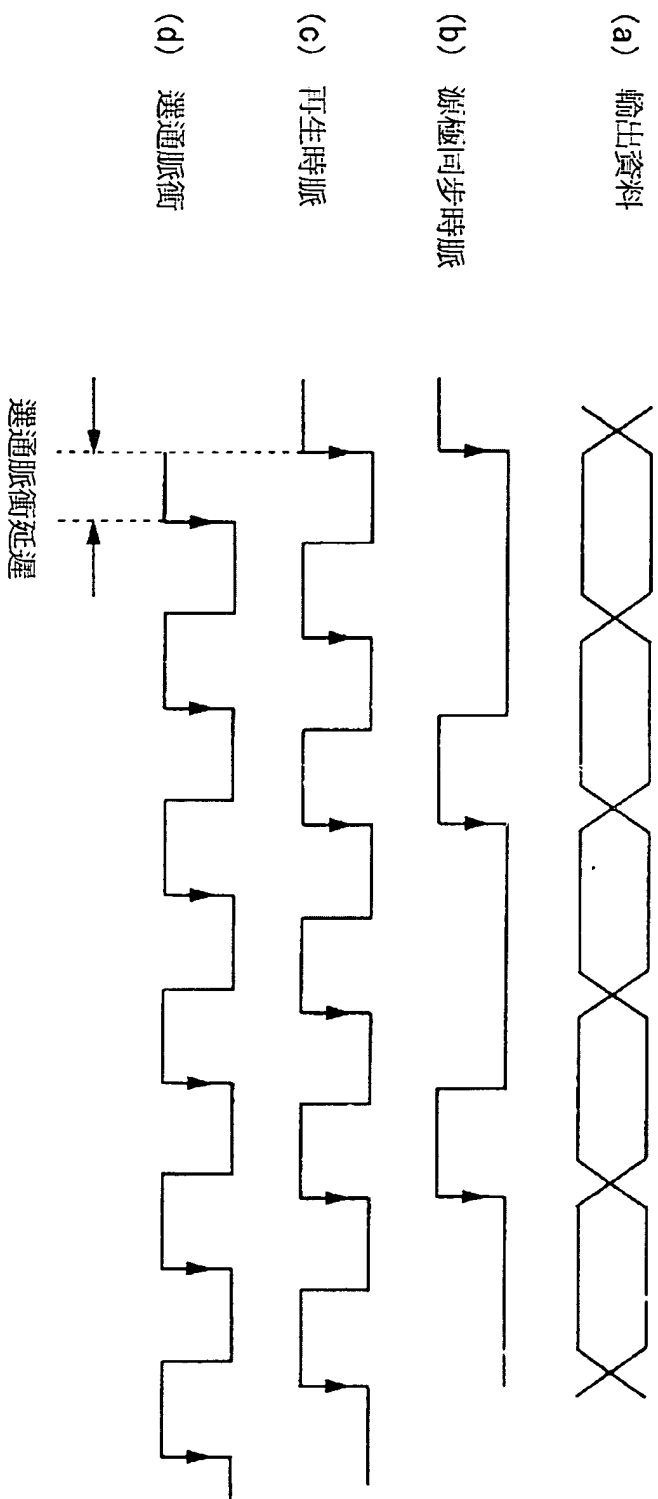


圖 5

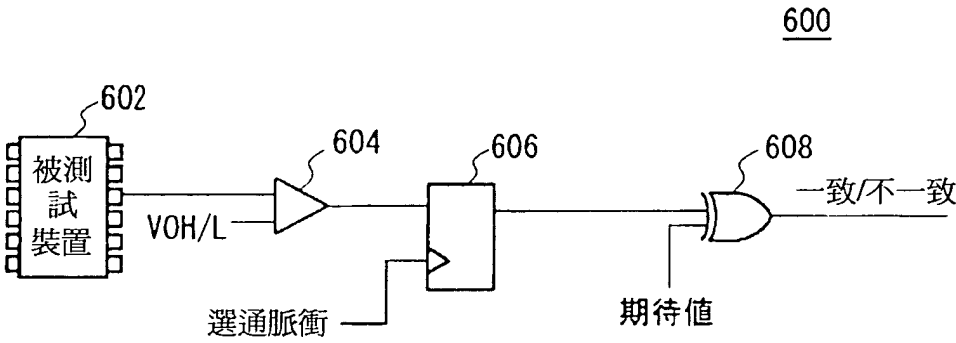


圖 6

七、指定代表圖：

(一)本案指定代表圖為：圖(1)。

(二)本代表圖之元件符號簡單說明：

100	測試裝置
102	基準時脈源
104	時脈產生電路
106	位準比較器
108	時序比較器
110	邏輯比較器
112	良否判定部
120	低通濾波器(LPF)
122	相位比較器
124	可變延遲電路
126	N2 分頻器
128	N1 分頻器
130	相位比較器
132	加法器
134	低通濾波器(LPF)
136	積分器
138	電壓控制振盪器(VCO)
150	被測試裝置(DUT)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無