

【特許請求の範囲】**【請求項 1】**

外部とのインタフェース機能を有するコントローラと、
前記コントローラに接続された不揮発性メモリと、
外部との非接触インタフェース可能なマイクロコンピュータと、
前記コントローラに与えられるクロック信号が入力されるクロック端子と、
前記マイクロコンピュータに供給電圧を与える前記クロック端子と第 1 の距離を有する
電圧供給端子と、

前記マイクロコンピュータに接続され、それぞれが前記電源電圧端子と前記第 1 の距離
より長い距離を有するアンテナ接続用の第 1 と第 2 のアンテナ端子と、を配線基板上に有
する、メモリカード。

10

【請求項 2】

前記電圧供給端子は、電源電圧を与える端子である、請求項 1 記載のメモリカード。

【請求項 3】

前記マイクロコンピュータは、前記コントローラと接続される、請求項 1 記載のメモリ
カード。

【請求項 4】

前記メモリカードは、

前記コントローラに接続されるデータの入出力に用いられるデータ端子を有し、

前記データ端子及び前記クロック端子は、配線基板上に 1 列状に配列され、

20

前記列と異なる列に、前記第 1 と第 2 のアンテナ端子が配置された、請求項 1 に記載の
メモリカード。

【請求項 5】

前記電圧供給端子は、前記第 1 と第 2 のアンテナ端子に挟まれるように配置されている
、請求項 4 に記載のメモリカード。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、インタフェースコントローラ及びメモリと共にセキュリティコントローラを
搭載したメモリカードに関する。

30

【背景技術】**【0002】**

特許文献 1 には MMC (マルチメディアカード：登録商標) 規格との互換性を維持しな
がらマルチバンクやマルチファンクションを実現するために、MMC 規格に準拠のメモリ
カードに SIM (Subscriber Identity Module) を搭載してセキュリティの強化を図るよ
うにした技術が記載される。

【0003】

特許文献 2 には、フラッシュメモリチップとセキュリティー処理を実行する IC カード
チップと、外部からの指示に従ってそれらを制御するコントローラチップを実装した記憶
装置について記載がある。

40

【0004】

また非特許文献 1 はマルチメディアカードの規格が記載される。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】 国際公開 WO 01 / 84480 号パンフレット

【特許文献 2】 特開平 2003 - 91704 号公報

【非特許文献】**【0006】**

【非特許文献 1】 The MultiMedia Card System Specification Version 3.3

50

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明者は、インタフェースコントローラ及びメモリと共にＩＣカード用マイクロコンピュータのようなセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードについて検討した。

【0008】

第１は、インタフェースコントローラとセキュリティコントローラが接続されているとき、外部から供給された動作電源電圧を、インタフェースコントローラ及びメモリのための動作電源電圧の供給を停止し、セキュリティコントローラだけに動作電源電圧を供給可能な場合に、セキュリティコントローラだけに動作電源を投入して専らセキュリティー処理を実行させるというような動作形態において不都合の有ることが明らかにされた。即ち、インタフェースコントローラに動作電源が投入されていないと、前記セキュリティーコントローラに接続する前記インタフェースコントローラのインタフェース部において出力バッファの出力制御状態が不定になって低インピーダンス状態にされている場合があり、このような状態でセキュリティーコントローラのパワーオンリセット若しくは起動のためのクロックや信号が外部から供給されると、そのクロックや信号が低インピーダンス状態の前記インタフェース部に流れ込んで、無視し得ないノイズになったり誤動作を生ずる虞のあることが見出された。特にセキュリティーコントローラ等が外部と非接触でインタフェースするような場合には通信感度を著しく低下されることが懸念される。

【0009】

第２は、前記セキュリティーコントローラが非接触インタフェース機能を有するとき、カードの配線基板に通信感度向上のための外部アンテナの接続端子を設ける場合に、信号やクロック等その他の接続端子との配置関係を考慮することの重要性が本発明者によって見出された。即ち、配線基板上で信号やクロック等の接続端子に至る配線の引き回しと、外部アンテナの接続端子に至る配線の引き回しとが錯綜して相互に近接したり跨いだりすることが多くなると、クロストークや誘導等によって信号線やクロック配線にノイズが重畳される。若しくは信号線やクロック配線からのクロストークや誘導等によるノイズが、外部高周波アンテナから受信される高周波信号に重畳され、非接触動作時の入出力データに誤りを生じ得る。外部アンテナの接続端子に対してはそのようなノイズの発生を極力抑えることができるような配置を採用することが必要になる。さらに、インタフェースコントローラ及びメモリのための動作電源電圧の供給を停止し、セキュリティコントローラに動作電源電圧を供給可能な場合に、インタフェースコントローラの動作電源電圧レベルよりセキュリティコントローラの動作電源電圧レベルが高い場合には、高いレベルの動作電源を供給する外部接続端子の配置についても上記同様の考慮が必要になる。

【0010】

本発明の目的は、インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードにおけるノイズの発生を抑制することにある。

【0011】

本発明の目的は、インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードにおいて、セキュリティコントローラだけに動作電源を投入してセキュリティー処理を実行させる動作形態におけるノイズの発生を抑制することにある。

【0012】

またインタフェースコントローラとセキュリティコントローラの動作電源を分離することにより、メモリカード全体としての消費電力を低減することにある。

【0013】

本発明の別の目的は、インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードにおいて、非接触イン

タフェース機能を有する前記セキュリティーコントローラに外部アンテナを接続するための接続端子の配置が他の接続端子との関係でノイズの発生を助長しないようにすることにある。

【 0 0 1 4 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 5 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 6 】

〔 1 〕本発明に係るメモリカードは、複数の外部接続端子が形成された配線基板に、前記外部接続端子に接続されたインタフェースコントローラ（ 7 ）と、前記インタフェースコントローラに接続されたメモリ（ 8 ）と、前記インタフェースコントローラに接続されたセキュリティーコントローラ（ 9 ）とが搭載され、前記インタフェースコントローラ及びメモリに動作電源を供給する第 1 の外部接続端子（ C 4 ）とは別に前記セキュリティーコントローラに動作電源を供給可能な第 2 の外部接続端子（ C 1 5 ）を有し、前記セキュリティーコントローラに接続する前記インタフェースコントローラのインタフェース部は前記第 2 の外部接続端子から動作電源を受け前記第 1 の外部接続端子からの動作電源供給が停止可能にされる。

【 0 0 1 7 】

インタフェースコントローラへの動作電源の供給が断たれてもそのインタフェース部（ 1 1 ）にはセキュリティーコントローラへの動作電源が供給されるから、インタフェース部の出力が不定状態にならず、そこに不定な電流が流れてノイズになることを抑制することができる。インタフェース部に無駄な電流が全く流れないようにするには、前記インタフェース部は前記第 1 の外部接続端子からの動作電源供給が停止された状態において高インピーダンス状態に制御されればよい。

【 0 0 1 8 】

本発明の具体的な形態では、前記インタフェース部は前記第 1 の外部接続端子に供給される第 1 電源電圧による信号レベルと前記第 2 の外部接続端子に供給される第 2 電源電圧による信号レベルとの間のレベルシフトを行なうレベルシフト機能を有する。

【 0 0 1 9 】

本発明の具体的な形態では、前記セキュリティーコントローラのインタフェース端子として、クロック信号を入力する第 3 の外部接続端子（ C 1 1 ）、データ入出力用の第 4 の外部接続端子（ C 1 3 ）、リセット信号入力用の第 5 の外部接続端子（ C 1 0 ）を有する。このとき、前記第 3 の外部接続端子乃至第 5 の外部接続端子は、前記インタフェースコントローラが認識するカードモードに応じてインタフェースコントローラが入出力信号用の外部接続端子として利用可能である。例えば並列データ入出力ビット数が相違する幾つかのカードモードに対応することができる。前記インタフェースコントローラが第 3 の外部接続端子乃至第 5 の外部接続端子をデータ入出力用の外部接続端子として利用するとき、セキュリティーコントローラはインタフェースコントローラ経由で外部とのインタフェースを行なうことができる。このとき、前記第 3 の外部接続端子乃至第 5 の外部接続端子を分離スイッチ回路（ 1 2 ）にてインタフェースコントローラから切り離しておけば、前記第 3 の外部接続端子乃至第 5 の外部接続端子に接続する外部回路に、セキュリティーコントローラのインタフェース機能に従ってインタフェースコントローラとの間でやり取りされる信号が不所望に外部に出力されるのを抑制することができる。

【 0 0 2 0 】

本発明の具体的な形態として、前記セキュリティーコントローラは、外部と非接触インタフェースが可能な IC カード用マイクロコンピュータ及び外部と接触インタフェースが可能な IC カード用マイクロコンピュータの双方又は何れか一方であってよい。また、前

10

20

30

40

50

記セキュリティコントローラは、外部と非接触インタフェースと接触インタフェースの双方が可能なＩＣカード用マイクロコンピュータであってよい。

【００２１】

本発明の具体的な形態として、前記セキュリティコントローラが外部と非接触インタフェースが可能なＩＣカード用マイクロコンピュータであるとき、前記外部接続端子として非接触インタフェースのための高周波アンテナを接続可能なアンテナ接続端子（Ｃ１４，Ｃ１６）を有する場合、前記アンテナ接続端子は前記第２の外部接続端子に隣接して前記第１の外部接続端子の近傍に配置されることが望ましい。そのようなアンテナ接続端子は非接触インタフェースの感度を上げるための外部高周波アンテナの接続に用いられる。アンテナ接続端子に印加される電圧は比較的高く周波数も高い。従って、配線基板上で信号やクロック等の接続端子に至る配線の引き回しと、外部アンテナの接続端子に至る配線の引き回しとが錯綜して相互に近接したり跨いだりすることが多くなると、クロストークや誘導等によって信号線やクロック配線にノイズが重畳される。若しくは信号線やクロック配線からのクロストークや誘導等によるノイズが、外部高周波アンテナから受信される高周波信号に重畳され、非接触動作時の入出力データに誤りを生じ得る。前記アンテナ接続端子は前記第２の外部接続端子に隣接して前記第１の外部接続端子の近傍に配置されるから、その配置はノイズの発生を極力抑えるのに好適な配置となる。

10

【００２２】

前記複数個の外部接続端子は、メモリカードの挿入方向の前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有する。この千鳥状配置により、メモリカードが着脱されるカードスロットには、その多数のスロット端子を交互に突出量を変えて並列配置するという比較的簡単に構成によって多端子化に対応することができる。例えば、メモリカードの挿入方向前後に隣合う後側の配列に、前記第２の外部接続端子乃至第５の外部接続端子と前記アンテナ接続端子を有する。特に、前記第２の外部接続端子及び前記アンテナ接続端子は列方向配置の中央部に位置すればよい。前記第２の外部接続端子は前記アンテナ接続端子に対して千鳥状配置とすればよい。

20

【００２３】

本発明の更に別の具体的な形態として、前記インタフェースコントローラ、メモリ及びセキュリティコントローラが夫々個別の半導体チップであるとき、メモリを構成する半導体チップの上にインタフェースコントローラを構成する半導体チップを積層し、それら半導体チップの同じ向きの辺に沿って配置された電極パッドに配線基板の電極をワイヤボンディングするのがよい。ボンディングワイヤを短くでき、ワイヤの干渉も少なくなる。

30

【００２４】

〔２〕本発明に係るメモリカードは、複数の外部接続端子が形成された配線基板に、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラに接続されたメモリと、セキュリティコントローラとが搭載され、前記インタフェースコントローラ及びメモリに動作電源を供給する第１の外部接続端子とは別に前記セキュリティコントローラに動作電源を供給可能な第２の外部接続端子を有し、前記セキュリティコントローラは、外部と非接触インタフェースが可能なＩＣカード用マイクロコンピュータであって、前記外部接続端子として非接触インタフェースのためのアンテナを接続可能なアンテナ接続端子を有し、前記アンテナ接続端子は前記第２の外部接続端子に隣接して前記第１の外部接続端子の近傍に配置される。

40

【００２５】

前記複数個の外部接続端子は、メモリカードの挿入方向の前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有する。この千鳥状配置により、カードスロットには、その多数のスロット端子を交互に突出量を変えて並列配置するという比較的簡単に構成によって多端子化に対応することができる。例えば、メモリカードの挿入方向前後に隣合う後側の配列に、前記第２の外部接続端子乃至第５の外部接続端子と前記アンテナ接続端子を有する。特に、前記第２の外部接続端子及び前記アンテナ接続端子は列方向配置の中央部に位置すればよい。前記第２の外部接続端子は前記アンテナ接続端子に対して千鳥

50

状配置とすればよい。

【発明の効果】

【0026】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0027】

インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードにおいて、セキュリティコントローラだけに動作電源を投入してセキュリティー処理を実行させる動作形態におけるノイズの発生を抑制することができる。

10

【0028】

インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードにおいて、非接触インタフェース機能を有する前記セキュリティーコントローラに外部アンテナを接続するための接続端子の配置が他の接続端子との関係でノイズの発生を助長しないようにすることができる。

【0029】

インタフェースコントローラ及びメモリと共にセキュリティコントローラを搭載してマルチファンクションを実現するメモリカードにおけるノイズの発生を抑制することができる。

20

【図面の簡単な説明】

【0030】

【図1】本発明に係るメモリカードの一例を示すブロック図である。

【図2】本発明に係るメモリカードを適用した携帯電話機などの通信携帯端末装置の概略を示す説明図である。

【図3】メモリカードのカードモードに応じた外部接続端子の機能割り当てを例示する説明図である。

【図4】電源供給停止に応答して高出力インピーダンス状態に制御可能な出力バッファを例示する回路図である。

【図5】電源遮断時に前記インタフェース部の出力不定状態を解消するのにバススイッチを採用した例を示す説明図である。

30

【図6】レベルシフトに差動アンプを利用した回路を示す回路図である。

【図7】本発明に係るメモリカードの第2の構成例を示すブロック図である。

【図8】本発明に係るメモリカードの第3の構成例を示すブロック図である。

【図9】本発明に係るメモリカードの第4の構成例を示すブロック図である。

【図10】本発明に係るメモリカードの第5の構成例を示すブロック図である。

【図11】インタフェースコントローラの詳細を例示するブロック図である。

【図12】デュアルウェイのICカードマイコンの具体例を示すブロック図である。

【図13】本発明に係るメモリカードをMMC規格のスタンダードサイズのパッケージに封止した時の外観を示す説明図である。

【図14】本発明に係るメモリカードをMMC規格のハーフサイズのパッケージに封止した時の外観を示す説明図である。

40

【図15】図13及び図14の外部接続端子の形状に対してその一部を変更した例を示す説明図である。

【図16】図13及び図14の外部接続端子に対して外部接続端子数を削減した例を示す説明図である。

【図17】夫々個別の半導体集積回路チップ化された前記インタフェースコントローラ、フラッシュメモリ及びICカードマイコンのスタック実装構造を例示する平面図である。

【図18】図17の実装構造の縦断面図である。

【図19】図17及び図18のスタック構造に対してICカードマイコンを2チップスタックする構造を示す縦断面図である。

50

【図 20】夫々個別の半導体集積回路チップ化された前記インタフェースコントローラ、フラッシュメモリ及び IC カードマイコンの更に別のスタック実装構造を示す平面図である。

【図 21】図 20 の実装構造に対する縦断面図である。

【図 22】図 20 及び図 21 のスタック構造に対して IC カードマイコンを 2 チップスタックする構造を示す縦断面図である。

【図 23】メモリカードとメモリカードが挿入されるカードスロットを示す説明図である。

【図 24】図 23 のメモリカードがカードスロットに挿入される第 1 過程を示す説明図である。

10

【図 25】図 23 のメモリカードがカードスロットに挿入される第 2 過程を示す説明図である。

【図 26】図 23 のメモリカードがカードスロットに挿入される第 3 過程を示す説明図である。

【発明を実施するための形態】

【0031】

《通信携帯端末装置》

図 2 には本発明の一例に係るメモリカードを適用した携帯電話機などの通信携帯端末装置の概略が示される。通信携帯端末装置 1 は例えばシステム全体の制御を行うマイクロプロセッサ (MPU) 2 と、移動体通信のために変調及び復調などのベースバンド処理を行うベースバンド処理部 (BB) 3、規定の高周波による送受信を行う高周波部 (RFc1) 4、及びメモリカード (MRYC) 5 を有する。MRYC 5 は通信携帯端末装置 1 の図示を省略するカードスロットに着脱可能にされる。MPU 2 は MRYC 5 にとってカードホストとして位置付けられる。

20

【0032】

MRYC 5 は、例えば、メモリ記憶機能、E-コマースなどに対する高レベルのセキュリティ処理機能、交通機関における課金等のための低レベルのセキュリティ処理機能、コンテンツデータの暗号化・復号処理機能等のマルチファンクションを提供する。

【0033】

《IC カードマイコン内蔵 MRYC》

30

図 1 には MRYC 5 の構成が例示される。MFMC 5 は、複数個の外部接続端子 C1 ~ C16 が形成された配線基板に、インタフェースコントローラ 7 と、前記インタフェースコントローラ 7 に接続されたフラッシュメモリ 8 と、前記インタフェースコントローラ 7 に接続されたセキュリティコントローラとしての IC (インテグレートッド・サーキット) カード用マイクロコンピュータ (IC カードマイコンとも称する) 9 が搭載される。前記インタフェースコントローラ 7、フラッシュメモリ 8、及び IC カードマイコン 9 は夫々個別の半導体集積回路チップで構成されている。

【0034】

インタフェースコントローラ 7 は、メモリカードとしての外部インタフェース機能、フラッシュメモリの仕様に応じたメモリインタフェース機能、そしてメモリカードコマンドを用いて IC カードマイコンとインタフェースする IC カードマイコンインタフェース機能を持つ。ここで、MRYC 5 はマルチメディアカード規格準拠のメモリカードとしての外部インタフェース仕様を満足するものとされる。

40

【0035】

フラッシュメモリ 8 は電氣的に消去及び書き込み可能な不揮発性メモリである。フラッシュメモリ 8 は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタ (フラッシュメモリセルとも記す) を有する。フラッシュメモリセルは、特に図示はしないが、フローティングゲートを有する所謂スタックドゲート構造、或いは ONO (オキサイド・ナイトライド・オキサイド) ゲート絶縁膜を備えたメモリトランジスタ部と選択トランジスタ部から成る所謂スプリットゲート構造を有する。前記フラッ

50

シュメモリセルは、前記フローティングゲート等に電子が注入されると閾値電圧が上昇し、また、前記フローティングゲート等から電子を引き抜くと閾値電圧が低下する。前記フラッシュメモリセルは、データ読み出しのためのワード線電圧に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

【0036】

ICカードマイコン9は、特に図示はしないがCPUとその動作プログラムおよび認証に利用する制御情報など保有する不揮発性メモリを備え、その動作プログラムに従って認証処理などを行う。ここではICカードマイコン9は外部と接触インタフェースと非接触インタフェースが可能な接触・非接触デュアルウェイのICカードとされる。接触インタフェースは1ビットのデータ入出力端子I/O、クロック端子CLK、リセット端子RESを用いたシリアル通信で行われる。非接触インタフェースは端子TML1, TML2に接続するアンテナを用いた高周波通信で行われる。図には外部アンテナ10と同調コンデンサ13が代表的に示されている。特に図示はしないが、非接触インタフェースは端子TML1, TML2に接続する内部アンテナをMRYC5のパッケージ内部若しくは回路基板上に設け、端子C14, C16に外部アンテナ10を接続した時に内部アンテナをスイッチで切り離し可能にする構成を備えもよい。

10

【0037】

前記外部接続端子C1～C16の内、C1～C7の機能と配置はMMC規格に準拠し、C8～C13は多ビットのデータバスに対応する。C14～C16は新設である。

20

【0038】

図3にはMRYC5のカードモードに応じた外部接続端子C1～C16の機能割り当てが示される。1ビットモード、4ビットモード、8ビットモードはMRYC5の外部に対するデータ入出力ビット数を意味する。非接触カード機能のみとは外部インタフェース機能として非接触インタフェース機能だけしか持たないICカードマイコンを搭載した場合を意味し、この例については後でその詳細を説明する。図において、RSV(for MMC)はMMCモードにおけるリザーブ端子、CSS(for SPI)はSPIモードにおけるチップセレクト端子、CMDはコマンド端子、Vss1, Vss2は回路の接地端子、Vddは電源端子、CLKはメモリカードのクロック端子、DATはシリアルデータ入出力端子、RES-icはICカードマイコンのリセット端子、CLK-icはICカードマイコンのクロック端子、Vcc-icはICカードマイコンの電源端子、LA, LBはアンテナ接続端子、Vcc-ICはICカードマイコンへの専用電源端子、DAT0～DAT7は並列データ入出力端を意味する。

30

【0039】

図3から明らかなように、基本的に、C1～C9がメモリカードインタフェース機能に、C10～C16がICカードインタフェース機能に割り当てられる。ただし、C10～C13は、1ビットモードと4ビットモードではICカードインタフェース機能に割り当てられるが、8ビットモードではDAT4～DAT7の並列データ入出力端子としてメモリカードインタフェース機能に割り当てられる。この端子C10～C13の機能割り当ての相違は、図1の回路では、インタフェースコントローラ7とICカードマイコン9を接続する配線L1～L4として現れる。要するに、インタフェースコントローラ7のインタフェース部11において外部接続端子C10～C13との接続に割り当てられる配線L1～L4はICカードマイコン9の端子Vcc、I/O-ic、CLK-ic、RES-icに接続する。分離スイッチ回路12は、8ビットモードにおいて、インタフェースコントローラ7がICカードマイコン9と通信を行うときインタフェースコントローラ7の制御によりカット・オフされて外部接続端子C10、C11、C13との接続を分離し、且つインタフェースコントローラ7がC12をDAT6として外部と通信を行うときICカードマイコン9の端子Vccとの接続を分離し、8ビットモードで外部接続端子C10～C13に割り当てられるデータ端子DAT4～DAT7の機能と配線L1～L4に接続される端子Vcc、I/O、CLK、RESの機能との相違による選択をMRYC5側で行

40

50

う。

【0040】

ここで図1を参照してICカードマイコン9に対する動作電源の供給について説明する。前記インタフェースコントローラ7及びフラッシュメモリ8に動作電源V_{dd}を供給する外部接続端子(第1の外部接続端子)C4とは別に前記ICカードマイコン9に動作電源V_{cc}-ICを供給可能な外部接続端子(第2の外部接続端子)C15を有している。ICカードマイコン9に対する動作電源の供給は、図1の構成ではC12, C15が行なうが、C12による動作電源の供給は本質的ではない。C15で代替可能である。尚、分離スイッチ回路12のスイッチSW1は端子C15を追加したことによって必要になったスイッチである。即ち、C12の利用形態の如何に拘わらず配線L4にはC15からV_{cc}-ICが常時供給されることになるからである。

10

【0041】

端子C15はインタフェース部11にも動作電源を供給し、C4からの動作電源V_{dd}の供給停止状態において、配線L1~L4に接続するインタフェース部11における入出力回路の入力インピーダンスの低下や出力不定状態を解消する。即ち、MRYC5のICカードマイコン9だけを動作させるような場合に無駄な電力消費を抑えるためにC4からの電源V_{dd}の供給を止めたとき、インタフェース部11における出力バッファの出力状態が不定になると、この状態で、C10~C13を使った接触インタフェースでICカードマイコン9のパワーオンリセットを行なってICカードマイコンを動作させたとき、例えばC11からのクロック信号がインタフェース部11の出力バッファに流入して過電流が流れたり、C13を介して入出力される信号が同じくインタフェース部11の出力バッファに流入して過電流が流れたりする。このような過電流はノイズとなり、また無駄な電力消費を増大させる。更にそのようなノイズは、アンテナ10を介する非接触インタフェースにおける感度や通信特性を低下させる。インタフェースコントローラ7への動作電源V_{dd}の供給停止時にインタフェース部11にC15からICカードマイコン9用に動作電源V_{cc}-ICを供給することによって配線L1~L4に接続するインタフェース部11の出力バッファの出力不定状態を解消する。

20

【0042】

上記不定状態の解消には、例えば、電源V_{dd}供給停止に応答して配線L1~L4に接続する出力バッファを高インピーダンス状態に制御する。

30

【0043】

図4には電源V_{dd}供給停止に応答して高インピーダンス状態に制御可能な出力バッファが例示される。出力バッファ15は、例えばV_{dd}を動作電源とするCMOSインバータ16とV_{cc}-ICを動作電源とするCMOSクロックドインバータ17の直列回路を有する。CMOSクロックドインバータ17は、pチャネル型MOSトランジスタQp1, Qp2とnチャネル型MOSトランジスタQn3, Qn4の直列回路を主体に、MOSトランジスタQp1, Qn4をスイッチ制御するインバータ18と電源電圧ディテクタ19を有する。電源電圧ディテクタ19は電源電圧V_{dd}が投入されて動作保証電圧を超えたときV_{cc}-ICレベルのハイレベル、電源電圧V_{dd}供給が遮断されたとき回路の接地電圧V_{ss}であるローレベルにされる検出信号20を出力する。インバータ18はV_{cc}-ICを動作電源とする。これにより、V_{cc}-ICが投入されている状態で、V_{dd}が供給されているときクロックドインバータ17は出力動作可能にされ、V_{dd}の供給が遮断されるとクロックドインバータ17は高インピーダンス状態に制御される。尚、クロックドインバータ17の電源に高抵抗R1を介して電源V_{dd}が接続されているのはV_{cc}-ICが遮断されたときの動作安定化のためである。

40

【0044】

図4でV_{dd}とV_{cc}-ICのレベルが相違し、V_{dd} > V_{cc}-ICであることを考慮している。即ち、インバータ16の論理閾値電圧(V_{TL})をV_{dd}/2とすると、クロックドインバータ17の論理閾値電圧もこれに合わせてV_{dd}/2とされる。要するに、出力バッファ15は電源電圧V_{dd}による信号ベルトと前記電源電圧V_{cc}-ICによ

50

る信号レベルとの間のレベルシフトを行なうレベルシフト機能を有する。

【 0 0 4 5 】

尚、電源 V d d 遮断時に前記インタフェース部の出力不定状態を解消するには上記レベルシフト機能を有する出力バッファ 1 5 における高インピーダンス制御に限定されず、図 5 に例示されるように、インタフェース部 1 1 と I C カードマイコンとの切り離しには電源 V d d 遮断時にオフ状態にされるバススイッチ 2 1 を採用し、レベルシフトには図 6 の差動アンプを利用した回路をインタフェース部 1 1 に設ければよい。図 6 の回路において差動アンプの電源に高抵抗 R 1 を介して電源 V d d が接続されているのは V c c - I C が遮断されたときの動作安定化のためである。

【 0 0 4 6 】

図 7 には M R Y C 5 の第 2 の構成例が示される。図 1 に対して分離スイッチ回路 1 2 はスイッチ S W 1 だけで構成される。1 ビットモードまたは 4 ビットモードにおいて、インタフェースコントローラ 7 が I C カードマイコン 9 と通信を行うときインタフェースコントローラ 7 の制御によりカット・オフされて外部接続端子 C 1 0、C 1 1、C 1 3 との接続を分離するスイッチを不要とした。8 ビットモードで外部接続端子 C 1 0 ~ C 1 3 に割り当てられるデータ端子 D A T 4 ~ D A T 7 の機能と 1 ビットモードまたは 4 ビットモードにおいて配線 L 1 ~ L 4 に接続される端子 V c c、I / O、C L K、R E S の機能との相違による選択は M R Y C 5 の外部で行えばよい。その他の構成は図 1 と同じである。

【 0 0 4 7 】

図 8 には M R Y C 5 の第 3 の構成例が示される。図 1 の構成に対して I C カードマイコンへの動作電源供給を端子 C 1 5 だけで行なうようにした。スイッチ S W 1 が不用になる。特に図示はしないが図 7 と図 8 を組合わせて分離スイッチ回路 1 2 全体を廃止する構成を採用することも可能である。

【 0 0 4 8 】

図 9 には M R Y C 5 の第 4 の構成例が示される。同図に示される M R Y C 5 は、分離スイッチ回路 1 2 を図示しないが、図 7 または図 8 の接続関係を持つ I C カードマイコン 9 と、更に接触インタフェースのみを有し、インタフェースコントローラ 7 のインタフェース部 1 1 にのみ接続する別の I C カードマイコン 2 4 を搭載して構成される。その他の構成は図 1 と同様である。本実施例においては、I C カードマイコン 2 4 はインタフェースコントローラ 7 のコプロセッサとして動作し、I C カードマイコン 2 4 のみで独立して動作することはない。

【 0 0 4 9 】

図 1 0 には M R Y C 5 の第 5 の構成例が示される。同図に示される M R Y C 5 は図 7 または図 8 の構成に対し、非接触インタフェースのみを有する別の I C カードマイコン 2 5 をさらに搭載して構成される。I C カードマイコン 9 への動作電源の供給は C 1 2 (V c c - i c) で行ない、I C カードマイコン 2 5 への動作電源の供給は C 1 5 (V c c - I C) で行なう。非接触インタフェースを有する I C カードマイコン 2 5 は電磁波がアンテナ 1 1 を横切ることによって生ずる誘導起電力をその動作電源とすることができるので、C 1 5 から I C カードマイコン 2 5 への動作電源供給は必須ではない。I C カードマイコン 2 5 の電源安定化による動作の安定化を企図する場合に C 1 5 からの動作電源供給が意味をもつ。

【 0 0 5 0 】

図 1 1 にはインタフェースコントローラ 7 の詳細が例示される。インタフェースコントローラ 7 はホストインタフェース回路 3 0、マイクロコンピュータ 3 1、フラッシュコントローラ 3 2、バッファコントローラ 3 3、バッファメモリ 3 4、及びインタフェース部 1 1 から成る。バッファメモリ 3 4 は D R A M (Dynamic Random Access memory) 又は S R A M (Static Random Access Memory) 等から成る。インタフェース回路 1 1 には I C カードマイコン 9 が接続される。マイクロコンピュータ 3 1 は C P U (中央処理装置) 3 7、C P U 3 7 の動作プログラムを保有するプログラムメモリ (P G M) 3 8、及び C P U 3 7 のワーク領域に利用されるワークメモリ (W R A M) 3 9 などによって構成される

10

20

30

40

50

。前記 M M C 仕様に対応するインタフェース制御態様の制御プログラムは P G M 3 8 が保有する。

【 0 0 5 1 】

ホストインタフェース回路 3 0 はメモリカードイニシャライズコマンドを発行すると、割込みによってマイクロコンピュータ 3 1 に M M C インタフェース制御態様の制御プログラムを実行可能にする。マイクロコンピュータ 3 1 はその制御プログラムを実行する事によってホストインタフェース回路 3 0 による外部インタフェース動作を制御し、フラッシュコントローラ 3 2 によるフラッシュメモリ 8 に対するアクセス（書き込み、消去、及び読み出し動作）とデータ管理を制御し、バッファコントローラ 3 3 によるメモリカード固有のデータフォーマットとメモリに対する共通のデータフォーマットとの間のフォーマット変換を制御する。

10

【 0 0 5 2 】

バッファメモリ 3 4 には、フラッシュメモリ 8 から読み出されたデータ又はフラッシュメモリ 8 に書き込まれるデータが一時的に保持される。フラッシュコントローラ 3 2 はフラッシュメモリ 8 をハードディスク互換のファイルメモリとして動作させ、データをセクタ単位で管理する。

【 0 0 5 3 】

尚、前記フラッシュコントローラ 3 2 は図示を省略する E C C 回路を備え、メモリへのデータ格納に際して E C C コードを付加し、読み出しデータに対して E C C コードによるエラー検出・訂正処理を行う。

20

【 0 0 5 4 】

図 1 2 には前記 I C カードマイコン 9 の詳細が例示される。I C カードマイコン 9 は、C P U 4 1、ワーク R A M としての R A M（ランダム・アクセス・メモリ）4 2、タイマ 4 3、E E P R O M（エレクトリカリ・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）4 4、コプロセッサユニット 4 5、マスク R O M（リード・オンリ・メモリ）4 6、システムコントロールロジック 4 7、入出力ポート（I / O ポート）4 8、データバス 4 9、アドレスバス 5 0 及び R F 部 5 1 を有する。

【 0 0 5 5 】

前記マスク R O M 4 6 は C P U 4 1 の動作プログラム（暗号化プログラム、復号プログラム、インタフェース制御プログラム等）及びデータを格納するのに利用される。前記 R A M 4 2 は C P U 4 1 のワーク領域又はデータの一時記憶領域とされ、例えば S R A M（スタティック・ランダム・アクセス・メモリ）若しくは D R A M（ダイナミック・ランダム・アクセス・メモリ）から成る。I / O ポート 4 8 に I C カードコマンドが供給されると、システムコントロールロジック 4 7 がこれをデコードし、当該コマンドの実行に必要な処理プログラムを C P U 4 1 に実行させる。即ち、C P U 4 1 は、システムコントロールロジック 4 7 から指示されるアドレスでマスク R O M 4 6 をアクセスして命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。コプロセッサユニット 4 5 は C P U 4 1 の制御に従って R S A や楕円曲線暗号演算における剰余演算処理などを行う。I / O ポート 4 8 は 1 ビットの入出力端子 I / O を有し、データの入出力と外部割り込み信号の入力に兼用される。I / O ポート 4 8 はデータバス 4 9 に結合され、データバス 4 9 には前記 C P U 4 1、R A M 4 2、タイマ 4 3、E E P R O M 4 4、及びコプロセッサユニット 4 5 等が接続される。システムコントロールロジック 4 7 は I C カードマイコン 9 の動作モードの制御及び割り込み制御を行い、更に暗号鍵の生成に利用する乱数発生ロジック等を有する。I C カードマイコン 9 はリセット信号 R E S によってリセット動作が指示されると、内部が初期化され、C P U 4 1 はマスク R O M 4 6 のプログラムの先頭番地から命令実行を開始する。I C カードマイコン 9 はクロック信号 C L K に同期動作される。

30

40

【 0 0 5 6 】

前記 E E P R O M 4 4 は、電氣的に消去処理及び書き込み処理が可能にされ、個人を特定するために用いられる I D 情報や認証証明書などのデータを格納する領域として用いられ

50

る。EEPROM 44 に代えてフラッシュメモリ或は強誘電体メモリなどを採用してもよい。IC カードマイコン 9 は外部とのインタフェースに外部接続端子を用いる接触インタフェースと、アンテナを用いる非接触インタフェースの一方または双方をサポートする。非接触インタフェースを行うためのRF 部 51 はチップのアンテナ端子TML 1, TML 2 を有する。アンテナを経由してRF 部 51 より電力が供給されたり、あるいはシステムコントロールロジック 47 により内部バスを経由して非接触インタフェースが選択されると、RF 部 51 は前記アンテナが所定の電磁波（例えば高周波の変動磁束やマイクロ波）を横切ることによって生ずる誘導起電力を動作電源として動作電源を発生し、該所定の電波の周波数に対応して生ずる誘導電流を基にした内部クロック信号CLK、該所定の電波に重なって受け渡されるデータをRF 部 51 で分離した内部データ、さらにリセット信号RES、の夫々を生成し、アンテナから非接触で情報の入出力を行なう。IC カードマイコン 9 の内部において、非接触インタフェースを介して動作するRF 部 51 は、接触インタフェースを介して動作するIC カード動作のCPU 41 などとは独立した小規模の回路で構成するのが好ましい。RF 部 51 として、その内部に非接触カード動作に必要な回路、例えば非接触カード用プロセッサ、当該プロセッサの制御プログラム領域及びワーク領域に用いられるメモリ、そしてRF 送受信及び電源回路部が設けられる。このようにRF 部 51 はプロセッサ機能とその制御プログラムというように独立した小規模の回路で構成されるため、例えば接触端子を介しての電源供給が得られない環境においても、外部からの誘導起電力によって回路を動作させることが容易となる。また、RF 部 51 は内部のデータバス 49 及びアドレスバス 50 を経由することにより、非接触インタフェース部分と接触インタフェース部分との間でデータを入出力することも可能である。

10

20

【0057】

MRYC 5 におけるセキュリティー処理動作を説明する。例えばフラッシュメモリ 8 のセキュア領域にはユーザ識別情報が格納されている。コンテンツデータをダウンロードするときはユーザ識別情報を秘密鍵として暗号化されたライセンス情報を一緒にダウンロードする。コンテンツデータを復号するための復号キーはライセンス情報に含まれ、ライセンス情報はユーザ識別情報を復号キーに用いて復号される。これによってコンテンツデータに対する著作権保護を行う。係るセキュリティー処理はマイクロコンピュータ 31 によるプログラム制御で行なわれる。

【0058】

IC カードマイコン 9 によるセキュリティー処理について説明する。例えばIC カードマイコン 9 は電子決済サービスなどに利用可能なISO / IEC 15408 の評価・認証機関による認証済み機能を実現している。EEPROM 44 には所定の認証証明書を保有し、ホストから認証要求があったときはその認証証明書を送り、これに対して認証を得ることを条件に、後続の通信処理が可能にされる。このようなセキュリティー処理の動作プログラムはマスクROM 46 が保有する。IC カードマイコン 9 による認証処理はIC カードマイコン 9 内部に閉じた環境で行うのがセキュリティーの観点より望ましい。この点で、IC カードマイコン 9 の電源だけを投入して外部接続端子C 10 ~ C 13 又はアンテナを介して外部インタフェースを行なう意義がある。用途上又は技術的にセキュリティー上の問題がない場合にはインタフェースコントローラ 7 経由でセキュリティー処理を行うことは差し支えない。また、MRYC の製造後、製品出荷までの過程において、外部接続端子C 10 ~ C 13 を介して、IC カードマイコン 9 に各種アプリケーションソフトの書込みやカード発行処理を容易に行なうことができる。

30

40

【0059】

例えば上述の如くIC カードマイコン 9 が電子決済サービスなどに利用可能なISO / IEC 15408 の評価・認証機関による認証済みである場合、キャッシュカード、クレジットカード或いは定期券などのカードホルダにMRYC 5 を挿入し、非接触インタフェースを用いてそれらカード機能を実現することが可能になる。

【0060】

IC カードマイコン 9 は電子決済などレベルの高いセキュリティー処理に利用されるこ

50

とを考慮すると、ＩＣカードマイコン 9 の異常な状態に対して全ての内部状態を初期化するパワーオンリセットはインタフェースコントローラ 7 等に比べて頻繁に行われる可能性が高い。これを考慮すると、ＩＣカードマイコン 9 には専用の電源供給端子 C 1 2 (V c c - i c)、C 1 5 (V c c - I C) を設けているので、M R Y C 5 全体をリセットすること無くＩＣカードマイコン 9 単独で自由にパワーオンリセット可能になる。これにより、セキュリティを保証しつつ M R Y C 5 の勝手を向上させることができる。

【 0 0 6 1 】

《 M R Y C の外部接続端子配列 》

図 1 3 には前記 M R Y C 5 を M M C 規格のハーフサイズのパッケージに封止した時の外観を示す。図 1 4 には前記 M R Y C 5 を M M C 規格のスタンダードサイズのパッケージに封止した時の外観を示す。両方の図面には外部接続端子の配列が明瞭に示されており、その配列は双方等しくされている。各端子 C 1 ~ C 1 6 の機能割り当ては図 3 で説明した通りである。C 1 ~ C 7 はプリミティブな M M C 規格に対応する。C 8 ~ C 9 は 4 ビットモードのための拡張端子、C 1 0 ~ C 1 3 はＩＣカードマイコン接触インタフェース並びに 8 ビットモードのための拡張端子、C 1 4 及び C 1 6 は外部アンテナ接続用の拡張端子、C 1 5 はＩＣカードマイコン専用の電源供給のための拡張端子である。C 1 ~ C 1 6 はメモリカードの挿入方向（矢印 X 方向）の前後に隣合う列相互間で列方向の配置がずらされた千鳥状の配置を有する。第 1 列目は C 1 ~ C 7 である。C 8 ~ C 1 3 は第 1 列目の外部接続端子列に対して離間配置された第 2 列目を構成する。C 1 0 ~ C 1 3 の外部接続端子の大きさは C 1 ~ C 7 の外部接続端子の大きさと一定の範囲において同じである。C 8 の外部接続端子は前記第 1 列目に配置されコネクタ端子列の列方向一端の端子 C 7 と列方向で完全に隣合う位置まで延在され、C 9 の外部接続端子は前記第 1 列目に配置され端子列の端子 C 1 と列方向で部分的に重なって隣合う位置まで延在されている。第 1 列目の外部接続端子列と第 2 列目の外部接続端子列とは、C 4 と C 1 5 を除き、外部接続端子の列方向配置が列方向で相互にずれて、千鳥状に配置されている。

【 0 0 6 2 】

上記千鳥状配置により、M R Y C 5 が装着される図示を省略するカードスロットには、その多数のスロット端子（ピン）を交互に突出量を変えて並列配置するという比較的簡単に構成によって多端子化に対応することができる。この多端子化という点で、後列の前記 C 1 1 と C 1 2 の間の領域に新設された端子 C 1 4 ~ C 1 6 も千鳥状に配置される。

【 0 0 6 3 】

前記外部接続端子として非接触インタフェースのための高周波アンテナ 1 0 を接続可能なアンテナ接続端子 C 1 4 , C 1 6 を有する場合、前記アンテナ接続端子 C 1 4 , C 1 6 は前記ＩＣカードマイコン専用電源端子としての外部接続端子 C 1 5 に隣接して前記電源 V d d 供給用外部接続端子 C 4 の近傍に配置される。そのようなアンテナ接続端子 C 1 4 , C 1 6 はＩＣカードマイコンにおける非接触インタフェースの感度を上げるために外部高周波アンテナの接続に用いられる。アンテナ接続端子 C 1 4 , C 1 6 に印加される電圧は比較的高く周波数も高い。従って、M R Y C 5 の配線基板上で信号やクロック等の接続端子に至る配線の引き回しと、外部アンテナの接続端子 C 1 4 , C 1 6 に至る配線の引き回しとが錯綜して相互に近接したり跨いだりすることが多くなると、クロストークや誘導等によって信号線やクロック配線にノイズが重畳される。若しくは信号線やクロック配線からのクロストークや誘導等によるノイズが、外部高周波アンテナから受信される高周波信号に重畳され、R F 部 5 1 で分離するデータに誤りを生じ得る。前記アンテナ接続端子 C 1 4 , C 1 6 は前記ＩＣカードマイコン専用電源端子としての外部接続端子 C 1 5 に隣接して前記電源 V d d 供給用外部接続端子 C 4 の近傍に配置されるから、その配置はノイズの発生を極力抑えるのに好適な配置となる。

【 0 0 6 4 】

図 1 3 及び図 1 4 で説明した外部接続端子の形状については図 1 5 の如く一部変更することが可能である。ここでは C 9 と C 8 の形状を短くしている。これはカードスロットの C 8 及び C 9 に接触する端子の位置が、第 1 列目にあるカードスロットへの対応を企図し

たものである。また、図 16 に例示されるように外部接続端子数を削減することも可能である。外部接続端子 C 8 , C 9 を廃止し、MMC 規格の 1 ビットモードと IC カードマイコンの接触インタフェースサポートを考慮した端子配列になる。図 15、図 16 の場合にも外部接続端子の千鳥状配置と、C 14 , C 16 のアンテナ接続端子と IC カードマイコン専用電源供給端子 C 15 との配置関係はそのまま踏襲されている。

【0065】

《カードスロットへの挿入及び電源供給》

図 23 乃至図 26 にはメモリカードをカードスロットへ挿入する過程及びその過程の考察により得られたメモリカードへの電源供給について示されている。

【0066】

図 23 にはメモリカード 5 とメモリカード 5 が挿入されるカードスロット 70 が示され、カードスロット 70 にはメモリカード 5 の挿入を検知するためのセンサ 71、メモリカード 5 の外部接続端子 C 1 乃至 C 16 のそれぞれに接触する端子 72 ~ 87 が設けられ、前記端子 85 , 87 には外部アンテナ 88 が接続されている。

【0067】

図 24 にはメモリカード 5 がカードスロット 70 に挿入される第 1 過程を示している。第 1 過程の段階では端子 C 15 に接続される端子 86 がメモリカード 5 の端子 C 4 に接触しており、またカードスロット 70 の端子 79 ~ 85 , 87 がメモリカード 5 の第 1 列の端子 C 1 ~ C 9 に接触する可能性があることを示している。メモリカード 5 の端子 C 15 は電位 Vcc - IC を供給する端子であり、インタフェースコントローラ 7 やフラッシュメモリ 8 に供給する電源 Vdd と同じ若しくはより高い電位が供給される。この状態でインタフェースコントローラ 7 やフラッシュメモリ 8 に Vcc - IC が供給され、メモリカード 5 の第 1 列の端子 C 1 ~ C 9 にカードスロット 70 の端子 79 ~ 85 , 87 が接触することで電氣的に回路が形成されるおそれがある。また外部アンテナ 88 には外部の電界に応じて電位を発生させるため、端子 85 , 87 がアンテナ接続端子 C 14 , C 16 以外の端子に接触し、この電位がインタフェースコントローラ 7 に印可されるおそれがある。

【0068】

図 25 にはメモリカード 5 がカードスロット 70 に挿入される第 2 過程を示している。第 2 過程の段階では、カードスロット 70 の端子 79 ~ 85 , 87 がメモリカード 5 の第 1 列の端子 C 1 ~ C 9 に接触することはないが、カードスロット 70 の端子 75 と 86 がメモリカード 5 の外部接続端子 C 4 を介して接続され、端子 75 に Vdd を供給するための図示しない回路に Vcc - IC が供給されるおそれがある。また端子 C 4 に端子 75 と端子 86 とが接触することでインタフェースコントローラ 7 やフラッシュメモリ 8 に Vcc - IC が供給され、端子 72 ~ 74 , 76 ~ 80 が端子 C 1 ~ C 3 , C 5 ~ C 9 と接触することで電氣的に回路が形成されるおそれがある。

【0069】

図 26 にはメモリカード 5 がカードスロット 70 に挿入される第 3 過程を示している。第 3 過程の段階では、カードスロット 70 の端子 72 ~ 87 とメモリカード 5 の端子 C 1 ~ C 16 が適切に接続されている。

【0070】

図 24 及び図 25 に示す過程において生じうる問題については、メモリカード 5 における解決策と、カードスロット 70 を有するホスト装置での解決策とがある。

【0071】

メモリカード 5 での解決策としては、端子 C 4 とインタフェースコントローラ 7 及びフラッシュメモリ 8 との間に電源回路を備えておき、端子 C 4 から電源 Vdd が供給されていることを検知した後に、インタフェースコントローラ 7 及びフラッシュメモリ 8 に動作電源の供給を開始するとともに、端子 C 1 乃至 C 13 をインタフェースコントローラ 7 と接続するようにすればよい。

【0072】

一方ホスト装置での解決策としては、Vcc - IC の供給及び外部アンテナ 88 に発生

10

20

30

40

50

する電位の供給を第3過程において開始することで解決可能である。則ち、カードスロット70の端子72～87がメモリカードの端子C1～C16と過程的な接触をしていないことをセンサ71で検知した後に、Vcc-ICの供給を開始すればよい。カードスロット70の端子85, 87がメモリカード5の端子と過程的な接触を生じないようにメモリカード5及びカードスロット70の端子を形成するか、または外部アンテナ88と端子85, 87の間に電氣的に接続/切断が可能なスイッチ回路を設け、センサ71で過程的な接触をしていないことを検知した後に、外部アンテナ88を端子85, 87と電氣的に接続すればよい。

【0073】

またVdd, Vss1, Vss2の各電位については、常時供給していても、センサ71でメモリカード5がカードスロット70に挿入されたことを検知した後に供給を開始しても良い。カードスロット70の端子74, 77は基準電位の供給端子であり、また図示する構造では過程的な接触をすることがないからである。また端子75はVcc-ICと同電位またはより低い電位であるVddの供給端子であるため、端子C4を介して端子86と接続されていたとしても、Vcc-ICを供給するための図示しない回路にVddが供給されても特に問題を生じないと考えられるためである。

【0074】

《カードスロットからの引き抜き及び電源供給》

また図示はしないが、カードスロット70からメモリカード5が引き抜かれる場合のことを考察する。この場合、フラッシュメモリ8においてデータの消去またはデータの書き込みの動作途中でカードスロット70からメモリカード5が引き抜かれた場合、フラッシュメモリ8への動作電源の供給が遮断されることで、不所望なデータの破損を生じ、またはデブリートと呼ばれる状態を生じることによりメモリカード5自体の認識ができなくなる場合がある。このような事態を回避するために、ホスト装置はセンサ71でメモリカード5がカードスロット70から引き抜かれたことを検知した場合、所定の端子を介してメモリカード5にそのことを通知するとともに、端子86から電位Vddを供給するようにすればよい。これにより図25の第2過程から図24の第1過程に亘って、端子C4に電位Vddを供給することができる。また端子74についても端子C3との接触時間を長くすることができるように、具体的には端子74を端子84と同程度の長さとするとともに、端子C3との接触点をより長くすることで電氣的な接続を維持することが可能となる。これらのことにより、メモリカード5はデータの書き込みを完了させ、またはセンサ71での検出通知に応じて少なくともデブリート状態を回避する処理を行う時間を確保することが可能となる。

【0075】

《チップのスタック構造》

図17には夫々個別の半導体集積回路チップ化された前記インタフェースコントローラ7、フラッシュメモリ8、及びICカードマイコン9のスタック実装構造が平面的に示され、図18にはその実装構造の縦断面が概略的に示される。所要の配線層が形成されたガラスエポキシ樹脂基板のような配線基板60の一面には外部接続電極C1～C16が形成され、他面には所要の配線に接続した多数のボンディングパッド61が形成されている。ボンディングパッド61はアルミニウム、銅又は鉄合金などの導電パターンで形成される。外部接続電極C1～C16はアルミニウム、銅又は鉄合金などの導電パターンに金メッキやニッケルメッキ、パラジウムメッキ等が施されて形成される。外部接続電極C1～C16とボンディングパッド61との接続は配線基板60上の図示を省略する配線パターン及び配線基板60を厚さ方向に貫通するスルーホール等によって行われる。配線基板60の上には、2個の個別チップ化されたフラッシュメモリ8がずれて重ねられ、その上に単一チップ化されたインタフェースコントローラ7が重ねられる。配線基板60とチップ、チップとチップの結合はダイボンド剤62にて行なわれる。重ねられた3個のチップには重ねられた状態で同じ向きの辺に沿って電極パッド64が配置され、配置された電極パッド64に配線基板の対応するボンディングパッド61がボンディングワイヤ65でワイ

ヤボンディングされる。重ねられた３個のチップのボンディング用電極パッド６４は重ねられた状態で同じ向きの辺に沿って配置されているから、ボンディングワイヤ６５を短くでき、ワイヤ６５の干渉も少なくなる。単体チップのＩＣカードマイコン９は単体で配線基板６０にダイボンディングされて、チップの電極パッドが回路基板の対応するボンディングパッドにボンディングされる。配線基板６０上にスタックされたチップは樹脂モールドなどで封止される。６６はモールド封止領域である。

【００７６】

図１９には図１７及び図１８のスタック構造に対してＩＣカードマイコン９を２チップスタックする構造が示される。２個のＩＣカードマイコン９のチップは同種で同サイズの場合は直接重ねるとチップ上の電極パッドが隠れてしまう。その場合にはスペーサ用のダミーチップ６７を間に挟めばよい。当然ダミーチップ６７はＩＣカードマイコンチップよりも小さい。

【００７７】

図２０には夫々個別の半導体集積回路チップ化された前記インタフェースコントローラ７、フラッシュメモリ８、及びＩＣカードマイコン９の更に別のスタック実装構造が平面的に示され、図２１にはその実装構造の縦断面が概略的に示される。図１７乃至図１９との相違点は２個の個別チップ化されたフラッシュメモリ８がスタックされ、その上に、夫々個別チップ化されたインタフェースコントローラ７とＩＣカードマイコン９が別々にスタックされる。その他の構成は図１７及び図１８のスタック構造と同じであり、同一機能を有する部材には同一符号を付してその詳細な説明を省略する。

【００７８】

図２２には図２０及び図２１のスタック構造に対してＩＣカードマイコン９を２チップスタックする構造が示される。２個のＩＣカードマイコン９のチップは同種で同サイズであるから直接重ねず、間にスペーサ用のダミーチップ６７を挟める。フラッシュメモリ８は必要に応じて１チップまたは３チップ以上のチップスタックも同様に可能である。

【００７９】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００８０】

例えば、本発明はＭＭＣ規格のメモリカードだけでなくその他の規格に準拠するマルチファンクション形態のメモリカードに広く適用することができる。従って、外部接続端子の機能、配列、数などは適宜変更可能である。またメモリはフラッシュメモリに限定されず、強磁性体メモリなど、その他記憶形式のメモリであってよい。セキュリティコントローラはＩＳＯ／ＩＥＣ１５４０８の評価・認証機関による認証済み機能を実現しているものに限定されない。単なる暗号化・復号を行なうマイクロコンピュータであってもよい。

【符号の説明】

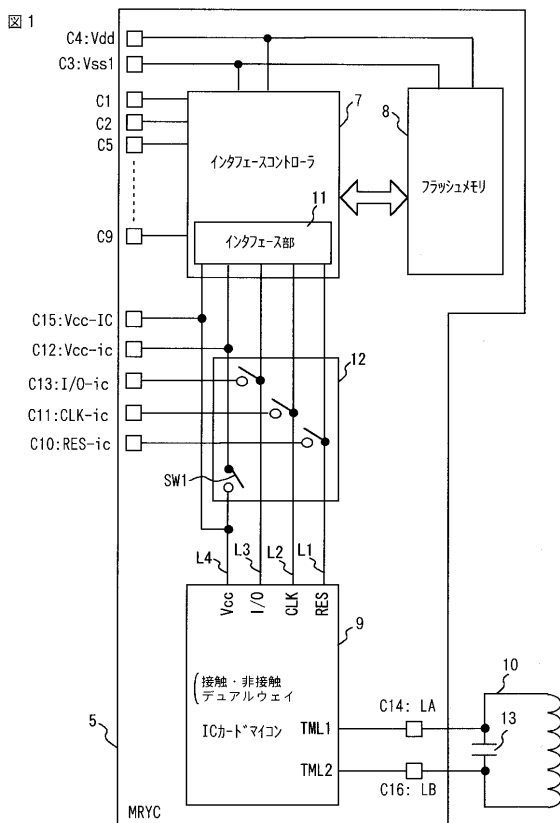
【００８１】

- ５ メモリカード
- ７ インタフェースコントローラ
- ８ フラッシュメモリ
- ９ デュアルウェイのＩＣカードマイコン
- １０ アンテナ
- １１ インタフェース部
- １２ 分離スイッチ回路
- Ｃ４ Ｖｄｄ供給用外部接続端子（第１の外部接続端子）
- Ｃ１２ Ｖｃｃ－ｉｃ供給用外部接続端子
- Ｃ１５ Ｖｃｃ－ＩＣ供給用外部接続端子（第２の外部接続端子）
- Ｃ１１ ＣＬＫ－ｉｃ割当て用外部接続端子（第３の外部接続端子）

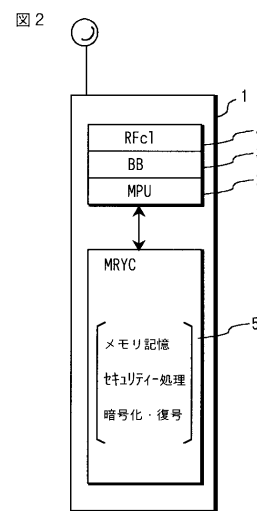
- C 1 3 I / O - i c 割当て用外部接続端子 (第 4 の外部接続端子)
 C 1 0 R E S - i c 割当て用外部接続端子 (第 5 の外部接続端子)
 C 1 4 , C 1 6 アンテナ接続用外部接続端子
 1 2 分離スイッチ回路
 1 5 出力バッファ
 1 7 クロックインバータ
 2 4 接触インタフェース型の I C カードマイコン
 2 5 非接触インタフェース型の I C カードマイコン
 6 0 回路基板
 6 1 配線基板上の電極 (ボンディングパッド)
 6 4 半導体チップ上の電極パッド
 6 5 ボンディングワイヤ

10

【 図 1 】



【 図 2 】



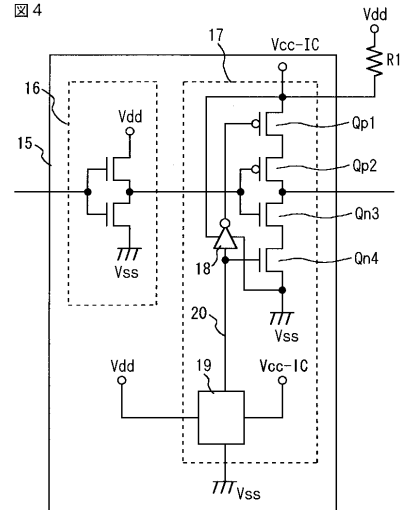
【図 3】

図 3

端子 番号	1bit-ト		4bit-ト		8bit-ト	
	デュアルIC カート機能時	非接触カート 機能のみ時	デュアルIC カート機能時	非接触カート 機能のみ時	デュアルIC カート機能時	非接触カート 機能のみ時
C1	RSV (for MMC) CS (for SPI)	RSV (for MMC) CS (for SPI)	DAT3	DAT3	DAT3	DAT3
C2	CMD	CMD	CMD	CMD	CMD	CMD
C3	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1
C4	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd
C5	CLK	CLK	CLK	CLK	CLK	CLK
C6	Vss2	Vss2	Vss2	Vss2	Vss2	Vss2
C7	DAT	DAT	DAT0	DAT0	DAT0	DAT0
C8	RSV	RSV	DAT1	DAT1	DAT1	DAT1
C9	RSV	RSV	DAT2	DAT2	DAT2	DAT2
C10	RES-ic	RSV	RES-ic	RSV	DAT4	DAT4
C11	CLK-ic	RSV	CLK-ic	RSV	DAT5	DAT5
C12	Vcc-ic	RSV	Vcc-ic	RSV	DAT6	DAT6
C13	I/O-ic	RSV/Vcc-ic	I/O-ic	RSV/Vcc-ic	DAT7	DAT7
C14	LA	LA	LA	LA	LA	LA
C15	Vcc-IC	(Vcc-IC)	Vcc-IC	(Vcc-IC)	Vcc-IC	(Vcc-IC)
C16	LB	LB	LB	LB	LB	LB

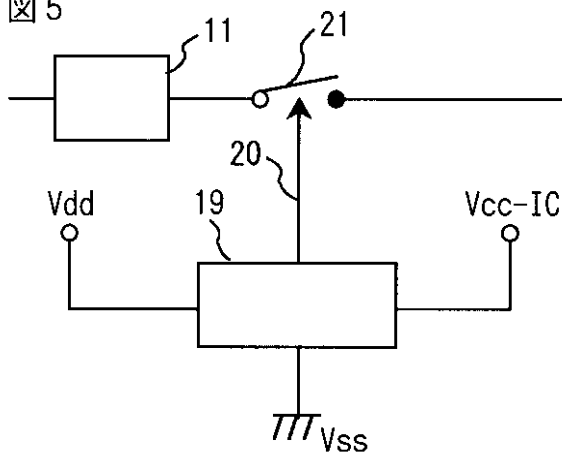
【図 4】

図 4



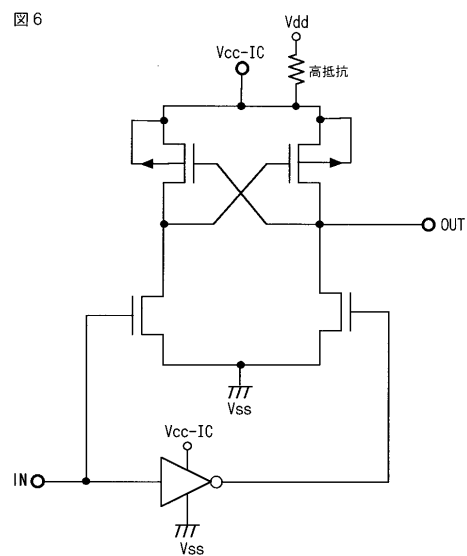
【図 5】

図 5

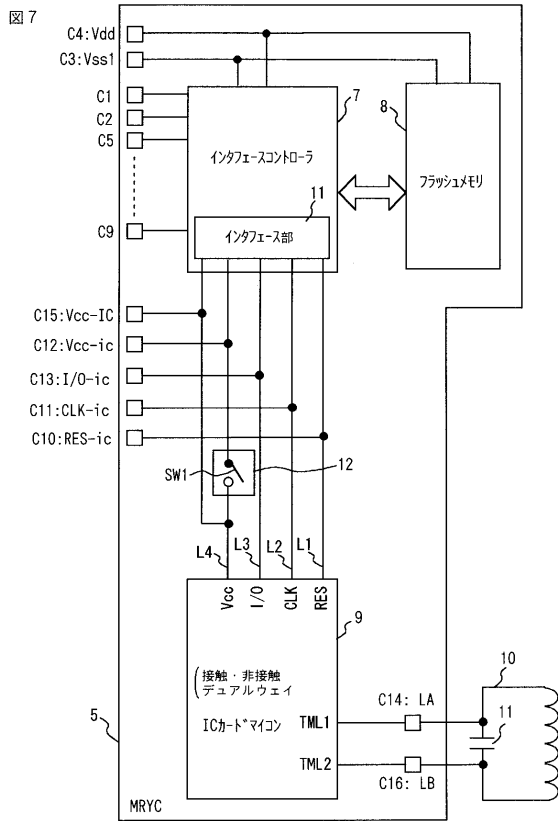


【図 6】

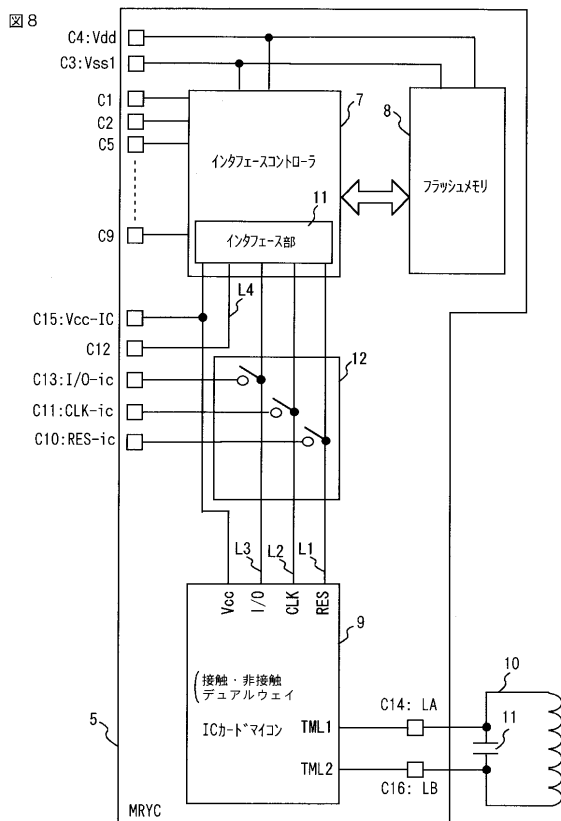
図 6



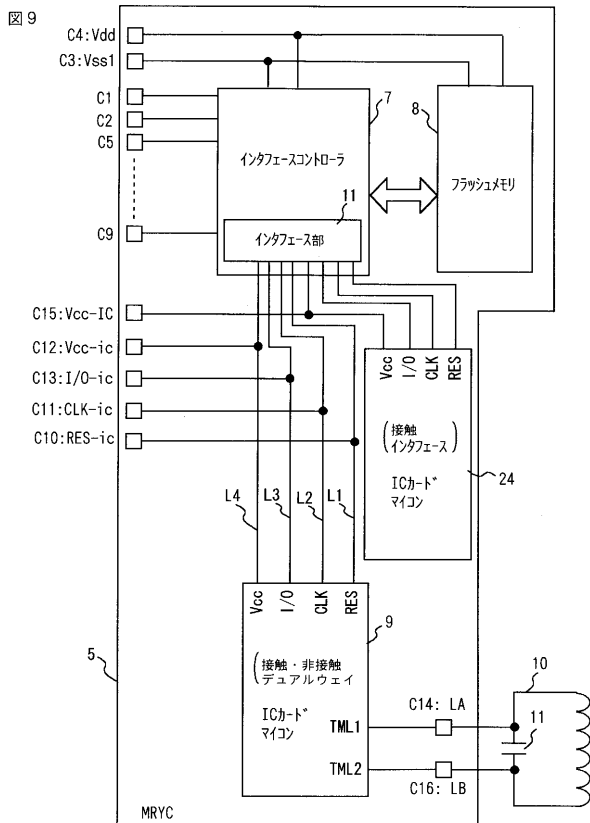
【図 7】



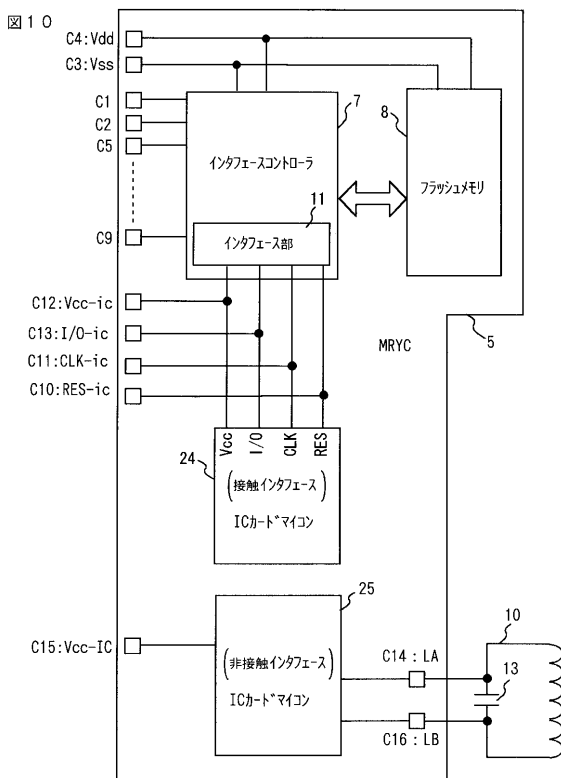
【図 8】



【図 9】

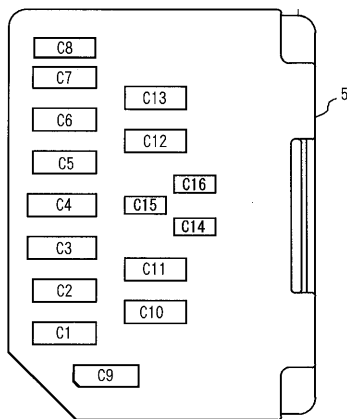


【図 10】



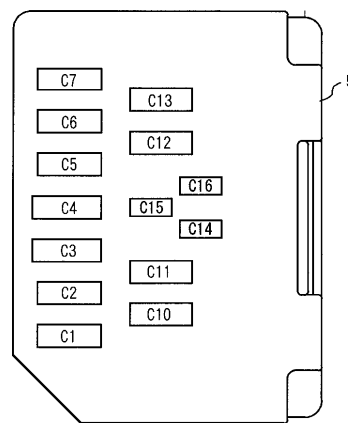
【図 15】

図 15



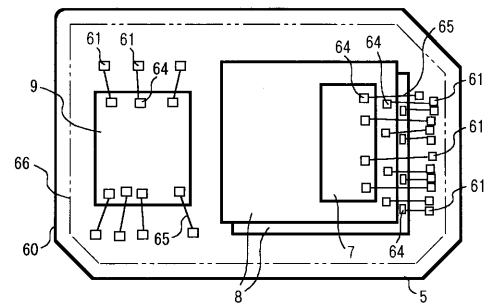
【図 16】

図 16



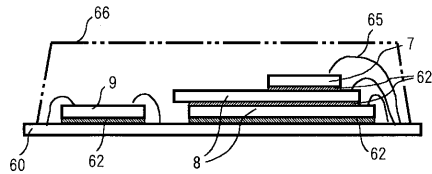
【図 17】

図 17



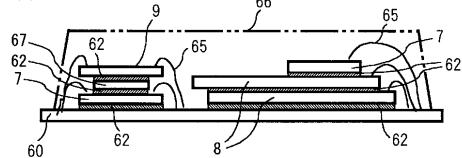
【図 18】

図 18

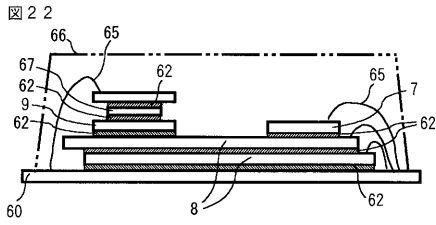


【図 19】

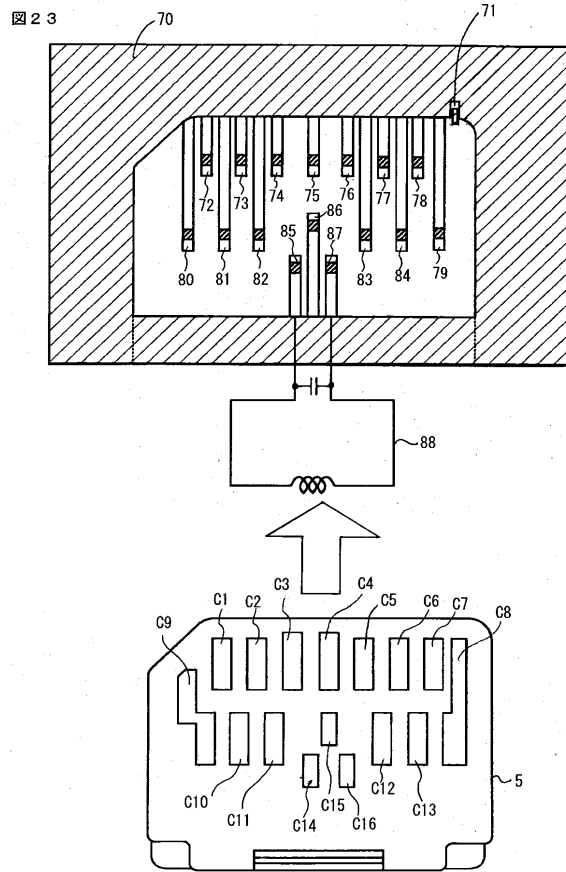
図 19



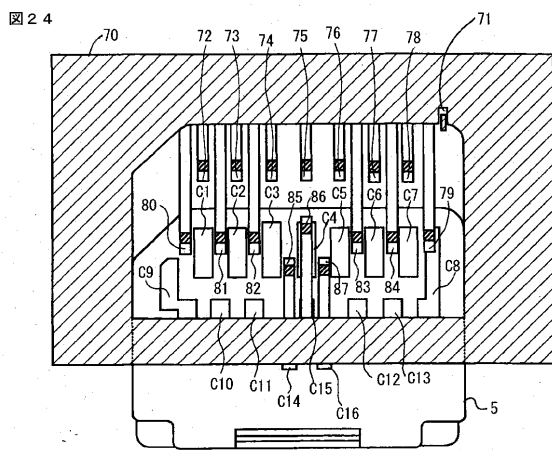
【図 2 2】



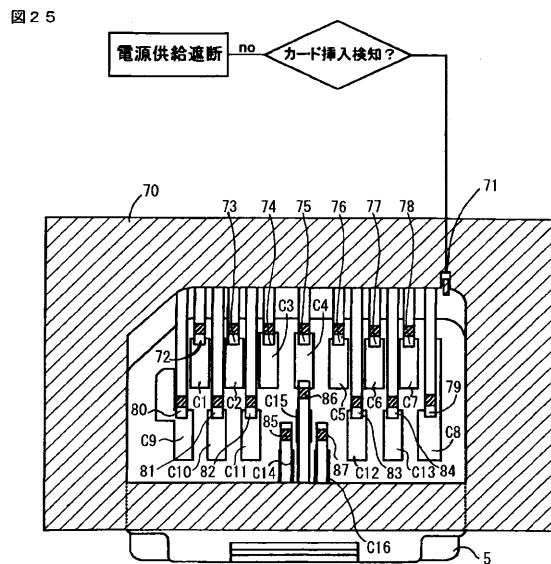
【図 2 3】



【図 2 4】

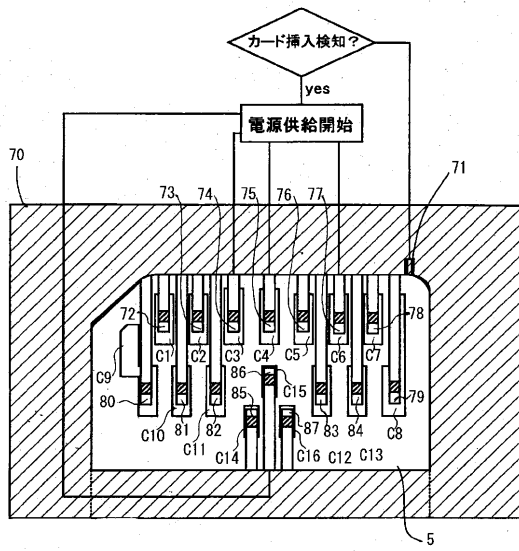


【図 2 5】



【図 26】

図 26



フロントページの続き

- (72)発明者 和田 環
東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内
- (72)発明者 杉山 道昭
東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内
- (72)発明者 大迫 潤一郎
東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内
- Fターム(参考) 2C005 MA35 MB03 NA08 SA02 SA06 SA13
5B035 AA11 BA03 BB09 CA08 CA12 CA25 CA36