



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월06일
(11) 등록번호 10-0998164
(24) 등록일자 2010년11월29일

(51) Int. Cl.
H03M 7/00 (2006.01) H03K 7/08 (2006.01)
H03M 3/04 (2006.01)
(21) 출원번호 10-2005-7005161
(22) 출원일자(국제출원일자) 2003년08월22일
심사청구일자 2008년08월22일
(85) 번역문제출일자 2005년03월25일
(65) 공개번호 10-2005-0059196
(43) 공개일자 2005년06월17일
(86) 국제출원번호 PCT/US2003/027431
(87) 국제공개번호 WO 2004/030223
국제공개일자 2004년04월08일
(30) 우선권주장
10/255,213 2002년09월26일 미국(US)
(56) 선행기술조사문헌
KR1020010022060 A
KR1019980086689 A
KR1020010005877 A

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트 6501
(72) 발명자
미드야 팔랩
미국 일리노이스 60067 팔렌타인 765 웨스트 힐 로드
로크너 윌리엄 씨.
미국 일리노이스 60110 카펜터스빌 3005 오크 크 놀 랜
(74) 대리인
장훈

전체 청구항 수 : 총 5 항

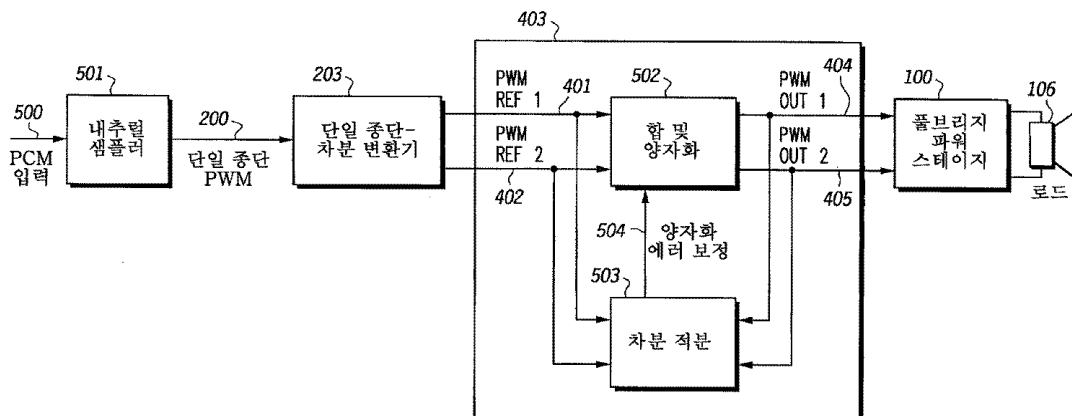
심사관 : 권성락

(54) 펄스 폭 변조 신호들의 양자화를 위한 풀 브리지 적분 잡음정형

(57) 요약

펄스 폭 변조 신호들의 양자화를 위한 풀 브리지 적분 잡음 정형 시스템들 및 방법들이 설명된다. 풀 브리지 적분 잡음 정형 방법은: 제 1 및 제 2 기준 PWM 신호를 수신하는 단계(401, 402)와; 제 1 및 제 2 기준 PWM 신호들을 양자화 에러 보정과 합하는 단계(504)와; 합을 제 1 및 제 2 출력 PWM 신호로 양자화하는 단계(404, 405)와; 양자화 에러 보정을 얻기 위하여 풀 브리지 적분 잡음 정형 알고리즘에 따라 제 1 및 제 2 기준 PWM 신호들과 제 1 및 제 2 출력 PWM 신호들을 차분적으로 적분하는 단계를 포함한다. 펄스 변조 신호의 풀 브리지 적분 잡음 정형 양자화를 수행하는 장치는: 단일 종단 대 차분 변환 회로(203)와; 단일 종단 대 차분 변환 회로에 접속된 풀 브리지 INS 양자화 회로(403)를 포함한다.

대표도



특허청구의 범위

청구항 1

풀 브리지 적분 잡음 정형을 위한 방법에 있어서

제 1 및 제 2 기준 PWM 신호를 수신하는 단계;

합을 얻기 위하여, 상기 제 1 및 제 2 기준 PWM 신호들 중 적어도 하나를 양자화 에러 보정과 합하는 단계;

제 1 및 제 2 출력 PWM 신호를 생성하기 위해 상기 합을 양자화하는 단계; 및

상기 양자화 에러 보정을 얻기 위하여, 풀 브리지 적분 잡음 정형 알고리즘에 따라 상기 제 1 및 제 2 기준 PWM 신호들과 상기 제 1 및 제 2 출력 PWM 신호들을 차분적으로(differentially) 적분하는 단계를 포함하는, 풀 브리지 적분 잡음 정형 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

PWM 신호를 처리하기 위한 방법에 있어서:

단일 종단 PWM 신호를 수신하는 단계;

상기 단일 종단 PWM 신호를 제 1 기준 PWM 신호와 제 2 기준 PWM 신호로 차분적으로 변환하는 단계;

합을 얻기 위하여, 상기 제 1 및 제 2 기준 PWM 신호들 중 적어도 하나를 양자화 에러 보정과 합하는 단계;

제 1 및 제 2 출력 PWM 신호를 생성하기 위해 상기 합을 양자화하는 단계; 및

상기 양자화 에러 보정을 얻기 위하여, 풀 브리지 적분 잡음 정형 알고리즘에 따라 상기 제 1 및 제 2 기준 PWM 신호들과 상기 제 1 및 제 2 출력 PWM 신호들을 차분적으로(differentially) 적분하는 단계를 포함하는, PWM 신호 처리 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

풀 브리지 파워 스테이지를 구동하기 위한 방법에 있어서:

제 1 및 제 2 펄스 변조 신호들을 수신하는 단계;

합을 얻기 위해, 상기 제 1 및 제 2 펄스 변조 신호들 중 적어도 하나와 양자화 에러 보정을 합하는 단계;

제 1 양자화 펄스 변조 신호와 제 2 양자화 펄스 변조 신호를 생성하기 위해상기 합을 양자화하는 단계;

상기 양자화 에러 보정을 얻기 위하여, 상기 제 1 및 제 2 펄스 변조 신호들과 상기 제 1 및 제 2 양자화 펄스

변조 신호들을 차분적으로 적분하는 단계;

상기 제 1 양자화 펄스 변조 신호로 상기 풀 브리지 파워 스테이지의 제 1 면을 구동하는 단계; 및

상기 제 2 양자화 펄스 변조 신호로 상기 풀 브리지 파워 스테이지의 제 2 면을 구동하는 단계를 포함하는, 풀 브리지 파워 스테이지 구동 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 및 제 2 펄스 변조 신호들은 펄스 폭 변조 신호들 및 펄스 밀도 변조 신호들 중 하나인, 풀 브리지 파워 스테이지 구동 방법.

청구항 10

펄스 변조 신호의 풀 브리지 적분 잡음 정형 양자화를 수행하기 위한 장치에 있어서:

단일 종단 펄스 변조 신호를 제 1 펄스 변조 신호와 제 2 펄스 변조 신호로 차분적으로 변환하기 위한 단일 종단 대 차분 변환 회로(single-ended to differential conversion circuit); 및

상기 단일 종단 대 차분 변환 회로에 결합된 풀 브리지 적분 잡음 정형 양자화기 회로를 포함하고, 상기 풀 브리지 적분 잡음 정형 양자화기 회로는,

합을 얻기 위해, 상기 제 1 및 제 2 펄스 변조 신호들 중 적어도 하나와 양자화 에러 보정을 합하고, 제 1 양자화 펄스 변조 신호와 제 2 양자화 펄스 변조 신호를 생성하기 위해 상기 합을 양자화하도록 상기 변환 회로에 결합된 합 및 양자화 회로, 및

상기 양자화 에러 보정을 얻기 위하여, 상기 제 1 및 제 2 펄스 변조 신호들과 상기 제 1 및 제 2 양자화 펄스 변조 신호들을 차분적으로 적분하기 위한 상기 합 및 양자화 회로에 결합된 차분 적분 회로를 포함하는, 풀 브리지 적분 잡음 정형 양자화 수행 장치.

명세서

기술 분야

[0001] 본 발명은 일반적으로 디지털 증폭기들의 분야에 관한 것이다. 특히, 본 발명은 펄스 변조 신호들의 처리에 관한 것이다.

배경 기술

[0002] 통상적으로, 오디오 증폭기들은 아날로그 영역(analog domain)에서 동작하였다. 이러한 증폭기들은 낮은 전력 소비 효율을 가지며, 따라서 큰 크기와 무게를 갖는 경향이 있다. 디지털 기술, 특히 디지털 오디오 소스들의 출현으로, 오디오 증폭이 디지털 영역에서 수행되기 시작하였다.

[0003] 펄스 폭 변조(PWM)를 사용하는 디지털 오디오 증폭기들은 아날로그 증폭기들보다 높은 전력 소비 효율을 가지며, 고정된 스위칭 주파수를 갖는다. 아날로그 램프(ramp) 신호 등을 사용하여 양자화하는 아날로그 PWM과 달리, 디지털 PWM은 고속 클록의 사이클들을 카운팅함으로써 양자화되고 생성된다.

[0004] 명백히 본 명세서에 참조로 포함된 명세서인, Midya에 의한 미국 특허 번호 제6,414,613호는 PWM 파형들을 양자화하기 위한 적분 잡음 정형(INS) 알고리즘을 설명한다. PWM 잡음 정형 루프들은 관심있는 주파수 대역 밖으로 듀티비 신호(duty ratio signal)를 양자화하는 것으로부터 생성된 잡음을 강제하는 것에 의해 양자화된 PWM 신호들의 대역 내 신호 대 잡음비(SNR)를 개선하기 위해 사용된다.

[0005] 펄스 폭 변조 기반 스위칭 증폭기들은 4개의 스위치들을 갖는 풀 브리지 애플리케이션들에서 종종 사용된다. 이러한 애플리케이션들에서, 단일면 PWM 처리가 사용될 수 있으며, 그 후 결과적인 신호는 풀 브리지 파워 스테이지를 구동하는데 필요한 신호들의 쌍을 생성하도록 반전될 수 있다. 미국 특허 번호 제6,414,613호는 이러한 한 가지 예이다.

[0006] 종래 기술을 사용하여 높은 신호 대 잡음비를 얻기 위하여, 결정 기준 클록 주파수(crystal reference clock frequency), 출력 필터링, 파워 스테이지에서의 매칭, 및 신호 경로에서의 매칭을 위한 중요한 요구 사항들이

있다.

발명의 상세한 설명

- [0007] 다음 실시예들에 대한 필요성이 존재한다. 물론, 본 발명은 이러한 실시예들에 제한되지 않는다.
- [0008] 본 발명의 일 양상에 따라, 풀 브리지 적분 잡음 정형은: 제 1 및 제 2 기준 PWM 신호를 수신하는 단계; 제 1 및 제 2 기준 PWM 신호들을 양자화 에러 보정과 합하는 단계; 상기 합을 제 1 및 제 2 출력 PWM 신호로 양자화하는 단계; 양자화 에러 보정을 얻기 위해 제 1 및 제 2 기준 PWM 신호들 및 제 1 및 제 2 출력 PWM 신호들을 풀 브리지 적분 잡음 정형 알고리즘에 따라 차분적으로 적분하는 단계를 포함한다. 본 발명의 또 다른 양상에 따라, 펄스 변조 신호의 풀 브리지 적분 잡음 정형 양자화를 수행하기 위한 장치는: 단일 종단 대 차분 변환 회로; 및 단일 종단 대 차분 변환 회로에 결합된 풀 브리지 INS 양자화기 회로를 포함한다.
- [0009] 본 발명의 이들 및, 다른 실시예들은 다음 설명 및 첨부 도면들과 함께 고려될 때 더욱 명확해지며 잘 이해될 것이다. 그러나, 다음 설명이 본 발명의 다양한 실시예들과 그의 다양한 특징의 상세한 사항들을 나타내더라도, 이는 예시로 주어지는 것이며 제한하는 것이 아님을 이해해야 한다. 많은 대응들, 변경들, 부가들 및/또는 재배치들이 본 발명의 사상으로부터 벗어남이 없이 본 발명의 범주 내에서 생성될 수 있으며, 본 발명은 모든 이러한 대응들, 변경들, 부가들 및/또는 재배치들을 포함한다.
- [0010] 첨부되고 본 명세서의 부분을 형성하는 도면들은 본 발명의 특정 양상들을 설명하도록 포함된다. 본 발명 및 본 발명에 제공된 시스템들의 구성요소들과 동작의 보다 명확한 개념이 유사한 참조 번호들(그들이 여러 도면들에서 출현될 때)이 유사한 소자들을 나타내는 도면들에 도시된 예시적이지만 제한적이지는 않은 실시예들을 참조하여 보다 명백해질 것이다. 본 발명은 하나 이상의 이러한 도면들과 본 명세서에 제공된 설명의 조합을 참조하여 보다 잘 이해될 것이다. 도면들에 도시된 특성들이 반드시 크기대로 도시되지는 않았다는 것을 알아야 한다.

실시예

- [0029] 본 발명 및 그의 다양한 특성들과 유익한 상세한 설명들이 첨부한 도면들과 다음 설명에 보다 상세하게 설명된 무제한적인 실시예들을 참조로 보다 완전하게 설명된다. 본 발명의 특정 실시예들을 나타내는 상세한 설명 및 특정 예들은 단지 예시로 주어지며 제한하는 것이 아님이 이해되어야 한다. 기본적으로 본 발명의 개념의 사상 및/또는 범주로부터 벗어남이 없는 다양한 대응들, 변경들, 부가들 및/또는 재배치들이 본 명세서로부터 당업자에게 명확해질 것이다.
- [0030] 도 1을 참조하면, 종래 풀 브리지 파워 스테이지(100) 증폭기의 회로도가 도시된다. p-채널 및 n-채널 전계 효과 트랜지스터들(FET)을 포함하는 4개의 스위치들(102-105)의 세트가 공급 전압(101), 로드(106), 및 기준 전압(접지)(107)에 결합된다. 입력(108)은 풀 브리지 파워 스테이지(100)의 제 1 측에 결합되며, 또 다른 입력(109)은 풀 브리지 파워 스테이지(100)의 제 2 측에 결합된다. 풀 브리지 파워 스테이지(100)의 동작 및 특성들과 그의 변이들이 이 분야에 잘 알려져 있다.
- [0031] 펄스 변조에 기반 스위칭 증폭기들은 종종 4개의 스위치들을 갖는 풀 브리지 애플리케이션들에서 사용된다. 펄스 폭 변조(PWM) 신호들 및 펄스 밀도 변조 신호들(PDM)과 같은 상이한 유형들의 펄스 변조 구동 신호들이 사용될 수 있다. 다음 설명은 PWM 구동 신호들을 참조하지만, 당업자는 본 발명이 다른 유형들의 펄스 변조 신호들에 또한 적용된다는 것을 인식할 것이다.
- [0032] 전형적으로, PWM 처리는 양자화 및 잡음 정형을 포함한다. 종래 기술에서, 이러한 처리는 단일면(single-sided) 또는 하프브리지(halfbridge) 애플리케이션에 기초하여 수행된다. 전형적인 풀 브리지 애플리케이션에서, 단일면 PWM 처리가 사용되고 결과적인 신호가 이후 반전되어 풀 브리지 파워 스테이지로의 입력들의 쌍을 구동하는데 필요한 두 개의 차분 구동 신호들을 생성한다.
- [0033] 도 2를 참조하면, 종래 PWM 처리 체계의 블록도가 도시된다. 양자화되지 않은 PWM 신호(200)가 적분 잡음 정형(INS) 양자화기(201)에 의해 처리되어, 양자화된 PWM 신호(202)를 산출한다. 양자화된 PWM 신호(202)는 또한 단일 종단 대 차분 변환 블록(203)에 의해 처리되어 한 쌍의 차분 양자화된 풀 브리지 PWM 신호들(204)을 출력하며, 이는 로드(load; 106)에 결합된 풀 브리지 파워 스테이지(100)를 함께 구동할 수 있다.
- [0034] 도 2를 계속하여 참조하면, INS 양자화기(201)는 양자화된 PWM 신호들의 대역 내 신호 대 잡음비를 개선하는데 사용되는 PWM 잡음 정형 루프들을 포함한다. 루프의 입력은 일련의 듀티비들을 나타내는 고해상도 디지털 신호이다. 루프의 출력은 유사한 일련의 듀티비들을 나타내는 저해상도 디지털 신호이다. 잡음 정형 루프는 관심

있는 스펙트럼의 외부에 잔존하도록 듀티비 신호를 양자화하는 것으로부터 생성된 잡음 (에러)을 강제할 수 있다. 잡음 정형은 이전의 축적된 양자화 에러들에 기초하여 양자화된 출력 샘플에 데이터로 지시된 조정을 제공할 수 있다.

[0035] 도 3을 참조하면, 종래 PWM INS 양자화 프로세스의 타이밍도(300)가 도시된다. 양자화되지 않은 PWM 신호 $X(t)$ (200)가 도 2에 상세히 설명된 INS 양자화기(201)에 의해 적분 잡음 정형되어 양자화된 PWM 신호 $Y(t)$ (202)를 산출한다. 내추럴 샘플링 회로(도시되지 않음) 내에 사용된 양면 램프 샘플링 신호(310)에 대한 참조가 또한 생성된다. 수직 축은 신호들(200 및 202)을 나타내며, 수평 축은 시간을 나타낸다. 관심있는 시간들은: $(n-1)T_s$, $(n-1/2)T_s$, nT_s , $(n+1/2)T_s$, 및 $(n+1)T_s$ 를 포함하며, 여기서 T_s 는 스위칭 주기, n 은 정수이다.

[0036] 도 3을 계속하여 참조하면, INS 알고리즘이 양자화된 $Y(t)$ (202)와 양자화되지 않은 $X(t)$ (200) PWM 신호들 사이의 잡음의 적분 피드백을 계산할 수 있다. 적분항은 양자화 잡음을 정형하는데 사용된다. 임의의 차수로 PWM 파형들을 분석적으로 적분하고 동일한 적분 루프를 사용하여 PWM의 올라가고 내려가는 에지들을 양자화하는 것이 가능하다. 예를 들어, 4차 시스템은 입력 $X(t)$ (200)과 출력 $Y(t)$ (202) 사이의 에러를 적분하는데 사용될 수 있다. 적분들은 다음과 같다:

$$I_1(t) = \int_{-\infty}^t (X(\tau) - Y(\tau)) d\tau \quad (\text{식 1})$$

$$I_2(t) = \int_{-\infty}^t (I_1(\tau)) d\tau \quad (\text{식 2})$$

$$I_3(t) = \int_{-\infty}^t (I_2(\tau)) d\tau \quad (\text{식 3})$$

$$I_4(t) = \int_{-\infty}^t (I_3(\tau)) d\tau \quad (\text{식 4})$$

[0041] 식 1 내지 식 4는 PWM 신호의 양자화에 기인한 에러의 1 내지 4차 적분들을 계산하며, 이는 좌측 반사이클(l) 및 우측 반사이클(r)로 나누어질 수 있다. 도 3을 계속하여 참조하면, 적분들(I_1 , I_2 , I_3 및 I_4)이 이산 시간 간격들에서 정의되며 분석적으로 계산될 수 있다. 좌측 반사이클에 대한 값들은 다음과 같다:

$$il_1(n) = I_1(nT_s) = ir_1(n-1) + ((1 - yr(n-1)) - (1 - xr(n-1))) \quad (\text{식 5})$$

$$il_2(n) = I_2(nT_s) = ir_2(n-1) + ir_1(n-1) + \frac{((1 - yr(n-1))^2 - (1 - xr(n-1))^2)}{2} \quad (\text{식 6})$$

$$il_3(n) = I_3(nT_s) = ir_3(n-1) + ir_2(n-1) + \frac{ir_1(n-1)}{2} + \frac{((1 - yr(n-1))^3 - (1 - xr(n-1))^3)}{6} \quad (\text{식 7})$$

$$il_4(n) = I_4(nT_s) = ir_4(n-1) + ir_3(n-1) + \frac{ir_2(n-1)}{2} + \frac{ir_1(n-1)}{6} + \frac{((1 - yr(n-1))^4 - (1 - xr(n-1))^4)}{24} \quad (\text{식 8})$$

[0046] 또한 우측 반사이클에 대한 값들은 다음과 같다:

$$ir_1(n) = I_1((n + \frac{1}{2})T_s) = il_1(n) + ((xl(n)) - yl(n)) \quad (식 9)$$

$$ir_2(n) = I_2((n + \frac{1}{2})T_s) = il_2(n) + il_1(n) + \frac{((xl(n))^2 - yl(n))^2}{2} \quad (식 10)$$

$$ir_3(n) = I_3((n + \frac{1}{2})T_s) = il_3(n) + il_2(n) + \frac{il_1(n)}{2} + \frac{((xl(n))^3 - yl(n))^3}{6} \quad (식 11)$$

$$ir_4(n) = I_4((n + \frac{1}{2})T_s) = il_4(n) + il_3(n) + \frac{il_2(n)}{2} + \frac{il_1(n)}{6} + \frac{((xl(n))^4 - yl(n))^4}{24} \quad (식 12)$$

식 5 내지 식 8은 PWM 신호의 좌측 반사이클에 대한 양자화에 기인한 에러의 1 내지 4차 적분들을 계산한다. 식 9 내지 식 12는 PWM 신호의 우측 반사이클에 대한 양자화에 기인한 에러의 1 내지 4차 적분들을 계산한다. 이러한 폐쇄된 형식의 적분식들은 계산이 스위칭 주파수에서 수행되도록 허용한다.

보정된 듀티비는 좌측 및 우측 반사이클들(각각 $zl(n)$ 및 $zr(n)$)에 대하여 다음과 같이 정의된다:

$$zl(n) = xl(n) + k_1 il_1(n) + k_2 il_2(n) + k_3 il_3(n) + k_4 il_4(n) \quad (식 13)$$

$$zr(n) = xr(n) + k_1 ir_1(n) + k_2 ir_2(n) + k_3 ir_3(n) + k_4 ir_4(n) \quad (식 14)$$

여기서 K 값들은 잡음 정형 필터들의 다중 적분기들의 가중 인자들(weighting factors)에 대응한다.

보정된 듀티 사이클은 정수개의 클록 사이클들을 맞추도록 양자화된다. 이는 양자화 에러(e)를 유발하며, 이는 미래 사이클들에 대한 에러로서 INS 루프들로 피드백된다:

$$yl(n) = Quantize(zl(n)) = Q(zl(n)) = zl(n) + el(n) \quad (식 15)$$

$$yr(n) = Quantize(zr(n)) = Q(zr(n)) = zr(n) + er(n) \quad (식 16)$$

본 발명은 PWM의 양자화를 위한 폴 브리지 적분 잡음 정형(INS)을 위한 방법 및/또는 장치를 포함한다. 일 실시예에서, 본 발명은 두 개의 별개의 PWM 파형들을 생성하기 위해 PWM 신호들을 양자화하는 INS 알고리즘들의 집단을 포함한다. 당업자가 본 명세서의 관점에서 인식할 바와 같이, 폴 브리지 PWM 처리는 신호 대 잡음 비(SNR)를 개선시키고 결정 기준 클록 주파수, 출력 LC 필터링, 파워 스테이지에서의 매칭, 및 기준 경로에서의 매칭에 대한 요구를 감소시킨다. 이는 또한 보다 낮은 스위칭 주파수를 허용할 수 있다.

도 4를 참조하면, 폴 브리지 INS 양자화 체계의 블록도가 본 발명의 일 실시예를 따라 도시된다. 양자화되지 않은 신호(200)가 차분 변환 블록(203)의 단일 종단(203)에 의해 처리되어 제 1 및 제 2 기준(차분 양자화되지 않은) PWM 신호(401 및 402)를 산출한다. 단일 종단 대 차분 변환 블록(203)은 또한 양자화되지 않은 신호(200)에 캐리어 신호가 존재할 경우 이를 은폐할 수 있다. 기준 신호들(401 및 402)의 쌍은 또한 폴 브리지 INS 양자화기 블록(403)에 의해 처리되어 제 1 및 제 2 양자화된 폴 브리지 PWM 신호(404 및 405)를 산출하며, 이는 로드(106)에 결합된 폴 브리지 파워 스테이지(100)를 구동할 수 있다.

도 4를 계속하여 참조하면, 기준 신호들(401 및 402)의 쌍의 각각이 개별적인 INS 동작에 의해 양자화될 수 있으며, 결과적으로 개별적인 양자화된 폴 브리지 PWM 신호들(404 및 405)의 쌍을 생성한다. 본 발명의 일 양상에 따라, PWM 신호들의 쌍은 부가적인 샘플들을 제공하는 부가적인 스위칭 에지들을 제공하며, 따라서 성능을 향상시키는 기회를 제공한다. 일 실시예에서, 본 발명은 상보적인 듀티비들을 갖는 한 쌍의 개별적인 양자화된 폴 브리지 PWM 신호들(404 및 405)을 제공한다. 또 다른 실시예에서, 본 발명은 적어도 두배의 각 스위칭 주기에서

INS 동작을 수행하기 위한 방법 및 장치를 제공한다.

- [0062] 도 5를 참조하면, 폴 브리지 INS 양자화 체제의 보다 상세한 블록도가 도시된다. 펄스 코드 변조(PCM) 신호(500)가 내추럴 샘플러(501)로 입력되고, 이는 단일 종단 PWM 신호(200)를 출력한다. 단일 종단 PWM 신호(200)는 단일 종단 대 차분 변환기(203)에 의해 처리되어 제 1 기준 PWM 신호(401)와 제 2 기준 PWM 신호(402)를 산출한다. 단일 종단 대 차분 변환기(203)는 또한 필요하다면 캐리어를 은폐할 수 있다. 기준 PWM 신호들(401 및 402)의 쌍은 또한 폴 브리지 INS 양자화기(403)의 합 및 양자화 블록(502)에 의해 처리되어 제 1 출력 PWM 신호(404)와 제 2 출력 PWM 신호(405)를 생성한다. 출력 PWM 신호들(404 및 405)의 쌍은 폴 브리지 파워 스테이지(100)의 제 1 및 제 2 측들을 구동시키는데 사용될 수 있다. 폴 브리지 INS 양자화기(403)의 차분 적분 블록(503)은 기준 PWM 신호들(401 및 402)의 쌍과 출력 PWM 신호들(404 및 405)의 쌍을 수신하여 양자화 에러 보정(504)을 계산하고 이를 합 및 양자화 블록(502)으로 제공한다.
- [0063] 도 5를 계속하여 참조하면, 차분 적분 블록(503)은 제 1 및 제 2 기준 PWM 신호들(401 및 402)과, 제 1 및 제 2 출력 PWM 신호들(404 및 405)을 사용하여 독립적인 차분 적분 동작들을 수행할 수 있다. 차분 적분 블록(503)은 또한 양자화 에러 보정 값들(504)을 계산할 수 있으며, 이는 양자화 잡음을 감소시키기 위한 합 및 양자화 블록(502)에 의해 제 1 및 제 2 기준 PWM 신호들(401 및 402)로 추가된다.
- [0064] 일반적으로, 본 발명에 따라, 여기서는 폴 브리지 적분 잡음 정형 알고리즘으로 참조된 알고리즘을 통한 양자화 에러 보정(504)을 사용하여 합 및 양자화 블록(502)과 차분 적분 블록(503)의 동작을 통해 두개의 기준 PWM 신호들(401 및 402)의 함수로서 두 개의 출력 PWM 신호들(404 및 405)이 생성된다. 폴 브리지 적분 잡음 정형 알고리즘의 특정 예들이 예들 1-4를 참조하여 이하로 제공된다.

[0065] 예들

- [0066] 본 발명의 특정 실시예들이 일부 상세한 다양한 특성들을 설명하도록 사용될 다음의 비제한적인 예들에 의해 더욱 상세히 설명될 것이다. 다음 예들은 본 발명이 실행될 수 있는 방법들의 이해를 용이하게 하기 위하여 포함된다. 다음의 예들은 본 발명의 실행에 잘 작용하는 것으로 발견된 실시예들을 나타내며, 따라서 본 발명의 실행을 위한 바람직한 모드들을 구성하는 것으로 고려될 수 있다는 것이 이해되어야 한다. 그러나, 많은 변화들이 본 발명의 사상과 범주로부터 벗어남이 없이 동일한 또는 유사한 결과를 얻도록 밝혀진 전형적인 실시예들에서 생성될 수 있다는 것이 이해되어야 한다. 따라서, 예들은 본 발명의 범주를 제한하는 것으로 해석되지 않아야 한다.

[0067] 예1

[0068] 벡터 폴 브리지 INS

- [0069] 본 실시예에서, 벡터 폴 브리지 INS 알고리즘은 서로 완전히 상이하도록 허용되는 제 1 및 제 2 출력 PWM 신호들을 생성한다. 각 출력 폴 브리지 PWM 신호는 도 1에 도시된 폴 브리지 파워 스테이지(100)의 한면을 구동할 수 있으며, 즉, 독립 듀티비들이 폴 브리지 파워 스테이지(100)의 각 절반에 인가될 수 있다.
- [0070] 도 6을 참조하면, 벡터 폴 브리지 INS 프로세스(600)의 타이밍도가 도시된다. 수직 축은 신호들(401A, 402A, 404A, 및 405A)을 나타내는 반면, 수평 축은 시간을 나타낸다. 관심있는 시간은: $(2n-1)T_s/2$, $(2n)T_s/2$, 및 $(2n+1)T_s/2$ 를 포함하며, 여기서 n 은 정수이고 T_s 는 스위칭 주기이다. 기준 PWM 신호들(401A 및 402A)의 쌍은 도 4에 설명된 폴 브리지 INS 양자화기(403)에 인가되고, 이는 출력 PWM 신호들(404A 및 405A)의 쌍을 출력한다. 음의 기준 신호(402A)는 양의 기준 신호(401A)의 지연되고 변환된 버전임에 주의한다. 도 5에 설명된 내추럴 샘플링 회로(501) 내에서 사용된 양면 램프 샘플링 신호(610)에 대한 기준이 생성된다. 벡터 폴 브리지 INS 알고리즘은 다음과 같다:

- [0071] 우측 반사이클들(r)에 대하여, 시간 $t=(2n-1)T_s/2$ 에서:

$$xr_1(n-1)=xr(n-1) \quad (식 17)$$

$$xr_2(n-1)=1-xl(n-1) \quad (식 18)$$

$$z_1=xr_1+k_1I_1+k_2I_2+k_3I_3+k_4I_4 \quad (식 19)$$

$$y_1=Quantize(z_1)=Q(z_1) \quad (식 20)$$

$$[0076] \quad z_2 = xr_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4) + (y_1 - z_1) \quad (\text{식 21})$$

$$[0077] \quad y_2 = \text{Quantize}(z_2) = Q(z_2) \quad (\text{식 22})$$

[0078] 식 17 및 식 18은 기준 PWM 신호들(401A 및 402A)의 쌍의 우측 반사이클들 사이의 관계를 수립한다. 식 19 및 식 21은 두 기준 PWM 신호들(401A 및 402A)의 함수로서 출력 PWM 신호들(404A 및 405A)의 쌍에 대한 보정된 듀티비들을 정의하며, 여기서 k 값들은 가중 인자들에 대응한다. 식 19 내지 식 22에 의해 나타내어진 연산들은 모두 도 5에 도시된 차분 적분 블록(503)과 합 및 양자화 블록(502)에 의해 수행된다.

[0079] 시간 $t = (2n)T_s/2$ 에서 적분들을 업데이트하면 다음과 같다:

$$[0080] \quad I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-y_1)^4}{24} - \frac{(1-xr_1)^4}{24} - \frac{(1-y_2)^4}{24} + \frac{(1-xr_2)^4}{24} \quad (\text{식 23})$$

$$[0081] \quad I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-y_1)^3}{6} - \frac{(1-xr_1)^3}{6} - \frac{(1-y_2)^3}{6} + \frac{(1-xr_2)^3}{6} \quad (\text{식 24})$$

$$[0082] \quad I_2 = I_2 + I_1 + \frac{(1-y_1)^2}{2} - \frac{(1-xr_1)^2}{2} - \frac{(1-y_2)^2}{2} + \frac{(1-xr_2)^2}{2} \quad (\text{식 25})$$

$$[0083] \quad I_1 = I_1 + (1-y_1) - (1-xr_1) - (1-y_2) + (1-xr_2) \quad (\text{식 26})$$

[0084] 식 23 내지 식 26에 설명된 적분들은 도 5에 설명된 차분 적분기(503)에 의해 수행되며, 양자화 에러 보정(504)을 제공한다. 좌측 반사이클들(1)에 대하여, 시간 $t = (2n)T_s/2$ 에서:

$$[0085] \quad xl_1(n) = xl(n) \quad (\text{식 27})$$

$$[0086] \quad xl_2(n) = 1 - xr(n-1) \quad (\text{식 28})$$

$$[0087] \quad z_1 = xl_1 + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4 \quad (\text{식 29})$$

$$[0088] \quad y_1 = \text{Quantize}(z_1) = Q(z_1) \quad (\text{식 30})$$

$$[0089] \quad z_2 = xl_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4) + (y_1 - z_1) \quad (\text{식 31})$$

$$[0090] \quad y_2 = \text{Quantize}(z_2) = Q(z_2) \quad (\text{식 32})$$

[0091] 식 27 및 식 28은 기준 PWM 신호들(401A 및 402A)의 쌍의 좌측 반사이클들(1) 사이의 관계를 수립한다. 식 29 및 식 31은 두 기준 PWM 신호들(401A 및 402A) 모두의 함수로서 출력 PWM 신호의 쌍(404A 및 405A)에 대한 보정된 듀티비들을 정의한다. 시간 $t = (2n+1)T_s/2$ 에서 적분들을 업데이트하면 다음과 같다:

$$[0092] \quad I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} - \frac{(xl_2)^4}{24} + \frac{(y_2)^4}{24} + \frac{(xl_1)^4}{24} - \frac{(y_1)^4}{24} \quad (\text{식 33})$$

$$[0093] \quad I_3 = I_3 + I_2 + \frac{I_1}{2} - \frac{(xl_2)^3}{6} + \frac{(y_2)^3}{6} + \frac{(xl_1)^3}{6} - \frac{(y_1)^3}{6} \quad (\text{식 34})$$

$$I_2 = I_2 + I_1 - \frac{(xl_2)^2}{2} + \frac{(y_2)^2}{2} + \frac{(xl_1)^2}{2} - \frac{(y_1)^2}{2}$$

[0094] (식 35)

$$I_1 = I_1 - xl_2 + y_2 + xl_1 - y_1$$

[0095] (식 36)

[0096] 식 33 내지 식 36에 도시된 적분들은 도 5에 설명된 차분 적분기(503)에 의해 수행되며, 양자화 에러 보정(504)을 제공한다.

[0097] 도 7을 참조하면, 벡터 풀 브리지 INS 출력 신호의 컴퓨터 시뮬레이트된 파워 스펙트럼 밀도 그래프(700)가 도시된다. 입력은 15 kHz 풀 스케일 톤이다. 그래프(700)는 도 1에 설명된 바와 같은 파워 스테이지(100)의 두 면들 간에 미스매치가 없는 벡터 풀 브리지 INS 애플리케이션의 결과이다. 수직 축은 로드(106)에 인가된 차분 신호의 크기(dB)를 나타내고, 수평 축은 신호의 주파수($\times 10^4$)를 나타낸다.

[0098] 도 8을 참조하면, 벡터 풀 브리지 INS 출력 신호의 0.3% 미스매치를 갖는 컴퓨터 시뮬레이트된 파워 스펙트럼 밀도 그래프가 도시된다. 그래프(800)는 이제 도 1에서 설명된 바와 같은, 파워 스테이지(100)의 두 면들 간에 0.3% 미스매치를 갖는 다른 벡터 풀 브리지 INS 애플리케이션의 결과이다. 수직 축은 로드(106)에 인가된 차분 신호의 크기(dB)를 나타내며, 수평 축은 신호의 주파수($\times 10^4$ Hz)를 나타낸다. 잡음 레벨은 도 7과 비교해 상당히 상승된다는 것에 주의한다. 0.3%의 미스매치는 어떤 것이 적분된 파워 스테이지에서 찾아질 수 있는지를 나타낸다. 다음 예인 상보적인 풀 브리지 INS는 파워 스테이지 미스매치를 보다 잘 견뎌내는 대안의 실시예를 설명한다.

예2

상보적 풀 브리지 INS

[0101] 이러한 실시예에서, 상보적 풀 브리지 INS 알고리즘은 상보적 듀티비들을 갖는 제 1 및 제 2 출력 PWM 신호들을 생성한다. 각 출력 풀 브리지 PWM 신호는 도 1에 도시된 풀 브리지 파워 스테이지(100)의 한면을 구동할 수 있으며, 즉, 상보적 듀티비들이 풀 브리지 파워 스테이지(100)의 각 절반으로 인가될 수 있다.

[0102] 도 9를 참조하면, 상보적 풀 브리지 INS 프로세스(900)의 타이밍도가 도시된다. 수직 축은 신호들(401B, 402B, 404B, 및 405B)을 나타내는 반면, 수평 축은 시간을 나타낸다. 관심있는 시간: $(2n-1)T_s/2$, $(2n)T_s/2$, 및 $(2n+1)T_s/2$ 를 포함하며, 여기서 n 은 정수이고 T_s 는 스위칭 주기이다. 기준 PWM 신호들(401B 및 402B)의 쌍은 도 4에 설명된 풀 브리지 INS 양자화기(403)에 인가되고, 이는 출력 PWM 신호들(404B 및 405B)의 쌍을 출력한다. 도 5에 설명된 내추럴 샘플링 회로(501) 내에서 사용된 양면 램프 샘플링 신호(910)에 대한 기준이 생성된다. 상보적 풀 브리지 INS 알고리즘은 다음과 같다:

[0103] 우측 반사이클들(r)에 대하여, 시간 $t=(2n-1)T_s/2$ 에서:

$$xr_1(n-1) = xr(n-1)$$

[0104] (식 37)

$$xr_2(n-1) = 1 - xl(n-1)$$

[0105] (식 38)

$$z_1 = \frac{xr_1 + (1 - xr_2)}{2} + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4$$

[0106] (식 39)

$$y_1 = Quantize(z_1) = Q(z_1)$$

[0107] (식 40)

$$y_2 = 1 - y_1$$

[0108] (식 41)

[0109] 식 37 및 식 38은 기준 PWM 신호들의 쌍(401B 및 402B)의 우측 반사이클들 사이의 관계를 수립한다. 식 39는 두 기준 PWM 신호들(401B 및 402B)의 함수로서 출력 PWM 신호들(404B)에 대한 보정된 듀티비를 정의하며, 여기서 k 값들은 가중 인자들에 대응한다. 식 39 내지 식 42에 의해 나타난 연산들은 모두 도 5에 도시된 차분 적분 블록(503)과 합 및 양자화 블록(502)에 의해 수행된다. 시간 $t=(2n)T_s/2$ 에서 적분들을 업데이트하면 다음과 같다:

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-y_1)^3}{24} - \frac{(1-xr_1)^3}{24} - \frac{(1-y_2)^3}{24} + \frac{(1-xr_2)^3}{24} \quad (식 42)$$

$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-y_1)^3}{6} - \frac{(1-xr_1)^3}{6} - \frac{(1-y_2)^3}{6} + \frac{(1-xr_2)^3}{6} \quad (식 43)$$

$$I_2 = I_2 + I_1 + \frac{(1-y_1)^2}{2} - \frac{(1-xr_1)^2}{2} - \frac{(1-y_2)^2}{2} + \frac{(1-xr_2)^2}{2} \quad (식 44)$$

$$I_1 = I_1 + (1-y_1) - (1-xr_1) - (1-y_2) + (1-xr_2) \quad (식 45)$$

식 42 내지 식 45에 도시된 적분들은 도 5에 설명된 차분 적분기(503)에 의해 수행되며, 양자화 에러 보정(504)을 제공한다. 좌측 반사이클(1)에 대하여, 시간 $t=(2n)T_s/2$ 에서:

$$xl_1(n) = xl(n) \quad (식 46)$$

$$xl_2(n) = 1 - xr(n-1) \quad (식 47)$$

$$z_1 = \frac{xl_1 + (1-xl_2)}{2} + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4 \quad (식 48)$$

$$y_1 = Q(z_1) \quad (식 49)$$

$$y_2 = 1 - y_1 \quad (식 50)$$

식 46 및 식 47은 기준 PWM 신호들(401B 및 402B)의 쌍의 좌측 반사이클들 사이의 관계를 수립한다. 식 48은 두 기준 PWM 신호들(401B 및 402B)의 함수로서 출력 PWM 신호(404B)에 대한 보정된 듀티비를 정의한다. 시간 $t=(2n+1)T_s/2$ 에서 적분들을 업데이트하면:

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} - \frac{(xl_2)^4}{24} + \frac{(y_2)^4}{24} + \frac{(xl_1)^4}{24} - \frac{(y_1)^4}{24} \quad (식 51)$$

$$I_3 = I_3 + I_2 + \frac{I_1}{2} - \frac{(xl_2)^3}{6} + \frac{(y_2)^3}{6} + \frac{(xl_1)^3}{6} - \frac{(y_1)^3}{6} \quad (식 52)$$

$$I_2 = I_2 + I_1 - \frac{(xl_2)^2}{2} + \frac{(y_2)^2}{2} + \frac{(xl_1)^2}{2} - \frac{(y_1)^2}{2} \quad (식 53)$$

$$I_1 = I_1 - xl_2 + y_2 + xl_1 - y_1 \quad (식 54)$$

식 51 내지 식 54에 도시된 적분들은 도 5에 설명된 차분 적분기(503)에 의해 수행되며, 양자화 에러 보정(504)을 제공한다. 도 10 내지 도 12를 참조하면, 상보적 풀 브리지 INS 출력 신호들의 컴퓨터 시뮬레이션된 파워 스펙트럼 밀도 그래프들(1000, 1100 및 1200)이 도시된다. 각 그래프에서, 수직 축은 도 1에 설명된 로드(106)에 인가된 차분 신호의 크기(dB)를 나타내고, 수평 축은 이러한 신호의 주파수($\times 10^4$ Hz)를 나타낸다. 그래프(1000)는 파워 스테이지의 두 면들 간에 미스매치가 없는 상보적 풀 브리지 INS 애플리케이션을 나타낸다. 그래프(1100)는 파워 스테이지의 두 면들 간에 0.3% 미스매치를 갖는 상보적 풀 브리지 INS 애플리케이션을 나타낸다. 0.3% 미스매치로 인한 신호 대 잡음의 열화는 심각하지 않다는 것을 인지한다. 그래프(1200)는 파워 스테이

지의 두 면들 간에 1% 미스매치를 갖는 상보적 풀 브리지 INS 애플리케이션을 나타낸다. 이러한 경우 미스매치로 인한 신호 대 잡음비 열화가 증가되지만, 그 결과는 많은 애플리케이션들에 대하여 여전히 수용할 수 있다.

[0126]

예3

[0127]

시프트된 풀 브리지 INS, 두 배의 스위칭 주파수에서 샘플링

[0128]

본 실시예에서, 두 배의 스위칭 주파수에서 샘플링하는 시프트된 풀 브리지 INS 알고리즘은 제 1 및 제 2 출력 PWM 신호들을 생성한다. 각 출력 풀 브리지 PWM 신호는 독립적인 듀티비를 가지며, 각각은 도 1에 도시된 풀 브리지 파워 스테이지(100)의 한 면을 구동할 수 있다.

[0129]

도 13을 참조하면, 시프트된 풀 브리지 INS 프로세스(1700)의 타이밍도가 도시된다. 수직 축은 신호들(401C, 402C, 404C, 및 405C)을 나타내고, 수평 축은 시간을 나타낸다. 관심있는 시간은: $(2n-1)Ts/2$, $(2n-1+xr)Ts/2$, $(2n)Ts/2$, $(2n+1-xr)Ts/2$, 및 $(2n+1)Ts/2$ 를 포함하며, 여기서 n 은 정수이고 Ts 는 스위칭 주기이다. 제 1 기준 PWM 신호(401C)가 단일 종단 PWM 신호(200)에 대한 $dTs/2$ 에 의해 진행되며, 제 2 기준 PWM 신호(402C)는 단일 종단 PWM 신호(200)에 대한 $dTs/2$ 에 의해 지연되고, 여기서 d 는 상수이다. 관심있는 시간에서, PWM 신호들(404C 및 405C)은 모든 가능한 입력들에 대하여 스위칭 전이를 거치지 않을 것임을 주의한다. 각 스위칭 주기(Ts) 내에 4개의 이러한 횡수들이 존재한다. 이전 예들에서는 스위칭 주기(Ts)에서 단지 2개의 이러한 횡수들이 존재한다. 기준 PWM 신호들(401C 및 402C)의 쌍은 도 4에 설명된 풀 브리지 INS 양자화기(403)에 인가되고, 이는 출력 PWM 신호들(404C 및 405C)의 쌍을 출력한다. 도 5에 설명된 내추럴 샘플링 회로(501) 내에서 사용된 양면 램프 샘플링 신호(1710)에 대한 기준이 생성된다. 두배의 스위칭 주파수에서 샘플링하는 시프트된 풀 브리지 INS 알고리즘은 다음과 같다:

[0130]

우측 반사이클들(r)에 대하여, 시간 $t=(2n-1)Ts/2$ 에서:

[0131]

$$xr_1 = xr - d \quad (\text{식 } 55)$$

[0132]

$$xr_2 = 1 - xr - d \quad (\text{식 } 56)$$

[0133]

$$z_1 = xr_1 + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4 \quad (\text{식 } 57)$$

[0134]

$$y_1 = Q(z_1) \quad (\text{식 } 58)$$

[0135]

$$y_2 = 1 - 2d - y_1 \quad (\text{식 } 59)$$

[0136]

식 55 및 식 56은 기준 PWM 신호들(401C 및 402C)의 쌍의 우측 반사이클들 사이의 관계를 수립한다. 식 57은 기준 PWM 신호들(401C 및 402C)의 쌍 중 하나의 함수로서 출력 PWM 신호(404C)에 대한 보정된 듀티비를 정의하며, 여기서 k 값들은 가중 인자들에 대응한다. 식 57 내지 식 59에 의해 나타난 연산들은 모두 도 5에 도시된 차분 적분 블록(503)과 합 및 양자화 블록(502)에 의해 수행된다. 시간 $t=(2n)Ts/2$ 에서 적분들을 업데이트하면 다음과 같다:

[0137]

$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-y_1)^3}{24} - \frac{(1-xr_1)^3}{24} + \frac{(y_2)^3}{24} - \frac{(xr_2)^3}{24} \quad (\text{식 } 60)$$

[0138]

$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-y_1)^3}{6} - \frac{(1-xr_1)^3}{6} + \frac{(y_2)^3}{6} - \frac{(xr_2)^3}{6} \quad (\text{식 } 61)$$

[0139]

$$I_2 = I_2 + I_1 + \frac{(1-y_1)^2}{2} - \frac{(1-xr_1)^2}{2} + \frac{(y_2)^2}{2} - \frac{(xr_2)^2}{2} \quad (\text{식 } 62)$$

[0140]

$$I_1 = I_1 + (1-y_1) - (1-xr_1) + y_2 - xr_2 \quad (\text{식 } 63)$$

[0141]

식 60 내지 식 63에 도시된 적분들은 도 5에 설명된 차분 적분기(503)에 의해 수행되며 양자화 에러 보정(504)을 제공한다. 좌측 반사이클에 대하여, 시간 $t=(2n)Ts/2$ 에서:

[0142] $xl_1 = xl + d$ (식 64)

[0143] $xl_2 = 1 - x + d$ (식 65)

[0144] $z_1 = xl_1 + k_1 I_1 + k_2 I_2 + k_3 I_3 + k_4 I_4$ (식 66)

[0145] $y_1 = Q(z_1)$ (식 67)

[0146] $y_2 = 1 + 2d - y_1$ (식 68)

[0147] 식 64 및 식 65는 기준 PWM 신호들(401C 및 402C)의 쌍의 좌측 반사이클들 사이의 관계를 수립한다. 식 66은 기준 PWM 신호들(401C 및 402C)의 쌍 중 하나의 함수로서 출력 PWM 신호(404C)에 대한 보정된 듀티비를 정의한다. 시간 $t = (2n+1)T_s/2$ 에서 적분들을 업데이트하면:

[0148]
$$I_4 = I_4 + I_3 + \frac{I_2}{2} + \frac{I_1}{6} + \frac{(1-xl_2)^4}{24} - \frac{(1-y_2)^4}{24} + \frac{(xl_1)^4}{24} - \frac{(y_1)^4}{24}$$
 (식 69)

[0149]
$$I_3 = I_3 + I_2 + \frac{I_1}{2} + \frac{(1-xl_2)^3}{6} - \frac{(1-y_2)^3}{6} + \frac{(xl_1)^3}{6} - \frac{(y_1)^3}{6}$$
 (식 70)

[0150]
$$I_2 = I_2 + I_1 + \frac{(1-xl_2)^2}{2} - \frac{(1-y_2)^2}{2} + \frac{(xl_1)^2}{2} - \frac{(y_1)^2}{2}$$
 (식 71)

[0151]
$$I_1 = I_1 + (1-xl_2) - (1-y_2) + xl_1 - y_1$$
 (식 72)

[0152] 식 69 내지 식 72에 도시된 적분들은 도 5에 설명된 차분 적분기(503)에 의해 수행되며, 양자화 예러 보정(504)을 제공한다.

[0153] 도 14를 참조하면, 두 배의 스위칭 주파수에서 시프트된 기준 풀 브리지 INS 신호의 시뮬레이션된 파워 스펙트럼 밀도 그래프(1800)가 도시된다. 수직 축은 도 1에 설명된 로드(106)에 인가된 차분 신호의 크기(dB)를 나타내고, 수평 축은 신호의 주파수($\times 10^4$ Hz)를 나타낸다. 그래프(1800)의 잡음 플로어(noise floor)는 도 10의 그래프(1000)와 비교하여 다소 상승되었음을 인지한다. 그러나, 모든 스위칭 주기(T_s)에 PWM 출력 신호들(404C 및 405C)이 전이하지 않는 동안 4개의 시간 간격들이 있다는 사실로부터 이득을 얻을 수 있는 애플리케이션들이 있다.

[0154] 예 4

[0155] 시프트된 풀 브리지 INS, 4배의 스위칭 주파수에서 샘플링

[0156] 본 실시예에서, 4배의 스위칭 주파수에서 샘플링하는 시프트된 풀 브리지 INS 알고리즘은 제 1 및 제 2 출력 PWM 신호들을 생성한다. 각 출력 풀 브리지 PWM 신호는 완전히 독립적인 듀티비를 가지며, 각각은 도 1에 도시된 풀 브리지 파워 스테이지(100)의 한면을 구동할 수 있다.

[0157] 도 15를 참조하면, 시프트된 풀 브리지 INS 프로세스(1900)의 타이밍도가 도시된다. 수직 축은 신호들(401D, 402D, 404D, 및 405D)을 나타내고, 수평 축은 시간을 나타낸다. 관심있는 시간은: $(2n-1)T_s/2$, $(2n-1+x_r)T_s/2$, $(2n)T_s/2$, $(2n+1-x_l)T_s/2$, 및 $(2n+1)T_s/2$ 를 포함하며, 여기서 n 은 정수이고 T_s 는 스위칭 주기이다. 제 1 기준 PWM 신호(401D)가 단일 종단 PWM 신호(200)에 대한 $dT_s/2$ 에 의해 진행되며, 제 2 기준 PWM 신호(402D)는 단일 종단 PWM 신호(200)에 대한 $dT_s/2$ 에 의해 지연되고, 여기서 d 는 상수이다. 기준 PWM 신호들(401D 및 402D)의 쌍은 도 4에 설명된 풀 브리지 INS 양자화기(403)에 인가되고, 이는 출력 PWM 신호들(404D 및 405D)의 쌍을 출력한다. 도 5에 설명된 내추럴 샘플링 회로(501) 내에서 사용된 양면 램프 샘플링 신호(1910)에 대한 기준이 생성된다. 4배의 스위칭 주파수에서 샘플링하는 3차 시프트된 풀 브리지 INS 알고리즘은 다음과 같다:

[0158] 시간 $t = (2n-1)T_s/2$ 에서:

- [0159] $xr_1 = xr - d$ (식 73)
- [0160] $z_1 = xr_1 + k_1 I_1 + k_2 I_2 + k_3 I_3$ (식 74)
- [0161] $y_1 = Q(z_1)$ (식 75)
- [0162] 시간 $t = (2n-1+xr)T_s/2$ 에서 적분들을 업데이트하면:
- [0163] $I_3 = I_3 + I_2(xr) + I_1 \frac{(xr)^2}{2} + \frac{(xr - y_1)^3}{6} - \frac{(xr - xr_1)^3}{6}$ (식 76)
- [0164] $I_2 = I_2 + I_1(xr) + \frac{(xr - y_1)^2}{2} - \frac{(xr - xr_1)^2}{2}$ (식 77)
- [0165] $I_1 = I_1 + (xr - y_1) - (xr - xr_1)$ (식 78)
- [0166] 시간 $t = (2n-1+xr)T_s/2$ 에서:
- [0167] $xr_2 = 1 - xr - d$ (식 79)
- [0168] $z_2 = xr_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3)$ (식 80)
- [0169] $y_2 = Q(z_2)$ (식 81)
- [0170] 시간 $t = (2n)T_s/2$ 에서 적분들을 업데이트하면:
- [0171] $I_3 = I_3 + I_2(1 - xr) + I_1 \frac{(1 - xr)^2}{2} + \frac{(y_2)^3}{6} - \frac{(xr_2)^3}{6}$ (식 82)
- [0172] $I_2 = I_2 + I_1(1 - xr) + \frac{(y_2)^2}{2} - \frac{(xr_2)^2}{2}$ (식 83)
- [0173] $I_1 = I_1 + y_2 - xr_2$ (식 84)
- [0174] 시간 $t = (2n)T_s/2$ 에서:
- [0175] $xl_1 = xl + d$ (식 85)
- [0176] $z_1 = xl_1 + k_1 I_1 + k_2 I_2 + k_3 I_3$ (식 86)
- [0177] $y_1 = Q(z_1)$ (식 87)
- [0178] 시간 $t = (2n+1-xl)T_s/2$ 에서 적분들을 업데이트하면:
- [0179] $I_3 = I_3 + I_2(1 - xl) + I_1 \frac{(1 - xl)^2}{2} + \frac{(xl_1 - xl)^3}{6} - \frac{(y_1 - xl)^3}{6}$ (식 88)
- [0180] $I_2 = I_2 + I_1(1 - xl) + \frac{(xl_1 - xl)^2}{2} - \frac{(y_1 - xl)^2}{2}$ (식 89)
- [0181] $I_1 = I_1 + (xl_1 - xl) - (y_1 - xl)$ (식 90)
- [0182] 시간 $t = (2n+1-xl)T_s/2$ 에서:
- [0183] $xl_2 = 1 - xl + d$ (식 91)

[0184]
$$z_2 = xl_2 - (k_1 I_1 + k_2 I_2 + k_3 I_3)$$
 (식 92)

[0185]
$$y_2 = Q(z_2)$$
 (식 93)

[0186] 시간 $t = (2n+1)T_s/2$ 에서 적분들을 업데이트하면:

[0187]
$$I_3 = I_3 + I_2(xl) + I_1 \frac{(xl)^2}{2} + \frac{(1-xl_2)^3}{6} - \frac{(1-y_2)^3}{6}$$
 (식 94)

[0188]
$$I_2 = I_2 + I_1(xl) + \frac{(1-xl_2)^2}{2} - \frac{(1-y_2)^2}{2}$$
 (식 95)

[0189]
$$I_1 = I_1 + (1-xl_2) - (1-y_2)$$
 (식 96)

[0190] 식들 74, 80, 86 및 92는 출력 PWM 신호(404D)에 대한 보정된 듀티비를 정의하며, 여기서 k 값들은 가중 인자들에 대응한다. 식들 73-75, 79-81, 85-87 및 91-93에 의해 나타난 연산들은 모두 도 5에 도시된 차분 적분 블록(503)과 합 및 양자화 블록(502)에 의해 수행된다. 식들 76-78, 82-84, 88-90 및 94-96에 도시된 적분들은 도 5에 또한 설명된 차분 적분기(503)에 의해 수행되며, 양자화 에러 보정(504)을 제공한다.

[0191] 도 16을 참조하면, 4배의 스위칭 주파수에서 3차 시프트된 기준 풀 브리지 INS 신호의 시뮬레이트된 파워 스펙트럼 밀도 그래프(2000)가 도시된다. 도 16에 예시된 3차 예에 대하여, 잡음 스펙트럼은 dc 및 16 kHz에서 널(null)들을 갖는 것을 인지한다. 입력은 14 kHz 풀 스케일 톤이다. 4배의 스위칭 주파수에서 샘플링하는 것에 의해, 알고리즘은 효율 열화가 없는 스위칭 주파수가 더 낮아지는 것을 허용한다.

[0192] 도 17을 참조하면, 종래 기술의 단일 종단 INS 출력 신호(2100)의 시뮬레이트된 출력 스펙트럼 그래프가 도시된다. 이러한 시뮬레이션은 도 2에 설명된 블록도에 대응한다. 도 18을 참조하면, 본 발명의 한 양상에 따른 풀 브리지 INS 출력 신호(2200)의 시뮬레이트된 출력 스펙트럼 그래프가 도시된다. 이러한 시뮬레이션은 도 4에 설명된 블록도에 대응하며, 예 2에서 설명된 것과 같은 4차의 상보적 풀 브리지 INS 알고리즘을 사용한다.

[0193] 도 17 및 도 18을 참조하면, 수직 축은 출력 신호의 크기를 dB로 나타내고, 수평축은 500kHz까지의 신호의 주파수를 도시한다. 통과 대역은 dc로부터 20kHz까지이며 잡음은 이 영역에서 최소화되었다. 신호는 15kHz에서 풀 스케일 신호이다. 도들 17 및 18을 계속하여 참조하면, 종래 기술의 단일 종단 INS 출력 신호(2100)와 동일한 조건들 하에서 풀 브리지 INS 출력 신호(2200)가 얻어지지만, 스위칭 주파수에서의 풀 스케일 톤은 강제되지 않았다. 이러한 종래 기술에 대한 개선은 수동적인 L-C 저역 통과 필터에 대한 요청들을 감소시키는 것을 허용하며, 이는 일반적으로 파워 스테이지 및 로드 사이에서 사용된다.

[0194] 본 발명은 PWM 신호들의 양자화를 위한 풀 브리지 적분 잡음 정형에 대한 방법 및/또는 장치를 포함한다. 본 발명은 풀 브리지 적분 잡음 정형 동작들을 수행하기 위한 복수의 알고리즘들을 포함한다. 당업자가 본 명세서의 관점에서 인식할 바와 같이, 여기 포함된 방법들은 하드웨어(예를 들면, 애플리케이션 특정 집적 회로) 또는 소프트웨어를 통해 구현될 수 있다.

[0195] 본 발명의 임의의 실시예들은 샘플 레이트가 적어도 두 배가 되는 것을 허용하고, 따라서 보다 높은 성능 및/또는 보다 낮은 스위칭 주파수를 허용한다. 본 발명은 비-오디오 증폭기들로부터 움직임 제어까지의 범위에 있는 애플리케이션들을 포함한다는 것을 당업자는 본 명세서의 관점에서 인식할 것이다.

[0196] 여기서 사용된 하나(a 또는 an)라는 용어는 하나 또는 하나 이상을 정의한다. 여기서 사용된 복수(plurality)라는 용어는 둘 또는 둘 이상의 정의한다. 여기서 사용된 또 다른(another)이라는 용어는 적어도 제 2 또는 그 이상을 정의한다. 여기서 사용된 포함하다(including) 및/또는 갖다(having)라는 용어들은 포함하는 것을 정의한다(즉, 개방 언어). 여기서 사용된 결합된(coupled)이라는 용어는 직접적일 필요는 없으며 물리적일 필요도 없는 연결되는 것을 정의한다. 여기서 사용된 프로그램(program) 또는 소프트웨어(software)라는 용어는 컴퓨터 시스템 상에서 수행하기 위해 설계된 명령들의 시퀀스를 정의한다. 프로그램, 또는 컴퓨터 프로그램은 서브루틴, 함수, 절차, 오브젝트 방법, 오브젝트 실행, 실행가능한 애플리케이션, 애플릿, 서블릿, 소스 코드, 오브젝트 코드, 공유된 라이브러리/동적 로드 라이브러리 및/또는 컴퓨터 시스템 상에서 수행하기 위해 설계된 다른 명령들의 시퀀스를 포함할 수 있다. 여기서 사용된 도출가능한 임의의 정수(any integer derivable)인 구는 명세서에 기재된 대응 숫자들 사이의 정수들을 정의하며, 도출가능한 임의의 범위(any range derivable)인,

구는 이러한 대응 숫자들 내의 임의의 범위로 정의된다.

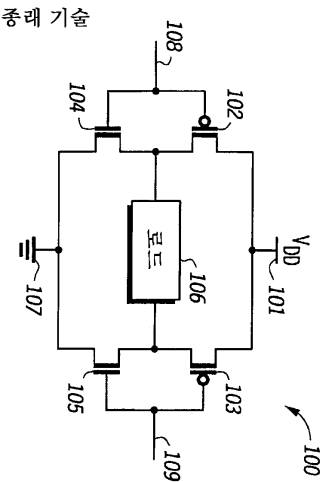
[0197] 첨부된 청구항들은 제한이 "수단" 및/또는 "단계"와 같은 구(들)을 사용하여 주어진 청구항에 명백하게 기술되지 않는 한, 수단과 기능을 합한 제한들을 포함하는 것으로 해석되지 않는다. 본 발명의 특징적인 실시예들은 첨부된 독립 청구항들 및 그들의 동등물에 의해 서술된다. 본 발명의 특정 실시예들은 첨부된 종속 청구항들 및 그들의 동등물들에 의하여 차별된다.

도면의 간단한 설명

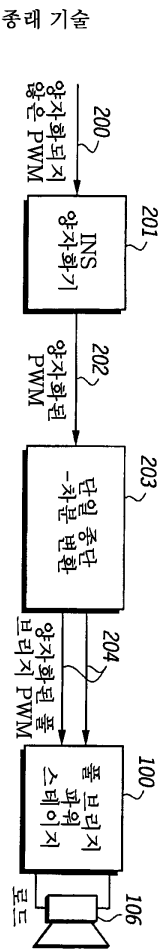
- [0011] 도 1은 증폭기의 폴 브리지 파워 스테이지의 회로도.
- [0012] 도 2는 PWM 처리 체제의 블록도.
- [0013] 도 3은 PWM INS 양자화 프로세스의 타이밍도.
- [0014] 도 4는 본 발명의 일 실시예를 나타내는 폴 브리지 INS 양자화 체제의 블록도.
- [0015] 도 5는 본 발명의 일 실시예를 나타내는 폴 브리지 INS 양자화 체제의 상세한 블록도.
- [0016] 도 6은 본 발명의 일 실시예를 나타내는 벡터 폴 브리지 INS 프로세스의 타이밍도.
- [0017] 도 7은 본 발명의 일 실시예를 나타내는 벡터 폴 브리지 INS 출력 신호의 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0018] 도 8은 본 발명의 일 실시예를 나타내는 벡터 폴 브리지 INS 출력 신호의 0.3% 불일치를 갖는 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0019] 도 9는 본 발명의 일 실시예를 나타내는 상보적 폴 브리지 INS 프로세스의 타이밍도.
- [0020] 도 10은 본 발명의 일 실시예를 나타내는 상보적 폴 브리지 INS 출력 신호의 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0021] 도 11은 본 발명의 일 실시예를 나타내는 상보적 폴 브리지 INS 출력 신호의 0.3% 불일치를 갖는 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0022] 도 12는 본 발명의 일 실시예를 나타내는 상보적 폴 브리지 INS 출력 신호의 1% 불일치를 갖는 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0023] 도 13은 본 발명의 일 실시예를 나타내는 두 배의 스위칭 주파수에서 동작하는 시프트된 기준 폴 브리지 INS 프로세스의 타이밍도.
- [0024] 도 14는 본 발명의 일 실시예를 나타내는 두 배의 스위칭 주파수에서 동작하는 시프트된 기준 폴 브리지 INS 출력 신호의 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0025] 도 15는 본 발명의 일 실시예를 나타내는 4배의 스위칭 주파수에서 동작하는 시프트된 기준 폴 브리지 INS 프로세스의 타이밍도.
- [0026] 도 16은 본 발명의 일 실시예를 나타내는 4배의 스위칭 주파수에서 동작하는 시프트된 기준 폴 브리지 INS 출력 신호의 시뮬레이트된 파워 스펙트럼 밀도 그래프.
- [0027] 도 17은 단일 종단 INS 출력 신호의 시뮬레이트된 출력 스펙트럼 그래프.
- [0028] 도 18은 본 발명의 일 실시예를 나타내는 폴 브리지 INS 출력 신호의 시뮬레이트된 출력 스펙트럼 그래프.

도면

도면1

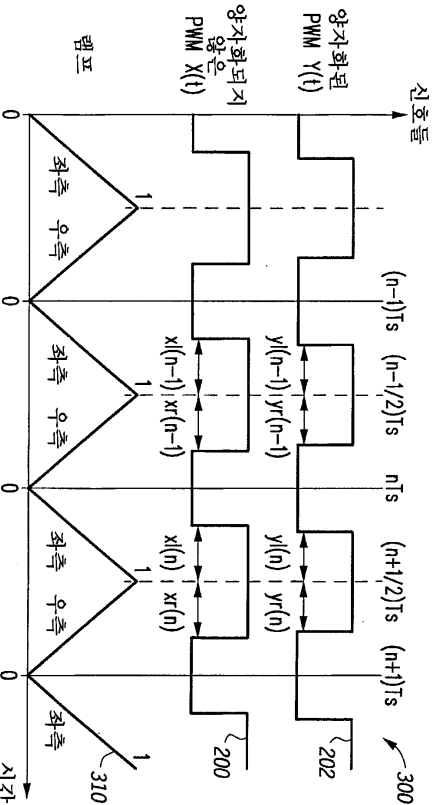


도면2

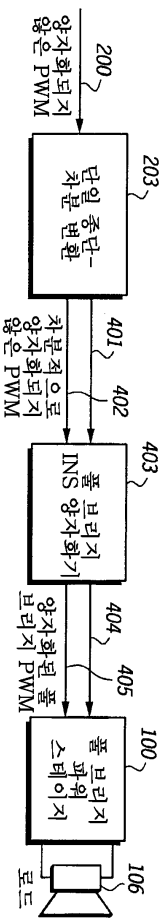


도면3

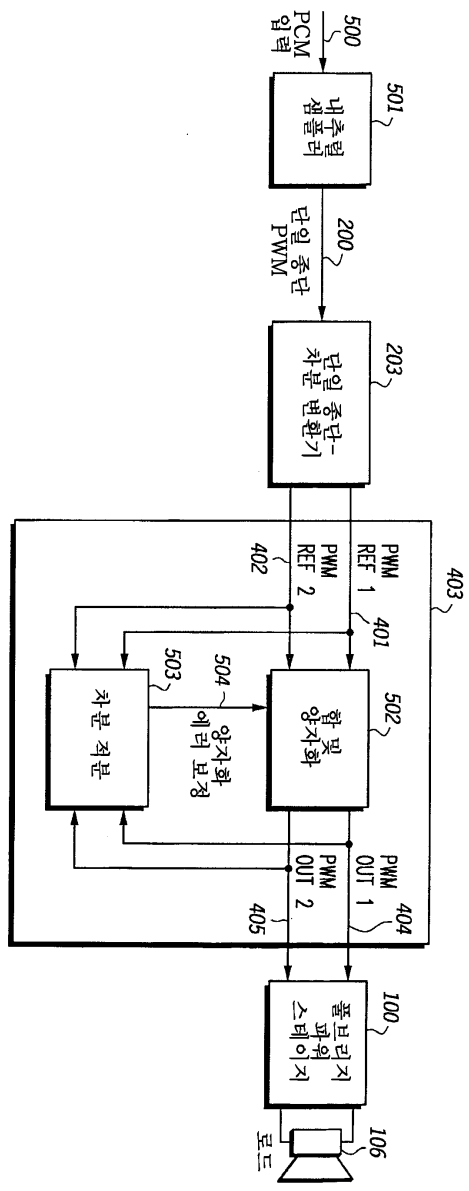
종래 기술



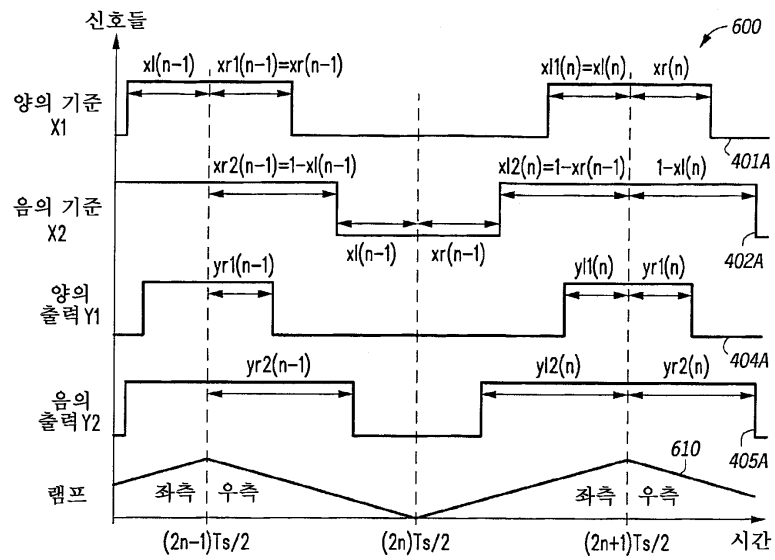
도면4



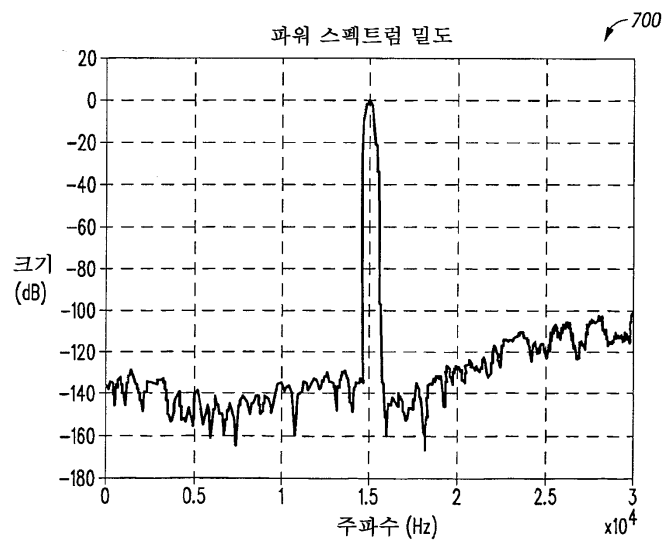
도면5



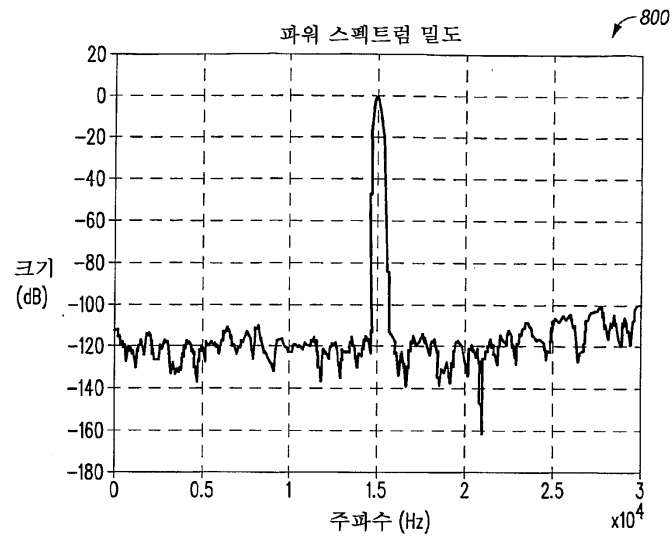
도면6



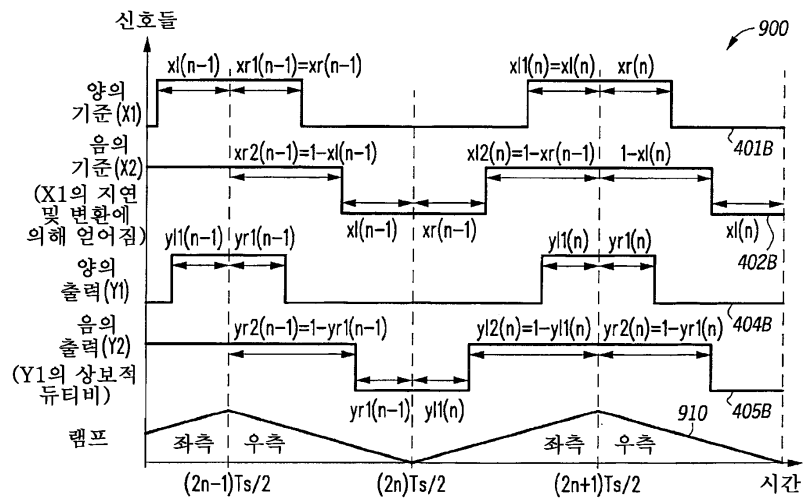
도면7



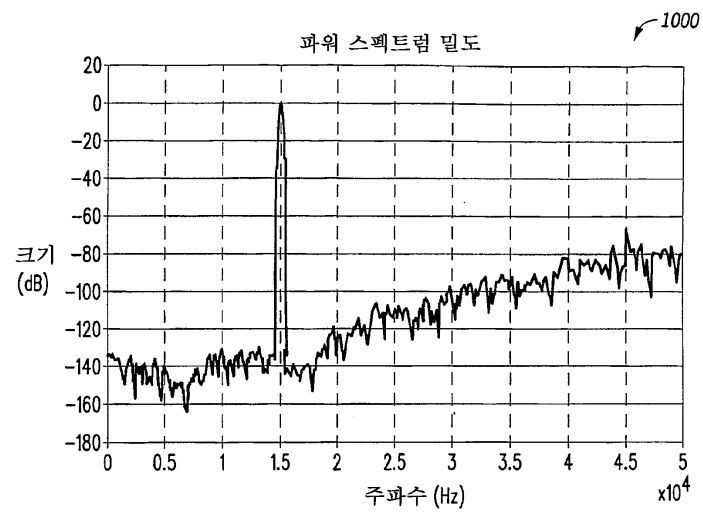
도면8



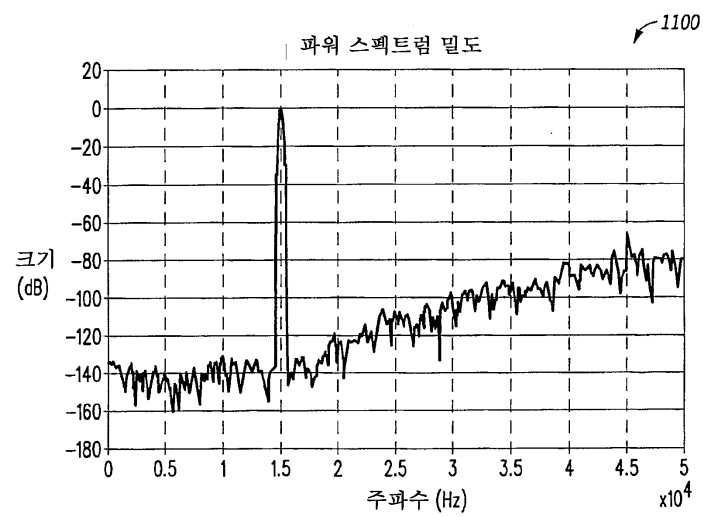
도면9



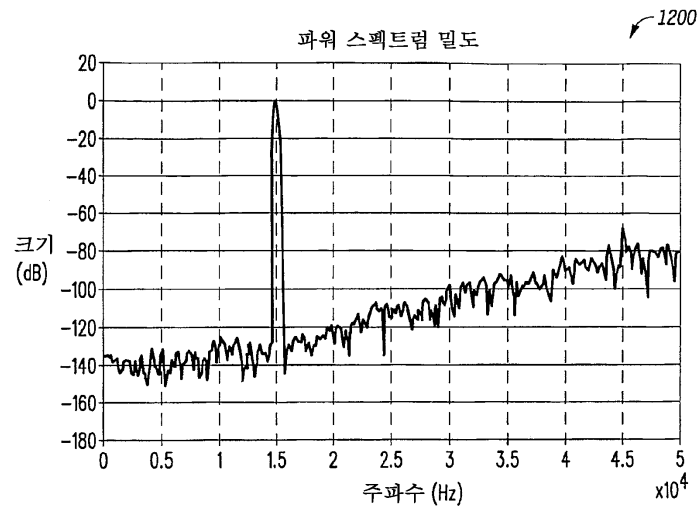
도면10



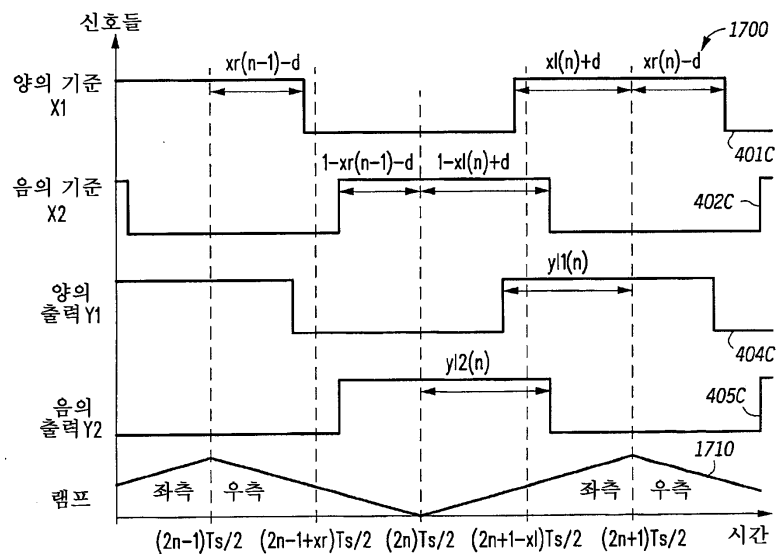
도면11



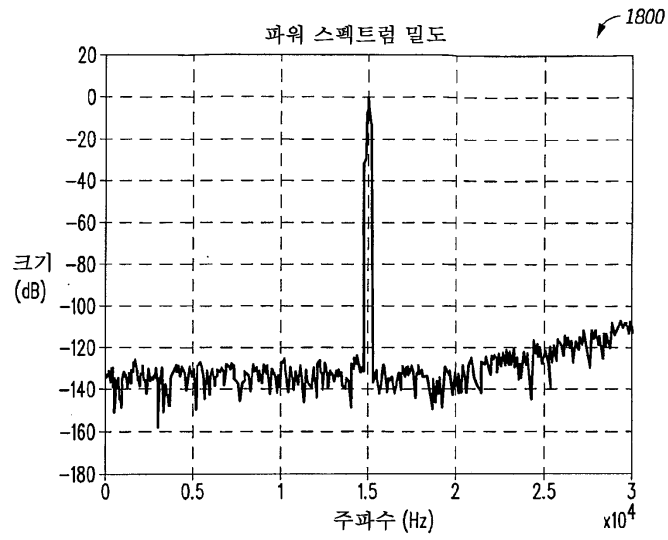
도면12



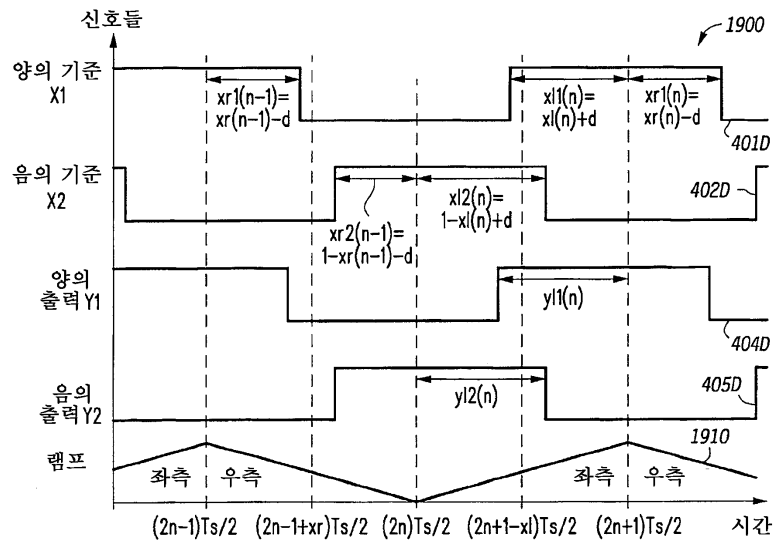
도면13



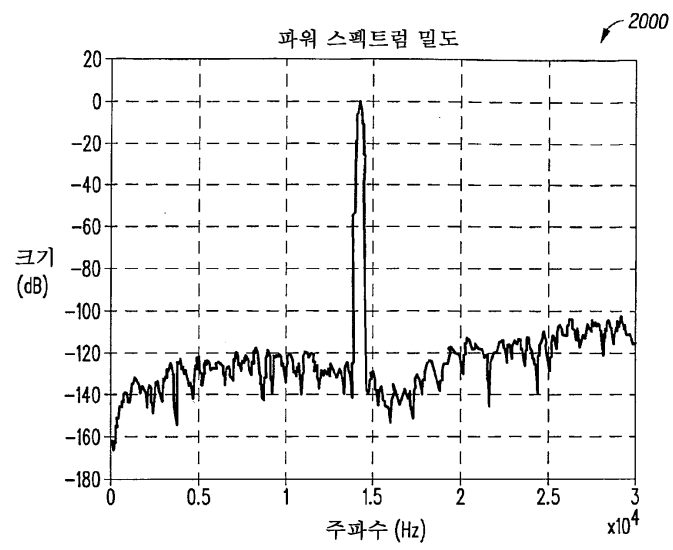
도면14



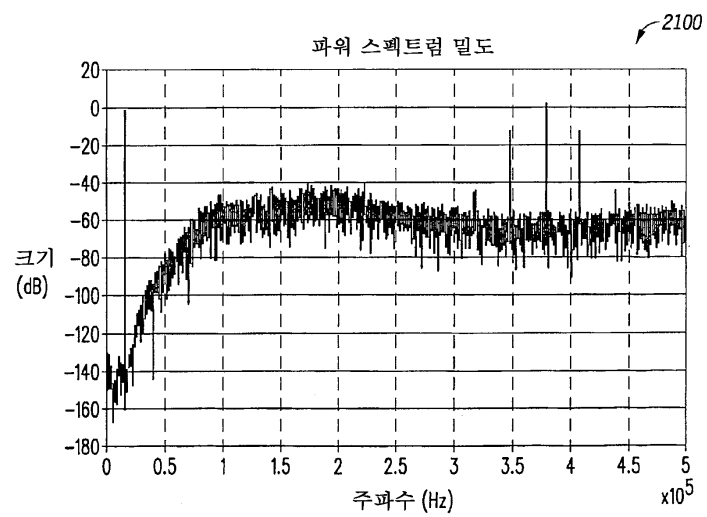
도면15



도면16



도면17



도면18

