



등록특허 10-2029682



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월08일
(11) 등록번호 10-2029682
(24) 등록일자 2019년10월01일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) *H01L 23/12* (2006.01)
- (21) 출원번호 10-2013-0027658
(22) 출원일자 2013년03월15일
심사청구일자 2018년02월20일
(65) 공개번호 10-2014-0112944
(43) 공개일자 2014년09월24일
(56) 선행기술조사문헌
KR1020110099384 A*
US20100140750 A1*
US20110246746 A1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김태선
경기도 성남시 분당구 동판교로 153 801-1404
임경목
경기도 화성시 동탄반석로 277 (석우동, 동탄 예
당마을 우미린제일풍경채) 116동 3202호
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

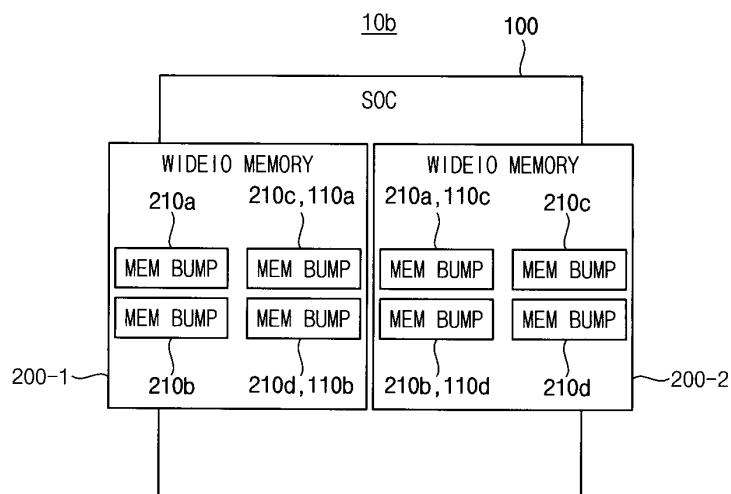
심사관 : 정구원

(54) 발명의 명칭 반도체 장치 및 반도체 패키지

(57) 요약

반도체 장치는 시스템 온 칩(System on Chip; SOC) 및 적어도 하나의 와이드 입출력 메모리 장치(WideIO memory device)를 포함한다. 시스템 온 칩은 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함한다. 적어도 하나의 와이드 입출력 메모리 장치는 시스템 온 칩의 상부에 적층되고, 복수의 SOC 범프부들을 통해 시스템 온 칩과 데이터를 송수신한다. 제1 모드에서 하나의 와이드 입출력 메모리 장치가 복수의 SOC 범프부들 모두에 연결되어 시스템 온 칩과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들이 복수의 SOC 범프부들 중의 제1 절반 및 제2 절반에 각각 연결되어 시스템 온 칩과 데이터를 송수신한다. 반도체 장치는 동일한 시스템 온 칩에 다양한 용량 및/또는 대역폭을 갖는 와이드 입출력 메모리 장치를 적층할 수 있다.

대 표 도 - 도3



명세서

청구범위

청구항 1

서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함하는 시스템 온 칩(System on Chip; SOC); 및

상기 시스템 온 칩의 상부에 적층되고, 상기 복수의 SOC 범프부들을 통해 상기 시스템 온 칩과 데이터를 송수신하는 복수의 와이드 입출력 메모리 장치(WideIO memory device)들을 포함하고,

상기 복수의 와이드 입출력 메모리 장치들 각각은,

서로 독립적인 입출력 채널을 제공하고 상기 복수의 SOC 범프부들과 동일한 개수인 복수의 메모리 범프부들; 및

상기 복수의 메모리 범프부들과 각각 연결되고 상기 복수의 메모리 범프부들과 동일한 개수인 복수의 제어 회로들을 포함하며,

상기 복수의 와이드 입출력 메모리 장치들이 상기 시스템 온 칩의 상부에 적층되는 경우에, 상기 복수의 메모리 범프부들 중 일부만이 상기 복수의 SOC 범프부들 중 일부와 연결되고, 상기 복수의 메모리 범프부들 중 나머지는 상기 복수의 SOC 범프부들과 연결되지 않으며,

상기 복수의 제어 회로들 중 상기 SOC 범프부와 연결된 상기 메모리 범프부에 연결된 상기 제어 회로는 턴 온되어 데이터 송수신을 수행하는데 이용되며, 상기 복수의 제어 회로들 중 상기 SOC 범프부와 연결되지 않은 상기 메모리 범프부에 연결된 상기 제어 회로는 턴 오프되는 반도체 장치.

청구항 2

제1 항에 있어서, 상기 복수의 SOC 범프부들은 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 SOC 범프부들을 포함하고,

상기 복수의 와이드 입출력 메모리 장치들 각각은 복수의 메모리 셀 어레이들을 더 포함하며,

상기 복수의 메모리 범프부들은 상기 복수의 메모리 셀 어레이들에 연결되고 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 메모리 범프부들을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3

제2 항에 있어서,

상기 복수의 제어 회로들은 상기 제1 내지 제4 메모리 범프부들에 각각 연결되고, 상기 제1 내지 제4 메모리 범프부들 각각을 통해 데이터를 송수신하는 제1 내지 제4 제어 회로들을 포함하고,

상기 복수의 와이드 입출력 메모리 장치들 각각은 상기 제1 내지 제4 제어 회로들의 동작을 제어하는 컨트롤러를 더 포함하고,

상기 복수의 메모리 셀 어레이들은 각각이 적어도 하나의 메모리 셀 어레이를 포함하는 제1 내지 제4 메모리 셀 어레이 블록들로 구분되고,

상기 제1 및 제3 메모리 셀 어레이 블록들에 포함되는 메모리 셀 어레이들은 상기 제1 및 제3 제어 회로들에 공통으로 연결되고, 상기 제2 및 제4 메모리 셀 어레이 블록들에 포함되는 메모리 셀 어레이들은 상기 제2 및 제4 제어 회로들에 공통으로 연결되는 것을 특징으로 하는 반도체 장치.

청구항 4

서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함하는 시스템 온 칩(System on Chip; SOC); 및

상기 시스템 온 칩의 상부에 적층되고, 상기 복수의 SOC 범프부들을 통해 상기 시스템 온 칩과 데이터를 송수신하는 적어도 하나의 와이드 입출력 메모리 장치(WideIO memory device)를 포함하고,

제1 모드에서 하나의 와이드 입출력 메모리 장치가 상기 복수의 SOC 범프부들 모두에 연결되어 상기 시스템 온 칩과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들이 상기 복수의 SOC 범프부들 중의 제1 절반 및 제2 절반에 각각 연결되어 상기 시스템 온 칩과 데이터를 송수신하며,

상기 시스템 온 칩은 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 SOC 범프부들을 포함하고,

상기 와이드 입출력 메모리 장치는,

복수의 메모리 셀 어레이들; 및

상기 복수의 메모리 셀 어레이들에 연결되고 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 메모리 범프부들을 포함하며,

상기 와이드 입출력 메모리 장치는,

상기 제1 내지 제4 메모리 범프부들에 각각 연결되고, 상기 제1 내지 제4 메모리 범프부들 각각을 통해 데이터를 송수신하는 제1 내지 제4 제어 회로들; 및

상기 제1 내지 제4 제어 회로들의 동작을 제어하는 컨트롤러를 더 포함하고,

상기 와이드 입출력 메모리 장치에 포함되는 상기 복수의 메모리 셀 어레이들은 각각이 적어도 하나의 메모리 셀 어레이를 포함하는 제1 내지 제4 메모리 셀 어레이 블록들로 구분되고,

상기 제1 및 제3 메모리 셀 어레이 블록들에 포함되는 메모리 셀 어레이들은 상기 제1 및 제3 제어 회로들에 공통으로 연결되고, 상기 제2 및 제4 메모리 셀 어레이 블록들에 포함되는 메모리 셀 어레이들은 상기 제2 및 제4 제어 회로들에 공통으로 연결되며,

상기 제1 모드에서, 상기 제1 내지 제4 제어 회로들은 각각 상기 제1 내지 제4 메모리 범프부들을 통해 상기 제1 내지 제4 메모리 셀 어레이 블록들과 상기 시스템 온 칩 사이에 데이터 송수신을 수행하고,

상기 제2 모드에서, 상기 제3 및 제4 제어 회로들은 턴오프되고, 상기 제1 제어 회로는 상기 제1 메모리 범프부를 통해 상기 제1 및 제3 메모리 셀 어레이 블록들과 상기 시스템 온 칩 사이에 데이터 송수신을 수행하고, 상기 제2 제어 회로는 상기 제2 메모리 범프부를 통해 상기 제2 및 제4 메모리 셀 어레이 블록들과 상기 시스템 온 칩 사이에 데이터 송수신을 수행하는 것을 특징으로 하는 반도체 장치.

청구항 5

제4 항에 있어서, 상기 와이드 입출력 메모리 장치는 상기 제1 모드에서 제1 주파수를 갖는 제1 클럭 신호에 동기되어 동작하고, 상기 제2 모드에서 상기 제1 주파수의 두 배에 상응하는 제2 주파수를 갖는 제2 클럭 신호에 동기되어 동작하는 것을 특징으로 하는 반도체 장치.

청구항 6

제4 항에 있어서, 상기 와이드 입출력 메모리 장치는 상기 제1 모드에서 SDR(Single Date Rate) 방식으로 동작하고, 상기 제2 모드에서 DDR(Double Date Rate) 방식으로 동작하는 것을 특징으로 하는 반도체 장치.

청구항 7

서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함하는 시스템 온 칩(System on Chip; SOC); 및

상기 시스템 온 칩의 상부에 적층되고, 상기 복수의 SOC 범프부들을 통해 상기 시스템 온 칩과 데이터를 송수신하는 적어도 하나의 와이드 입출력 메모리 장치(WideIO memory device)를 포함하고,

제1 모드에서 하나의 와이드 입출력 메모리 장치가 상기 복수의 SOC 범프부들 모두에 연결되어 상기 시스템 온 칩과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들이 상기 복수의 SOC 범프부들 중의 제1 절반 및 제2 절반에 각각 연결되어 상기 시스템 온 칩과 데이터를 송수신하며,

상기 시스템 온 칩은,

상기 복수의 SOC 범프부들에 연결되고 상기 시스템 온 칩을 관통하여 상기 적어도 하나의 와이드 입출력 메모리 장치와 전기적으로 연결되는 관통 실리콘 비아(Through Silicon Via; TSV)들;

상기 복수의 SOC 범프부들 각각에 연결되는 복수의 메모리 컨트롤러들;

상기 복수의 메모리 컨트롤러들에 클럭 신호를 제공하는 클럭 신호 생성부; 및

제1 제어 신호를 사용하여 상기 클럭 신호 생성부의 동작을 제어하고, 제2 제어 신호를 사용하여 상기 복수의 메모리 컨트롤러들의 동작을 제어하는 중앙 처리 장치(Central Processing Unit; CPU)를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8

제7 항에 있어서, 상기 클럭 신호 생성부는 상기 제1 제어 신호에 기초하여 상기 제1 모드에서 제1 주파수를 갖는 상기 클럭 신호를 생성하고, 상기 제2 모드에서 상기 제1 주파수의 두 배에 상응하는 제2 주파수를 갖는 상기 클럭 신호를 생성하는 것을 특징으로 하는 반도체 장치.

청구항 9

제7 항에 있어서, 상기 복수의 메모리 컨트롤러들은 상기 제2 제어 신호에 기초하여 상기 제1 모드에서 SDR(Single Date Rate) 방식으로 동작하고, 상기 제2 모드에서 DDR(Double Data Rate) 방식으로 동작하는 것을 특징으로 하는 반도체 장치.

청구항 10

베이스 기판;

상기 베이스 기판의 상부에 적층되고, 각각이 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함하고, 상기 복수의 SOC 범프부들을 통해 상기 베이스 기판에 연결되는 시스템 온 칩(System on Chip; SOC); 및

상기 시스템 온 칩의 상부에 배치되고, 상기 복수의 SOC 범프부들을 통해 상기 시스템 온 칩과 데이터를 송수신하는 복수의 와이드 입출력 메모리 장치들을 포함하고,

상기 복수의 와이드 입출력 메모리 장치들은 상기 복수의 SOC 범프부들에 연결되고 상기 시스템 온 칩을 관통하는 관통 실리콘 비아(Through Silicon Via; TSV)들을 통해 상기 시스템 온 칩과 전기적으로 연결되고,

상기 복수의 와이드 입출력 메모리 장치들 각각은,

서로 독립적인 입출력 채널을 제공하고 상기 복수의 SOC 범프부들과 동일한 개수인 복수의 메모리 범프부들; 및

상기 복수의 메모리 범프부들과 각각 연결되고 상기 복수의 메모리 범프부들과 동일한 개수인 복수의 제어 회로들을 포함하며,

상기 복수의 와이드 입출력 메모리 장치들이 상기 시스템 온 칩의 상부에 적층되는 경우에, 상기 복수의 메모리 범프부들 중 일부만이 상기 복수의 SOC 범프부들 중 일부와 연결되고, 상기 복수의 메모리 범프부들 중 나머지는 상기 복수의 SOC 범프부들과 연결되지 않으며,

상기 복수의 제어 회로들 중 상기 SOC 범프부와 연결된 상기 메모리 범프부에 연결된 상기 제어 회로는 텐 온되어 데이터 송수신을 수행하는데 이용되며, 상기 복수의 제어 회로들 중 상기 SOC 범프부와 연결되지 않은 상기 메모리 범프부에 연결된 상기 제어 회로는 텐 오프되는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 시스템 온 칩(System on Chip; SOC) 상에 멀티 채널 인터페이스 방식의 와이드 입출력 메모리 장치(WideIO memory)가 적층되는 반도체 장치 및 이를 포함하는 반도체

패키지에 관한 것이다.

배경기술

- [0002] 최근 관통 실리콘 비아(Through Silicon Via; TSV)를 사용하여 시스템 온 칩 상에 멀티 채널 인터페이스 방식의 와이드 입출력 메모리 장치(WideIO memory)를 적층한 반도체 장치가 사용되고 있다.
- [0003] 그러나 시스템 온 칩에서 사용하고자 하는 메모리의 용량(density) 또는 대역폭(bandwidth)이 증가하는 경우 시스템 온 칩에 적층해야 하는 와이드 입출력 메모리 장치의 개수가 증가하므로 시스템 온 칩에 형성되는 TSV 영역의 크기 역시 증가되어야 한다.
- [0004] 따라서 사용하고자 하는 메모리의 용량(density) 또는 대역폭(bandwidth)에 따라 시스템 온 칩을 새로이 설계해야 하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0005] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은, 일정한 크기의 TSV 영역을 갖는 시스템 온 칩에 다양한 용량 및/또는 대역폭을 갖는 와이드 입출력 메모리 장치를 적층할 수 있는 반도체 장치를 제공하는 것이다.

- [0006] 본 발명의 다른 목적은 상기 반도체 장치를 포함하는 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

- [0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 장치는 시스템 온 칩(System on Chip; SOC) 및 적어도 하나의 와이드 입출력 메모리 장치(WideIO memory device)를 포함한다. 상기 시스템 온 칩은 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함한다. 상기 적어도 하나의 와이드 입출력 메모리 장치는 상기 시스템 온 칩의 상부에 적층되고, 상기 복수의 SOC 범프부들을 통해 상기 시스템 온 칩과 데이터를 송수신한다. 제1 모드에서 하나의 와이드 입출력 메모리 장치가 상기 복수의 SOC 범프부들 모두에 연결되어 상기 시스템 온 칩과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들이 상기 복수의 SOC 범프부들 중의 제1 절반 및 제2 절반에 각각 연결되어 상기 시스템 온 칩과 데이터를 송수신한다.

- [0008] 일 실시예에 있어서, 상기 와이드 입출력 메모리 장치는, 복수의 메모리 셀 어레이들 및 상기 복수의 메모리 셀 어레이들에 연결되고 서로 독립적인 입출력 채널을 제공하는 복수의 메모리 범프부들을 포함할 수 있다.

- [0009] 상기 시스템 온 칩은 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 SOC 범프부들을 포함하고, 상기 와이드 입출력 메모리 장치는 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 메모리 범프부들을 포함할 수 있다.

- [0010] 상기 제1 모드에서, 상기 하나의 와이드 입출력 메모리 장치에 포함되는 상기 제1 내지 제4 메모리 범프부들은 상기 시스템 온 칩에 포함되는 상기 제1 내지 제4 SOC 범프부들에 각각 연결되고, 상기 제2 모드에서, 제1 와이드 입출력 메모리 장치에 포함되는 상기 제1 내지 제4 메모리 범프부들 중의 둘은 상기 시스템 온 칩에 포함되는 상기 제1 내지 제4 SOC 범프부들 중의 둘에 각각 연결되고, 제2 와이드 입출력 메모리 장치에 포함되는 상기 제1 내지 제4 메모리 범프부들 중의 둘은 상기 시스템 온 칩에 포함되는 상기 제1 내지 제4 SOC 범프부들 중의 나머지 둘에 각각 연결될 수 있다.

- [0011] 상기 와이드 입출력 메모리 장치는, 상기 제1 내지 제4 메모리 범프부들에 각각 연결되고, 상기 제1 내지 제4 메모리 범프부들 각각을 통해 데이터를 송수신하는 제1 내지 제4 제어 회로들 및 상기 제1 내지 제4 제어 회로들의 동작을 제어하는 컨트롤러를 더 포함할 수 있다.

- [0012] 상기 와이드 입출력 메모리 장치에 포함되는 상기 복수의 메모리 셀 어레이들은 각각이 적어도 하나의 메모리 셀 어레이를 포함하는 제1 내지 제4 메모리 셀 어레이 블록들로 구분되고, 상기 제1 및 제3 메모리 셀 어레이 블록들에 포함되는 메모리 셀 어레이들은 상기 제1 및 제3 제어 회로들에 공통으로 연결되고, 상기 제2 및 제4 메모리 셀 어레이 블록들에 포함되는 메모리 셀 어레이들은 상기 제2 및 제4 제어 회로들에 공통으로 연결될 수 있다.

- [0013] 상기 제1 모드에서, 상기 제1 내지 제4 제어 회로들은 각각 상기 제1 내지 제4 메모리 범프부들을 통해 상기 제1 내지 제4 메모리 셀 어레이 블록들과 상기 시스템 온 칩 사이에 데이터 송수신을 수행하고, 상기 제2 모드에서, 상기 제3 및 제4 제어 회로들은 턴오프되고, 상기 제1 제어 회로는 상기 제1 메모리 범프부를 통해 상기 제1 및 제3 메모리 셀 어레이 블록들과 상기 시스템 온 칩 사이에 데이터 송수신을 수행하고, 상기 제2 제어 회로는 상기 제2 메모리 범프부를 통해 상기 제2 및 제4 메모리 셀 어레이 블록들과 상기 시스템 온 칩 사이에 데이터 송수신을 수행할 수 있다.
- [0014] 상기 와이드 입출력 메모리 장치는 상기 제1 모드에서 제1 주파수를 갖는 제1 클럭 신호에 동기되어 동작하고, 상기 제2 모드에서 상기 제1 주파수의 두 배에 상응하는 제2 주파수를 갖는 제2 클럭 신호에 동기되어 동작할 수 있다.
- [0015] 상기 와이드 입출력 메모리 장치는 상기 제1 모드에서 SDR(Single Date Rate) 방식으로 동작하고, 상기 제2 모드에서 DDR(Double Data Rate) 방식으로 동작할 수 있다.
- [0016] 일 실시예에 있어서, 상기 시스템 온 칩은, 상기 복수의 SOC 범프부들 각각에 연결되는 복수의 메모리 컨트롤러들, 상기 복수의 메모리 컨트롤러들에 클럭 신호를 제공하는 클럭 신호 생성부 및 제1 제어 신호를 사용하여 상기 클럭 신호 생성부의 동작을 제어하고, 제2 제어 신호를 사용하여 상기 복수의 메모리 컨트롤러들의 동작을 제어하는 중앙 처리 장치(Central Processing Unit; CPU)를 더 포함할 수 있다.
- [0017] 상기 클럭 신호 생성부는 상기 제1 제어 신호에 기초하여 상기 제1 모드에서 제1 주파수를 갖는 상기 클럭 신호를 생성하고, 상기 제2 모드에서 상기 제1 주파수의 두 배에 상응하는 제2 주파수를 갖는 상기 클럭 신호를 생성할 수 있다.
- [0018] 상기 복수의 메모리 컨트롤러들은 상기 제2 제어 신호에 기초하여 상기 제1 모드에서 SDR(Single Date Rate) 방식으로 동작하고, 상기 제2 모드에서 DDR(Double Data Rate) 방식으로 동작할 수 있다.
- [0019] 상기 중앙처리 장치는 외부로부터 수신되는 설정값에 기초하여 상기 제1 제어 신호 및 상기 제2 제어 신호를 생성할 수 있다.
- [0020] 일 실시예에 있어서, 상기 시스템 온 칩은, 상기 복수의 SOC 범프부들에 연결되고 상기 시스템 온 칩을 관통하여 상기 적어도 하나의 와이드 입출력 메모리 장치와 전기적으로 연결되는 관통 실리콘 비아(Through Silicon Via; TSV)들을 더 포함할 수 있다.
- [0021] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 패키지는 베이스 기판, 시스템 온 칩 및 적어도 하나의 와이드 입출력 메모리 장치를 포함한다. 상기 시스템 온 칩은 상기 베이스 기판의 상부에 적층되고, 각각이 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함하고, 상기 복수의 SOC 범프부들을 통해 상기 베이스 기판에 연결된다. 상기 적어도 하나의 와이드 입출력 메모리 장치는 상기 시스템 온 칩의 상부에 배치되고, 상기 복수의 SOC 범프부들을 통해 상기 시스템 온 칩과 데이터를 송수신한다. 상기 적어도 하나의 와이드 입출력 메모리 장치는 상기 복수의 SOC 범프부들에 연결되고 상기 시스템 온 칩을 관통하는 관통 실리콘 비아(Through Silicon Via; TSV)들을 통해 상기 시스템 온 칩과 전기적으로 연결된다. 제1 모드에서 하나의 와이드 입출력 메모리 장치가 상기 복수의 SOC 범프부들 모두에 연결되어 상기 시스템 온 칩과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들이 상기 복수의 SOC 범프부들 중의 제1 절반 및 제2 절반에 각각 연결되어 상기 시스템 온 칩과 데이터를 송수신한다.

발명의 효과

- [0022] 본 발명의 실시예들에 따른 반도체 장치는 동일한 시스템 온 칩에 다양한 용량 및/또는 대역폭을 갖는 와이드 입출력 메모리 장치를 적층할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 반도체 장치에 포함되는 시스템 온 칩 및 와이드 입출력 메모리 장치를 나타내는 블록도이다. 도 2는 본 발명의 일 실시예에 따른 반도체 장치가 제1 모드에 따라 형성된 경우를 나타내는 블록도이다. 도 3은 본 발명의 일 실시예에 따른 반도체 장치가 제2 모드에 따라 형성된 경우를 나타내는 블록도이다. 도 4는 도 2 및 3의 반도체 장치에서 시스템 온 칩과 와이드 입출력 메모리 장치의 연결을 설명하기 위한 단면

도이다.

도 5는 도 2 및 3의 반도체 장치에 포함되는 시스템 온 칩의 일 예를 나타내는 블록도이다.

도 6은 도 2 및 3의 반도체 장치에 포함되는 와이드 입출력 메모리 장치의 일 예를 나타내는 블록도이다.

도 7은 도 2 및 3의 반도체 장치에 포함되는 와이드 입출력 메모리 장치의 다른 예를 나타내는 블록도이다.

도 8은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 블록도이다.

도 9는 본 발명의 실시예들에 따른 반도체 패키지가 모바일 시스템에 응용된 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024]

본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0025]

본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0026]

제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

[0027]

어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0028]

본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029]

다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030]

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0031]

도 1은 본 발명의 일 실시예에 따른 반도체 장치에 포함되는 시스템 온 칩 및 와이드 입출력 메모리 장치를 나타내는 블록도이다.

[0032]

도 1을 참조하면, 반도체 장치(10)는 시스템 온 칩(System on Chip; SOC)(100) 및 적어도 하나의 와이드 입출력 메모리 장치(WideIO memory device)(200)를 포함한다.

[0033]

시스템 온 칩(100)은 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들(110a, 110b, 110c, 110d)을 포함한다.

[0034]

와이드 입출력 메모리 장치(200)는 복수의 메모리 셀 어레이들을 포함한다. 또한, 와이드 입출력 메모리 장치(200)는 상기 복수의 메모리 셀 어레이들에 연결되고 서로 독립적인 입출력 채널을 제공하는 복수의 범

프부들(210a, 210b, 210c, 210d)을 포함한다.

[0035] 적어도 하나의 와이드 입출력 메모리 장치(200)는 시스템 온 칩(100)의 상부에 적층되고, 복수의 SOC 범프부들(110a, 110b, 110c, 110d)을 통해 시스템 온 칩(100)과 데이터를 송수신한다.

[0036] 예를 들어, 시스템 온 칩(100) 상에 적층되는 와이드 입출력 메모리 장치(200)에 포함되는 복수의 메모리 범프부들(210a, 210b, 210c, 210d) 중의 적어도 하나는 시스템 온 칩(100)에 포함되는 복수의 SOC 범프부들(110a, 110b, 110c, 110d) 중의 적어도 하나와 연결될 수 있다.

[0037] 구체적으로, 제1 모드에서 하나의 와이드 입출력 메모리 장치(200)가 복수의 SOC 범프부들(110a, 110b, 110c, 110d) 모두에 연결되어 시스템 온 칩(100)과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들(200)이 복수의 SOC 범프부들(110a, 110b, 110c, 110d) 중의 제1 절반 및 제2 절반에 각각 연결되어 시스템 온 칩(100)과 데이터를 송수신한다.

[0038] 시스템 온 칩(100)은 복수의 SOC 범프부들(110a, 110b, 110c, 110d)이 제공하는 서로 독립적인 복수의 채널들을 통해 상부에 배치되는 적어도 하나의 와이드 입출력 메모리 장치(200)와 데이터를 송수신하므로 데이터의 고속 송수신이 가능하다.

[0039] 일 실시예에 있어서, 도 1에 도시된 바와 같이, 시스템 온 칩(100)은 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d)을 포함하고, 와이드 입출력 메모리 장치(200)는 서로 독립적인 제1 내지 제4 입출력 채널들을 제공하는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d)을 포함할 수 있다.

[0040] 도 2는 본 발명의 일 실시예에 따른 반도체 장치가 제1 모드에 따라 형성된 경우를 나타내는 블록도이다.

[0041] 도 2를 참조하면, 반도체 장치(10a)는 제1 모드에서 시스템 온 칩(100) 상에 적층된 하나의 와이드 입출력 메모리 장치(200)를 포함할 수 있다.

[0042] 구체적으로, 도 2에 도시된 바와 같이, 상기 제1 모드에서, 하나의 와이드 입출력 메모리 장치(200)에 포함되는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d)은 시스템 온 칩(100)에 포함되는 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d)에 각각 연결될 수 있다. 따라서 시스템 온 칩(100)은 하나의 와이드 입출력 메모리 장치(200)와 4 채널 인터페이스로 연결되어 데이터를 송수신할 수 있다.

[0043] 도 3은 본 발명의 일 실시예에 따른 반도체 장치가 제2 모드에 따라 형성된 경우를 나타내는 블록도이다.

[0044] 도 3을 참조하면, 반도체 장치(10b)는 제2 모드에서 시스템 온 칩(100) 상에 적층된 두 개의 와이드 입출력 메모리 장치(200)들을 포함할 수 있다.

[0045] 구체적으로, 도 3에 도시된 바와 같이, 상기 제2 모드에서, 제1 와이드 입출력 메모리 장치(200-1)에 포함되는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d) 중의 둘(210c, 210d)은 시스템 온 칩(100)에 포함되는 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d) 중의 둘(110a, 110b)에 연결되고, 제2 와이드 입출력 메모리 장치(200-2)에 포함되는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d) 중의 둘(210a, 210b)은 시스템 온 칩(100)에 포함되는 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d) 중의 둘(110c, 110d)에 연결 수 있다. 따라서 시스템 온 칩(100)은 두 개의 와이드 입출력 메모리 장치들(200-1, 200-2)과 각각 2 채널 인터페이스로 연결되어 데이터를 송수신할 수 있다.

[0046] 상술한 바와 같이, 상기 제2 모드에서 시스템 온 칩(100)에 연결되는 와이드 입출력 메모리 장치(200)의 총 용량(density)은 상기 제1 모드에서 시스템 온 칩(100)에 연결되는 와이드 입출력 메모리 장치(200)의 총 용량(density)의 두 배가 될 수 있다.

[0047] 도 4는 도 2 및 3의 반도체 장치에서 시스템 온 칩과 와이드 입출력 메모리 장치의 연결을 설명하기 위한 단면도이다.

[0048] 도 4를 참조하면, 시스템 온 칩(100)은 복수의 SOC 범프부들(110)에 연결되고 시스템 온 칩(100)을 관통하는 관통 실리콘 비아(Through Silicon Via; TSV)들(120)을 더 포함할 수 있다.

[0049] 도 4에 도시된 바와 같이, 적어도 하나의 와이드 입출력 메모리 장치(200)는 플립 칩 본딩(flip-chip bonding)을 통해 시스템 온 칩(100)의 상부에 적층될 수 있다. 즉, 적어도 하나의 와이드 입출력 메모리 장치(200)에 포함되는 복수의 메모리 범프부들(210)은 관통 실리콘 비아(Through Silicon Via; TSV)들(120)에 연결됨으로써 적

어도 하나의 와이드 입출력 메모리 장치(200)는 시스템 온 칩(100)과 전기적으로 연결될 수 있다.

[0050] 도 5는 도 2 및 3의 반도체 장치에 포함되는 시스템 온 칩의 일 예를 나타내는 블록도이다.

[0051] 도 5를 참조하면, 시스템 온 칩(100)은 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d), 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d), 클럭 신호 생성부(130) 및 중앙 처리 장치(Central Processing Unit; CPU)(140)를 포함할 수 있다.

[0052] 중앙 처리 장치(140)는 제1 제어 신호(CON1)를 사용하여 클럭 신호 생성부(130)의 동작을 제어하고, 제2 제어 신호(CON2)를 사용하여 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)의 동작을 제어할 수 있다.

[0053] 클럭 신호 생성부(130)는 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)에 클럭 신호(CLK)를 제공할 수 있다. 클럭 신호 생성부(130)가 생성하는 클럭 신호(CLK)는 시스템 온 칩(100)의 상부에 적층되는 와이드 입출력 메모리 장치(200)의 동작 주파수와 동일한 주파수를 가질 수 있다. 클럭 신호 생성부(130)는 제1 제어 신호(CON1)에 기초하여 클럭 신호(CLK)의 주파수를 결정할 수 있다.

[0054] 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d)은 서로 독립적인 제1 내지 제4 입출력 채널들을 제공할 수 있다.

[0055] 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d) 각각은 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d) 각각에 연결될 수 있다. 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d) 각각은 클럭 신호 생성부(130)로부터 제공되는 클럭 신호(CLK)에 동기되어 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d) 각각을 통해 시스템 온 칩(100)의 상부에 적층되는 와이드 입출력 메모리 장치(200)와 독립적으로 데이터를 송수신 할 수 있다. 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)은 제2 제어 신호(CON2)에 기초하여 동작 프로토콜(protocol)을 결정할 수 있다. 예를 들어, 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)은 제2 제어 신호(CON2)에 기초하여 SDR(Single Date Rate) 방식 또는 DDR(Double Data Rate) 방식으로 동작할 수 있다.

[0056] 중앙 처리 장치(140)는 외부로부터 수신되는 설정값(SV)에 기초하여 제1 제어 신호(CON1) 및 제2 제어 신호(CON2)를 생성할 수 있다. 외부로부터 수신되는 설정값(SV)은 반도체 장치(10)가 상기 제1 모드에 따라 형성되는지 상기 제2 모드에 따라 형성되는지 여부를 나타낼 수 있다.

[0057] 도 6 및 7은 도 2 및 3의 반도체 장치에 포함되는 와이드 입출력 메모리 장치의 일 예를 나타내는 블록도들이다.

[0058] 도 6 및 7을 참조하면, 와이드 입출력 메모리 장치(200a, 200b)는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d), 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d), 컨트롤러(230) 및 제1 내지 제4 메모리 셀 어레이 블록들(240a, 240b, 240c, 240d)을 포함할 수 있다.

[0059] 제1 내지 제4 메모리 셀 어레이 블록들(240a, 240b, 240c, 240d) 각각은 적어도 하나의 메모리 셀 어레이를 포함할 수 있다. 일 실시예에 있어서, 도 6에 도시된 바와 같이, 제1 내지 제4 메모리 셀 어레이 블록들(240a, 240b, 240c, 240d) 각각은 두 개의 메모리 셀 어레이들(241, 242, 243, 244, 245, 246, 247, 248)을 포함할 수 있다. 다른 실시예에 있어서, 도 7에 도시된 바와 같이, 제1 내지 제4 메모리 셀 어레이 블록들(240a, 240b, 240c, 240d) 각각은 하나의 메모리 셀 어레이(241, 243, 245, 247)를 포함할 수 있다. 도 7에 도시된 와이드 입출력 메모리 장치(200b)는 제1 내지 제4 메모리 셀 어레이 블록들(240a, 240b, 240c, 240d) 각각이 하나의 메모리 셀 어레이(241, 243, 245, 247)를 포함한다는 사항을 제외하고는 도 6에 도시된 와이드 입출력 메모리 장치(200a)와 동일하므로, 이하에서는 도 6에 도시된 와이드 입출력 메모리 장치(200a)를 중심으로 설명한다.

[0060] 컨트롤러(230)는 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)의 동작을 제어할 수 있다. 예를 들어, 컨트롤러(230)는 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)에 클럭 신호를 제공하고, 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)의 동작 프로토콜을 결정할 수 있다.

[0061] 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d)은 서로 독립적인 제1 내지 제4 입출력 채널들을 제공할 수 있다.

[0062] 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d) 각각은 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d) 각각에 연결되고, 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d) 각각을 통해 시스템 온 칩(100)과 독립적으로 데이터를 송수신 할 수 있다.

- [0063] 제1 및 제3 메모리 셀 어레이 블록들(240a, 240c)에 포함되는 메모리 셀 어레이들(241, 242, 245, 246)은 제1 및 제3 제어 회로들(220a, 220c)에 공통으로 연결되고, 제2 및 제4 메모리 셀 어레이 블록들(240b, 240d)에 포함되는 메모리 셀 어레이들(243, 244, 247, 248)은 제2 및 제4 제어 회로들(220b, 220d)에 공통으로 연결될 수 있다.
- [0064] 상기 제1 모드에서 하나의 와이드 입출력 메모리 장치(200)가 시스템 온 칩(100)의 상부에 적층되므로, 와이드 입출력 메모리 장치(200)에 포함되는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d)은 시스템 온 칩(100)에 포함되는 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d)에 각각 연결될 수 있다. 따라서 컨트롤러(230)는 상기 제1 모드에서 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)을 모두 턴온시킴으로써, 하나의 와이드 입출력 메모리 장치(200)는 시스템 온 칩(100)과 4 채널 데이터 송수신을 수행할 수 있다. 즉, 제1 제어 회로(220a)는 제1 메모리 범프부(210a)를 통해 제1 메모리 셀 어레이 블록(240a)에 포함되는 메모리 셀 어레이들(241, 242)과 시스템 온 칩(100) 사이에 데이터 송수신을 수행하고, 제2 제어 회로(220b)는 제2 메모리 범프부(210b)를 통해 제2 메모리 셀 어레이 블록(240b)에 포함되는 메모리 셀 어레이들(243, 244)과 시스템 온 칩(100) 사이에 데이터 송수신을 수행하고, 제3 제어 회로(220c)는 제3 메모리 범프부(210c)를 통해 제3 메모리 셀 어레이 블록(240c)에 포함되는 메모리 셀 어레이들(245, 246)과 시스템 온 칩(100) 사이에 데이터 송수신을 수행하고, 제4 제어 회로(220d)는 제4 메모리 범프부(210d)를 통해 제4 메모리 셀 어레이 블록(240d)에 포함되는 메모리 셀 어레이들(247, 248)과 시스템 온 칩(100) 사이에 데이터 송수신을 수행할 수 있다.
- [0065] 상기 제2 모드에서 두 개의 와이드 입출력 메모리 장치들(200)이 시스템 온 칩(100)의 상부에 적층되므로, 와이드 입출력 메모리 장치(200)에 포함되는 제1 내지 제4 메모리 범프부들(210a, 210b, 210c, 210d) 중의 둘은 시스템 온 칩(100)에 포함되는 제1 내지 제4 SOC 범프부들(110a, 110b, 110c, 110d) 중의 둘에 각각 연결될 수 있다. 따라서 컨트롤러(230)는 상기 제2 모드에서 제1 및 제2 제어 회로들(220a, 220b)은 턴온시키고 제3 및 제4 제어 회로들(220c, 220d)은 턴오프시킴으로써, 하나의 와이드 입출력 메모리 장치(200)는 시스템 온 칩(100)과 2 채널 데이터 송수신을 수행할 수 있다. 즉, 제1 제어 회로(220a)는 제1 메모리 범프부(210a)를 통해 제1 메모리 셀 어레이 블록(240a) 및 제3 메모리 셀 어레이 블록(240c)에 포함되는 메모리 셀 어레이들(241, 242, 245, 246)과 시스템 온 칩(100) 사이에 데이터 송수신을 수행하고, 제2 제어 회로(220b)는 제2 메모리 범프부(210b)를 통해 제2 메모리 셀 어레이 블록(240b) 및 제4 메모리 셀 어레이 블록(240d)에 포함되는 메모리 셀 어레이들(243, 244, 247, 248)과 시스템 온 칩(100) 사이에 데이터 송수신을 수행할 수 있다.
- [0066] 상술한 바와 같이, 도 2에 도시된 바와 같이, 상기 제1 모드에서 시스템 온 칩(100)의 상부에 하나의 와이드 입출력 메모리 장치(200)를 적층하여 반도체 장치(10a)를 구성하고 와이드 입출력 메모리 장치(200)는 4 채널을 사용하여 시스템 온 칩(100)과 데이터 송수신을 수행할 수 있다. 한편, 도 3에 도시된 바와 같이, 상기 제2 모드에서 시스템 온 칩(100)의 상부에 두 개의 와이드 입출력 메모리 장치들(200-1, 200-2)을 적층하여 반도체 장치(10b)를 구성하고 두 개의 와이드 입출력 메모리 장치들(200-1, 200-2) 각각은 2 채널을 사용하여 시스템 온 칩(100)과 데이터 송수신을 수행할 수 있다. 따라서 상기 제1 모드 및 상기 제2 모드에서 시스템 온 칩(100)과 와이드 입출력 메모리 장치(200) 사이의 총 대역폭(bandwidth)은 동일한 반면에, 상기 제2 모드에서 시스템 온 칩(100)에 연결되는 와이드 입출력 메모리 장치(200)의 총 용량(density)은 상기 제1 모드에서 시스템 온 칩(100)에 연결되는 와이드 입출력 메모리 장치(200)의 총 용량(density)의 두 배가 될 수 있다. 따라서 본 발명의 실시예들에 따른 반도체 장치(10)의 경우, 사용하고자 하는 와이드 입출력 메모리 장치(200)의 총 용량(density)에 따라 시스템 온 칩(100)을 새로이 설계할 필요 없이, 일정한 개수의 SOC 범프부들(110a, 110b, 110c, 110d)을 갖는 시스템 온 칩(100)에 다양한 용량(density)의 와이드 입출력 메모리 장치(200)를 적층할 수 있다.
- [0067] 일 실시예에 있어서, 와이드 입출력 메모리 장치(200)에 포함되는 컨트롤러(230)는 상기 제1 모드에서 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)에 제1 주파수를 갖는 클럭 신호를 제공하고, 상기 제2 모드에서 제3 및 제4 제어 회로들(220c, 220d)은 턴오프시키고 제1 및 제2 제어 회로들(220a, 220b)에 상기 제1 주파수의 두 배에 상응하는 제2 주파수를 갖는 클럭 신호를 제공할 수 있다.
- [0068] 이 경우, 시스템 온 칩(100)에 포함되는 클럭 신호 생성부(130)는 제1 제어 신호(CON1)에 기초하여 상기 제1 모드에서 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)에 상기 제1 주파수를 갖는 클럭 신호(CLK)를 제공하고, 상기 제2 모드에서 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)에 상기 제1 주파수의 두 배에 상응하는 상기 제2 주파수를 갖는 클럭 신호(CLK)를 제공할 수 있다.
- [0069] 따라서 시스템 온 칩(100)에 포함되는 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d) 및 와이드 입

출력 메모리 장치(200)에 포함되는 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)은 상기 제1 모드에서 상기 제1 주파수를 갖는 클럭 신호에 동기되어 동작하고, 상기 제2 모드에서 상기 제2 주파수를 갖는 클럭 신호에 동기되어 동작할 수 있다.

[0070] 다른 실시예에 있어서, 와이드 입출력 메모리 장치(200)에 포함되는 컨트롤러(230)는 상기 제1 모드에서 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)이 SDR(Single Date Rate) 방식으로 동작하도록 제어하고, 상기 제2 모드에서 제3 및 제4 제어 회로들(220c, 220d)은 턴오프시키고 제1 및 제2 제어 회로들(220a, 220b)이 DDR(Double Data Rate) 방식으로 동작하도록 제어할 수 있다.

[0071] 이 경우, 시스템 온 칩(100)에 포함되는 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d)은 제2 제어 신호(CON2)에 기초하여 상기 제1 모드에서 SDR(Single Date Rate) 방식으로 동작하고, 상기 제2 모드에서 DDR(Double Data Rate) 방식으로 동작할 수 있다.

[0072] 따라서 시스템 온 칩(100)에 포함되는 제1 내지 제4 메모리 컨트롤러들(120a, 120b, 120c, 120d) 및 와이드 입출력 메모리 장치(200)에 포함되는 제1 내지 제4 제어 회로들(220a, 220b, 220c, 220d)은 상기 제1 모드에서 SDR(Single Date Rate) 방식으로 데이터를 송수신하고, 상기 제2 모드에서 DDR(Double Data Rate) 방식으로 데이터를 송수신할 수 있다.

[0073] 상술한 두 실시예들에 따르면, 상기 제1 모드에서 시스템 온 칩(100)의 상부에 하나의 와이드 입출력 메모리 장치(200)가 적층되고, 상기 제2 모드에서 시스템 온 칩(100)의 상부에 두 개의 와이드 입출력 메모리 장치(200)가 적층되므로, 상기 제2 모드에서 시스템 온 칩(100)에 연결되는 와이드 입출력 메모리 장치(200)의 총 용량(density)은 상기 제1 모드에서 시스템 온 칩(100)에 연결되는 와이드 입출력 메모리 장치(200)의 총 용량(density)의 두 배가 될 수 있다. 또한, 시스템 온 칩(100) 및 와이드 입출력 메모리 장치(200)는 상기 제1 모드에 비해 상기 제2 모드에서 두 배의 주파수를 갖는 클럭 신호에 동기되어 동작하거나, 상기 제1 모드에서는 SDR(Single Date Rate) 방식으로 동작하고, 상기 제2 모드에서는 DDR(Double Data Rate) 방식으로 동작함으로써, 상기 제2 모드에서 시스템 온 칩(100)과 와이드 입출력 메모리 장치(200) 사이의 총 대역폭(bandwidth)은 상기 제1 모드에서 시스템 온 칩(100)과 와이드 입출력 메모리 장치(200) 사이의 총 대역폭(bandwidth)의 두 배가 될 수 있다. 따라서 본 발명의 실시예들에 따른 반도체 장치(10)의 경우, 사용하고자 하는 와이드 입출력 메모리 장치(200)의 총 용량(density) 및 총 대역폭(bandwidth)에 따라 시스템 온 칩(100)을 새로이 설계할 필요 없이, 일정한 개수의 SOC 범프부들(110a, 110b, 110c, 110d)을 갖는 시스템 온 칩(100)에 다양한 용량(density) 및 대역폭(bandwidth)의 와이드 입출력 메모리 장치(200)를 적층할 수 있다.

[0074] 도 8은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 블록도이다.

[0075] 도 8을 참조하면, 반도체 패키지(20)는 베이스 기판(BASE)(300), 베이스 기판(300)의 상부에 적층되는 시스템 온 칩(100) 및 시스템 온 칩(100)의 상부에 적층되는 적어도 하나의 와이드 입출력 메모리 장치(200)를 포함한다.

[0076] 베이스 기판(300)은 인쇄 회로 기판(Printed circuit Board; PCB)일 수 있다. 시스템 온 칩(100)은 어플리케이션 프로세서를 포함할 수 있다.

[0077] 시스템 온 칩(100)은 각각이 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들(110)을 포함하고, 시스템 온 칩(100)은 복수의 SOC 범프부들(110)을 통해 베이스 기판(300)에 전기적으로 연결된다.

[0078] 적어도 하나의 와이드 입출력 메모리 장치(200)는 서로 독립적인 입출력 채널을 제공하는 복수의 메모리 범프부들(210)을 포함하고, 적어도 하나의 와이드 입출력 메모리 장치(200)는 복수의 메모리 범프부들(210)을 통해 시스템 온 칩(100)에 전기적으로 연결된다. 적어도 하나의 와이드 입출력 메모리 장치(200)는 시스템 온 칩(100)의 복수의 SOC 범프부들(110)을 통해 시스템 온 칩(100)과 데이터를 송수신한다.

[0079] 제1 모드에서 하나의 와이드 입출력 메모리 장치(200)가 복수의 SOC 범프부들(110) 모두에 연결되어 시스템 온 칩(100)과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들(200)이 복수의 SOC 범프부들(110) 중의 제1 절반 및 제2 절반에 각각 연결되어 시스템 온 칩(100)과 데이터를 송수신한다.

[0080] 시스템 온 칩(100)은 복수의 SOC 범프부들(110)에 연결되고 시스템 온 칩(100)을 관통하는 관통 실리콘 비아(Through Silicon Via; TSV)들(120)을 포함하고, 복수의 메모리 범프부들(210)은 관통 실리콘 비아(Through Silicon Via; TSV)들(120)에 연결됨으로써 적어도 하나의 와이드 입출력 메모리 장치(200)는 시스템 온 칩(100)과 전기적으로 연결될 수 있다. 이 경우, 베이스 기판(300)과 와이드 입출력 메모리 장치(200) 사이의 인터페

이스 부하 저항이 감소되어 원활한 신호 전송이 구현될 수 있다.

[0081] 시스템 온 칩(100) 및 적어도 하나의 와이드 입출력 메모리 장치(200)를 포함하는 반도체 장치는 도 1 내지 7을 참조하여 설명한 본 발명의 실시예들에 따른 반도체 장치(10)로 구현될 수 있다.

[0082] 시스템 온 칩(100) 및 적어도 하나의 와이드 입출력 메모리 장치(200)가 베이스 기판(300) 상에 적층된 후 레진(310) 등으로 반도체 패키지(20)의 상부를 도포할 수 있다. 베이스 기판(300)의 하면에는 외부 장치와의 전기적 연결을 위한 범프(320)가 형성될 수 있다.

[0083] 도 8에 도시된 바와 같이, 본 발명의 실시예들에 따른 반도체 패키지(20)는 플립 칩 패키징(flip-chip packaging) 공정을 통해 형성될 수 있다. 플립 칩 패키징은 와이어를 사용하지 않고 반도체 칩의 표면에 전극이 되는 범프를 형성하고 범프를 통해 기판 상의 도체 단자와 연결함으로써 반도체 칩을 기판 상에 적층하는 기술을 의미한다. 복수의 메모리 범프부들(210)을 와이드 입출력 메모리 장치(200)에 형성하고, 이에 상응하는 위치에 시스템 온 칩(100)의 복수의 SOC 범프부들(110)을 형성함으로써 플립-칩 패키징이 효율적으로 수행될 수 있다.

[0084] 도 9는 본 발명의 실시예들에 따른 반도체 패키지가 모바일 시스템에 응용된 예를 나타내는 도면이다.

[0085] 도 9를 참조하면, 모바일 시스템(400)은 반도체 패키지(410), 통신(connectivity)부(440), 사용자 인터페이스(450), 비휘발성 메모리 장치(NVM)(460) 및 파워 서플라이(470)를 포함한다. 실시예에 따라, 모바일 시스템(400)은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.

[0086] 반도체 패키지(410)는 시스템 온 칩(420) 및 적어도 하나의 와이드 입출력 메모리 장치(430)를 포함한다. 적어도 하나의 와이드 입출력 메모리 장치(430)는 시스템 온 칩(420)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다. 시스템 온 칩(420)은 각각이 서로 독립적인 입출력 채널을 제공하는 복수의 SOC 범프부들을 포함하고, 시스템 온 칩(420)은 상기 복수의 SOC 범프부들을 통해 베이스 기판에 전기적으로 연결된다. 적어도 하나의 와이드 입출력 메모리 장치(430)는 서로 독립적인 입출력 채널을 제공하는 복수의 메모리 범프부들을 포함하고, 적어도 하나의 와이드 입출력 메모리 장치(430)는 상기 복수의 메모리 범프부들을 통해 시스템 온 칩(420)에 전기적으로 연결된다. 제1 모드에서 하나의 와이드 입출력 메모리 장치(430)가 상기 복수의 SOC 범프부들 모두에 연결되어 시스템 온 칩(420)과 데이터를 송수신하고, 제2 모드에서 두 개의 와이드 입출력 메모리 장치들(430)이 상기 복수의 SOC 범프부들 중의 제1 절반 및 제2 절반에 각각 연결되어 시스템 온 칩(420)과 데이터를 송수신한다.

[0087] 시스템 온 칩(420)은 어플리케이션 프로세서를 포함할 수 있다. 상기 어플리케이션 프로세서는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 상기 어플리케이션 프로세서는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 상기 어플리케이션 프로세서는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 상기 어플리케이션 프로세서는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.

[0088] 반도체 패키지(410)는 도 8에 도시된 반도체 패키지(20)로 구현될 수 있다. 도 8의 반도체 패키지(20)의 구성 및 동작에 대해서는 도 1 내지 8을 참조하여 상세히 설명하였으므로, 여기서는 도 9에 도시된 반도체 패키지(410)에 대한 상세한 설명은 생략한다.

[0089] 통신부(440)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(440)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(440)는 베이스밴드 칩셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.

[0090] 비휘발성 메모리 장치(460)는 모바일 시스템(400)을 부팅하기 위한 부트 이미지를 저장할 수 있다. 예를 들어, 비휘발성 메모리 장치(460)는 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access

Memory), FRAM(Ferroelectric Random Access Memory) 또는 이와 유사한 메모리로 구현될 수 있다.

[0091] 사용자 인터페이스(450)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다. 파워 서플라이(470)는 모바일 시스템(400)의 동작 전압을 공급할 수 있다.

[0092] 또한, 실시예에 따라, 모바일 시스템(400)은 이미지 프로세서를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씬디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.

[0093] 모바일 시스템(400) 또는 모바일 시스템(400)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Waffle Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.

산업상 이용가능성

[0094] 본 발명은 시스템 온 칩 및 와이드 입출력 메모리 장치를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다. 예를 들어, 본 발명은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 개인용 컴퓨터(Personal Computer; PC), 서버 컴퓨터(Server Computer), 워크스테이션(Workstation), 노트북(Laptop), 디지털TV(Digital Television), 셋-탑 박스(Set-Top Box), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등에 적용될 수 있다.

[0095] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

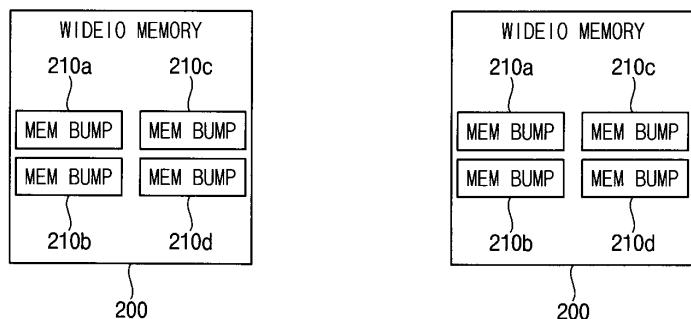
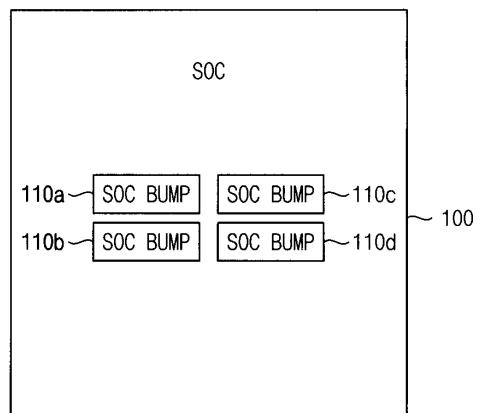
부호의 설명

100: 시스템 온 칩	110: SOC 범프부
120: 메모리 컨트롤러	130: 클럭 신호 생성부
140: 중앙 처리 장치	
200: 와이드 입출력 메모리 장치	
210: 메모리 범프부	220: 제어 회로
230: 컨트롤러	240: 메모리 셀 어레이 블록

도면

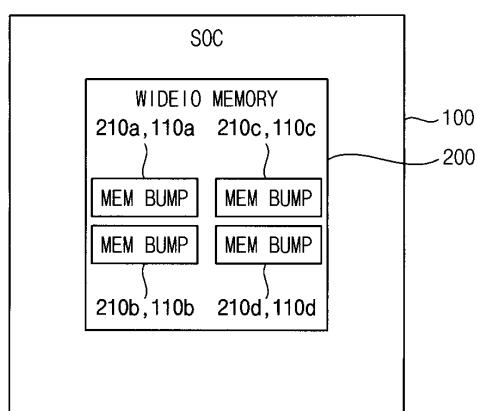
도면1

10

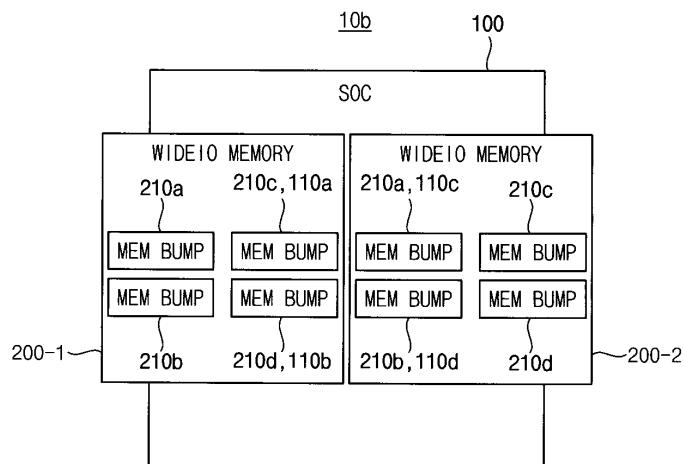


도면2

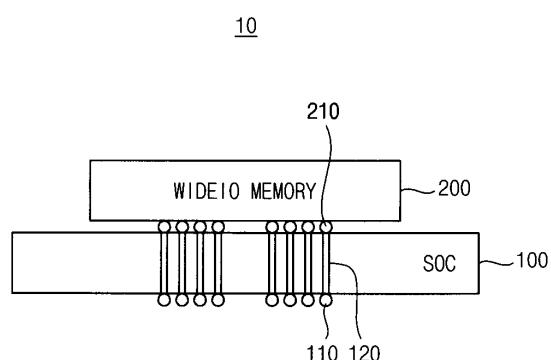
10a



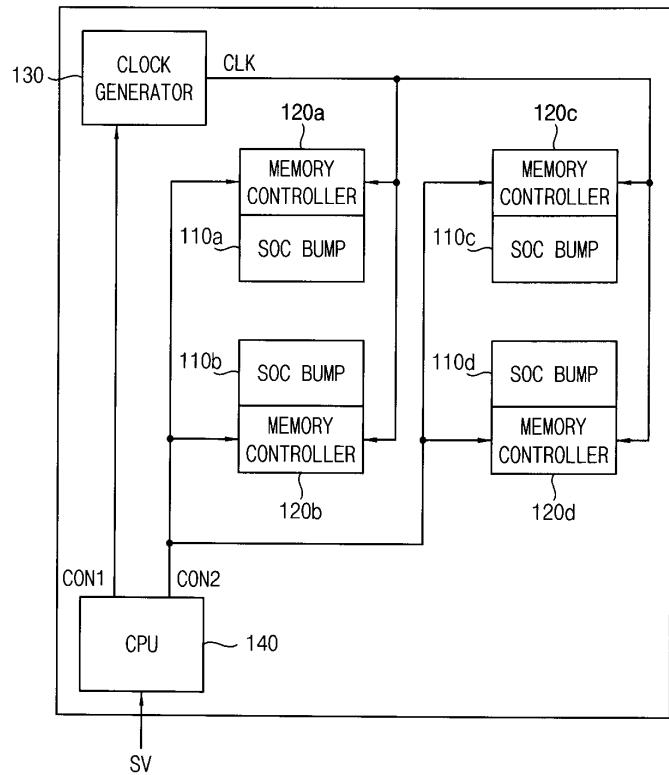
도면3



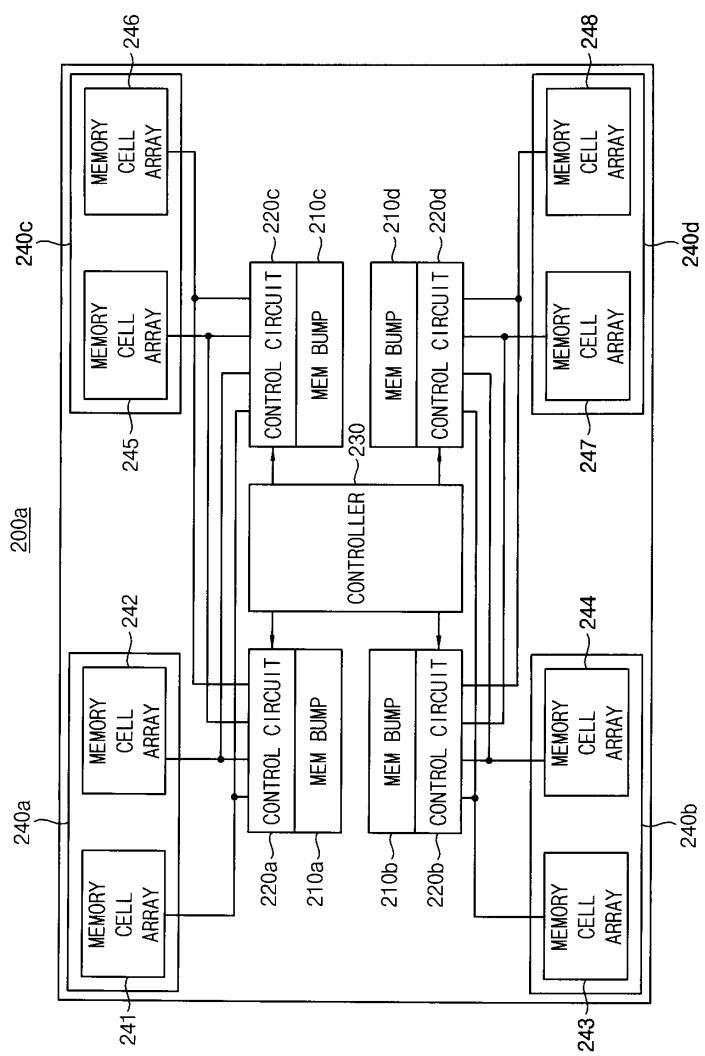
도면4



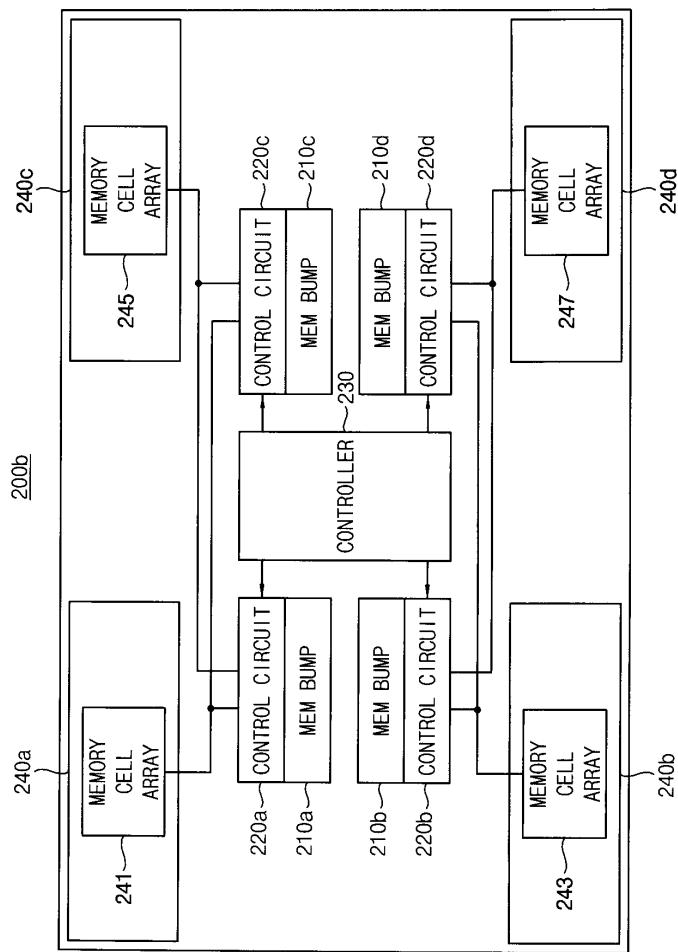
도면5

100

도면6

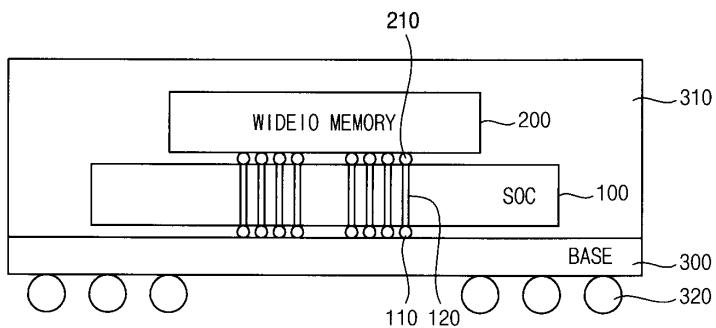


도면7



도면8

20



도면9

