



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월09일

(11) 등록번호 10-1480734

(24) 등록일자 2015년01월05일

(51) 국제특허분류(Int. Cl.)

H03L 7/06 (2006.01)

(21) 출원번호 10-2009-7022162

(22) 출원일자(국제) 2008년03월21일

심사청구일자 2013년03월14일

(85) 번역문제출일자 2009년10월22일

(65) 공개번호 10-2009-0125836

(43) 공개일자 2009년12월07일

(86) 국제출원번호 PCT/US2008/057926

(87) 국제공개번호 WO 2008/118821

국제공개일자 2008년10월02일

(30) 우선권주장

11/690,659 2007년03월23일 미국(US)

(56) 선행기술조사문헌

US07036032 B2*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

실리콘 이미지, 임크.

미국 캘리포니아 (우편번호: 94085) 씨니베일 이스트 아쿠에스 애비뉴 1140

(72) 발명자

이, 동윤

미국 95129 캘리포니아주 산호세 라센 애비뉴 5039

(74) 대리인

특허법인에이아이피

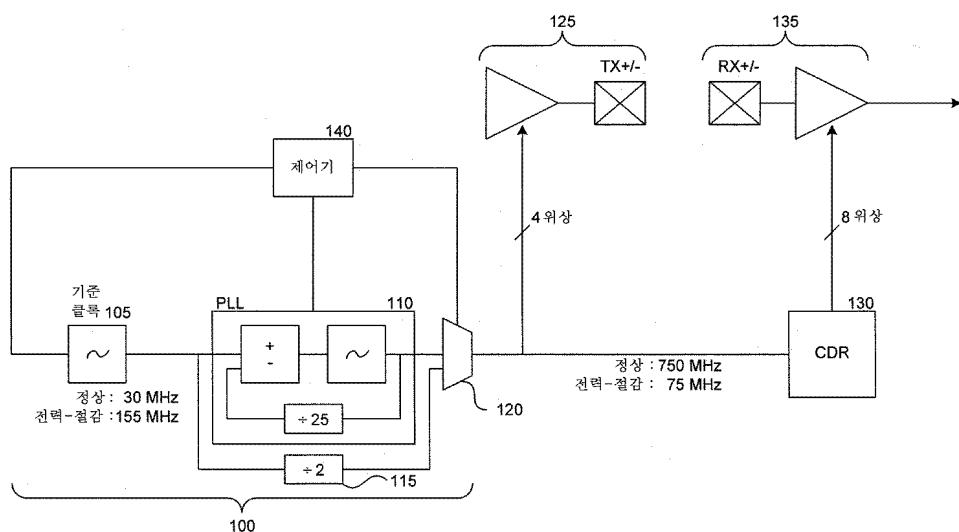
전체 청구항 수 : 총 18 항

심사관 : 조광현

(54) 발명의 명칭 전력 절감 클록킹 기법

(57) 요약

하이브리드 클록 시스템이라 지칭되는, 절감된 전력 소모를 갖는 클록 신호를 제공하는 방법 및 시스템이 제공된다. 하이브리드 클록 시스템은 고속 데이터 전송을 위해 PLL을 이용하지만, 더 적은 전력을 소모하면서 데이터를 전송하기 위해 전력-절감 모드를 제공한다. 정상 모드에서, 하이브리드 클록 시스템은 PLL을 구동하는, 저주파수에서 동작하는 기준 클록을 포함한다. PLL은 기준 클록 주파수를 훨씬 더 높은 주파수로 체배하고, 클록 신호를 데이터 전송 회로에 제공한다. 전력-절감 모드에서, 하이브리드 클록 시스템은 PLL을 턴 오프하고, 기준 클록을 데이터 회로에 직접 연결한다.

대 표 도

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

데이터 전송을 위한 클록킹(clocking)을 제공하는 방법으로서,

조정 가능한 기준 클록 컴포넌트를 갖는 기준 클록 신호를 생성하는 단계;

정상 모드에 진입하는 단계로서, 상기 정상 모드에서의 동작들은:

상기 기준 클록 신호에 대한 제1 주파수를 선택하는 단계,

위상 고정 루프(phase-locked loop) 컴포넌트를 인에이블(enable)하는 단계,

상기 제1 주파수에서의 상기 기준 클록 신호에 기초하여 상기 위상 고정 루프 컴포넌트를 사용하여 고속 클록 신호를 생성하는 단계, 및

상기 고속 클록 신호에 기초하여 데이터 전송 회로에 대한 클록킹을 제공하기 위해 상기 고속 클록 신호를 사용하는 단계를 포함하는, 단계; 및

전력-절감 모드에 진입하는 단계로서, 상기 전력-절감 모드에서의 동작들은:

상기 위상 고정 루프 컴포넌트를 디스에이블(disable)하는 단계,

상기 기준 클록 신호에 대한 제2 주파수를 선택하는 단계로서, 상기 제2 주파수는 상기 제1 주파수보다 더 높은, 단계, 및

상기 데이터 전송 회로에 대한 클록킹을 제공하기 위해 상기 제2 주파수에서의 상기 기준 클록 신호를 사용하는 단계를 포함하는, 단계를 포함하는, 방법.

청구항 24

제23항에 있어서,

상기 제2 주파수는 상기 기준 클록에 대한 최대 주파수인, 방법.

청구항 25

제23항에 있어서,

상기 위상 고정 루프 컴포넌트로 상기 고속 클록 신호를 생성하는 단계는 상기 고속 클록 신호의 주파수를 생성하기 위하여 상기 기준 클록 신호의 상기 제2 주파수를 체배(multiply)하는 단계를 포함하는, 방법.

청구항 26

제23항에 있어서,

상기 정상 모드에서 상기 데이터 전송 회로에 대한 상기 클록킹을 제공하는 단계로부터 상기 기준 클록 신호의 사용을 디스에이블하는 단계를 더 포함하는, 방법.

청구항 27

제26항에 있어서,

상기 데이터 전송 회로에 대한 클록킹을 제공하기 위하여 클록 분주기 컴포넌트를 사용하여 상기 기준 클록 신호의 상기 제2 주파수를 분주하기 위해 상기 전력-절감 모드에서 상기 클록 분주기 컴포넌트를 인에이블하는 단계를 더 포함하는, 방법.

청구항 28

제27항에 있어서,

상기 정상 모드에서 상기 클록 분주기 컴포넌트를 디스에이블하는 단계를 더 포함하는, 방법.

청구항 29

제23항에 있어서,

상기 전력-절감 모드에서 상기 위상 고정 루프 컴포넌트를 재가동하는 단계를 더 포함하는, 방법.

청구항 30

제23항에 있어서,

상기 전력-절감 모드에서 상기 위상 고정 루프 컴포넌트를 파워 오프(power off)하는 단계를 더 포함하는, 방법.

청구항 31

제23항에 있어서,

데이터 전송을 위한 클록킹은 클록 데이터 복원(clock data recovery) 회로의 사용을 포함하는, 방법.

청구항 32

하이브리드 클록 시스템으로서,

기준 클록 신호를 제공하기 위한 조정가능한 기준 클록 컴포넌트;

상기 기준 클록 신호를 체배하기 위하여 위상 고정 루프 컴포넌트;

제공된 클록 신호에 의해 결정된 레이트로 데이터를 송신하거나 또는 수신하기 위한 데이터 전송 회로;

상기 하이브리드 클록 시스템을 위한 정상 모드 및 전력-절감 모드를 갖는 멀티플렉서를 포함하며,

상기 정상 모드에서, 상기 위상 고정 루프 컴포넌트가 인에이블되고 상기 기준 클록 신호가 제1 주파수로 설정되며, 상기 위상 고정 루프 컴포넌트는 상기 제1 주파수에서의 상기 기준 클록에 기초하여 상기 데이터 전송 회로에 대한 고속 클록 신호를 생성하고, 및

상기 전력-절감 모드에서, 상기 위상 고정 루프 컴포넌트가 디스에이블되고, 상기 기준 클록 신호는 상기 제1 주파수보다 더 높은 제2 주파수로 설정되며, 상기 제2 주파수에서의 상기 기준 클록 신호가 상기 데이터 전송 회로에 클록킹을 제공하기 위해 사용되는, 시스템.

청구항 33

제32항에 있어서,

상기 기준 클록 컴포넌트의 상기 제2 주파수는 상기 기준 클록 컴포넌트의 최대 주파수인, 시스템.

청구항 34

제32항에 있어서,

상기 데이터 전송 회로는 직렬화기 회로를 더 포함하는, 시스템.

청구항 35

제32항에 있어서,

상기 데이터 전송 회로는 역직렬화기 회로를 더 포함하는, 시스템.

청구항 36

제32항에 있어서,

상기 데이터 전송 회로는 클록 데이터 복원 회로를 더 포함하는, 시스템.

청구항 37

제32항에 있어서,

상기 데이터 전송 회로에 대해 클록킹을 제공하기 위하여 상기 전력-절감 모드에서 상기 기준 클록 신호의 상기 제2 주파수를 분주하기 위한 클록 분주기 컴포넌트를 더 포함하는, 시스템.

청구항 38

제37항에 있어서,

상기 클록 분주기 컴포넌트는 상기 정상 모드에서 디스에이블되는, 시스템.

청구항 39

제32항에 있어서,

상기 위상 고정 루프 컴포넌트는 상기 전력-절감 모드에서 파워 오프되는, 시스템.

청구항 40

제32항에 있어서,

상기 위상 고정 루프 컴포넌트는 상기 전력-절감 모드에서 재가동되는, 시스템.

명세서

배경기술

[0001]

전자공학에서, 위상 고정 루프(phase-locked loop)(PLL)은 입력("기준") 신호의 주파수 및 위상과 관련하여 신호를 생성하고 출력하는 폐-루프 피드백 제어 시스템이다. PLL 회로는 입력 신호의 주파수 및 위상에 응답하고, 주파수 및 위상이 기준 신호의 그것과 일치할 때까지 제어형 발진기(controlled oscillator)의 주파수 및 위상을 자동적으로 조정한다. 이러한 유형의 메커니즘은 무선, 전화 통신, 컴퓨터, 및 생성된 신호를 안정시키거나, 잡음이 있을 때 신호를 검출하는 것이 원해지는, 그외의 전자 어플리케이션들에 널리 이용된다. 집적 회로는 완전한 PLL 구성 블록을 보유할 수 있으므로, 본 기법은 초당 1 주기 분의 1(a fraction of a cycle per second)에서 수 기가 헤르쯔(GHz)까지의 주파수를 갖는 최근의 전자 디바이스들에 널리 이용된다.

[0002]

회로 설계자들은 마이크로프로세서들 및 UARTs(universal asynchronous receiver transmitters)의 주요 컴포넌트에 대한 마스터 클록 합성기로서 종종 디지털 PLL 회로들을 이용한다. PLL들은 일반적으로 위상 검출기, 저역 통과 필터, 및 부궤환 구성에 배치되는 전압 제어형 발진기(VCO)를 포함한다. 궤환 경로 또는 기준 경로 또는 양쪽 모두에는, PLL의 출력 클록을 기준 주파수의 유리수 배수(rational multiple)로 만들기 위해 주파수 분

주기가 존재할 수 있다. 발진기는 주기적인 출력 신호를 생성한다. 어플리케이션에 따라서, 제어형 발진기의 출력 또는 발진기에 대한 제어 신호 중 어느 하나가 PLL 시스템의 유용한 출력을 제공한다.

[0003] PLL들은 합성 목적으로 널리 이용된다. 회로들은 일부 데이터 스트림들, 특히 (디스크 드라이브의 자성 헤드로부터의 데이터의 로스트임(raw stream) 등의) 고속 직렬 전송 데이터 스트림들을 클록을 동반하지 않은 채 공통적으로 전송한다. 수신기는 대략적인 주파수 기준으로부터 클록을 생성하고, PLL을 이용하여 데이터 스트림의 천이들에 대해 위상 정렬을 생성한다. 이러한 처리는 CDR(clock data recovery)로 지칭된다. PLL들의 또 다른 이용은 클록 체배이다. 대부분의 전자 시스템들은 수백 메가 헤르츠에서 동작하는 다양한 종류의 프로세서들을 포함한다. 통상적으로, 이러한 프로세서들에 제공된 클록들은 클록 생성기 PLL들로부터 나오며, 저주파수 기준 클록(통상적으로 50 또는 100MHz)을 프로세서의 동작 주파수까지 체배한다. 체배 인자는, 프로세서의 동작 주파수가 수 기가헤르츠이고, 기준 클록이 단지 수십 또는 수백 메가헤르츠인 경우에 굉장히 클 수 있다.

[0004] PLL들은 매우 광범위하게 이용되지만, 불행스럽게도 그들은, PLL 내의 다수의 컴포넌트들이 PLL로 하여금 상당량의 전력을 소모하게 하기 때문에 일부 어플리케이션들에 대하여 적절치 않다. 예를 들어, 모바일 디바이스 제조자들은 고속 데이터 전송을 위한 CDR 및 클록 체배를 수행하기 위해 PLL의 기능성을 선호할 수 있다. 그러나, PLL의 배터리 소모 특성과, 모바일 디바이스의 배터리 수명에 대한 영향은 종종 제조업자들이 다른 기술들을 이용하기로 결심하거나 디바이스 성능을 양보해야만 하는 것을 의미한다.

실시 예

[0007] 절감된 전력 소모를 갖는 클록 신호를 제공하는 방법 및 시스템("하이브리드 클록 시스템")이 제공된다. 하이브리드 클록 시스템은 정상 동작 모드 및 전력 절감 동작 모드에서 동작한다. 정상 동작 모드에서, 하이브리드 클록 시스템은 고속 데이터 전송을 위해 PLL을 이용한다. 저주파수(예를 들어, 30MHz)에서 동작하는 기준 클록은 PLL의 입력에 연결된다. PLL은 기준 클록 주파수를 훨씬 높은 주파수(예를 들어, 3 GHz)로 체배하고, 클록 신호를 데이터 전송 회로에 제공한다. 하이브리드 클록 시스템이 데이터 전송 회로의 저속 활동성을 검출하는 경우, 하이브리드 클록 시스템은 전력-절감 모드로 전환(또는 천이)한다. 전력-절감 동작 모드에서, 하이브리드 클록 시스템은 PLL을 턴 오프하고 기준 클록을 데이터 전송 회로에 직접 연결한다. 더 느린 클록 속도로 인하여, 전력-절감 모드에서 데이터 전송 회로는, 하이브리드 클록 시스템이 정상 모드에 있을 때보다 더 낮은 레이트로 데이터를 전송한다. 이동 전화기들과 같은, 다수의 어플리케이션에 있어서, 전력-절감 모드의 더 낮은 전송 속도는 일부 데이터 전송 요청들에 대해 충분한 데이터 전송 성능들을 제공함으로써, 정상 모드에서 디바이스가 동작하는 시간의 양을 최소화한다. 이런 방식으로, 하이브리드 클록 시스템은 디바이스에 의해 소모되는 전력을 절감하는 한편, 고속 데이터 전송 성능들을 여전히 제공한다.

[0008] 일부 실시예들에서, 하이브리드 클록 시스템은 PLL을 재가동하면서 전력-절감 모드를 일시적으로 이용한다. 예를 들어, 하이브리드 클록 시스템이 전력-절감 모드에 있고, 고속 데이터 전송이 요청되는 경우, 하이브리드 클록 시스템은 전력-절감 모드에서 전송을 개시하고, PLL이 재가동하도록 시그널링한다. PLL이 재가동되면, 하이브리드 클록 시스템은 완전한 고속 데이터 전송 성능들을 갖는 정상 모드로 전환한다. 일부 실시예들에서, 사용자는 전송이 개시되고, 점차 더 빨라지는 것을 볼 수 있으며, 사용자에게, 데이터 전송을 개시하기 위해 사용자가 PLL이 재가동되기를 대기해야 했던 경우보다 향상된 경험을 제공한다.

[0009] 일부 실시예들에서, 하이브리드 클록 시스템은 전력-절감 모드에서 기준 클록을 가속시킨다. 예를 들어, 기준 클록으로부터 이용가능한 가장 빠른 신호를 제공하기 위해 기준 클록 주파수가 (예를 들어, 150MHz 까지) 증가될 수 있다. 기준 클록에 이용되는 회로는 종종 더 빠른 속도들을 수용할 수 있으나, 선택된 PLL 회로의 체배 인자와 매칭되도록 더 느린 속도가 선택된다. PLL이 턴 오프되는 경우, 하이브리드 클록 시스템은, 기준 클록을 자신의 최대 속도로 주행하게 하여 PLL없이 가능한 높은 속도를 제공할 수 있다. 따라서, 사용자들은, 전력-절감 모드에 있는 동안, 클록 주파수 제한들을 증가시킴으로써 속도에 있어서 뚜렷한 저감을 보지 못한다.

[0010] 본 발명의 다양한 실시예들이 지금부터 설명될 것이다. 이하의 설명은 이들 실시예들의 완전한 이해 및 설명을 가능케 하기 위해 특정 세부사항들을 제공한다. 그러나, 본 기술분야의 당업자는, 본 발명이 이들 세부 사항들 중 다수가 없이도 실시될 수 있음을 이해할 것이다. 또한, 일부 주지된 구조들 또는 기능들은 다양한 실시예들의 관련 설명을 불필요하게 모호하게 하는 것을 회피하기 위해 상세하게 도시되거나 설명되지 않을 수 있다. 이하에 제시된 설명에 사용된 용어는, 비록 그것이 본 발명의 특정의 상세한 실시예들의 세부 설명과 함께 이용되고 있지만, 그것의 가장 광범위한, 합리적인 방식으로 해석되도록 의도된다.

[0011] 도 1은 직렬화기/역직렬화기에 클록 신호를 제공하기 위한 하이브리드 클록 시스템(100)의 이용을 도시하는 회

로도이다. 하이브리드 클록 시스템은, 그 출력이 PLL(110)의 입력에 연결된, 조정가능한 기준 클록(105) 및 클록 분주기(115)를 포함한다. 클록 분주기는 PLL의 출력에서 멀티플렉서에 결합된다. PLL(110)은 또한 PLL의 체배 인자를 설정하기 위한 클록 분주기를 포함한다. 멀티플렉서(120)의 한가지 설정은 회로로부터 클록 분주기(115)를 제거하여, 기준 클록이 PLL을 구동하고, 클록 신호를 생성하게 하는 것이다. 멀티플렉서(120)의 다른 설정은 PLL을 바이패스(bypass)하는 회로 경로 내에 클록 분주기(115)를 삽입하는 것이다. PLL이 바이패스 되는 경우, 기준 클록의 출력은, 나머지 회로에 인가되기 전에 클록 분주기(115)에 의해 분주된다. 제어기(140)는 기준 클록(105), PLL(110), 및 멀티플렉서(120)에 연결되어, 하이브리드 클록 시스템이 정상 동작 모드 와 전력-절감 동작 모드 사이에서 전환되는 경우 이들 컴포넌트들의 설정을 변경한다. 하이브리드 클록 시스템의 출력은 데이터를 전송하는 직렬화기 회로(125)에 클록 신호를 제공할 수 있다. 하이브리드 클록 시스템의 출력은 데이터를 수신하기 위해 CDR 회로(130) 및 역직렬화기 회로(135)에 또한 클록 신호를 제공할 수 있다.

[0012] 동작 중에, 기준 클록(105)은 베이스 클록 신호를 제공한다. 정상 모드에서, 기준 클록은 PLL(105)에 클록 신호를 제공한다. PLL(105)은 기준 클록(105) 신호를 체배하고, 직렬화기 회로(125) 및 역직렬화기 회로(135)에 고속 클록 신호를 (후자에는 CDR 회로(130)를 통해) 제공한다. 전력-절감 모드에서, 기준 클록(105)은 고주파수 클록 신호를 생성하도록 조정되며, PLL(110)은 턴 오프된다. PLL을 구동하는 대신에, 기준 클록 신호가 클록 분주기(115)에 의해 분주되어 직렬화기 회로(125) 및 역직렬화기 회로(135)에 적절한 클록 주파수를 제공한다. 전력-절감 모드에서, 역직렬화기 회로(135) 및 직렬화기 회로(125)는 정상 동작 모드에서보다 더 낮은 주파수에서 동작한다.

[0013] 일부 실시예들에서, 기준 클록은 30MHz와 150MHz 사이에서 변화하는 클록 신호를 생성하도록 조정될 수 있는 시간 베이스이며, PLL은 클록 신호를 25배만큼 체배할 수 있고, 클록 분주기는 클록 신호를 2분의 1로 분주할 수 있다. 이러한 구성에서, 하이브리드 클록 시스템은 30MHz 기준 클록을 이용하는 정상 동작 모드 동안에 750MHz의 클록 신호 및 150MHz 기준 클록을 이용하는 전력-절감 동작 모드 동안에 75MHz의 클록 신호를 출력할 수 있다. 본 기술분야의 당업자는, 상이한 주파수들을 갖는 클록 신호를 생성하기 위해 하이브리드 클록 시스템에서 그외의 컴포넌트 값들이 이용될 수 있음을 이해할 것이다.

[0014] 도 2는 정상 모드와 전력-절감 모드 사이에서 전환하는 경우의 하이브리드 클록 시스템의 처리를 도시하는 흐름도이다. 블록(205)에서, 시스템은 직렬 링크를 통해 직렬화기에 의해 데이터가 수신되는 시점을 검출한다. 블록(210)에서, 시스템은 직렬화기에 의해 추가의 데이터가 수신되기를 대기한다. 판정 블록(215)에서, 타임아웃 주기 내에 추가 데이터가 수신되면, 처리는 시스템이 직렬화기를 모니터링하는 블록(205)으로 루프된다. 타임아웃 주기 내에 추가의 데이터가 수신되지 않으면, 처리는 블록(220)에서 계속된다. 블록(220)에서, 하이브리드 클록 시스템은 전력-절감 모드로 진입한다. PLL이 디스에이블되고, 기준 클록의 주파수가 증가되고, 클록 분주기를 갖는 회로 경로를 인에이블하도록 멀티플렉서가 전환된다. 본 기술분야의 당업자는 타임아웃 주기의 만료 이외의 메커니즘이 시스템으로 하여금 전력-절감 모드로 진입하도록 트리거할 수 있음을 인지할 것이다. 예를 들어, 시스템은 각각의 전송 후, 전력-절감 모드로 자동적으로 진입할 수 있다. 대안적으로, 시스템은 전송되도록 스케줄된 데이터의 대기열을 모니터할 수 있고, 스케줄이 전력-절감 모드의 낮은 데이터 전송 레이트에서 만족될 수 있다고 판정되면, 전력-절감 모드로 진입할 수 있다. 판정 블록(230)에서, 역직렬화기가 추가 데이터를 수신하였음을 검출하지 않으면, 처리는 판정 블록(230)으로 루프되고 계속하여 데이터를 대기한다. 시스템이 데이터의 수신을 검출하면, 처리는 블록(240)으로 계속하고, 여기서 시스템은 정상 모드로 진입하고, 그 후 블록(205)으로 되돌아가 추가 데이터의 수신을 모니터한다. 정상 모드에서, PLL이 인에이블되고, 기준 클록의 주파수가 감소하며, 클록 분주기를 갖는 회로 경로를 디스에이블하도록 멀티플렉서가 전환된다. 본 기술분야의 당업자는 그외의 조건들이 정상 모드로의 진입에 영향을 줄 수 있음을 인지할 것이다. 예를 들어, 추가 데이터가 수신되더라도, 시스템은 추가적인 데이터가 전력-절감 모드의 용량을 초과하는 레이트로 도착할 때 까지는 정상 모드로의 진입을 대기할 수 있다.

[0015] 시스템이 구현될 수 있는 디바이스는 중앙 처리 장치, 메모리, 입력 디바이스들(예를 들어, 키보드 및 포인팅 디바이스들), 출력 디바이스들(예를 들어, 디스플레이 디바이스), 및 저장 장치들(예를 들어, 디스크 드라이브들)을 포함할 수 있다. 메모리 및 저장 장치들은 본 시스템의 부분들을 구현하는 컴퓨터 실행가능한 명령어들을 이용하여 인코딩될 수 있는 컴퓨터 관독가능한 매체이며, 이것은 명령어들을 포함하는 컴퓨터 관독가능한 매체를 의미한다. 또한, 데이터 구조들 및 메시지 구조들은 통신 링크 상의 신호와 같이, 데이터 전송 매체를 통해 전송되거나, 저장될 수 있다. 직렬 전송 링크, 인터넷, 근거리 통신망(local area network), 광역 통신망(wide area network), 점대점 전화 연결(point-to-point dial-up connection), 이동 전화 네트워크 등의 다양한 통신 링크들이 이용될 수 있다.

[0016]

본 시스템의 실시예들은 개인용 컴퓨터들, 서버 컴퓨터들, 휴대형 또는 랙톱 디바이스들, 멀티프로세서 시스템들, 마이크로프로세서 기반 시스템들, 프로그램가능한 소비자 전자제품들, 디지털 카메라들, 네트워크 PC들, 미니 컴퓨터들, 메인프레임 컴퓨터들, 위의 시스템들 중 임의의 것을 포함하는 분산 컴퓨팅 환경들 등을 포함하는 다양한 동작 환경에서 구현될 수 있다. 컴퓨터 시스템들은 이동 전화기들, 개인용 디지털 보조장치들(personal digital assistants), 스마트 전화기들, 개인용 컴퓨터들, 프로그램가능한 소비자 전자제품들, 디지털 카메라들 등일 수 있다.

[0017]

전술한 내용으로부터, 예시의 목적을 위해 하이브리드 시스템의 특정 실시예들이 본 명세서에서 설명되었지만, 본 발명의 사상 및 범주를 벗어나지 않으면서 다양한 변경들이 이루어질 수 있음을 이해할 것이다. 따라서, 본 발명은 첨부된 특허청구범위에 의해서만 제한된다.

도면의 간단한 설명

[0005]

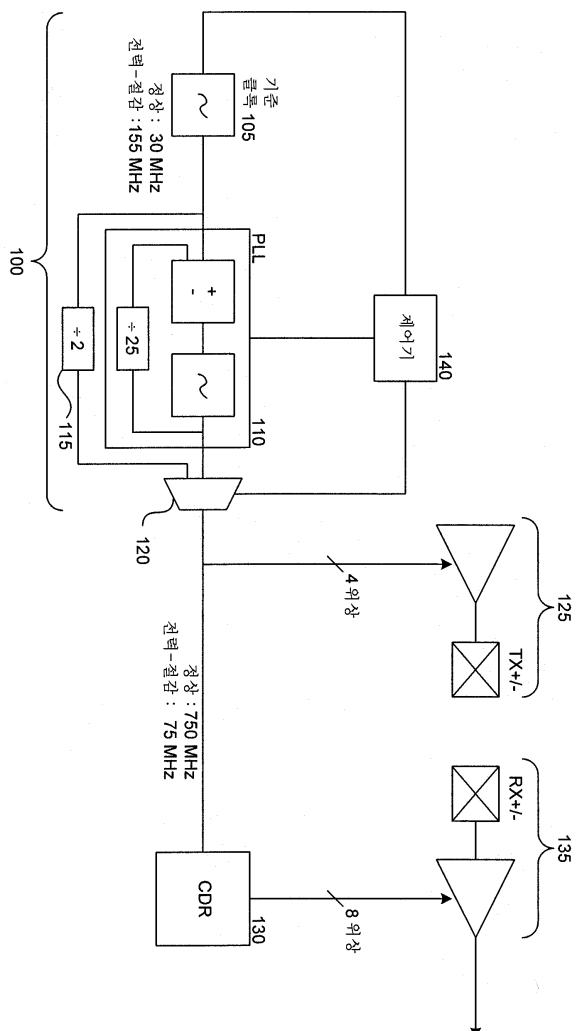
도 1은 직렬화기/역직렬화기와 함께 이용되는 하이브리드 클록 시스템을 도시하는 회로도이다.

[0006]

도 2는 동작 모드를 전환하는 경우의 하이브리드 클록 시스템의 처리를 도시하는 흐름도이다.

도면

도면1



도면2

