(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/28

(45) 공고일자 2005년08월24일
(11) 등록번호 10-0484607
(24) 등록일자 2005년04월13일

(21) 출원번호 10-1997-0003533
(22) 출원일자 1997년02월05일

(65) 공개번호 10-1997-0063504
(43) 공개일자 1997년09월12일

(30) 우선권주장 96-42149 1996년02월05일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자끼 순페이
일본국 157 토쿄 세타가야쿠 세이조 4-10-20

테라모토 사토시
일본국 243 가나가와켄 아쓰기시 하세 304-1 플랫 셀-비 205

(74) 대리인 황의만

심사관 : 이우식

(54) 반도체장치제조방법

요약

다층 배선 구조를 가지는 반도체장치를 제조하는 방법으로서, 기판 상에 제1 배선 또는 전극을 형성하는 공정, 상기 제1 배선 또는 전극을 덮는 절연막을 형성하는 공정, 상기 절연막에 상기 제1 배선 또는 전극에 이르는 콘택트 홀을 형성하는 공정, 상기 콘택트 홀 내에서 상기 제1 배선 또는 전극과 접촉하는 콘택트용 배선을 형성하는 공정, 및 그 콘택트용 배선을 양극으로 하여 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 콘택트용 배선의 돌출부를 제거하는 동시에 상기 절연막을 평탄화 하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법이 개시되어 있다. 또한, 반도체장치를 제조하는 동안 반도체장치의 표면을 연마하는 장치로서, 화학 기계적 연마를 행하는 수단과, 반도체장치의 전극에 전류를 인가하는 수단을 포함하는 것을 특징으로 하는 반도체장치 제조장치가 개시되어 있다.

대표도

도 1A~도 1D

명세서

도면의 간단한 설명

도 1A~도 1D는 본 발명의 실시예에 따른, 다층 배선을 가지는 반도체장치의 제작공정을 개략적으로 나타내는 도면.

도 2는 본 발명의 실시예에 따른, 반도체장치를 연마하는 장치를 개략적으로 나타내는 도면.

도 3은 종래 기술에 따른, 다층 배선을 가지는 반도체장치의 제작공정을 개략적으로 나타내는 도면.

도 4A~도 4D는 본 발명의 다른 실시예에 따른, 다층 배선을 가지는 반도체 장치의 제작공정을 개략적으로 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

100: 오목부 101: 기판

102: 산화규소막 103, 104: 제1 층용 배선 또는 전극

105: 층간절연막 106, 107: 콘택트용 배선

108, 109: 콘택트용 배선 110: 평탄화된 층간절연막

111, 112: 제2 층용 배선 또는 전극

201: 시료 202: 스테이지 203: 지그(jig)

204: 연마 지그 205: 구멍 206: 전해용액

207: 배선 208: 연마포

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다층 배선 구조를 가지는 반도체장치를 제조하는 방법에 관한 것이다. 더 상세하게는, 본 발명은 배선이 형성되는 하지층(下地層)을 평탄화 하는 기술에 관한 것이다.

최근, 반도체 집적회로의 집적도를 높이기 위해, 2차원적 집적도뿐만 아니라 3차원적 집적도를 높이는 구성에 관한 연구가 진행되고 있다. 3차원적 집적도를 높이기 위해서는, 다층 배선이 필요하다.

그러나, 배선의 중첩 층의 수의 증가에 따라, 표면의 요철이 필연적으로 커지게 되고, 따라서, 예를 들어, 상층으로 갈수록 디자인 룰의 완화가 요구되는 문제가 발생한다.

이러한 문제를 해결하기 위한 방법으로서, 일본국 공개특허공고 평7-130848호 공보에 개시되어 있는 바와 같은, 다층 배선의 표면을 평탄화 하는 기술이 알려져 있다.

그러나, 이러한 기술에 있어서도, 요철 표면을 가지는 층간절연막과, 그 층간절연막 상에 형성된 콘택트 홀로부터 돌출된 전극과 배선을 전체적으로 평탄화하는 것은 여전히 어렵다.

예를 들어, 도 3에 도시된 바와 같은, 2층의 전극 또는 배선을 포함하는 다층 구조가 형성된 경우, 그의 표면에는, 층간절연막(301)의 요철과, 하부 배선과 접촉하는 배선 또는 전극(302~304)에 의해 야기되는 요철이 존재한다.

그러한 요철들은 그 위에 다층 배선이 추가로 형성되는 경우에 방해물이 된다. 그러나, 그러한 요철들을 완전히 평탄화하는 것은 어렵다.

또한, 전극(302~304)용 콘택트 홀의 내부를 덮는 문제로 인하여, 콘택트 홀(300) 내부의 측면에서 단선(斷線) 및 접촉 불량이 일어난다.

상기 문제를 해결하기 위해서는, 콘택트 홀의 내부를 전극을 구성하는 재료로 채우기에 충분한 두께로 전극재료를 형성하는 것이 필요하다. 그러나, 그렇게하면, 전극 자체가 큰 돌출물이 되고, 이로 인한 새로운 문제를 야기한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 다층 배선의 제조 중에 있어서의 하층 배선의 존재에 기인하는 요철의 문제를 해결하는데 있다. 본 발명의 다른 목적은, 층간절연막의 요철 및 상층 배선 자체의 존재에 의한 요철을 전체적으로 평탄화 하는 기술을 제공하는데 있다.

발명의 구성 및 작용

본 발명의 일 양태에 따르면, 다층 배선 구조를 가지는 반도체장치를 제조하는 방법으로서, 기판 상에 제1 배선 또는 전극을 형성하는 공정, 그 제1 배선 또는 전극을 덮는 절연막을 형성하는 공정, 그 절연막에 상기 제1 배선 또는 전극에 이르는 콘택트 홀을 형성하는 공정, 그 콘택트 홀 내에서 상기 제1 배선 또는 전극과 접촉하는 콘택트용 배선을 형성하는 공정, 및 그 콘택트용 배선을 양극으로 하여 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 콘택트용 배선의 돌출부를 제거하는 동시에 상기 절연막을 평탄화 하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법이 제공된다.

본 발명의 다른 양태에 따르면, 반도체장치의 제조 중에 그 반도체장치의 표면을 연마하는 방법으로서, 화학 기계적 연마를 행하는 동시에, 상기 반도체장치의 전극을 양극으로 하여 전해 연마를 행하는 것을 특징으로 하는 반도체장치의 표면연마방법이 제공된다.

본 발명의 또 다른 양태에 따르면, 반도체장치의 제조 중에 그 반도체장치의 표면을 기계적으로 연마하는 수단과, 상기 반도체장치의 전극에 전류를 인가하는 수단을 포함하는 것을 특징으로 하는 반도체장치 제조장치가 제공된다.

본 발명의 또 다른 양태에 따르면, 반도체장치의 제조 중에 그 반도체장치의 표면을 연마하는 장치로서, 화학 기계적 연마를 행하는 수단과, 상기 반도체장치의 전극에 전류를 인가하는 수단을 포함하는 것을 특징으로 하는 반도체장치의 표면연마장치가 제공된다.

본 명세서에 개시된 본 발명에 있어서는, 연마 중에 사용되는 용액으로서, 10^{-3}~10^{10} $(\Omega\cdot cm)^{-1}$ 범위의 전기 저항을 가지는 전해용액이 사용된다.

또한, 화학 기계적 연마를 위한 연마재료로서는, 4,000~10,000번의 입도(粒度)를 가지는 비도전성(非導電性) 입자가 사용된다.

연마재료로서 비도전성 재료를 사용함으로써, 전극을 선택적으로 제거하는 현상의 발생이 방지될 수 있다.

또한, 연마재료로서 비도전성 재료를 사용함으로써, 다층 구조의 집적회로의 제조공정들 중에 도전성 재료의 존재로 인하여 단락(短絡)이 발생하는 문제가 억제될 수 있다.

비도전성 입자로서는, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 재료가 사용될 수 있다.

첨부 도면을 참조하여 본 발명의 실시예를 설명한다.

[실시예 1]

본 실시예는, 제1 층의 배선과 제2 층의 배선을 접속하여 다층 배선을 구성하는, 본 발명에 따른 구성을 제조하는 공정을 설명한다. 도 1A~도 1D는 본 발명에 따른 다층 배선의 제조공정을 나타낸다.

먼저, 기판(101) 상에 하지(下地) 절연막으로서 산화규소막(102)을 플라즈마 CVD법에 의해 4,000Å의 두께로 형성한다.

기판(101)으로서는, 단결정 실리콘 기판 또는 유리 기판이 사용될 수 있다. 또한, 다른 금속으로 만들어진 기판이나 반도체 기판, 또는 적절한 절연 기판이 사용될 수도 있다.

단결정 실리콘 기판이 사용되는 경우, MOS형 장치 등이 그 기판에 형성된다. 또한, 유리 기판 또는 석영 기판이 사용되는 경우에는, 박막 반도체를 사용하는 TFT(박막트랜지스터)가 형성된다.

하지막(下地膜)으로서는, 플라즈마 CVD법에 의해 형성된 산화규소막 또는 질화규소막이 사용될 수 있다. 또는, 산화질화규소막이 사용될 수도 있다.

하지막으로서 산화규소막(102)을 형성한 후, 제1 층의 배선을 형성하기 위한 알루미늄 막(도시되지 않음)을 스퍼터법에 의해 5,000 Å의 두께로 형성한다. 힐록 및 휘스커의 발생을 방지하기 위해, 스칸듐과 같은 희토류 원소 또는 구리가 알루미늄 막에 첨가되었다.

그 다음, 도면에 도시되지 않은 알루미늄 막을 패터닝하여, 제1 층을 위한 배선 또는 전극(103, 104)을 형성한다. 이렇게 하여, 도 1A에 나타낸 상태가 얻어졌다.

도 1A는 배선 또는 전극(103, 104)만을 나타내지만, 일반적으로는, 필요로하는 배선 또는 전극이 요구되는 패턴으로 배치된다.

그 후, 층간절연막(105)을 형성한다. 그 층간절연막(105)으로서는, 산화규소막, 질화규소막, 산화질화규소막 또는 수지막이 사용될 수 있다. 또한, 단층 막 대신에, 상기 막들의 다층 막이 사용될 수도 있다. 평탄성이 우수하기 때문에, PSG 막이 사용될 수도 있다.

도 1B에서, 일반적으로, 층간절연막(105) 상에는 완전히 평탄한 표면이 얻어질 수 없다는 것을 알 수 있다.

층간절연막(105)을 형성한 후, 배선 또는 전극(103, 104)에 이르는 개방부를 형성한다. 이 개방부의 바닥에서 배선 또는 전극(103, 104)이 노출된다.

그 다음, 개방부의 바닥에서 노출되어 있는 배선 또는 전극(103, 104)의 표면에 형성된 자연 산화막(산화알루미늄)을 제거한다. 일반적으로, 알루미늄 막의 표면에는, 비록 매우 얇지만 자연 산화막이 형성된다. 따라서, 콘택트를 형성하는 경우에는, 이 자연 산화막을 제거하는 공정이 필수적이다.

이어서, 도면에는 도시되지 않았지만, 두께 5,000 Å의 알루미늄 막을 스퍼터법에 의해 형성하여, 제2 층의 배선 또는 전극에 대한 콘택트를 구성한다. 이렇게 하여 형성된 알루미늄 막을 패터닝하여, 도 1B에 도시된 상태를 얻는다.

도 1B에 도시된 상태에서는, 콘택트용 배선(106, 107)이 돌출물 형태로 되어 있다.

일반적으로, 콘택트용 배선(106, 107)의 상부에는, 콘택트 홀의 오목부에 대응하는 오목부(100)가 형성된다. 이 오목부(100)는 그의 상측에 형성되는 층간절연막의 평탄성에 크게 영향을 끼친다.

도 1B에 도시된 상태가 얻어진 후, 화학 기계적 연마(chemical mechanical polishing: CMP)에 이용되는 실리카 졸과 전해용액의 혼합물을 사용하여, 도 2에 도시된 장치(후에 상세히 설명함)를 이용한 연마를 행한다.

본 실시예에서는, 콘택트용 배선(106, 107)을 양극으로 하여 전해용액 중에서, 연마 패드에 의해 100 kg/cm^2의 압력을 가하면서 연마를 행하였다. 이 연마 중에 가해지는 압력은 약 50~150 kg/cm^2의 범위에서 선택될 수 있다. 시료의 표면과 연마 패드 사이에 0.1 μm의 간격을 두고 연마가 행해진다.

이 공정에서는, 연마가 2가지 모드로 행해진다. 한가지는 화학 기계적 연마(CMP)로 불리는 연마이다. 이러한 모드의 연마는 전해용액과 혼합되어 있는 실리카 입자에 의해 실행된다.

다른 모드에서는, 돌출한 콘택트용 배선(106, 107)을 양극으로 한 전해 연마에 의해, 주로 콘택트용 배선(106, 107)의 돌출부가 선택적으로 연마된다.

또한, 실리카 입자의 표면에 흡착된 전하(OH^-)가 존재하기 때문에, 콘택트용 배선(106, 107)의 돌출부에서 CMP가 보다 적극적으로 진행한다. 즉, CMP에 사용되는 실리카 입자들이 콘택트용 배선(106, 107)의 돌출부로 이끌려, 연마 공정을 선택적으로 진행시킨다.

이러한 연마가 진행함으로써, 도 1C에 나타내어진 평탄화된 층간절연막(110)이 얻어진다. 또한, 이 공정에서, 층간절연막(110)의 노출면과 동일 면을 이루는 평탄한 표면을 가지는 콘택트용 배선(108, 109)이 얻어진다.

이 상태에서는, 요철이 1,000 Å 이하로 되는 평탄도가 얻어진다.

일반적으로 CMP만을 사용하는 공정에서는, 층간절연막(105)에 대한 연마율이 콘택트용 배선(106, 107)에 대한 연마율과 다르기 때문에, 도 1C에 도시된 전체적으로 평탄화된 표면을 얻는 것이 어렵다. 종래에는, 상기한 어려움을 극복하기 위해, 연마재료를 다량으로 사용하는 장시간에 걸친 CMP가 이용되었다.

전해 연마만을 사용하는 경우에는, 양극만으로 사용될 수 있는 도전성 재료가 선택적으로 연마되어, 층간절연막 등과 같은 절연재료를 연마하는 것이 어렵게 된다. 따라서, 전체 구조를 평탄화 하는 것이 어렵게 된다.

이어서, 평탄화된 표면을 가지는 상태가 얻어진 후, 제2 층을 위한 배선 또는 전극(111, 112)을 형성한다. 그 배선 또는 전극(111, 112)은 제1 층을 위한 배선 또는 전극(103, 104)에 사용되는 것과 동일한 재료를 사용하여 형성될 수 있고, 다른 재료를 사용하여 형성될 수도 있음은 물론이다.

이렇게 하여, 도 1D에 나타낸 상태가 얻어진다. 따라서, 2층의 구성을 가지는 다층 구조가 실현된다. 더 많은 층을 가지는 다층 구조를 형성하기 위해서는, 도 1D에 도시된 상태에 겹쳐 제2 층간절연막을 형성하고, 도 1B 및 도 1C에 도시된 공정에 따라 제3 층을 위한 배선을 형성한다.

본 실시예에 따른 구성을 채택함으로써 모든 층의 평탄성을 확보할 수 있기 때문에, 배선이 다수 층으로 형성되는 경우라도, 배선의 단선이나 제조에서 어려움을 가지는 상태가 회피될 수 있다. 따라서, 높은 집적도를 가지는 다층 구조의 반도체 집적회로를 제조할 수 있다.

[실시예 2]

본 실시예는 실시예 1에서 설명된 제조공정에 사용된 연마를 행하기 위한 장치에 관한 것이다. 본 실시예에서 설명되는 연마장치는, 기계 화학적 연마와 전기적 연마를 동시에 행할 수 있다.

도 2는 본 실시예에 따른 연마장치의 개요를 나타낸다. 도 2에서, 시료(201)는, 예를 들어, 반도체장치 또는 다층 배선이 형성될(또는 이미 형성된) 실리콘 웨이퍼나 유리 기판 등이다.

도 2에 나타내는 바와 같이, 전해 연마를 행하는데 필요한 양극 전류를 공급하기 위한 배선(207)이 설치되어 있다. 그 배선(207)은 스테이지(stage)(202)상에 시료(201)를 고정시키는 지그(jig)(203)로부터 시료 상에 형성된 전극에 양극 전류를 공급한다.

본 실시예에서는, 시료(201)가 놓여 있는 스테이지(202)가 회전하여, 시료(201)가 연마 지그(204)에 대하여 회전하는 구성으로 되어 있다. 따라서, 스테이지(202)를 회전시킴으로써, 시료(201)의 표면에 대한 연마가 행해진다.

연마포(硏磨布)(208)를 가진 연마 지그(204)가 시료(201)의 표면과 접촉하도록 배치된다. 본 실시예에서, 이 연마 지그(204)는 시료(201)에 소정의 압력을 가하면서 회전 시료(201)의 표면을 연마할 수 있도록 하는 방식으로 고정되어 있다.

연마 지그(204)는 연마재료를 함유하는 전해용액이 시료의 전체 표면에 균일하게 공급될 수 있게 하는 다수의 구멍(205)을 가지고 있다.

연마 지그(204)는 도전성(導電性) 재료로 만들어져 있고, 그 지그 자체는 시료(201)를 연마하는데 있어서 음극으로서 기능한다.

시료(201)의 표면을 연마할 때, 스테이지(202)가 연마 지그(204)에 대하여 회전하는 동안 구멍(205)들로부터 연마재료를 함유하는 전해용액이 공급된다. 이러한 방식으로 화학 기계적 연마(CMP)가 실행되고, 이와 동시에, 시료(201)상에 형성된 전극을 양극으로 하고 연마 지그(204)를 음극으로 하여 전해 연마가 행해진다.

따라서, 상기 구성으로, CMP와 전해 연마를 동시에 행함으로써 시료의 표면이 평탄화 된다.

[실시예 3]

본 실시예는, 실리콘 웨이퍼를 이용한 통상의 MOS형 반도체장치와 그 위에 제조된 박막트랜지스터를 포함하는 다층 구조를 가지는 집적회로를 제조하는 공정에 관한 것이다.

도 4A~도 4D는 본 실시예에 따라 집적회로를 제조하는 공정을 개략적으로 나타낸다. 먼저, MOS 트랜지스터를 제조하는 공지의 공정에 따라 실리콘 웨이퍼(401) 상에 P채널형 MOS 반도체장치를 제조한다.(도 4A)

도 4A~도 4D에서, 단결정 실리콘 웨이퍼(401)상에 P형 영역(402, 403)과, 소스 및 드레인 영역으로 기능하는 N형 영역(404, 405)이 제공된다. 게이트 전극(408) 아래에는 채널 형성 영역(406)이 형성된다. 게이트 전극(408) 바로 아래에 배치된 산화규소막(407)은 게이트 절연막으로서 기능한다.

금속재료 또는 N형 실리콘 재료로 만들어진 소스 전극 또는 소스 배선(409)이 존재한다. 드레인 전극 또는 드레인 배선(410)도 형성되어 있다.

도 4A에 나타낸 상태를 얻은 후, 층간절연막(411)으로서 산화규소막을 형성한다. 이 층간절연막으로서, 다른 재료 또는 다층 막이 사용될 수 있다.

층간절연막(411)을 형성한 후, 콘택트 홀을 형성하고, 드레인 전극 또는 드레인 배선(410)과 접촉하는 콘택트 전극(412)을 형성한다. 이렇게 하여, 도 4B에 나타낸 상태가 얻어진다.

이 상태에서, 층간절연막(411)의 표면은 그 아래에 형성된 MOS형 트랜지스터의 존재에 기인하여 요철을 가진다. 또한, 콘택트 홀의 바닥에서 콘택트 전극(412)이 확실하게 접촉하게 하기 위해, 그 콘택트 전극(412)을 구성하는 막은 충분히 두껍게 되어야 한다. 따라서, 콘택트 전극(412)의 상부가 그의 중앙부에 오목부를 가지는 형태로 되어 있다.

도 4B에 도시된 상태가 얻어진 후, 실시예 1에 나타낸 연마를 실시하여 표면을 평탄화 한다. 이 공정에서는, 전해 연마에 의해 콘택트 전극(412)의 돌출부를 평탄화 하는 동시에, CMP에 의해 층간절연막(411)의 표면의 요철을 제거한다.

따라서, 도 4C에 도시된 바와 같이, 평탄한 표면(414)을 가지는 층간절연막(413)이 얻어진다. 연마에 의해 돌출부가 제거된 콘택트 전극(415)은 층간절연막(413)의 표면과 거의 동일한 면(또는 그것과 매우 유사한 상태)이 되도록 형성되었다.

이어서, 콘택트 전극(415)과 접촉하는 배선(416)을 형성한다. 그러한 구성을 취함으로써, 배선(416)과 드레인 전극 또는 드레인 배선(410)의 완전한 접촉을 보장하면서 배선(416)의 막 두께를 가능한 한 줄일 수 있다. 따라서, 배선(416)의 존재로 인하여 후에 필연적으로 형성되는 요철을 최소화하면서 확실한 콘택트가 형성될 수 있다.

이렇게 하여, 도 4C에 나타낸 상태가 얻어진다. 그 후, 제2 층간절연막(417)을 형성한다. 이 제2 층간절연막은 산화규소막 또는 질화규소막으로 형성된다. 또한, 제2 층간절연막으로서는, 상기한 막들의 다층 막뿐만 아니라 수지막이 사용될 수 있다.

본 실시예에서는, 제2 층간절연막(417)의 표면을 도 2에 도시된 장치를 사용하여 연마하였다. 이때는, 도전성 재료가 노출되어 있지 않기 때문에, 전해 연마는 행해지지 않는다.

제2 층간절연막(417) 상에 박막트랜지스터가 추가로 형성된다. 먼저, 박막트랜지스터를 형성하기 위한 활성층의 출발막을 구성하는 두께 1,500 Å의 비정질 규소막(도시되지 않음)을 형성한다.

이어서, 상기 비정질 규소막을 850℃에서 5시간 가열처리를 행하여 결정화시킨다. 이렇게 하여 결정화된 규소막을 패터닝하여, 결정성 규소막으로 된 활성층(418)을 얻는다.

그 후, 열 산화법이나 플라즈마 CVD법 또는 이들의 조합에 의해 게이트 절연막(419)으로서 산화규소막을 형성한다.

그리고, 금속재료 또는 실리사이드 재료를 사용하여 게이트 전극(420)을 형성한다. 그 후, 그 게이트 전극(420)을 마스크로 하여 불순물 이온을 주입하여 활성층(418)에 소스 영역 및 드레인 영역을 형성한다.

그 후, 레이저광 조사 또는 가열처리에 의해, 주입된 불순물 이온을 활성화하고, 그 주입된 불순물 이온을 포함하는 영역을 어닐한다.

그 다음, 층간절연막(421)으로서, 산화규소막 등으로 된 절연막을 형성한다. 그리고, 콘택트 홀을 형성한 후, 소스 전극(또는 배선)(422) 및 드레인 전극(또는 배선)(423)을 형성한다.

그 후, 도 4C에 도시된 평탄화 공정을 선택적으로 행하고, 추가로 다층 구조를 제조한다.

이렇게 하여, 단결정 실리콘 웨이퍼를 사용하여 MOS형 반도체장치를 제조한 후 그 위에 박막트랜지스터를 형성함으로써 다층 구조를 가지는 반도체 집적회로가 얻어질 수 있다. 이러한 구성에서는, 위에 형성되는 박막트랜지스터의 베이스가 평탄화 될 수 있기 때문에, 높은 집적도가 달성될 수 있다.

[실시예 4]

본 실시예는 보다 높은 평탄도를 얻기 위해 연마를 2 단계 또는 3 단계로 행하는 것을 포함하는 방법에 관한 것이다. 이 경우, 연마의 단계에 따라 다수의 연마장치를 사용하는 것이 바람직하다.

본 발명에서 개시된 바와 같은 연마 모드들 중의 하나로서 전해 연마 모드가 존재하는 경우, 연마재료의 전기 절연성의 차이에 따라 연마 상태가 다르게 된다. 따라서, 연마 결과 얻어지는 시료 표면의 평탄성은 다수의 연마재료를 여러 번 사용하여 연마를 행함으로써 제어될 수 있다.

본 실시예에서는, 다수의 연마장치를 연속적으로 사용하여 단일의 시료를 연마함으로써, 연마 후의 평탄성을 더욱 양호하게 할 수 있다.

발명의 효과

상기한 바와 같이, 본 발명은 다층 구조를 가지는 반도체장치의 제조공정에서 노출 표면을 평탄화 할 수 있다. 따라서, 다층 구조를 가지는 반도체장치를 제조하는 경우, 하층 배선의 존재에 기인하여 나타나는 요철의 문제가 해결될 수 있다.

(57) 청구의 범위

청구항 1.

다층 배선을 가지는 반도체장치를 제조하는 방법으로서,

기판 상에 제1 배선 또는 전극을 형성하는 공정;

상기 제1 배선 또는 전극을 덮는 절연막을 형성하는 공정;

상기 절연막에 상기 제1 배선 또는 전극에 이르는 콘택트 홀을 형성하는 공정;

상기 콘택트 홀 내에서 상기 제1 배선 또는 전극과 접촉하는 콘택트용 배선을 형성하는 공정; 및

상기 콘택트용 배선을 양극으로 하여 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 콘택트용 배선의 돌출부를 제거하는 동시에 상기 절연막을 평탄화하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 2.

제 1 항에 있어서, 상기 전해용액의 전기 저항이 10^{-3}～10^{10} $(\Omega\cdot cm)^{-1}$의 범위 내인 것을 특징으로 하는 반도체장치 제조방법.

청구항 3.

제 1 항에 있어서, 입도(粒度)가 4,000～10,000번인 비도전성 입자가 상기 화학 기계적 연마에 사용되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 4.

제 3 항에 있어서, 상기 비도전성 입자가 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자 중에서 선택된 입자인 것을 특징으로 하는 반도체장치 제조방법.

청구항 5.

트랜지스터 위에, 수지로 된 층간절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 층간절연막의 상부 표면을 평탄화하는 공정; 및

상기 평탄화 후에 상기 층간절연막의 상기 상부 표면 위에 배선을 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 6.

트랜지스터를 포함하는 실리콘 기판 위에, 수지로 된 층간절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 층간절연막의 상부 표면을 평탄화하는 공정; 및

상기 평탄화 후에 상기 층간절연막의 상기 상부 표면 위에 배선을 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 7.

트랜지스터 위와 전극 위에, 수지로 된 층간절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 층간절연막의 상부 표면을 평탄화하는 공정; 및

상기 평탄화 후에 상기 층간절연막의 상기 상부 표면 위에 배선을 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 8.

트랜지스터를 포함하는 실리콘 기판 위에 전극을 형성하는 공정;

상기 전극 위에 수지로 된 층간절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 층간절연막의 상부 표면을 평탄화하는 공정; 및

상기 평탄화 후에 상기 층간절연막의 상기 상부 표면 위에 배선을 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 9.

트랜지스터 위와 전극 위에, 수지로 된 층간절연막을 형성하는 공정;

상기 층간절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀 내에 콘택트용 제1 배선을 형성하는 공정;

화학 기계적 연마에 의해 상기 층간절연막의 상부 표면과 상기 제1 배선의 상부 표면을 동시에 평탄화하는 공정; 및

상기 평탄화 후에 상기 층간절연막의 상기 상부 표면 위에 제2 배선을 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 10.

트랜지스터를 포함하는 실리콘 기판 위에 전극을 형성하는 공정;

상기 전극 위에 수지로 된 층간절연막을 형성하는 공정;

상기 층간절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀 내에 콘택트용 제1 배선을 형성하는 공정;

화학 기계적 연마에 의해 상기 층간절연막의 상부 표면과 상기 제1 배선의 상부 표면을 동시에 평탄화하는 공정; 및

상기 평탄화 후에 상기 층간절연막의 상기 상부 표면 위에 제2 배선을 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 11.

트랜지스터를 포함하는 실리콘 기판 위에 절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 절연막의 상부 표면을 평탄화하는 공정; 및

상기 평탄화 후에 상기 절연막 위에 박막트랜지스터를 형성하는 공정을 포함하고;

상기 화학 기계적 연마가, 다이아몬드 입자, 알루미나 입자, 탄소 입자 및 실리카 입자로 이루어진 군으로부터 선택된 연마재료를 사용하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 12.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 제1 절연막을 형성하는 공정;

상기 제1 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 콘택트 전극을 형성하는 공정;

상기 콘택트 전극을 양극으로 한 전해 연마와 화학 기계적 연마에 의해 상기 콘택트 전극의 표면과 상기 제1 절연막의 표면을 동시에 평탄화하는 공정;

상기 콘택트 전극과 상기 제1 절연막 위에, 상기 콘택트 전극과 접촉하는 배선을 형성하는 공정;

상기 배선과 상기 제1 절연막 위에 제2 절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 제2 절연막의 표면을 연마하는 공정; 및

상기 연마 후에 상기 제2 절연막의 상기 표면 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 13.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 제1 절연막을 형성하는 공정;

상기 제1 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 콘택트 전극을 형성하는 공정;

상기 콘택트 전극을 양극으로 하여 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 콘택트 전극의 표면과 상기 제1 절연막의 표면을 동시에 평탄화하는 공정;

상기 콘택트 전극과 상기 제1 절연막 위에, 상기 콘택트 전극과 접촉하는 배선을 형성하는 공정;

상기 배선과 상기 제1 절연막 위에 제2 절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 제2 절연막의 표면을 연마하는 공정; 및

상기 연마 후에 상기 제2 절연막의 상기 표면 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 14.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 절연막을 형성하는 공정;

상기 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 전기적으로 접속되는 배선을 형성하는 공정;

상기 배선을 양극으로 하여 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 배선의 표면과 상기 절연막의 표면을 연마하여 상기 배선의 상기 표면과 상기 절연막의 상기 표면을 동시에 평탄화하는 공정; 및

상기 연마 후에 상기 배선의 상기 표면과 상기 절연막 상에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 15.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 절연막을 형성하는 공정;

상기 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 배선을 형성하는 공정;

상기 배선의 표면 및 상기 절연막의 표면에 대향하여 제공된 음극에 형성된 다수의 구멍을 통해 상기 배선의 상기 표면과 상기 절연막의 상기 표면에 전해용액을 부여하는 공정;

상기 배선을 양극으로 한 전해 연마와 화학 기계적 연마에 의해 상기 배선의 상기 표면과 상기 절연막의 상기 표면을 동시에 평탄화하는 공정; 및

상기 평탄화 후에 상기 절연막의 상기 표면 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 16.

기판 위에 제1 배선 또는 제1 전극을 형성하는 공정;

상기 제1 배선 또는 상기 제1 전극을 덮고 표면 요철을 가지는 절연막을 형성하는 공정;

상기 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 제1 배선 또는 상기 제1 전극에 전기적으로 접속되는 배선을 형성하는 공정;

상기 배선을 양극으로 하여 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 배선의 표면과 상기 절연막의 표면을 연마하여 상기 배선의 상기 표면과 상기 절연막의 상기 표면을 동시에 평탄화하는 공정; 및

상기 연마 후에 상기 배선의 상기 표면과 상기 절연막 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 17.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 다층 절연막을 형성하는 공정;

상기 다층 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 배선을 형성하는 공정;

상기 배선의 표면 및 상기 다층 절연막의 표면에 대향하여 제공된 음극에 형성된 다수의 구멍을 통해 상기 배선의 상기 표면과 상기 다층 절연막의 상기 표면에 전해용액을 부여하는 공정;

상기 배선을 양극으로 하여 상기 전해용액 중에서 화학 기계적 연마를 행함으로써 상기 배선의 상기 표면과 상기 다층 절연막의 상기 표면을 동시에 연마하는 공정; 및

상기 연마 후에 상기 다층 절연막의 상기 표면 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 18.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 다층 절연막을 형성하는 공정;

상기 다층 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 배선을 형성하는 공정;

상기 배선의 표면 및 상기 다층 절연막의 표면에 대향하여 제공된 음극에 형성된 다수의 구멍을 통해 상기 배선의 상기 표면과 상기 다층 절연막의 상기 표면에 전해용액을 부여하는 공정;

상기 배선을 양극으로 한 전해 연마와 화학 기계적 연마에 의해 상기 배선의 상기 표면과 상기 다층 절연막의 상기 표면을 동시에 평탄화하는 공정; 및

상기 평탄화 후에 상기 다층 절연막의 상기 표면 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 19.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 절연막을 형성하는 공정;

상기 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 배선을 형성하는 공정;

전해 연마와 화학 기계적 연마에 의해 상기 배선의 표면과 상기 절연막의 표면을 동시에 평탄화하는 공정; 및

상기 평탄화 후에 상기 절연막의 상기 표면상에 박막트랜지스터를 형성하는 공정을 포함하고;

상기 배선이 상기 전해 연마를 위한 양극으로 사용되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 20.

실리콘 기판에 MOS 트랜지스터를 형성하는 공정;

상기 MOS 트랜지스터 위에 다층 절연막을 형성하는 공정;

상기 다층 절연막에 콘택트 홀을 형성하는 공정;

상기 콘택트 홀을 통해 상기 MOS 트랜지스터에 접속되는 배선을 형성하는 공정;

전해 연마와 화학 기계적 연마에 의해 상기 배선의 표면과 상기 다층 절연막의 표면을 동시에 평탄화하는 공정; 및

상기 평탄화 후에 상기 다층 절연막의 상기 표면상에 박막트랜지스터를 형성하는 공정을 포함하고;

상기 배선이 상기 전해 연마를 위한 양극으로 사용되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 21.

제 15 항 또는 제 19 항에 있어서, 상기 절연막의 상기 표면이 상기 평탄화 전에는 요철을 가지는 것을 특징으로 하는 반도체장치 제조방법.

청구항 22.

제 18 항 또는 제 20 항에 있어서, 상기 다층 절연막의 상기 표면이 상기 평탄화 전에는 요철을 가지는 것을 특징으로 하는 반도체장치 제조방법.

청구항 23.

제 15 항, 제 18 항, 제 19 항, 제 20 항 중 어느 한 항에 있어서, 상기 배선이 상기 평탄화 전에는 돌출부를 가지는 것을 특징으로 하는 반도체장치 제조방법.

청구항 24.

제 15 항 또는 제 19 항에 있어서, 상기 배선이 상기 평탄화 전에는, 상기 절연막 상에 제공된 부분을 가지는 것을 특징으로 하는 반도체장치 제조방법.

청구항 25.

제 20 항에 있어서, 상기 배선이 상기 평탄화 전에는, 상기 다층 절연막 상에 제공된 부분을 가지는 것을 특징으로 하는 반도체장치 제조방법.

청구항 26.

제 5 항 내지 제 10 항 중 어느 한 항에 있어서, 상기 평탄화에 전해연마가 사용되는 것을 특징으로 하는 반도체장치 제조방법.

청구항 27.

제 9 항 또는 제 10 항에 있어서, 상기 제2 배선이 상기 제1 배선에 접속되어 있는 것을 특징으로 하는 반도체장치 제조방법.

청구항 28.

제1 트랜지스터를 포함하는 실리콘 기판 위에 제1 절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 제1 절연막의 상부 표면을 평탄화하는 공정;

상기 평탄화 후에 상기 제1 절연막 위에 제2 절연막을 형성하는 공정; 및

박막트랜지스터의 활성층이 되는, 실리콘을 포함하는 반도체막을 상기 제2 절연막 위에 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 29.

제1 트랜지스터를 포함하는 실리콘 기판 위에, 수지로 된 제1 절연막을 형성하는 공정;

화학 기계적 연마에 의해 상기 제1 절연막의 상부 표면을 평탄화하는 공정;

상기 평탄화 후에 상기 제1 절연막 위에 제2 절연막을 형성하는 공정; 및

박막트랜지스터의 활성층이 되는, 실리콘을 포함하는 반도체막을 상기 제2 절연막 위에 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 30.

기판 위에 제1 층간절연막을 형성하는 공정;

상기 제1 층간절연막의 표면에 대하여 제1 화학 기계적 연마를 행하는 공정;

상기 제1 화학 기계적 연마 후에 상기 제1 층간절연막 위에 배선을 형성하는 공정;

상기 배선 위에 제2 층간절연막을 형성하는 공정;

상기 제2 층간절연막의 표면에 대하여 제2 화학 기계적 연마를 행하는 공정; 및

상기 제2 화학 기계적 연마 후에 상기 제2 층간절연막 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

청구항 31.

제1 트랜지스터를 포함하는 기판 위에 제1 층간절연막을 형성하는 공정;

상기 제1 층간절연막의 표면에 대하여 제1 화학 기계적 연마를 행하는 공정;

상기 제1 화학 기계적 연마 후에 상기 제1 층간절연막 위에 배선을 형성하는 공정;

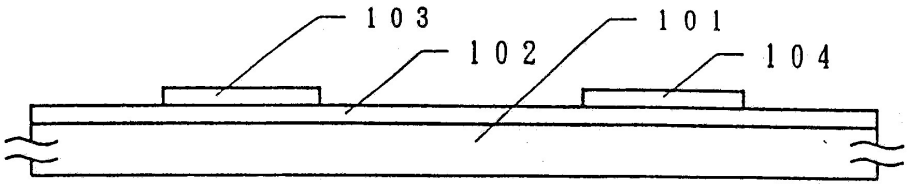
상기 배선 위에 제2 층간절연막을 형성하는 공정;

상기 제2 층간절연막의 표면에 대하여 제2 화학 기계적 연마를 행하는 공정; 및

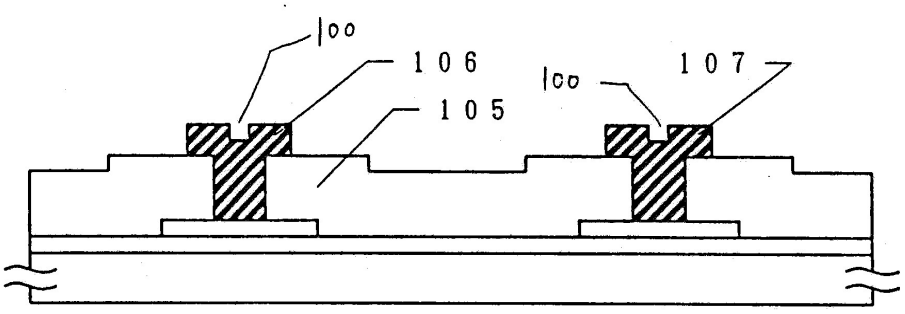
상기 제2 화학 기계적 연마 후에 상기 제2 층간절연막 위에 박막트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제조방법.

도면

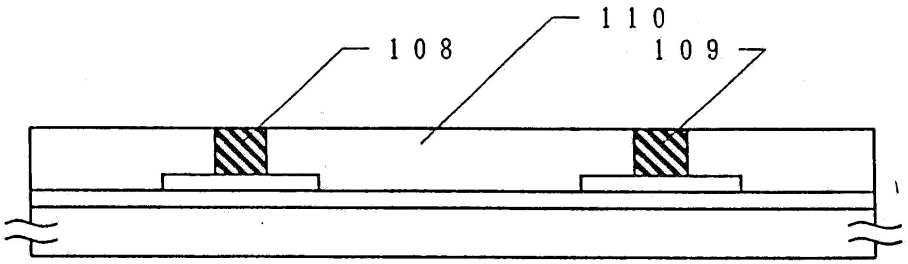
도면1a



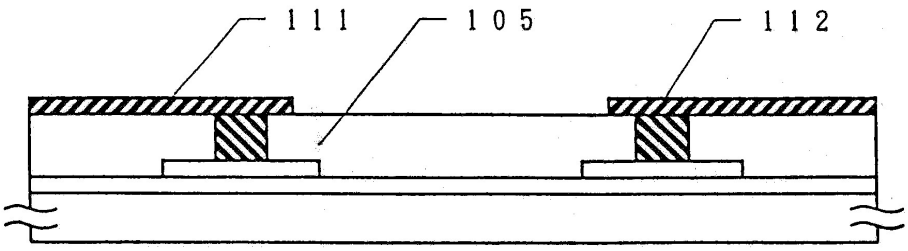
도면1b



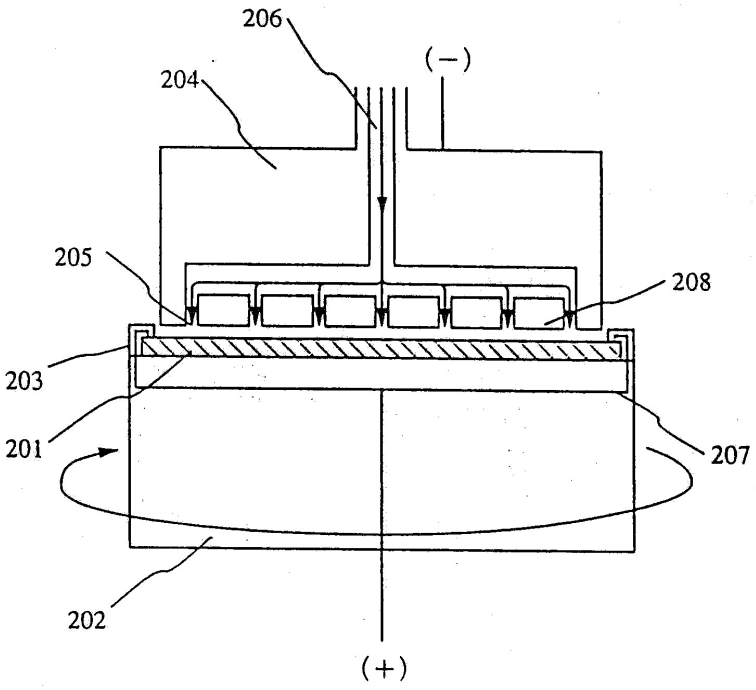
도면1c



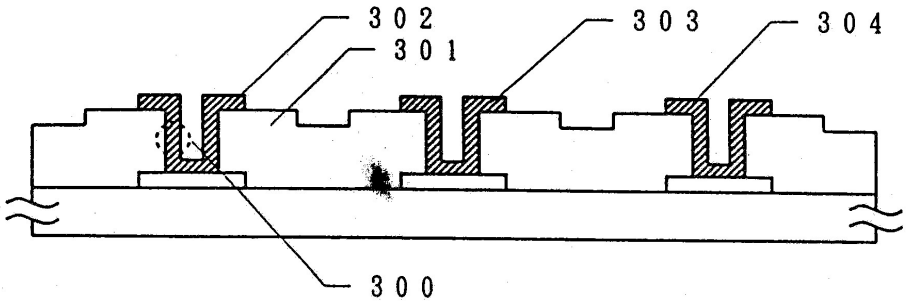
도면1d



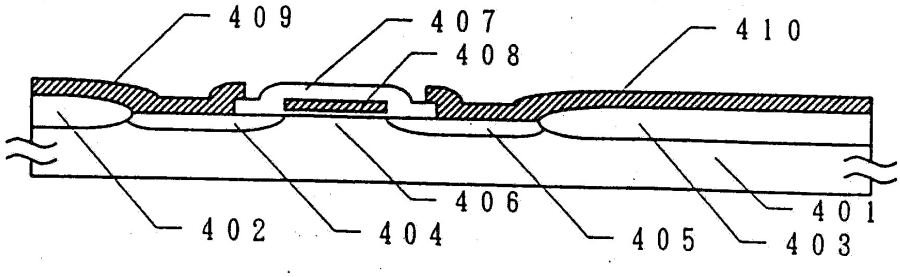
도면2



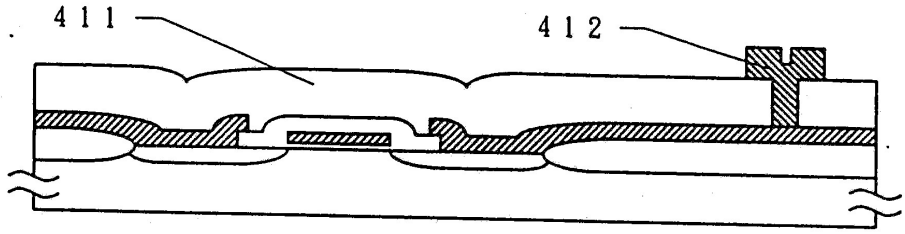
도면3



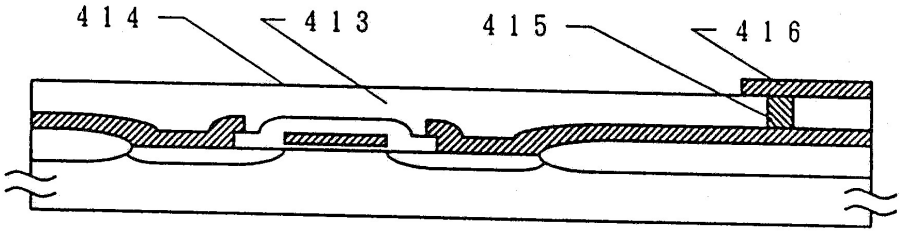
도면4a



도면4b



도면4c



도면4d

