

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5390230号  
(P5390230)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月18日 (2013. 10. 18)

(51) Int. Cl.	F I	
<b>C 2 3 C</b> 16/24 (2006. 01)	C 2 3 C	16/24
<b>H O 1 L</b> 21/205 (2006. 01)	H O 1 L	21/205
<b>H O 1 L</b> 31/04 (2014. 01)	H O 1 L	31/04 V
<b>H O 5 H</b> 1/24 (2006. 01)	H O 5 H	1/24
<b>H O 5 H</b> 1/46 (2006. 01)	H O 5 H	1/46 M
請求項の数 10 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2009-73667 (P2009-73667)	(73) 特許権者	000004064
(22) 出願日	平成21年3月25日 (2009. 3. 25)		日本碍子株式会社
(65) 公開番号	特開2009-263778 (P2009-263778A)		愛知県名古屋市瑞穂区須田町2番56号
(43) 公開日	平成21年11月12日 (2009. 11. 12)	(74) 代理人	110000017
審査請求日	平成24年2月15日 (2012. 2. 15)		特許業務法人アイテック国際特許事務所
(31) 優先権主張番号	特願2008-91402 (P2008-91402)	(72) 発明者	今枝 美能留
(32) 優先日	平成20年3月31日 (2008. 3. 31)		愛知県名古屋市瑞穂区須田町2番56号
(33) 優先権主張国	日本国 (JP)	(72) 発明者	今西 雄一郎
			愛知県名古屋市瑞穂区須田町2番56号
		(72) 発明者	齊藤 隆雄
			愛知県名古屋市瑞穂区須田町2番56号
			日本碍子株式会社内
			最終頁に続く

(54) 【発明の名称】 シリコン系薄膜成膜装置及びその方法

(57) 【特許請求の範囲】

【請求項 1】

被成膜部にシリコン系薄膜を生成するシリコン系薄膜成膜装置であって、  
チャンバ内に設けられ前記被成膜部を支持可能な支持電極と、  
前記支持電極に隙間をもって対向するように設けられた対向電極と、  
前記対向電極と前記支持電極との間に直流パルス電圧を印加する直流パルス電圧印加回路と、

シリコン系薄膜の原料ガスを前記対向電極の表面から前記支持電極に向かって噴射する原料ガス噴射口と、

前記対向電極の表面から前記支持電極に向かって噴射される原料ガスの外側で該原料ガスと同方向に前記原料ガスとは別のバリアガスを噴射するバリアガス噴射口と、  
を備え、

前記チャンバは、該チャンバ内へパージガスを導入するパージガス導入口を備えていない、

シリコン系薄膜成膜装置。

【請求項 2】

前記支持電極は、前記チャンバ内に複数設けられ、  
前記対向電極は、各支持電極に対向するように複数設けられている、  
請求項 1 に記載のシリコン系薄膜成膜装置。

【請求項 3】

前記直流パルス電圧印加回路は、互いに対をなす支持電極と対向電極の組ごとに設けられている、

請求項 2 に記載のシリコン系薄膜成膜装置。

【請求項 4】

前記直流パルス電圧印加回路は、直流電源の両端にインダクタ、第 1 半導体スイッチ及び第 2 半導体スイッチが直列接続され、前記インダクタは、一端が前記第 1 半導体スイッチのアノード端子に接続されると共に他端がダイオードを介して前記第 1 半導体スイッチのゲート端子に接続され、前記ダイオードは、アノード端子が前記第 1 半導体スイッチのゲート端子に接続されており、前記第 2 半導体スイッチがターンオンされると前記第 1 半導体スイッチの導通に伴って前記インダクタに誘導エネルギーが蓄積され、前記第 2 半導体スイッチがターンオフされると前記第 1 半導体スイッチのターンオフに伴って前記インダクタでパルス電圧が発生し該インダクタと磁氣的に結合された前記コイル素子に前記パルス電圧を昇圧して供給する回路である、

10

請求項 1 ~ 3 のいずれか 1 項に記載のシリコン系薄膜成膜装置。

【請求項 5】

前記直流パルス電圧は、パルス半値幅が  $3000\text{ nsec}$  以下である、

請求項 1 ~ 4 のいずれか 1 項に記載のシリコン系薄膜成膜装置。

【請求項 6】

チャンバ内に設けられ前記被成膜部を支持可能な支持電極と、前記支持電極に隙間をもって対向するように設けられた対向電極と、前記対向電極と前記支持電極との間に直流パルス電圧を印加する直流パルス電圧印加回路と、シリコン系薄膜の原料ガスを前記対向電極の表面から前記支持電極に向かって噴射する原料ガス噴射口と、前記対向電極の表面から前記支持電極に向かって噴射される原料ガスの外側で該原料ガスと同方向に前記原料ガスとは別のバリアガスを噴射するバリアガス噴射口と、を備えたシリコン系薄膜成膜装置を用いて、前記被成膜部にシリコン系薄膜を生成するシリコン系薄膜成膜方法であって、  
(a) 前記被成膜部の表面と前記対向電極との間に  $5\text{ mm}$  以上の隙間ができるように前記被成膜部を前記支持電極に支持する工程と、

20

(b) 前記チャンバの内圧を  $1\text{ kPa}$  より高い圧力に調整し、前記チャンバ内へページガスを導入することなく前記原料ガス噴射口から前記原料ガスを噴射すると共に前記バリアガス噴射口から前記バリアガスを噴射しながら前記直流パルス電圧印加回路で前記対向電極と前記支持電極との間に直流パルス電圧を印加することにより、プラズマを発生させて前記被成膜部に前記シリコン系薄膜を生成する工程と、

30

を含むシリコン系薄膜成膜方法。

【請求項 7】

前記シリコン系薄膜成膜装置として、前記支持電極が前記チャンバ内に複数設けられ、前記対向電極が各支持電極に対向するように複数設けられたものを使用する、

請求項 6 に記載のシリコン系薄膜成膜方法。

【請求項 8】

前記シリコン系薄膜成膜装置として、互いに対をなす支持電極と対向電極の組ごとに前記直流パルス電圧印加回路を設けたものを使用する、

40

請求項 7 に記載のシリコン系薄膜成膜方法。

【請求項 9】

前記直流パルス電圧印加回路として、直流電源の両端にインダクタ、第 1 半導体スイッチ及び第 2 半導体スイッチが直列接続され、前記インダクタは、一端が前記第 1 半導体スイッチのアノード端子に接続されると共に他端がダイオードを介して前記第 1 半導体スイッチのゲート端子に接続され、前記ダイオードは、アノード端子が前記第 1 半導体スイッチのゲート端子に接続されており、前記第 2 半導体スイッチがターンオンされると前記第 1 半導体スイッチの導通に伴って前記インダクタに誘導エネルギーが蓄積され、前記第 2 半導体スイッチがターンオフされると前記第 1 半導体スイッチのターンオフに伴って前記インダクタでパルス電圧が発生し該インダクタと磁氣的に結合された前記コイル素子に前記

50

パルス電圧を昇圧して供給する回路を使用する、

請求項 6 ~ 8 のいずれか 1 項に記載のシリコン系薄膜成膜方法。

【請求項 10】

前記直流パルス電圧は、パルス半値幅が 3000 nsec 以下である、

請求項 6 ~ 9 のいずれか 1 項に記載のシリコン系薄膜成膜方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコン系薄膜成膜装置及びその方法に関する。

【背景技術】

10

【0002】

シリコン系薄膜は、シリコン資源の制約などから、将来的に有望な太陽光発電用セルとして利用されることが期待されている。従来から利用されているアモルファスシリコン薄膜では、8%程度の変換効率の太陽光発電セルとして実用化がされている。最近では、アモルファスシリコン薄膜と微結晶薄膜シリコンを積層構造にしたタンデム型セルの開発により、広い波長域の太陽光を利用することで15%程度の変換効率の太陽光発電が可能となりつつある。このような薄膜構造を作成する方法としてはプラズマCVD装置によるシラン系ガスを分解成膜することが一般に行われている。アモルファスシリコン薄膜では数100nm程度、微結晶シリコン薄膜では数1000nm程度の膜厚を必要とするため、成膜速度とその膜厚均一性を両立させるためにプラズマCVD装置に関してさまざまな提案がなされている。

20

【0003】

たとえば、1kPa以下の減圧プラズマCVDにおいて、高速成膜かつ大面積基板での膜厚分布を改善するため、高周波を断続的に印加して放電させる方式(パルス放電)が近年取り入れられてきた。特許文献1には、こうした高周波パルス放電の例として、チャンバ内にカソード電極とアノード電極の組を2組設け、グランド電位の各カソード電極に被成膜用の基材を設置し、シランと水素との混合ガスをチャンバに導入し、各アノード電極に高周波パルスをオン期間が重ならないように印加することにより、基材上にシリコン系薄膜を成膜している。このときの放電条件は、高周波周波数が27.12MHz、変調パルスのオン期間が10μsec、デューティ比が20%、オン期間のずれが25μsec

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第3420960号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、ラジカル種を利用したシリコン系薄膜の成膜は、DLC(ダイヤモンド・ライク・カーボン)膜のようなイオン種を利用した成膜と比較すると、カソード電極とアノード電極との間隔を広げることが必要である。

40

【0006】

しかしながら、1kPaより高い圧力下で高周波を断続的に印加して放電させる方式では、シリコン系薄膜の成膜において、電極間隔を広げることと膜厚を面内で均一にすることを両立することは極めて困難であった。

【0007】

本発明は、このような課題に鑑みなされたものであり、1kPaより高い圧力下でシリコン系薄膜を成膜する際に電極間隔を広げることと膜厚を面内で均一にすることを両立可能なシリコン系薄膜成膜装置及びその方法を提供することを主目的とする。

【課題を解決するための手段】

50

## 【0008】

本発明は、上述の目的の少なくとも一つを達成するために以下の手段を採った。

## 【0009】

本発明のシリコン系薄膜成膜装置は、  
被成膜部にシリコン系薄膜を生成するシリコン系薄膜成膜装置であって、  
チャンバ内に設けられ前記被成膜部を支持可能な支持電極と、  
前記支持電極に隙間をもって対向するように設けられた対向電極と、  
前記対向電極と前記支持電極との間に直流パルス電圧を印加する直流パルス電圧印加回路と、

シリコン系薄膜の原料ガスを前記対向電極の表面から前記支持電極に向かって噴射する原料ガス噴射口と、

前記対向電極の表面から前記支持電極に向かって噴射される原料ガスの外側で該原料ガスと同方向に前記原料ガスとは別のバリアガスを噴射するバリアガス噴射口と、

を備えたものである。

## 【0010】

このシリコン系薄膜成膜装置では、まず、被成膜部の表面と前記対向電極との間に隙間ができるように被成膜部を支持電極に支持する。続いて、チャンバの内圧を1kPaより高い圧力に調整し、原料ガス噴射口から原料ガスを噴射すると共にバリアガス噴射口からバリアガスを噴射しながら直流パルス電圧印加回路で対向電極と支持電極との間に直流パルス電圧を印加することにより、プラズマを発生させて被成膜部にシリコン系薄膜を生成する。このように直流パルス電圧を印加して放電させる方式であるため、高周波を断続的に印加して放電させる方式と比べて電極間隔を広げた状態（例えば5mm以上）においても、プラズマを効率よく生成できると共に膜厚の面内分布も改善することができる。また、原料ガスの外側にバリアガスを噴射することにより、プラズマが被成膜部と対向電極との間から横方向へ拡散するおそれが少なくなるし、原料ガスにヘリウムガスなどのキャリアガスを混合する場合にはキャリアガスの流量を低減することもでき、異常放電を抑制することもできる。

## 【0011】

なお、プラズマ発生時のチャンバの内圧は1kPaを超えることが好ましく、3~30kPaがより好ましい。1kPaを超えるとプラズマ中のシラン系原料の密度が上がり、成膜速度が高速になるため好ましい。また、バリアガスは、例えば水素ガス、窒素ガス、ヘリウムガス及びアルゴンガスのうちの少なくとも1種類のガスとすることが好ましい。

## 【0012】

本発明のシリコン系薄膜成膜装置において、前記支持電極は、前記チャンバ内に複数設けられ、前記対向電極は、各支持電極に対向するように複数設けられていてもよい。こうすれば、シリコン系薄膜の量産が可能となる。また、原料ガスの外側にバリアガスが流れているため、互いに対をなす支持電極と対向電極の組同士の間隔が狭い場合であっても、それぞれの組で発生するプラズマや原料ガスの流れが干渉しにくい。

## 【0013】

本発明のシリコン系薄膜成膜装置において、前記直流パルス電圧印加回路は、互いに対をなす支持電極と対向電極の組ごとに設けられていてもよい。こうすれば、一つの直流パルス電圧印加回路ですべての対向電極に直流パルス電圧を印加する場合に比べて、プラズマが一樣に発生しやすい。さらには、支持電極に対して複数の対向電極を設け、それぞれの対向電極に前記直流パルス電圧印加回路を設けてもよい。

## 【0014】

本発明のシリコン系薄膜成膜装置において、前記直流パルス電圧印加回路は、直流電源の両端にインダクタ、第1半導体スイッチ及び第2半導体スイッチが直列接続され、前記インダクタは、一端が前記第1半導体スイッチのアノード端子に接続されると共に他端がダイオードを介して前記第1半導体スイッチのゲート端子に接続され、前記ダイオードは、アノード端子が前記第1半導体スイッチのゲート端子に接続されており、前記第2半導

10

20

30

40

50

体スイッチがターンオンされると前記第1半導体スイッチの導通に伴って前記インダクタに誘導エネルギーが蓄積され、前記第2半導体スイッチがターンオフされると前記第1半導体スイッチのターンオフに伴って前記インダクタでパルス電圧が発生し該インダクタと磁氣的に結合された前記コイル素子に前記パルス電圧を昇圧して供給する回路としてもよい。こうすれば、急峻に立ち上がる直流パルス電圧を印加することが可能となる。

**【0015】**

本発明のシリコン系薄膜成膜方法は、

チャンバ内に設けられ前記被成膜部を支持可能な支持電極と、前記支持電極に隙間をもって対向するように設けられた対向電極と、前記対向電極と前記支持電極との間に直流パルス電圧を印加する直流パルス電圧印加回路と、シリコン系薄膜の原料ガスを前記対向電極の表面から前記支持電極に向かって噴射する原料ガス噴射口と、前記対向電極の表面から前記支持電極に向かって噴射される原料ガスの外側で該原料ガスと同方向に前記原料ガスとは別のバリアガスを噴射するバリアガス噴射口と、を備えたシリコン系薄膜成膜装置を用いて、前記被成膜部にシリコン系薄膜を生成するシリコン系薄膜成膜方法であって、  
(a) 前記被成膜部の表面と前記対向電極との間に所定間隔以上の隙間ができるように前記被成膜部を前記支持電極に支持する工程と、

(b) 前記チャンバの内圧を1kPaより高い圧力に調整し、前記原料ガス噴射口から前記原料ガスを噴射すると共に前記バリアガス噴射口から前記バリアガスを噴射しながら前記直流パルス電圧印加回路で前記対向電極と前記支持電極との間に直流パルス電圧を印加することにより、プラズマを発生させて前記被成膜部に前記シリコン系薄膜を生成する工程と、

を含むものである。

**【0016】**

このシリコン系薄膜成膜方法は、直流パルス電圧を印加して放電させる方式であるため、高周波を断続的に印加して放電させる方式と比べて電極間隔を広げた状態(例えば5mm以上)においても、プラズマを効率よく生成できると共に膜厚の面内分布も改善することができる。また、原料ガスの外側にバリアガスを噴射することにより、プラズマが被成膜部と対向電極との間から横方向へ拡散するおそれが少なくなるし、原料ガスにヘリウムガスなどのキャリアガスを混合する場合にはキャリアガスの流量を低減することもでき、異常放電を抑制することもできる。加えて、チャンバの内圧を1kPaより高い圧力に調整してプラズマを発生させるため、プラズマ中のシラン系原料の密度が上がり、成膜速度が高速になる。

**【0017】**

本発明のシリコン系薄膜成膜方法において、前記シリコン系薄膜成膜装置として、前記支持電極が前記チャンバ内に複数設けられ、前記対向電極が各支持電極に対向するように複数設けられたものを使用してもよい。こうすれば、シリコン系薄膜の量産が可能となる。また、原料ガスの外側にバリアガスが流れているため、互いに対をなす支持電極と対向電極の組同士の間隔が狭い場合であっても、それぞれの組で発生するプラズマや原料ガスの流れが干渉しにくい。

**【0018】**

本発明のシリコン系薄膜成膜方法において、前記シリコン系薄膜成膜装置として、互いに対をなす支持電極と対向電極の組ごとに前記直流パルス電圧印加回路を設けたものを使用してもよい。こうすれば、一つの直流パルス電圧印加回路ですべての対向電極に直流パルス電圧を印加する場合に比べて、プラズマが一樣に発生しやすい。また、各被成膜部に均一なシリコン系薄膜が成膜されるように、直流パルス電圧印加回路を個別に制御することも可能となる。

**【0019】**

本発明のシリコン系薄膜成膜方法において、前記直流パルス電圧印加回路として、直流電源の両端にインダクタ、第1半導体スイッチ及び第2半導体スイッチが直列接続され、前記インダクタは、一端が前記第1半導体スイッチのアノード端子に接続されると共に他

10

20

30

40

50

端がダイオードを介して前記第1半導体スイッチのゲート端子に接続され、前記ダイオードは、アノード端子が前記第1半導体スイッチのゲート端子に接続されており、前記第2半導体スイッチがターンオンされると前記第1半導体スイッチの導通に伴って前記インダクタに誘導エネルギーが蓄積され、前記第2半導体スイッチがターンオフされると前記第1半導体スイッチのターンオフに伴って前記インダクタでパルス電圧が発生し該インダクタと磁氣的に結合された前記コイル素子に前記パルス電圧を昇圧して供給する回路を使用してもよい。こうすれば、急峻に立ち上がる直流パルス電圧を印加することが可能となる。

#### 【0020】

本発明のシリコン系薄膜成膜装置は、被成膜部を温度制御する温度制御機構を備えていてもよく、この温度制御機構は支持電極に組み込まれていてよい。温度制御機構は、例えばヒータであってもよいし、ヒータと冷却液循環経路であってもよい。また、被成膜部はシート基材上に形成されていてもよい。シート基材は、ガラス基材としてもよいし可撓性基材としてもよい。また、シート基材は、移動機構により、チャンバの外側からチャンバ内に導入しチャンバ内を通過したあとチャンバの外側に導出するようにしてもよい。

10

#### 【0021】

本発明のシリコン系薄膜成膜方法では、直流パルス電圧のパルス半値幅（最大パルス電圧値の半分の電圧における時間幅）は3000nsec以下が好ましく、100~1000nsecがより好ましい。また、直流パルス電圧に関し、立ち上がり時間はパルス半値幅の1/3以下であることが好ましく、最大電圧値は絶対値で2kV以上の負の電圧であることが好ましく、デューティ比が0.01%~10%であることが好ましく、電力密度が100~2000mW/cm<sup>2</sup>であることが好ましい。この値は通常のプラズマCVDの場合の10倍程度である。また、プラズマ発生時のチャンバ内の圧力は3~30kPaが好ましい。

20

#### 【図面の簡単な説明】

#### 【0022】

【図1】シリコン系薄膜成膜装置10の概略構成を示す説明図である。

【図2】直流パルス電圧印加回路22の説明図である。

【図3】各部の電流及び電圧の動作波形の説明図である。

【図4】シリコン系薄膜成膜装置110の概略構成を示す説明図である。

#### 【発明を実施するための形態】

30

#### 【0023】

次に、本発明の実施の形態を図面に基づいて説明する。図1はシリコン系薄膜成膜装置10の概略構成を示す説明図、図2は直流パルス電圧印加回路の説明図である。

#### 【0024】

シリコン系薄膜成膜装置10は、ソーダフロートガラス製のシート基材60上に蒸着されたITOからなる透明電極62（本発明の被成膜部）にシリコン系薄膜を生成する装置である。なお、シート基材60は、例えば縦1.4m×横1.1m×厚さ4mmの大きさとすることができる。また、透明電極62は、ITOの代わりに、例えばSnO<sub>2</sub>やZnOなどを用いることができる。

#### 【0025】

40

このシリコン系薄膜成膜装置10は、アースに接続されたステンレス製のチャンバ12と、チャンバ12内に設けられた複数の支持電極18と、複数の支持電極18の各々と隙間をもって対向するように設けられた複数の対向電極16と、互いに対をなす対向電極16と支持電極18との間に直流パルス電圧を印加する直流パルス電圧印加回路22とを備えている。

#### 【0026】

チャンバ12は、ステンレス製の板材によって箱型に形成されている。このチャンバ12の内部は圧力調整可能な閉空間となっている。また、チャンバ12は、チャンバ12の内圧を負圧に調整するためのガス排出口13と、内部に原料ガスを導入可能な原料ガス導入管14と、内部にバリアガスを導入可能なバリアガス導入管15とを有している。ガス

50

排出口 13 には、図示しないが油回転ポンプが接続されており、チャンバ 12 の内圧を 100 Pa 程度に真空引きすることが可能である。また、原料ガス導入管 14 は、対向電極 16 の表面に複数のガス噴射口 14a を有し、このガス噴射口 14a から支持電極 18 に向かって原料ガスが噴射するようになっている。ここで、シリコン系薄膜としては、例えばアモルファスシリコン薄膜や微結晶シリコン薄膜などが挙げられる。アモルファスシリコン薄膜や微結晶シリコン薄膜の原料ガスとしては、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$  又はこれらのシラン系ガスに  $\text{CH}_4$ 、 $\text{C}_2\text{H}_2$ 、 $\text{PH}_3$ 、 $\text{B}_2\text{H}_6$ 、 $\text{GeH}_4$  のいずれかを添加したものをを用いてもよい。これらの原料ガスは、水素、ヘリウム、アルゴン、キセノンなどで希釈して用いてもよい。なお、原料ガスに応じて p 型、n 型、i 型のアモルファスシリコン薄膜や微結晶シリコン薄膜が生成されることは周知である。例えば、シラン系ガスに  $\text{B}_2\text{H}_6$  を添加すると p 型、 $\text{PH}_3$  を添加すると n 型となる。バリアガス導入管 15 は、対向電極 16 の周囲に複数のガス噴射口 15a を有し、このガス噴射口 15a から原料ガスと同方向にバリアガスが噴射するようになっている。ここで、バリアガスとは、原料ガスとは別のガスであり、例えば水素ガス、窒素ガス、ヘリウムガス及びアルゴンガスのうちの少なくとも 1 種類のガスである。

#### 【0027】

支持電極 18 は、ステンレス製のブロックであり、下面で各透明電極 62 を支持可能に構成されている。この支持電極 18 に支持された透明電極 62 は、対向電極 16 と略平行となる。また、支持電極 18 は、内部にヒータ 20 と図示しない冷却液循環経路とを内蔵している。このヒータ 20 による加熱と冷却液循環経路による冷却とが温度制御機構であり、図示しないコントローラで温度制御機構を制御することにより、透明電極 62 の温度が所望の温度（例えば 200 ）となるように調節可能である。各支持電極 18 は、アースに接続されており、電位はグラウンドレベルとなっている。

#### 【0028】

対向電極 16 は、ステンレス製の板材である。この対向電極 16 は、透明電極 62 が形成されたシート基材 60 が支持電極 18 に支持されたとき、その透明電極 62 の表面から所定距離だけ離間するように配置されている。この所定距離は、5 mm 以上に設定される。

#### 【0029】

直流パルス電圧印加回路 22 は、各対向電極 16 ごとに設けられ、各対向電極 16 に負の直流パルス電圧を印加可能となっている。この直流パルス電圧印加回路 22 は、図 2 に示すように、直流電源 24 と高周波インピーダンスを低くするコンデンサ 26 とを有する直流電源部 28 の両端にインダクタ 30、第 1 半導体スイッチ 32 及び第 2 半導体スイッチ 34 が直列接続された一次巻線側回路 44 と、一端が対向電極 16 に電氣的に接続され他端がアースに接続されたコイル素子 48 を備えた二次巻線側回路 50 とで構成されている。一次巻線側回路 44 では、インダクタ 30 は、一端が第 1 半導体スイッチ 32 のアノード端子 32A に接続され、他端がダイオード 42 を介して第 1 半導体スイッチ 32 の制御端子であるゲート端子 32G に接続されている。ダイオード 42 は、アノード側が第 1 半導体スイッチ 32 のゲート端子 32G に接続されている。第 1 半導体スイッチ 32 は、電流制御形デバイスや自己消弧形デバイス、転流消弧形デバイスを用いることができるが、ここではターンオフ時の電圧上昇率 ( $dv/dt$ ) に対する耐量が極めて大きく且つ電圧定格の高い S I サイリスタを用いている。第 2 半導体スイッチ 34 は、自己消弧形デバイスや転流消弧形デバイスを用いることができるが、ここでは、アバランシェ形ダイオード 36 が逆並列で内蔵されたパワー MOS FET 38 を使用し、このパワー MOS FET 38 と、パワー MOS FET 38 のゲート端子 38G とソース端子 38S に接続されソース端子 38S - ドレイン端子 38D 間の電流の流れをオンオフ制御するゲート駆動回路 40 とから構成されている。ここで、一次巻線側回路 44 のインダクタ 30 は一次巻線を構成し、二次巻線側回路 50 のコイル素子 48 は二次巻線を構成し、両者がトランスとして機能する。そして、一次巻線の巻数を  $N_1$ 、二次巻線の巻数を  $N_2$ 、第 1 半導体スイッチ 32 のアノード - ゲート間電圧を  $V_{AG}$  とすれば、 $V_{AG} \times N_2 / N_1$  の電圧をコイル素子 4

10

20

30

40

50

8の両端に印加することができる。

【0030】

次に、シリコン系薄膜成膜装置10の一次巻線側回路44でパルス電圧が発生するメカニズムを説明する。ゲート駆動回路40からパワーMOSFET38のゲート-ソース間に制御信号Vcが供給されると、パワーMOSFET38がオフからオンになる。このとき、ダイオード42の逆極性の極めて大きなインピーダンスにより、第1半導体スイッチ32は、ゲート端子32G及びカソード端子32K間に正に印加される電界効果によりターンオンしてアノード端子32A-カソード端子32K間が通流する(A-K間電流)。このようにして、第1及び第2半導体スイッチ32,34が導通すると、インダクタ30に直流電源24の電圧Eと略同等の電圧が印加され、所望のエネルギーが蓄積される。そして、所望のエネルギーが得られた後、ゲート駆動回路40からの制御信号の供給を停止し、パワーMOSFET38をターンオフさせる。すると、パワーMOSFET38がターンオフするのに伴ってインダクタ30でパルス電圧が発生する。具体的には、第2半導体スイッチ34がターンオフすると、インダクタ30の電流ILは、第1半導体スイッチ32のアノード端子32A-ゲート端子32G-ダイオード42のアノード-ダイオード42のカソードの経路に転流するため、アノード端子32A-ゲート端子32G間が通流する(A-G間電流)。そして、インダクタ30に蓄積したエネルギーによる電流が引き続きアノード端子32Aからゲート端子32Gに流れ、第1半導体スイッチ32がオフ状態に移行するので、第1半導体スイッチ32のアノード-ゲート間電圧VAGとインダクタ端子間電圧VLが急上昇する。そして、電流ILがゼロになると、電圧VAGとインダクタ端子間電圧VLが最大となる。その後、第1半導体スイッチ32が非通流になると、各電圧VAG,VLは急下降する。このときの様子を図3に示す。図3において、電流ILはインダクタ30を流れる電流であり、電圧VAGは第1半導体スイッチ32のアノード-ゲート間電圧であり、電圧VLはインダクタ30の端子間電圧である。なお、パルス電圧の詳しいメカニズムについては例えば特許第3811681号に記載されている。

【0031】

次に、こうしたシリコン系薄膜成膜装置10を用いてシート基材60上に形成された透明電極62にシリコン系薄膜を生成する場合について説明する。まず、図1に示すように、支持電極18の下面に透明電極62が形成されたシート基材60を支持する。このとき、透明電極62の表面と対向電極16との間は所定間隔(5mm以上)だけ離れている。また、基材温度を100~300に設定する。続いて、原料ガス導入管14のガス噴射口14aから原料ガスを支持電極18に向かって噴射すると共にバリアガス導入管15のガス噴射口15aから原料ガスと同方向にバリアガスを噴射しつつガス排出口13から一定の割合で排気することにより、チャンバ12内の圧力を1kPaを超える圧力(例えば3~30kPa)に調節する。次いで、直流パルス電圧印加回路22を制御して、各対向電極16に負電位でパルス半値幅が所定時間(100~1000nsの範囲内で定めた時間)になるように直流パルス電圧を印加し、シリコン系薄膜を成膜する。このとき、直流パルス電圧のピーク電圧が絶対値で2kV以上、デューティ比が0.01~10%、立ち上がり時間がパルス半値幅の1/3以下、電力密度が100~2000mW/cm<sup>2</sup>となるように設定する。なお、各対向電極16に一斉に直流パルス電圧を印加してもよいし、順次直流パルス電圧を印加してもよい。

【0032】

例えば、透明電極62にアモルファスシリコン薄膜(膜厚コンマ数μm)と微結晶シリコン薄膜(膜厚数μm)とを積層する場合、チャンバ12の内圧を10kPaとする。そして、アモルファスシリコン薄膜成膜時には、シラン:水素:ヘリウム=100:0:100(体積比)の原料ガスをガス噴射口14aから噴射すると共にアルゴンのバリアガスを原料ガスに対して300体積%となるようにガス噴射口15aから噴射し、基材温度を150、直流パルス電圧のパルス半値幅を200ns、立ち上がり時間50ns、ピーク電圧18kV、デューティ比を1%、電力密度を100mW/cm<sup>2</sup>とする。続く微結晶シリコン薄膜成膜時には、シラン:水素:ヘリウム=5:100:20(体

10

20

30

40

50

積比)の原料ガスをガス噴射口14aから噴射すると共にアルゴンのバリアガスを原料ガスに対して500体積%となるようにガス噴射口15aから噴射し、基材温度を200、デューティ比を5%、電力密度を300mW/cm<sup>2</sup>とした以外は、アモルファスシリコン薄膜成膜時と同条件とする。こうすることにより、アモルファスシリコン薄膜及び微結晶シリコン薄膜の成膜速度が数100nm/minとなる。このようにして得られるアモルファスシリコン薄膜と微結晶シリコン薄膜との積層構造を用いて作製されるタンデム型の太陽電池は、従来法により得られるものと同等の変換効率が得られる。

#### 【0033】

以上詳述した本実施形態のシリコン系薄膜成膜装置10によれば、直流パルス電圧を印加して放電させる方式であるため、高周波を断続的に印加して放電させる方式と比べて電極間隔を広げた状態(例えば5mm以上)においても、プラズマを効率よく生成できると共に膜厚の面内分布も改善することができる。また、原料ガスの外側にバリアガスを噴射することにより、プラズマが透明電極62と対向電極16との間から横方向へ拡散するおそれが少なくなるし、原料ガスにヘリウムガスなどのキャリアガスを混合する場合にはキャリアガスの流量を低減することもでき、異常放電を抑制することもできる。加えて、チャンバの内圧を1kPaより高い圧力に調整してプラズマを発生させるため、プラズマ中のシラン系原料の密度が上がり、成膜速度が高速になる。

#### 【0034】

また、シリコン系薄膜の量産が可能となる。しかも、原料ガスの外側にバリアガスが流れているため、互いに対をなす支持電極18と対向電極16の組同士の間隔が狭い場合であっても、それぞれの組で発生するプラズマや原料ガスの流れが干渉しにくい。

#### 【0035】

更に、直流パルス電圧印加回路22を各対向電極16ごとに設けたため、一つの直流パルス電圧印加回路ですべての対向電極に直流パルス電圧を印加する場合に比べて、プラズマが一樣に発生しやすい。また、各被成膜部に均一なシリコン系薄膜が成膜されるように、直流パルス電圧印加回路を個別に制御することも可能となる。

#### 【0036】

なお、本発明は上述した実施形態に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の態様で実施し得ることはいうまでもない。

#### 【0037】

例えば、上述した実施形態では、ソーダフロートガラス製のシート基材60上に蒸着されたITOからなる透明電極62にシリコン系薄膜を生成する場合について説明したが、可撓性のシート基材上に形成された金属電極にシリコン系薄膜を生成してもよい。図4は、可撓性のポリイミド系樹脂のシート基材160上にスパッタ成膜された銀電極162(本発明の被成膜部)にシリコン系薄膜を生成する場合のシリコン系薄膜成膜装置110の概略説明図である。シート基材160の大きさは、幅1000mm、厚さ100μm程度のものを用いる。なお、シリコン系薄膜成膜装置110のうち、シリコン系薄膜成膜装置10と同じ構成要素については同じ符号を付し、その説明を省略する。シリコン系薄膜成膜装置110では、チャンバ12の左側にアンワインダ室、右側にワインダ室が設けられている。アンワインダ室には、シリコン系薄膜が成膜される前のシート基材160が巻かれたアンワインダロール114が配置され、ワインダ室には、シリコン系薄膜が成膜された後のシート基材160が巻かれたワインダロール116が配置されている。シート基材160は、アンワインダロール114からチャンバ12内に導入されたあと、各支持電極18の下面と当接しつつワインダロール116に巻き取られるようになっている。このとき、シート基材160上に形成された各銀電極162と各対向電極16とが互いに向き合うように配置される。この状態で、原料ガス導入管14のガス噴射口14aから原料ガスを支持電極18に向かって噴射すると共にバリアガス導入管15のガス噴射口15aから同方向にバリアガスを噴射しつつガス排出口13から一定の割合で排気してチャンバ12内の圧力を1kPaを超える圧力(例えば3~30kPa)に調節する。そして、直流パルス電圧印加回路22を制御して直流パルス電圧を各対向電極16に印加し、プラズマを

10

20

30

40

50

発生させることにより、シート基材 160 の各銀電極 162 上にシリコン系薄膜を生成させる。シリコン系薄膜の生成後、図示しない搬送ローラにより、ワインダロール 116 にシート基材 160 を巻き取る。なお、プラズマ発生条件は上述した実施形態と同様である。このようにしても、上述した実施形態と同様の効果が得られる。

【0038】

上述した実施形態において、一枚の対向電極 16 を左右方向や奥行き方向に複数に分割して分割後の電極の各々に直流パルス電圧印加回路 22 を設けてもよい。こうすれば、プラズマが一層一様に発生しやすくなる。

【0039】

上述した実施形態では、直流パルス電圧印加回路 22 を一次巻線側回路 44 と二次巻線側回路 50 とで構成したが、インダクタ 30 の代わりにコイル素子 48 を電氣的に接続してもよい。この場合、コイル素子 48 に発生したパルス電圧がそのまま対向電極 16 に印加されることになる。

【0040】

上述した実施形態では、一次巻線側回路 44 として第 1 及び第 2 半導体スイッチ 32, 34 を開いたときにパルス電圧が発生するオープニング方式の回路を採用したが、スイッチを閉じたときにパルス電圧が発生するクロー징方式の回路を採用してもよい。

【符号の説明】

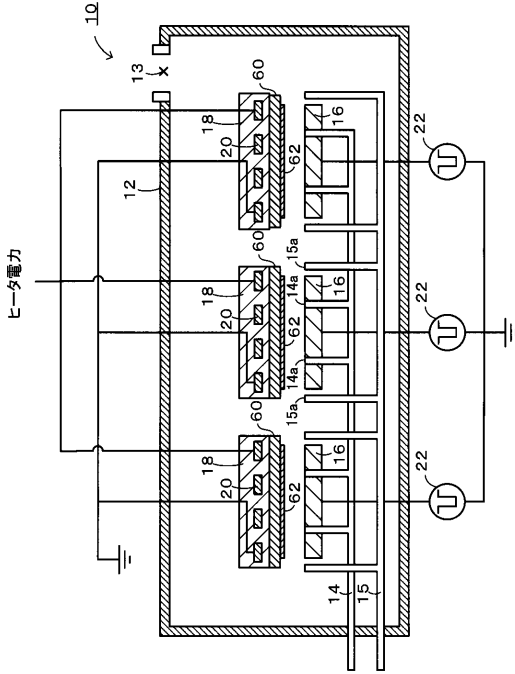
【0041】

10 シリコン系薄膜成膜装置、12 チャンバ、13 ガス排出口、14 原料ガス導入管、14a ガス噴射口、15 パリアガス導入管、15a ガス噴射口、16 対向電極、18 支持電極、20 ヒータ、22 直流パルス電圧印加回路、24 直流電源、26 コンデンサ、28 直流電源部、30 インダクタ、32 第 1 半導体スイッチ、32A アノード端子、32G ゲート端子、32K カソード端子、34 第 2 半導体スイッチ、36 アバランシェ形ダイオード、38D ドレイン端子、38G ゲート端子、38S ソース端子、40 ゲート駆動回路、42 ダイオード、44 一次巻線側回路、48 コイル素子、50 二次巻線側回路、60 シート基材、62 透明電極、110 シリコン系薄膜成膜装置、114 アンワインダロール、116 ワインダロール、160 シート基材、162 銀電極。

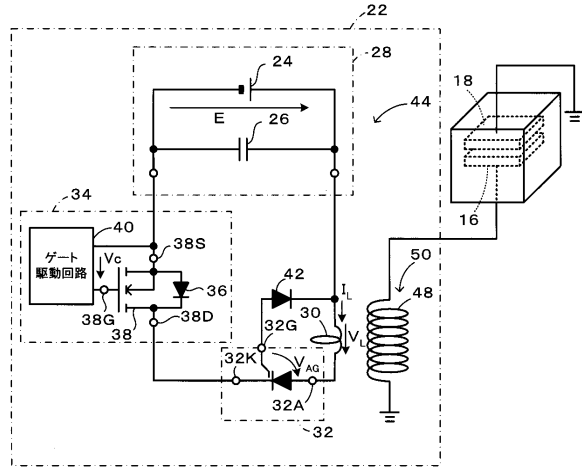
10

20

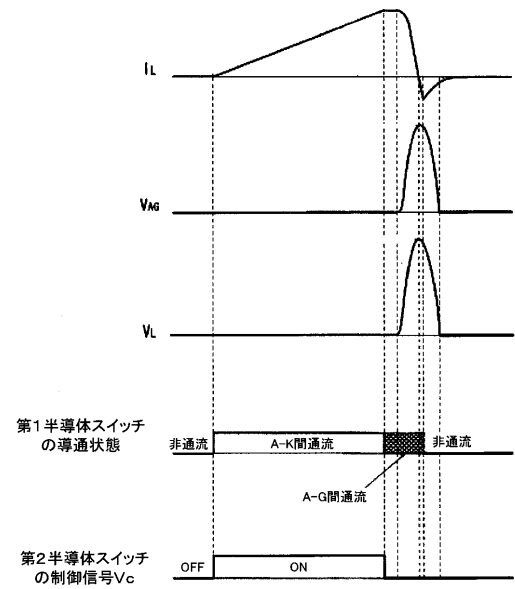
【図1】



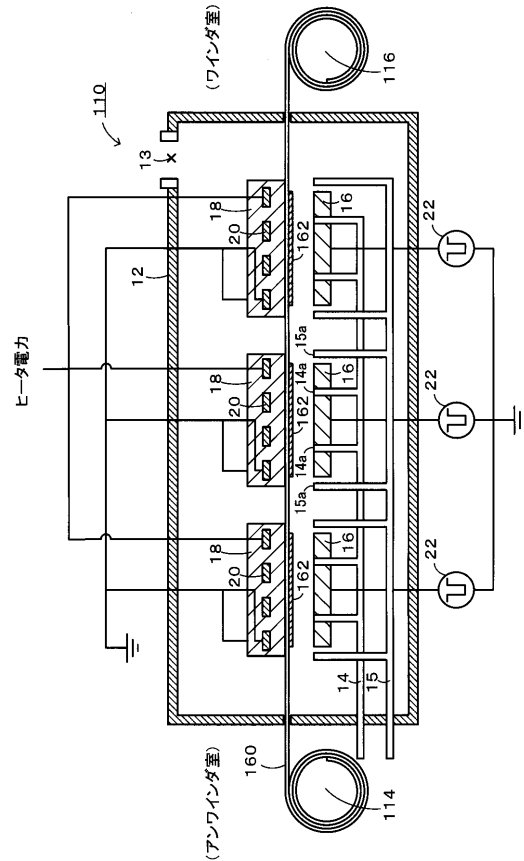
【図2】



【図3】



【図4】



---

フロントページの続き

(51)Int.Cl. F I  
C 2 3 C 16/509 (2006.01) H 0 5 H 1/46 R  
C 2 3 C 16/509

審査官 伊藤 光貴

(56)参考文献 特開2006-005007(JP,A)  
特開2005-160151(JP,A)  
特開平11-029873(JP,A)  
特開2004-143568(JP,A)  
特開2008-004814(JP,A)  
特開2005-116900(JP,A)

(58)調査した分野(Int.Cl., DB名)  
C 2 3 C 16 / 0 0 - 1 6 / 5 6  
H 0 1 L 2 1 / 2 0 5  
H 0 1 L 3 1 / 0 4  
H 0 5 H 1 / 2 4  
H 0 5 H 1 / 4 6