

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月14日(14.03.2019)



(10) 国際公開番号

WO 2019/048967 A1

(51) 国際特許分類:
H01L 21/8242 (2006.01) H01L 27/1156 (2017.01)
G11C 5/02 (2006.01) H01L 29/786 (2006.01)
G11C 11/4097 (2006.01) H01L 29/788 (2006.01)
H01L 21/336 (2006.01) H01L 29/792 (2006.01)
H01L 27/108 (2006.01)

(21) 国際出願番号: PCT/IB2018/056412

(22) 国際出願日: 2018年8月24日(24.08.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-170814 2017年9月6日(06.09.2017) JP
特願 2018-034610 2018年2月28日(28.02.2018) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).

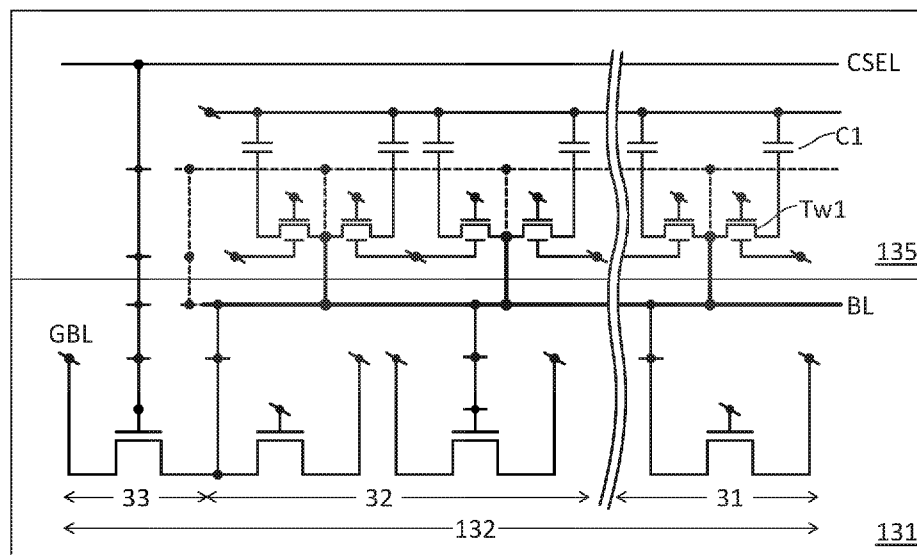
(72) 発明者: 大貫達也(ONUKI, Tatsuya); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導体
エネルギー研究所内 Kanagawa (JP). 松崎隆徳
(MATSUZAKI, Takanori); 〒2430036 神奈川県
厚木市長谷 3 9 8 株式会社半導体エネルギー研
究所内 Kanagawa (JP). 加藤清(KATO, Kiyoshi);
〒2430036 神奈川県厚木市長谷 3 9 8 株式会
社半導体エネルギー研究所内 Kanagawa (JP).
山崎舜平(YAMAZAKI, Shunpei); 〒2430036 神
奈川県厚木市長谷 3 9 8 株式会社半導体エ
ネルギー研究所内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE, STORAGE DEVICE, AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 半導体装置、記憶装置、及び電子機器

[図 3]

(A)



(57) Abstract: Provided is a storage device in which the parasitic capacitance of a bit line has been reduced. The storage device comprises a sense amplifier that is electrically connected to a bit line, and a memory cell array that is layered upon the sense amplifier. The memory cell array comprises a plurality of memory cells. Each of the memory cells is electrically connected to the bit line. A bit line routing part is not provided within the memory cell array. Therefore, the bit line can be shortened, and the parasitic capacitance of the bit line is reduced.



WO 2019/048967 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 要約書 ビット線寄生容量が低減された記憶装置を提供する。記憶装置は、ビット線に電氣的に接続されているセンスアンプと、センスアンプ上に積層されているメモリセルアレイとを有する。メモリセルアレイは複数のメモリセルを有する。複数のメモリセルは、それぞれ、ビット線に電氣的に接続されている。メモリセルアレイ内には、ビット線の引き回し部分が設けられていない。そのため、ビット線を短くでき、ビット線寄生容量が低減される。

明細書

発明の名称

半導体装置、記憶装置、及び電子機器

技術分野

[0001]

本発明の一形態は、記憶装置、及び当該記憶装置を用いた半導体装置に関する。なお、本発明の一形態は、上記の技術分野に限定されない。

[0002]

本明細書において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。半導体素子（トランジスタ、ダイオード等）を含む回路、同回路を有する装置等を含む。例えば、電子回路、電子回路を備えたチップは、半導体装置の一例である。記憶装置、表示装置、発光装置、照明装置、電気光学装置、および電子機器等は、半導体装置の一例である。

背景技術

[0003]

DRAM (Dynamic Random Access Memory) は、容量素子での電荷の蓄積によりデータの記憶を行う。そのため、容量素子への電荷の供給を制御する書込みトランジスタのオフ電流が小さいほど、データ保持期間を長く確保することができ、リフレッシュ動作の頻度を低減できるので好ましい。

[0004]

一方、トランジスタの一種として、金属酸化物半導体（好ましくは In、Ga、及び Zn を含む酸化物半導体）を半導体層に含むトランジスタが知られている。金属酸化物半導体を半導体層に含むトランジスタはオフ電流が極めて低くなることが知られている。なお、本明細書では、半導体層に金属酸化物を含むトランジスタのことを、酸化物半導体トランジスタ、金属酸化物トランジスタまたは OS トランジスタなどと呼ぶ場合がある。

[0005]

OS トランジスタを用いることで保持特性の優れた記憶装置を提供することが可能である。なお、メモリセルに OS トランジスタが用いられている記憶装置のことを、酸化物半導体記憶装置、金属酸化物記憶装置などと呼ぶ場合がある。例えば、特許文献 1 には、周辺回路とメモリセルアレイを積層することで金属酸化物記憶回路を小型化できることが記載されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献 1] 特開 2012-256820 号公報

発明の概要

発明が解決しようとする課題

[0007]

コンピューティングシステムの性能向上および消費電力の削減のために、DRAM をはじめとする記憶装置のさらなる消費電力の低減、動作速度の向上、小型化、記憶容量の向上などが求められている。

[0008]

本発明の一形態の課題は、半導体装置における、消費電力の低減、動作速度の向上、小型化、記憶容

量の向上、または製造工程の簡素化である。

[0009]

これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一形態は、これらの課題の全てを解決する必要はないものとする。これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

(1) 本発明の一態様は、第1配線および第1トランジスタが設けられている第1回路と、第2トランジスタが設けられている第2回路とを有する半導体装置であり、第2回路は第1回路上に積層され、第1トランジスタと第2トランジスタとは第1配線に電氣的に接続され、第2回路には、第1配線の引き回し部が設けられていない半導体装置である。

[0011]

(2) 本発明の一態様は、第1回路および第2回路を有する半導体装置であり、第1回路は、第1トランジスタと、第1トランジスタに電氣的に接続されている第1配線とを有し、第2回路は、導電体と、導電体を介して、第1配線に電氣的に接続されている第2トランジスタとを有し、導電体は、第2トランジスタの半導体層の下面に接する部分を有する半導体装置である。

[0012]

(3) 上掲の形態(1)又は(2)において、第2トランジスタの半導体層は金属酸化物を有する。

[0013]

本明細書等において、「第1」、「第2」、「第3」などの序数詞は、順序を表すために使用される場合がある。または、構成要素の混同を避けるために使用する場合がある。これらの場合、序数詞の使用は構成要素の個数を限定するものではない。例えば、「第1」を「第2」または「第3」に置き換えて、本発明の一形態を説明することができる。

[0014]

本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

[0015]

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3個の端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソースまたはドレインとして機能する2個の端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型(nチャネル型、pチャネル型)及びトランジスタの3個の端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2個の入出力端子を第1端子、第2端子等と呼ぶ場合がある。

[0016]

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0017]

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは相対的なものである。よって、GNDと記載されていても、必ずしも0Vを意味しない場合もある。

[0018]

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0019]

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を「絶縁層」という用語に変更することが可能な場合がある。

発明の効果

[0020]

本発明の一形態は、ビット線寄生容量を低減すること、動作速度を向上すること、小型化すること、記憶容量を増加すること、または製造工程を簡素化することが可能である。

[0021]

これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0022]

[図1] A：DOSRAMの構成例を示すブロック図。B：メモリセル及びセンスアンプアレイの構成例を示す図。C：メモリセルの構成例を示す回路図。

[図2] A乃至D：ビット線の構成例を説明する図。

[図3] A、B：ローカルセルアレイとセンスアンプブロックとの積層例を示す回路図。

[図4] ローカルセルアレイ、およびセンスアンプブロックの構成例を示す回路図。

[図5] ローカルセルアレイとセンスアンプブロックとの積層例を示す回路図。

[図6] NOSRAMのメモリセルの構成例を示す回路図。

[図7] アプリケーションプロセッサ（AP）チップの構成例を示すブロック図。

[図8] 電子機器を例示する図。

[図9] DOSRAMの構成例を示す断面図。

[図10] DOSRAMの構成例を示す断面図。

発明を実施するための形態

[0023]

以下に本発明の実施の形態を示す。ただし、本明細書に記載された実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に複数の構成例（動作例、使用方法例、製造方法例等も含む）が示される場合は、互いに構成例を適宜組み合わせることが可能である。また、本発明は、多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下の実施の形態の記載内容に限定して解釈されるものではない。

[0024]

図面において、大きさ、層の厚さ、および領域等は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0025]

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0026]

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、本発明の一形態の回路ブロックの配置は、これに限定されない。ブロック図において、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現するように設けられている場合もある。また各回路ブロックの機能は、説明のため機能を特定するものであり、1個の回路ブロックで示されていても、実際の回路ブロックにおいては1個の回路ブロックで行う処理を、複数の回路ブロックで行うように設けられている場合もある。

[0027]

〔実施の形態1〕

本実施の形態では、酸化物半導体記憶装置の一例として、DOSRAM（登録商標）について説明する。なお、「DOSRAM」の名称は、Dynamic Oxide Semiconductor Random Access Memoryに由来する。“DOSRAM”とは、メモリセルが、1T1C（1トランジスタ1容量）型セルであり、かつ書込みトランジスタがOSトランジスタである記憶装置のことである。

[0028]

<<DOSRAMの構成例>>

図1は、DOSRAMの構成例を示す機能ブロック図である。図1に示すDOSRAM100は、制御回路102、行回路104、列回路105、メモリセル（MC）及びセンスアンプ（SA）アレイ120を有する。行回路104はデコーダ111、ワード線ドライバ112、列セクタ113、センスアンプドライバ114を有する。列回路105はグローバルセンスアンプブロック115、入出力（I/O）回路116を有する。

[0029]

DOSRAM100には、電圧VDDD、VDH、VSSS、Vbg1、クロック信号CLK、アドレス信号ADDR、信号CE、GW、BWが入力される。DOSRAM100において、各回路、各信号および各電圧は適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。また、DOSRAM100の入力信号および出力信号の構造（例えば、ビット長）は、DOSRAM100の動作、回路構成等に基づいて設定される。

[0030]

制御回路102は、DOSRAM100の動作全般を制御する機能を有するロジック回路である。制御回路102は、信号CE、GW、BWを論理演算して、動作を決定する機能、決定した動作が実行されるように、行回路104、列回路105の制御信号を生成する機能を有する。なお、信号CE、GW、BWのそれぞれは、チップイネーブル信号、グローバル書込みイネーブル信号、バイト書込みイネーブル信号である。

[0031]

DOSRAM100は、階層ビット線構造をとる。MC及びSAアレイ120は複数のブロック130、複数のグローバルビット線を有する。ブロック130は、複数のメモリセル、複数のビット線、および複数のワード線を有する。ここでは、ブロック130の数を N_0 （ N_0 は1以上の整数）としている。なお、ブロック130のうち1つを特定する必要があるときは、符号 $130<0>$ 等を使用し、任意のセルブロックを指すときには符号130を用いる。他の要素についても同様であり、複数の要素を区別するために、 $<1>$ 等の符号が用いられる。

[0032]

図1Bを参照して、MC及びSAアレイ120、ブロック130の構成を説明する。MC及びSAアレイ120は、センスアンプアレイ121上に、メモリセルアレイ125を積層した構造をもつ。センスアンプアレイ121は N_0 個のセンスアンプブロック131を有し、メモリセルアレイ125は N_0 個のローカルセルアレイ135を有する。ブロック130は、センスアンプブロック131にローカルセルアレイ135を積層した構造である。

[0033]

ローカルセルアレイ135は、複数のメモリセル20を有する。図1Cに示すように、メモリセル20は、トランジスタTw1、容量素子C1を有し、ワード線WL、ビット線BL（またはBLB）、配線BGL、および電圧VSSS用の電源線に電氣的に接続されている。トランジスタTw1はバックゲートを有するOSトランジスタである。バックゲートは配線BGLに電氣的に接続される。配線BGLには、例えば、電圧Vbg1が入力される。電圧Vbg1によってトランジスタTw1のしきい値電圧を変更することができる。ローカルセルアレイ135には、メモリセル20の配列に応じて、ワード線WL、ビット線BL、BLB、配線BGLが設けられる。

[0034]

金属酸化物物のバンドギャップは 2.5 eV 以上あるため、OSトランジスタは極小のオフ電流をもつ。一例として、室温（ 25°C ）下において、ソースとドレイン間の電圧が 3.5 V であるとき、チャネル幅 $1\text{ }\mu\text{m}$ 当たりのオフ電流を $1\times 10^{-20}\text{ A}$ 未満、 $1\times 10^{-22}\text{ A}$ 未満、あるいは $1\times 10^{-24}\text{ A}$ 未満とすることができる。すなわち、ドレイン電流のオン／オフ電流比を20桁以上150桁以下とすることができる。そのため、メモリセル20は、トランジスタTw1を介して保持ノードからリークする電荷量が極めて少ない。従って、DOSRAM100は不揮発性記憶装置として用いることができる。

[0035]

OSトランジスタに適用される金属酸化物は、Zn酸化物、Zn-Sn酸化物、Ga-Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物（Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf）などがある。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0036]

OSトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OSなどの結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、c-axis-aligned crystalline metal oxide semiconductorの略称である。CAC-OSとは、Cloud-Aligned Composite metal oxide semiconductorの略称である。nc-OSとは、nanocrystalline metal oxide semiconductorの略称である。

[0037]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

[0038]

CAC-OSは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、CAC-OSをOSトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。よって、OSトランジスタは、メモリセルの書込みトランジスタに非常に好適である。

[0039]

センスアンプブロック131には、複数のセンスアンプ132が設けられている。センスアンプ132は、ビット線BLとビット線BLBと電圧を比較する機能、ビット線BLとビット線BLBとの電圧差を増幅する機能を有する。なお、センスアンプ132によって、同時に比較される2本のビット線をビット線対とよぶ。図1Bの例では、BLとBLBとがビット線対をなす。本明細書では、ビット線対（BL，BLB）と記載する場合がある。

[0040]

トランジスタTw1がOSトランジスタであるため、ローカルセルアレイ135をセンスアンプブロック131に積層することが可能である。このような積層構造によって、ビット線を短くすることができる。以下、図2A乃至図2Dを参照して、ビット線を短くできることを説明する。図2Aは、本発明の一形態に係るビット線の構造例を示し、図2B乃至図2Dには比較例を示す。

[0041]

図2Dの比較例においては、センスアンプアレイとメモリセルアレイが積層構造をもたず、センスアンプが列回路に設けられている。よって、図2Dの比較例では、ビット線はメモリセルアレイと同程

度の長さをもつ。

[0042]

図2Cの比較例では、メモリセルアレイを複数のローカルセルアレイに分割し、ローカルセルアレイをセンスアンプブロックに積層している。そのため、ローカルセルアレイに設けられるビット線の長さを、センスアンプブロックと同程度の長さに短くすることができる。この比較例では、ビット線あたりのメモリセル数（以下、CPBとも呼ぶ）が小さくなる。CPBが小さいほど、ビット線を短くすることができるので、ビット線に付随する容量（ビット線容量とも呼ぶ）は小さくなる。

[0043]

従来のSiトランジスタを用いたDRAMと同様、メモリセル20の容量素子C1の容量Csを小さくすることができれば、DOSRAM100の動作速度、消費電力、製造歩留まり等において、好ましい。ビット線容量を減らすことは、容量Csの低減につながる。小さな容量Csであることで、容量素子C1の構造、およびその製造工程を簡素化することができる。さらに、DOSRAM100の小型化、あるいは記憶容量の増加が可能である。

[0044]

図2Bは、図2Cのローカルセルアレイとセンスアンプブロックの一部を拡大して示した図である。図2Bに示すように、ローカルセルアレイをセンスアンプブロック上に積層することで、センスアンプとメモリセルとを接続するためのビット線対（BL, BLB）が、ローカルセルアレイとセンスアンプブロックとの双方に引き回されている。そこで、本実施の形態では、ビット線容量をさらに低減するための構成例を開示する。具体的には、図2Aに示すように、ローカルセルアレイでは、ビット線を引き回さない。メモリセルとセンスアンプとの主な導通部は、ビア内に設けられた導電体で構成される。つまり、センスアンプ内のビット線と、ローカルセルアレイ内のビット線とを一体化する。

[0045]

まず、図4を参照して、センスアンプブロック131、ローカルセルアレイ135の回路構成例を説明する。図4の例では、ローカルセルアレイ135のCPBが8であり、グローバルビット線対（GBL, GBLB）に対して2組のビット線対（BL, BLB）が設けられている例を示す。

[0046]

センスアンプブロック131には、信号EQ、EQB、SEN、SENB、CSEL[3:0]、電圧Vpreが入力される。信号EQB、SENBはそれぞれ信号EQ、SENの反転信号である。

[0047]

センスアンプ132は、イコライザ31、センスアンプ32、セクタ33を有する。信号EQ、EQBはイコライザ31をアクティブにするための信号であり、信号SEN、SENBはセンスアンプ32をアクティブにするための信号である。信号EQ、EQB、SEN、SENBはセンスアンプドライバ114で生成される。ローカルセルアレイ135<j>（jは0乃至N₀-1の整数）がアクセス対象である場合、センスアンプブロック131<j>はアクティブであり、その他のセンスアンプブロック131は非アクティブであるように、センスアンプドライバ114は信号EQ、EQB、SEN、SENBを生成する。このような制御により、DOSRAM100の消費電力を低減できる。

[0048]

信号CSEL[3:0]は、列セクタ113で生成される。信号CSEL[3:0]によって、4組のビット線対（BL, BLB）のうち、何れか1組がグローバルビット線対（GBL, GBLB）に導通される。

[0049]

グローバルセンスアンプブロック 115において、グローバルビット線対 (GBL, GBLB) 毎にグローバルセンスアンプ 140が設けられている。入出力回路 116において、グローバルビット線対 (GBL, GBLB) 毎に、書込み回路 142、読出し回路 143が設けられている。書込み回路 142は、グローバルビット線対 (GBL, GBLB) にデータを書き込む機能を持つ。読出し回路 143は、グローバルビット線対 (GBL, GBLB) に入力されたデータを保持する機能、保持しているデータを出力する機能を持つ。

[0050]

図4の回路図においては、センスアンプブロック 131とローカルセルアレイ 135とにビット線BLが引き回されているように図示されているが、図3Aに示すように、センスアンプブロック 131とローカルセルアレイ 135とを積層することで、ビット線BLの引き回し部分は、ローカルセルアレイ 135内のみに設けることが可能である。なお、図3Aは、図2Aの回路図に相当する。比較例として、図3Bに、図2Bの回路図を示す。

[0051]

図3Bの比較例では、ローカルセルアレイ 135において、トランジスタ T_{w1} の上方にビット線BLの引き回し部分が設けられている。これに対して、図3Aの構成例では、この引き回し部分がローカルセルアレイ 135に設けられていない。図3Aにおいて、点線で示されている部分がビット線BLの削減された部分を表している。図3Aのビット線BLの長さは、図3Bのおよそ $1/2$ となる。より具体的なビット線BLとメモリセル 20との接続構造例については、実施の形態3で説明する。

[0052]

ビット線を短くすることで、ビット線容量を小さくすることができる。読み出し性能に影響する指標として、ビット線容量 (C_{bit}) と容量 C_s との比がある。 C_s / C_{bit} が大きいほど、メモリセル 20からデータを読み出した時に得られるビット線対の電圧差は大きくなる。従って、 C_s / C_{bit} が大きいほど、高速あるいは安定な読み出し動作を実現できる。同じ読み出し性能のもとでは、ビット線容量 C_{bit} を小さくすることで、容量素子Cの容量 C_s を小さくすることができる。したがって、容量素子C1の容量値 C_s が同じ場合は、DOSRAM100は、Siトランジスタを用いた従来のDRAMと比較して、優れた読み出し性能を有する。

[0053]

トランジスタ T_{w1} は極小オフ電流であるOSトランジスタであるので、DRAMよりも小さい容量 C_s であっても、DOSRAM100は、従来のDRAMと比較して優れた保持特性をもつ。このため、DOSRAM100は容量素子C1の容量 C_s をより小さくすることができ、好ましい。

[0054]

DOSRAM100において、ローカルセルアレイ 135を多層構造にすることが可能である。図5には、3層のセルアレイ 135a乃至 135cでローカルセルアレイ 135を構成した例を示す。この構成例においては、セルアレイ 135bにビット線BLの引き回し部分を設け、この引き回し部分に、セルアレイ 135cのトランジスタ T_{w1} が電氣的に接続されている。

[0055]

センスアンプ 132は、Siトランジスタで構成される例を示したが、OSトランジスタで構成してもよい。

[0056]

本実施の形態で開示するビット線の構造は、他の酸化物半導体記憶装置にも適用できる。例えば、NOSRAM(登録商標)に適用できる。NOSRAMとは、Nonvolatile Oxide Semiconductor RAMの略称であり、2T型または3T型ゲインセルでメモリセルが構成され、メモリセルのトランジスタがOSTランジスタである酸化物半導体記憶装置である。例えば、図6に示すメモリセル22は、3個のトランジスタ T_{w2} 、 T_{r2} 、 T_{s2} を有する。トランジスタ T_{w2} 、 T_{r2} 、 T_{s2} はバックゲートを有するOSTランジスタである。メモリセル22に、トランジスタ T_{r2} のゲート電圧を保持するための容量素子を設けてもよい。メモリセル22は、書込みワード線WWL、読出しワードRWL、書込みビット線WBL、読出しビット線RBL、ソース線SLに電氣的に接続されている。書込みビット線WBL、読出しビット線RBLはセンスアンプに電氣的に接続される。書込みビット線WBL、読出しビット線RBLの一方または双方に、本実施の形態のビット線の構造を適用することができる。

[0057]

本実施の形態で開示するビット線の構造は、トランジスタを積層することで構成される半導体装置に適用することができる。配線を短くすることで、配線の寄生容量が小さくなるので、半導体装置の性能向上につながる。

[0058]

〔実施の形態2〕

本実施の形態では、上掲の酸化物半導体記憶装置を有する電子部品、電子機器等について説明する。

[0059]

上掲の酸化物半導体記憶装置は、CPUチップ、GPUチップ、FPGAチップ、およびアプリケーションプロセッサ(AP)チップなどの各種のプロセッサチップに組み込むことが可能である。ここでは、一例としてAPチップの構成例を示す。

[0060]

図7に示すAPチップ600は、CPU(中央演算装置)610、GPU(グラフィック演算装置)612、記憶装置614、バス615、インターフェース部616、メモリ制御部621、オーディオ処理部622、ビデオ処理部623、ディスプレイ制御部624を有する。これら集積回路は1つのダイに設けられている。なお、APチップ600に設けられる回路は、用途等に応じて適宜取捨される。記憶装置614に上掲の酸化物半導体記憶装置が用いられる。

[0061]

様々な機能回路を設けることで、APチップ600で各種の周辺機器を制御できるようにしている。例えば、メモリ制御部621には、メモリコントローラ、DRAM用コントローラ、フラッシュメモリ用コントローラが設けられる。オーディオ処理部622は、音声データ等処理する。ビデオ処理部623には、ビデオデコーダ、ビデオエンコーダ、カメラ用画像処理回路などが設けられる。ディスプレイ制御部624には、ディスプレイコントローラ、マルチモニタコントローラが設けられる。

[0062]

上掲の酸化物半導体記憶装置で構成されるメモリチップ630、および、上掲の酸化物半導体記憶装置を組み込んだプロセッサチップ640は、様々な電子機器に組み込むことができる。例えば、電子機器において、メモリチップ630は、DRAMチップ、または、フラッシュメモリチップに置き換えて用いることができる。図8に、メモリチップ630及び／又はプロセッサチップ640が組み込まれた幾つかの電子機器を例示する。

[0063]

ロボット7100は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ（赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど）、および移動機構などを備える。プロセッサチップ640は、これら周辺機器を制御する。例えば、メモリチップ630はセンサで取得されたデータを記憶する。

[0064]

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット7100は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット7100は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

[0065]

カメラは、ロボット7100の周囲を撮像する機能を有する。また、ロボット7100は、移動機構を用いて移動する機能を有する。ロボット7100は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

[0066]

飛行体7120は、プロペラ、カメラ、およびバッテリーなどを有し、自律して飛行する機能を有する。プロセッサチップ640はこれら周辺機器を制御する。

[0067]

例えば、カメラで撮影した画像データは、メモリチップ630に記憶される。プロセッサチップ640は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、プロセッサチップ640によってバッテリーの蓄電容量の変化から、バッテリー残量を推定することができる。

[0068]

掃除ロボット7140は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット7140には、タイヤ、吸い込み口等が備えられている。掃除ロボット7140は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

[0069]

例えば、プロセッサチップ640は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。

[0070]

自動車7160は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、プロセッサチップ640は、ナビゲーション情報、速度、エンジンの状態、ギアの選択状態、ブレーキの使用頻度などのデータに基づいて、自動車7160の走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データはメモリチップ630に記憶される。

[0071]

メモリチップ630及び／又はプロセッサチップ640は、TV（テレビジョン受像）装置7200、スマートフォン7210、PC（パーソナルコンピュータ）7220、7230、ゲーム機7240、7260等に組み込むことができる。

[0072]

例えば、TV装置7200に内蔵されたプロセッサチップ640は画像エンジンとして機能させることができる。例えば、プロセッサチップ640は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。

[0073]

スマートフォン7210は、携帯情報端末の一例である。スマートフォン7210は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。プロセッサチップ640によってこれら周辺機器が制御される。

[0074]

PC7220、7230はそれぞれノート型PC、据え置き型PCの例である。PC7230には、キーボード7232、およびモニタ装置7233が無線又は有線により接続可能である。ゲーム機7240は携帯型ゲーム機の例である。ゲーム機7260は据え置き型ゲーム機の例である。ゲーム機7260には、無線または有線でコントローラ7262が接続されている。コントローラ7262に、メモリチップ630及び／又はプロセッサチップ640を組み込むこともできる。

[0075]

〔実施の形態3〕

本実施の形態では、DOSRAM100の積層構造例について説明する。図9は、代表的なブロック130の断面を示している。上掲したように、ブロック130において、センスアンプブロック131にローカルセルアレイ135が積層されている。なお、図9は、図3Aの回路図の断面図に対応する。

[0076]

図9に示すように、センスアンプブロック131には、ビット線BL、SiトランジスタTa10、Ta11が設けられている。SiトランジスタTa10、Ta11は、単結晶シリコンウエハに半導体層をもつ。SiトランジスタTa10、Ta11は、センスアンプ132を構成し、ビット線BLに電氣的に接続されている。

[0077]

ローカルセルアレイ135において、2個のトランジスタTw1は半導体層を共有する。半導体層とビット線BL間に複数の導電体が積層されている。これら導電体によって、トランジスタTw1がビット線BLに導通される。このような接続構造によって、センスアンプブロック131とローカルセルアレイ135は、ローカルセルアレイ135内のビット線BLを共有することができる。

[0078]

従って、ビット線BLが短くなり、かつビット線BLがワード線WLとの交差部を持たないので、ビット線寄生容量Cbitを小さくすることができる。よって、小さな容量Csの容量素子C1でメモリセル20を構成することができる。例えば、容量素子C1を図10に示すような構造にしてもよい。容量素子C1の面積を小さくすることで、メモリセル20の面積が低減でき、DOSRAM100を小型化できる。

[0079]

図9、図10に示すような半導体層と配線との接続構造は、トランジスタ群を有する回路を複数積層して構成される様々な半導体装置に適用できる。

[0080]

図9、図10中の金属酸化物、絶縁体、導電体等は、単層でも積層でもよい。これらの作製には、スパッタリング法、分子線エピタキシー法（MBE法）、パルスレーザアブレーション法（PLA法）、CVD法、原子層堆積法（ALD法）などの各種の成膜方法を用いることができる。なお、CVD法には、プラズマCVD法、熱CVD法、有機金属CVD法などがある。

[0081]

ここでは、トランジスタ T_{w1} の半導体層が3層の金属酸化物層で構成されている例を示している。これらの金属酸化物層は、上掲の金属酸化物で構成されることが好ましく、In、Ga、およびZnを含む金属酸化物で構成されることがより好ましい。

[0082]

金属酸化物は、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで、キャリア密度が増大し、低抵抗化する場合がある。例えば、金属酸化物を用いた半導体層を選択的に低抵抗化することで、半導体層にソース領域およびドレイン領域を設けることができる。

[0083]

なお、金属酸化物を低抵抗化する元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例は、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンがある。

[0084]

例えば、ダミーゲートを用いることで、半導体層を選択的に低抵抗化することができる。具体的には、絶縁層を介して半導体層上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、上掲の元素を半導体層に添加する。したがって、半導体層においてダミーゲートと重畳していない領域は、当該元素が添加され、低抵抗化される。元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などがある。

[0085]

導電体に用いられる導電材料には、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイド、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、または上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

[0086]

絶縁体に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことをいう。

[符号の説明]

[0087]

20、22：メモリセル、 31：イコライザ、 32：センスアンプ、 33：セクタ、100：DOSRAM、 102：制御回路、 104：行回路、 105：列回路、 111：デコーダ、 112：ワード線ドライバ、 113：列セクタ、 114：センスアンプドライバ、 115：グローバルセンスアンプブロック、 116：入出力回路、 120：メモリセル及びセンスアンプ（MC及びSA）アレイ、 121：センスアンプアレイ、 125：メモリセルアレイ、 130：ブロック、 131：センスアンプブロック、 132：センスアンプ、 135：ローカルセルアレイ、 135a、135b、135c：セルアレイ、 140：グローバルセンスアンプ、 142、143：回路、600：AP（アプリケーションプロセッサ）チップ、 614：記憶装置、 615：バス、 616：インターフェース部、 621：メモリ制御部、 622：オーディオ処理部、 623：ビデオ処理部、 624：ディスプレイ制御部、 630：メモリチップ、 640：プロセッサチップ、7100：ロボット、 7120：飛行体、 7140：掃除ロボット、 7160：自動車、 7200：TV装置、 7200：装置、 7210：スマートフォン、 7220、7230：PC、 7232：キーボード、 7233：モニタ装置、 7240：ゲーム機、 7260：ゲーム機、 7262：コントローラ

請求の範囲

[請求項 1]

第 1 配線および第 1 トランジスタが設けられている第 1 回路と、
第 2 トランジスタが設けられている第 2 回路と、
を有する半導体装置であり、
前記第 2 回路は前記第 1 回路上に積層され、
前記第 1 トランジスタと前記第 2 トランジスタとは前記第 1 配線に電氣的に接続され、
前記第 2 回路には、前記第 1 配線の引き回し部が設けられていないことを特徴とする半導体装置。

[請求項 2]

第 1 回路および第 2 回路を有する半導体装置であり、
前記第 1 回路は、
第 1 トランジスタと、
前記第 1 トランジスタに電氣的に接続されている第 1 配線とを有し、
前記第 2 回路は、
導電体と、
前記導電体を介して、前記第 1 配線に電氣的に接続されている第 2 トランジスタとを有し、
前記導電体は、前記第 2 トランジスタの半導体層の下面に接する部分を有することを特徴とする半導体装置。

[請求項 3]

請求項 1 または 2 において、
前記第 2 トランジスタの半導体層は、金属酸化物を有することを特徴とする半導体装置。

[請求項 4]

請求項 1 または 2 において、
前記第 1 トランジスタおよび前記第 2 トランジスタの半導体層は、金属酸化物を有することを特徴とする半導体装置。

[請求項 5]

ビット線と、
前記ビット線に電氣的に接続されているセンスアンプと、
前記センスアンプ上に積層されているメモリセルアレイと、
を有する記憶装置であって、
前記メモリセルアレイは、前記ビット線に電氣的に接続されているメモリセルを有し、
前記メモリセルは、前記ビット線に電氣的に接続されている書込みトランジスタと、前記書込みトランジスタに電氣的に接続されている容量素子とを有し、
前記メモリセルアレイ内には、前記ビット線の引き回し部分が存在しないことを特徴とする記憶装置。

[請求項 6]

請求項 5 において、
前記書込みトランジスタの半導体層は、金属酸化物を有することを特徴とする記憶装置。

[請求項 7]

センスアンプブロックと、

前記センスアンプブロック上に積層されているメモリセルアレイとを有する記憶装置であって、
前記センスアンプブロックは、

ビット線と、

前記ビット線に電氣的に接続されているセンスアンプとを有し、

前記メモリセルアレイは、導電体と、メモリセルとを有し、

前記メモリセルは、

前記導電体を介して前記ビット線に電氣的に接続されている書込みトランジスタと、

前記書込みトランジスタに電氣的に接続されている容量素子とを有し、

前記導電体は、前記書込みトランジスタの半導体層の下面に接する部分を有することを特徴とする
記憶装置。

[請求項 8]

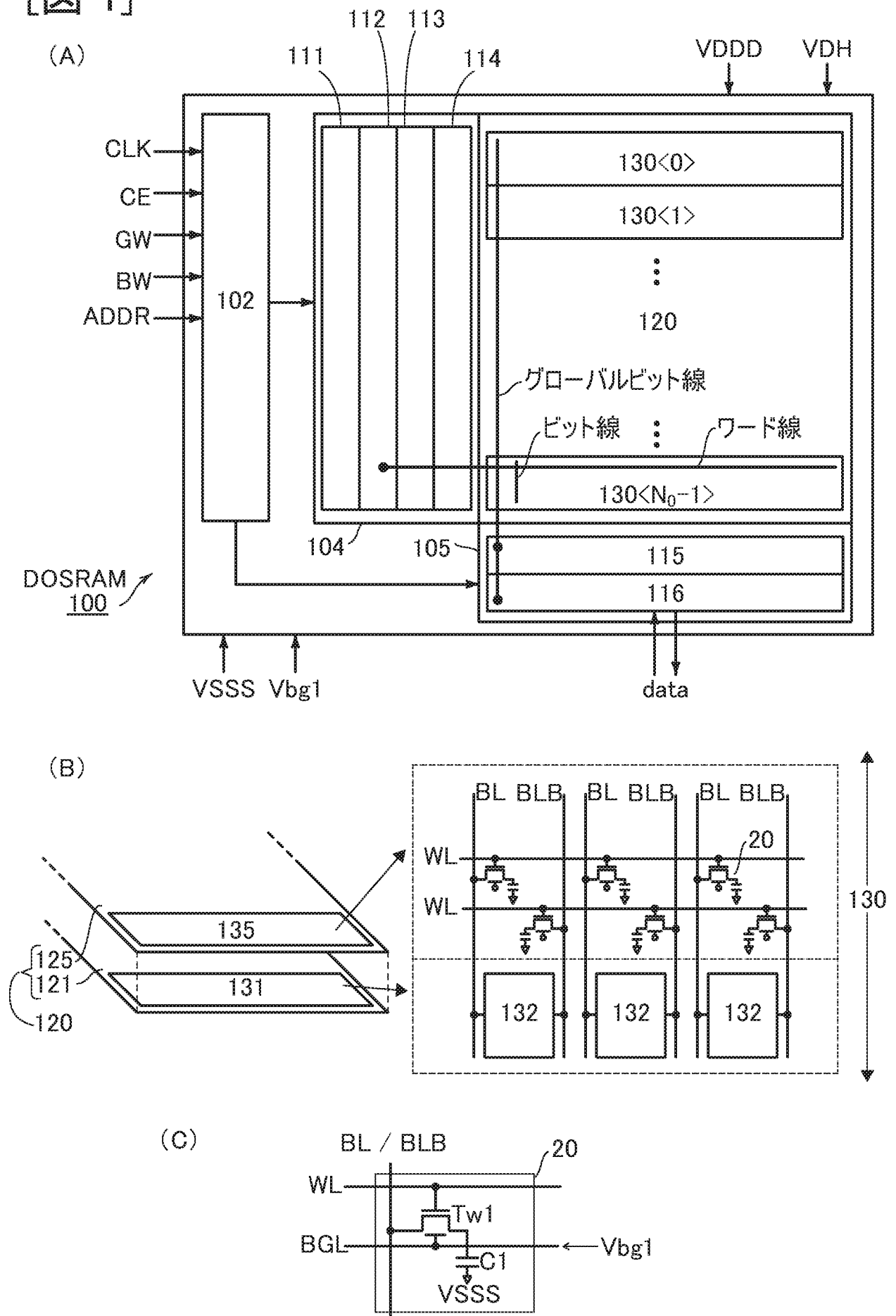
請求項 7 において、

前記書込みトランジスタの前記半導体層は、金属酸化物を有することを特徴とする記憶装置。

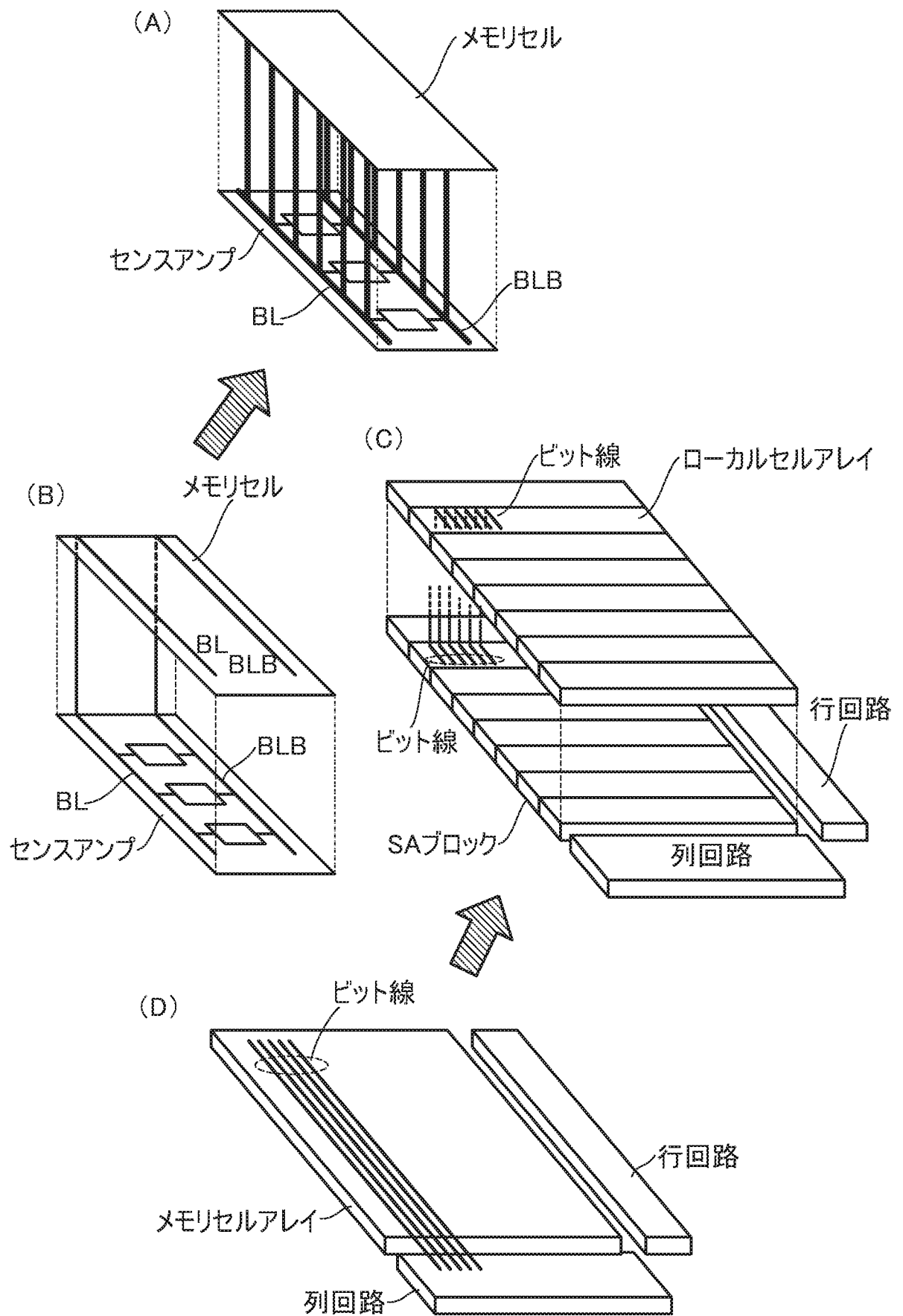
[請求項 9]

請求項 5 乃至 8 の何れか 1 項に記載の記憶装置が組み込まれている電子機器。

[図 1]

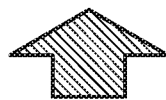
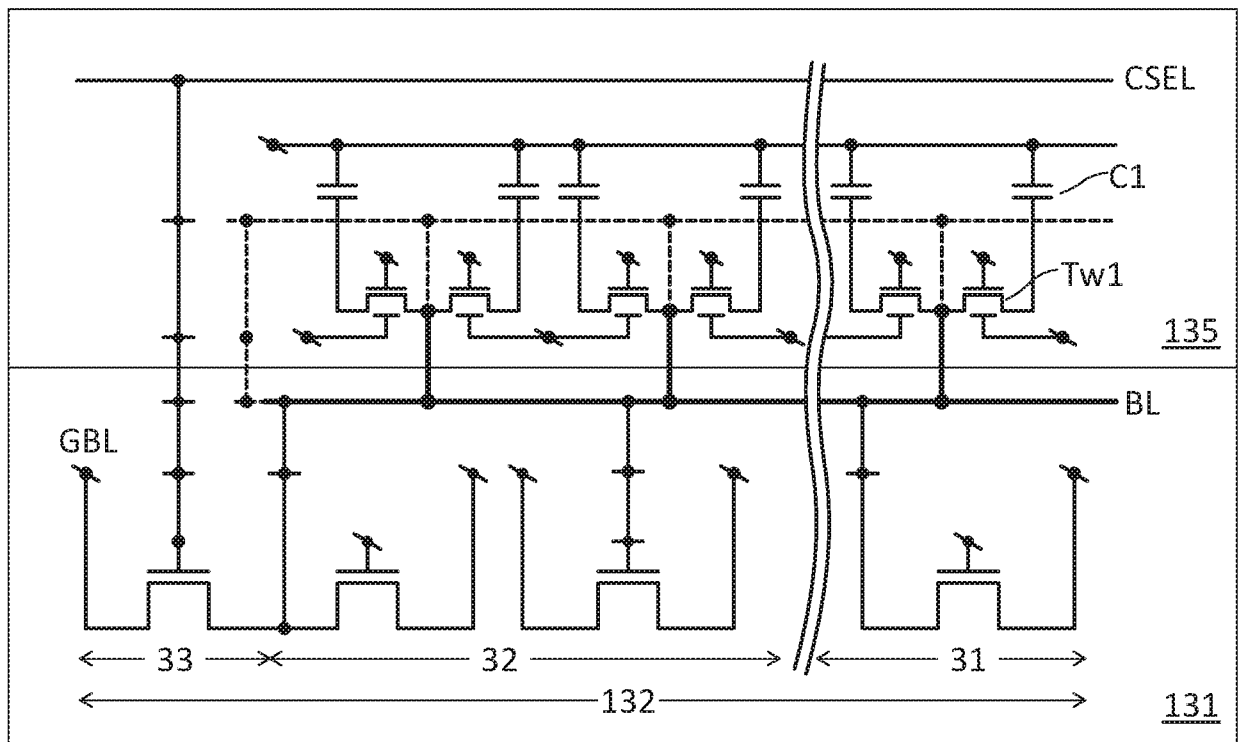


[図 2]

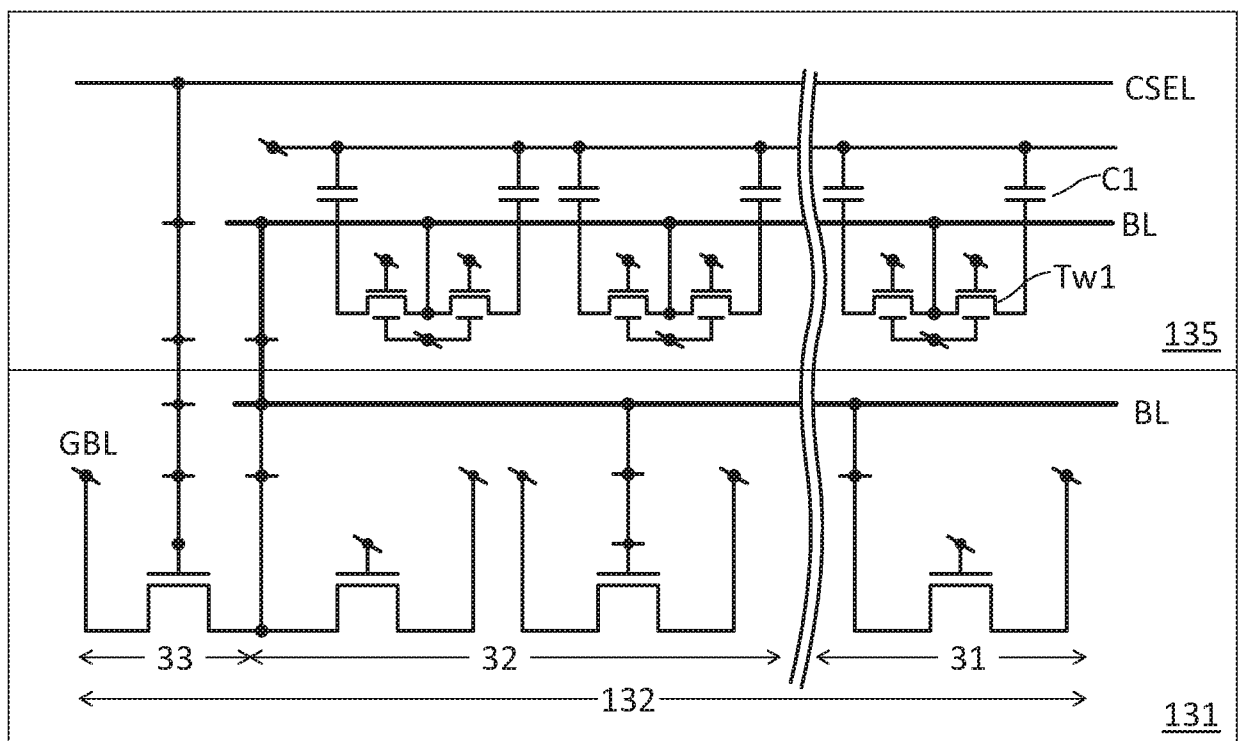


[図 3]

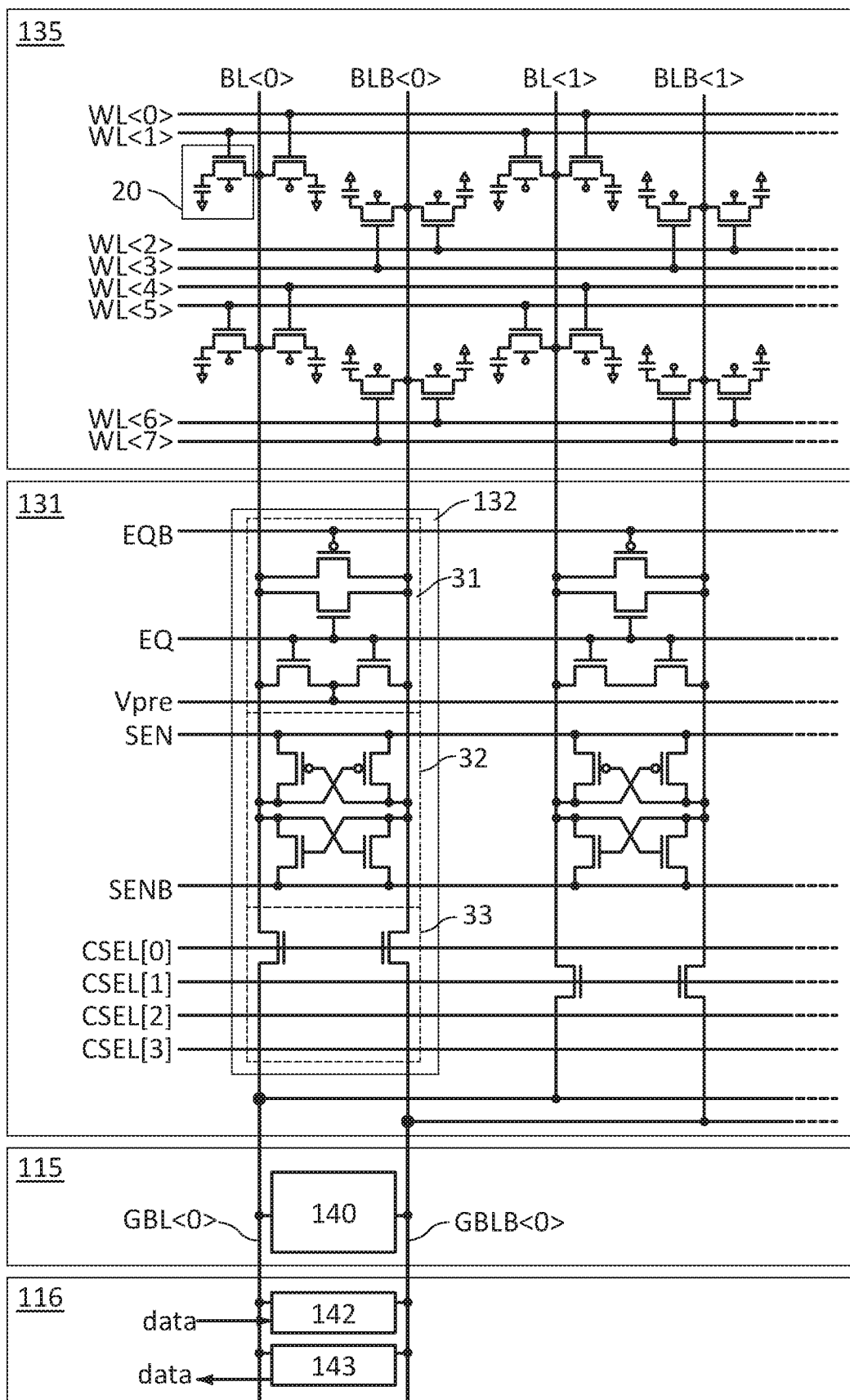
(A)



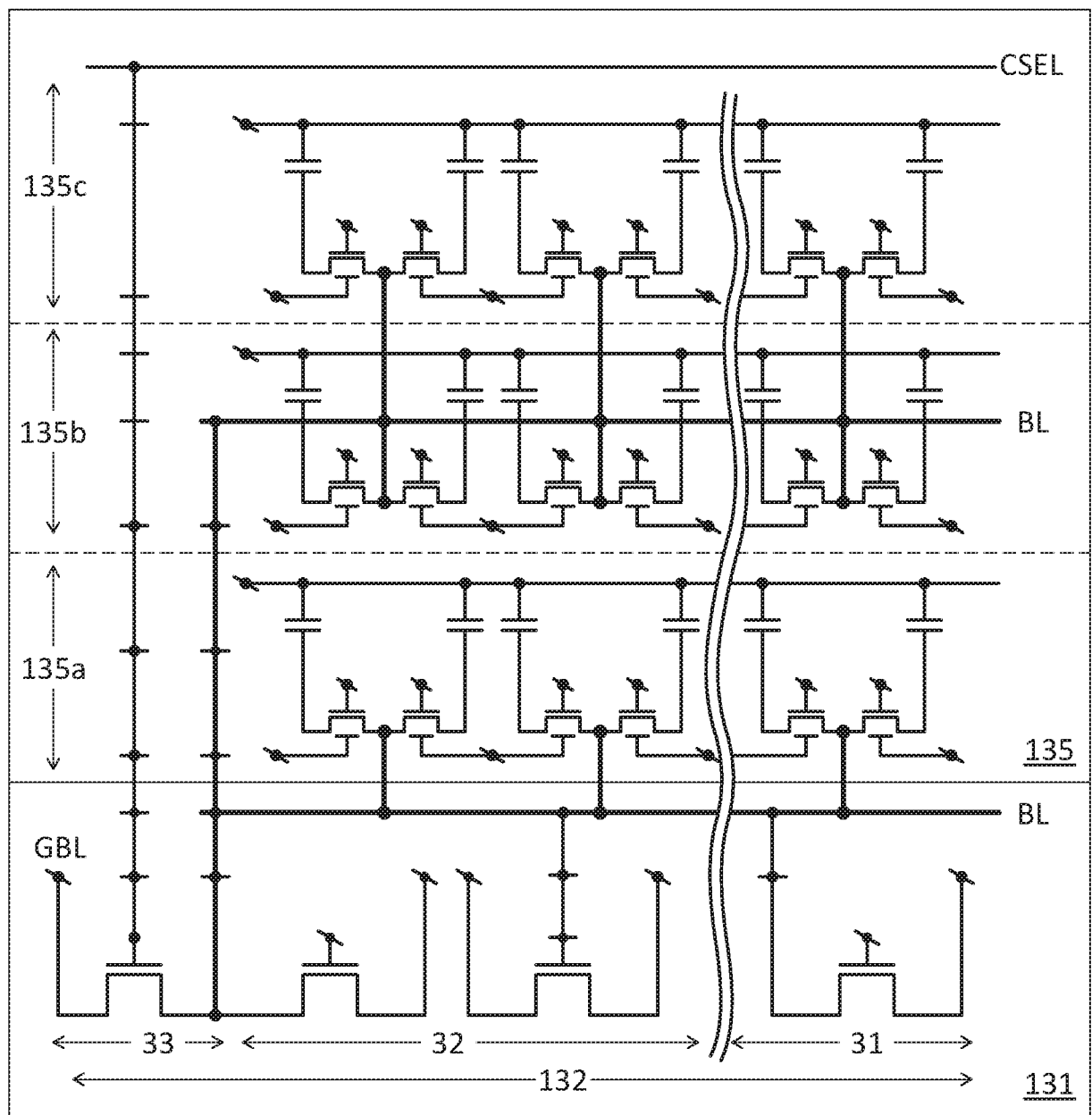
(B)



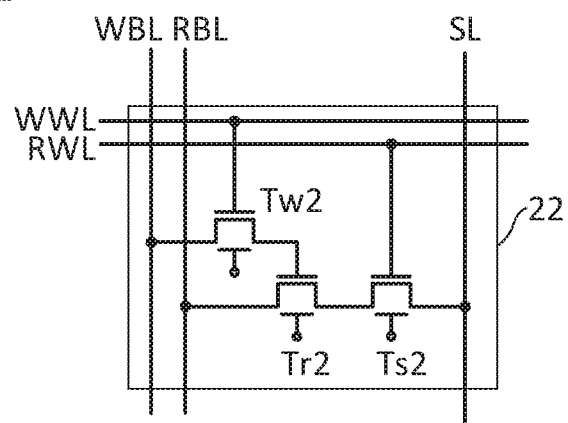
[図 4]



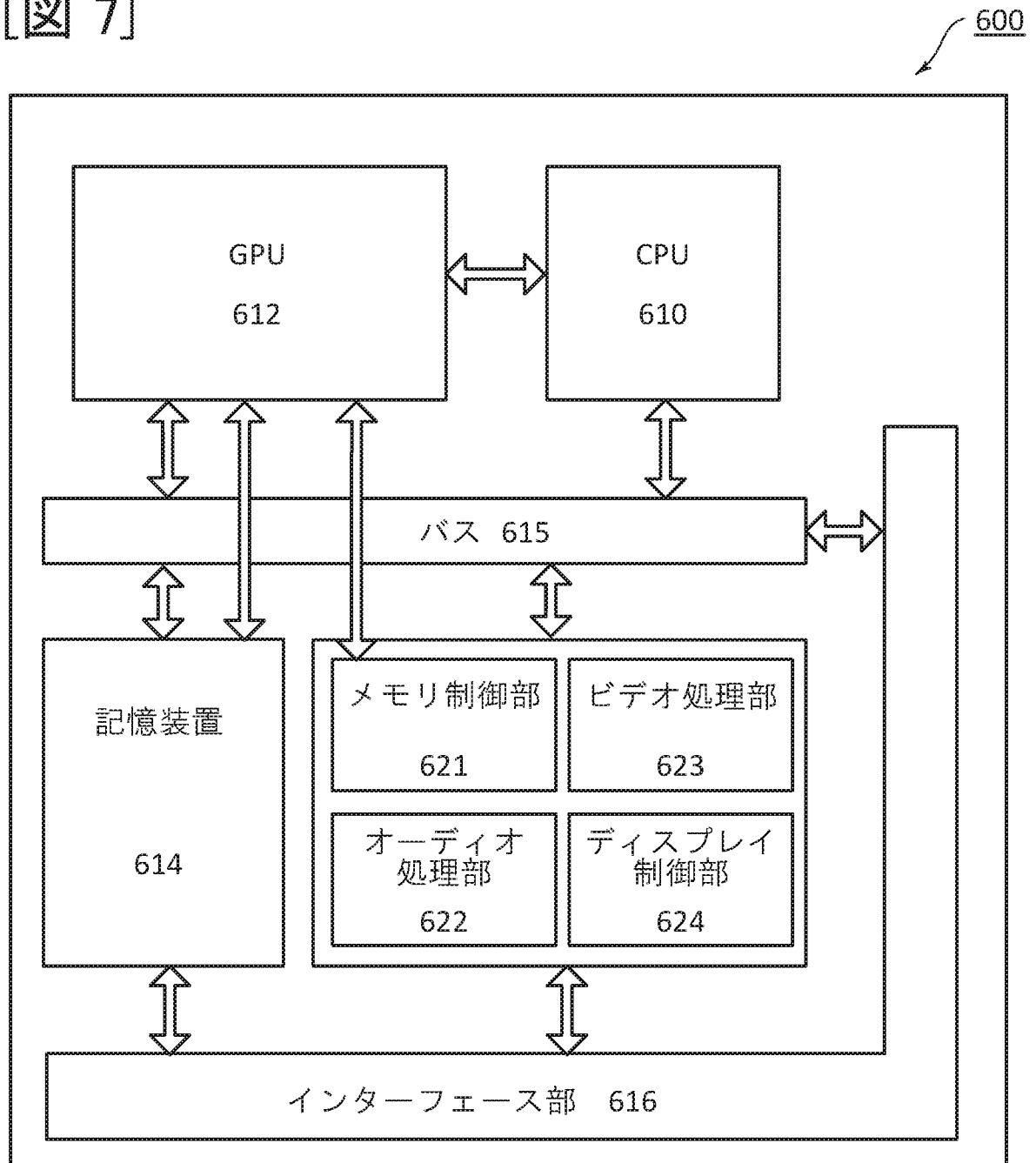
[図 5]



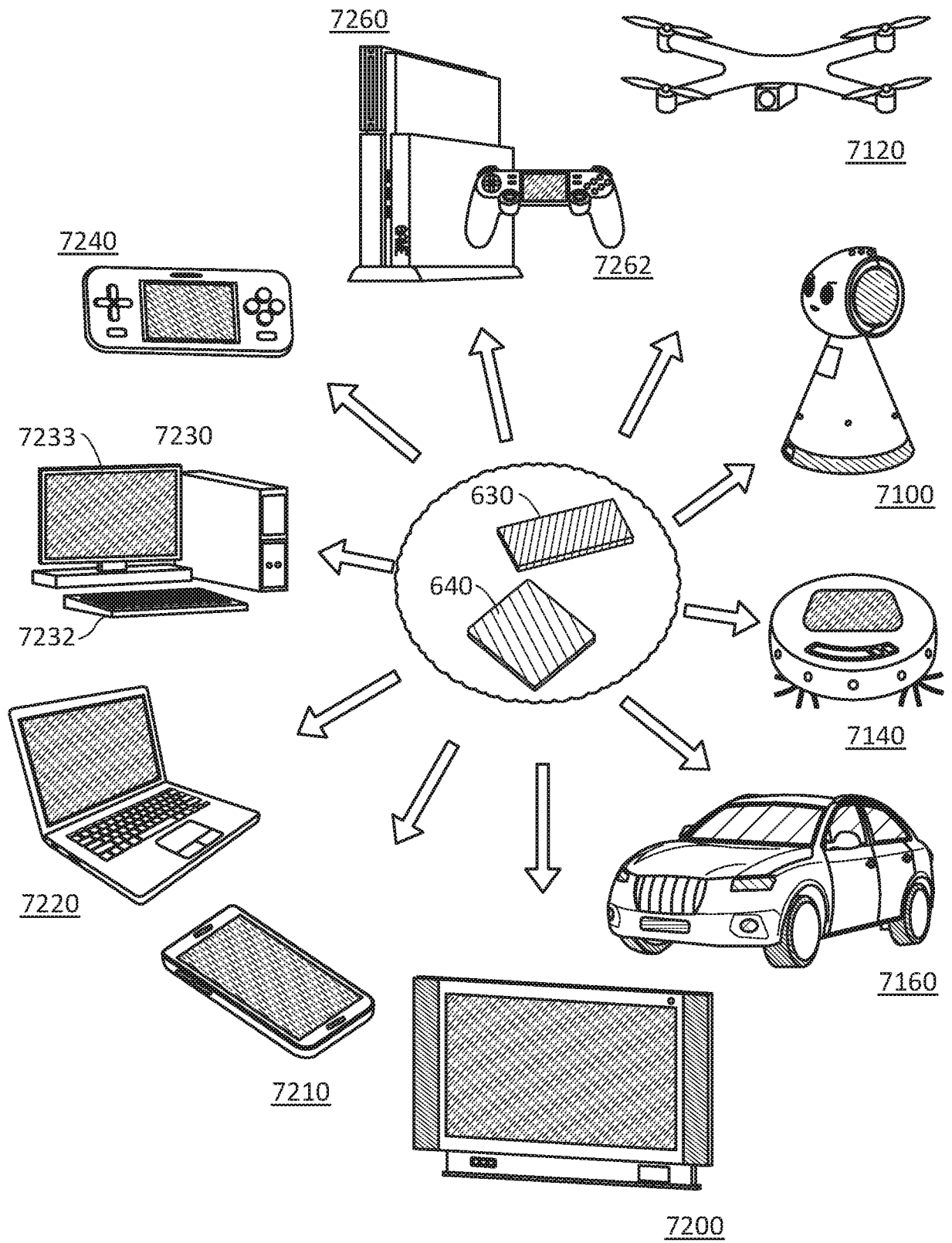
[図 6]



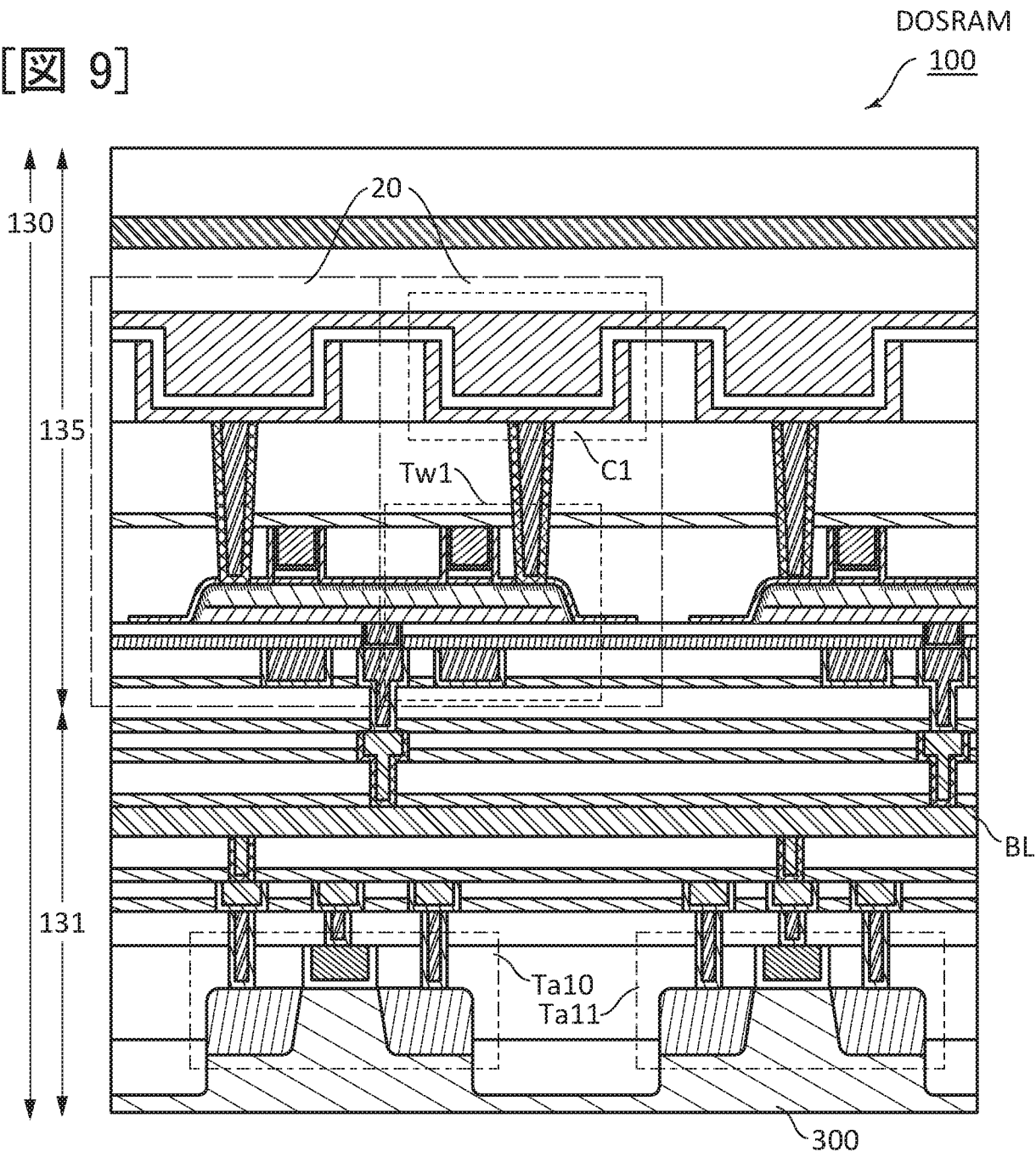
[図 7]



[図 8]



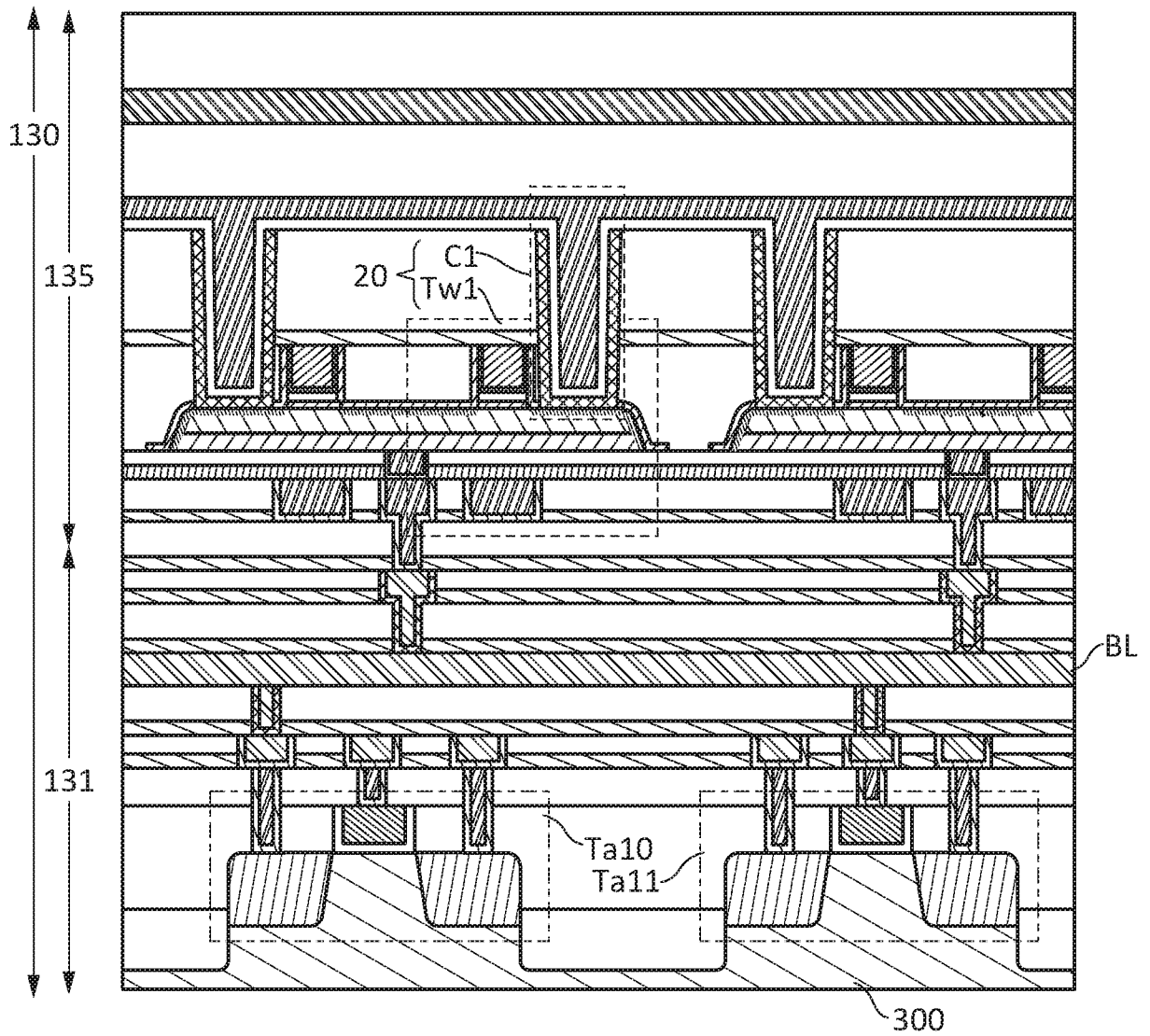
[図 9]



[図10]

DOSRAM

100



金属酸化物



絶縁体



導電体



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/056412

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8242 (2006.01) i, G11C5/02 (2006.01) i, G11C11/4097 (2006.01) i,
H01L21/336 (2006.01) i, H01L27/108 (2006.01) i,
H01L27/1156 (2017.01) i, H01L29/786 (2006.01) i,
H01L29/788 (2006.01) i, H01L29/792 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8242, G11C5/02, G11C11/4097, H01L21/336, H01L27/108,
H01L27/1156, H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2015-84411 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 April 2015, paragraphs [0171]-[0173], [0188], fig. 8(A), 8(B) & US 2015/0076495 A1, paragraphs [0186]-[0188], [0203], fig. 8A, 8B	1 2-9
X Y A	JP 2015-228492 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 December 2015, paragraphs [0073], [0108]-[0113], [0124], fig. 9, 11 & US 2015/0325282 A1, paragraphs [0103], [0140]-[0145], [0155], fig. 9, 11 & WO 2015/170220 A1	2, 3 4 1, 5-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
16 November 2018 (16.11.2018)

Date of mailing of the international search report
27 November 2018 (27.11.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/056412

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-65638 A (ELPIDA MEMORY, INC.) 11 April 2013, paragraphs [0013]-[0018], [0045]-[0047], [0061], fig. 2, 3(1), 19 & US 2013/0070506 A1, paragraphs [0038]-[0044], [0071]-[0073], [0086], fig. 2, 3(1), 19	5, 6, 9 1-4, 7, 8
Y	JP 2015-187905 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 October 2015, paragraphs [0026]-[0028], [0082], [0083], fig. 1 & US 2015/0262642 A1, paragraphs [0042]-[0044], [0100], [0101], fig. 1	4
A	JP 2016-212944 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 December 2016, entire text, all drawings & US 2016/0336055 A1, entire text, all drawings	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/8242(2006.01)i, G11C5/02(2006.01)i, G11C11/4097(2006.01)i, H01L21/336(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8242, G11C5/02, G11C11/4097, H01L21/336, H01L27/108, H01L27/1156, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-84411 A（株式会社半導体エネルギー研究所）2015.04.30, 段落[0171] - [0173], [0188], 図8(A), 8(B) & US 2015/0076495 A1, 段落[0186] - [0188], [0203], 図8A, 8B	1
A		2-9
X	JP 2015-228492 A（株式会社半導体エネルギー研究所）2015.12.17, 段落[0073], [0108] - [0113], [0124], 図9, 11 & US 2015/0325282 A1, 段落[0103], [0140] - [0145], [0155], 図9, 11 & WO 2015/170220 A1	2, 3
Y		4
A		1, 5-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.11.2018

国際調査報告の発送日

27.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 博司

5F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-65638 A (エルピーダメモリ株式会社) 2013.04.11, 段落 [0013] - [0018], [0045] - [0047], [0061], 図 2, 3(1), 19 & US 2013/0070506 A1, 段落[0038] - [0044], [0071] - [0073], [0086], 図 2, 3(1), 19	5, 6, 9
A		1-4, 7, 8
Y		4
A		1-9