

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月17日(17.12.2020)



(10) 国際公開番号

WO 2020/250083 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 23/522 (2006.01)
H01L 21/268 (2006.01) H01L 27/04 (2006.01)
H01L 21/28 (2006.01) H01L 27/06 (2006.01)
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/428 (2006.01) H01L 27/105 (2006.01)
H01L 21/477 (2006.01) H01L 27/108 (2006.01)
H01L 21/768 (2006.01) H01L 27/1156 (2017.01)
H01L 21/822 (2006.01) H01L 29/417 (2006.01)
H01L 21/8234 (2006.01) H01L 29/788 (2006.01)
H01L 21/8239 (2006.01) H01L 29/792 (2006.01)
H01L 21/8242 (2006.01)

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2019-111337 2019年6月14日(14.06.2019) JP
特願 2019-156743 2019年8月29日(29.08.2019) JP
特願 2019-165482 2019年9月11日(11.09.2019) JP
特願 2019-183633 2019年10月4日(04.10.2019) JP
特願 2019-239534 2019年12月27日(27.12.2019) JP
特願 2020-050342 2020年3月20日(20.03.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(21) 国際出願番号:

PCT/IB2020/055190

(22) 国際出願日:

2020年6月2日(02.06.2020)

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398 株式会社
半導体エネルギー研究所内 Kanagawa (JP). 澤

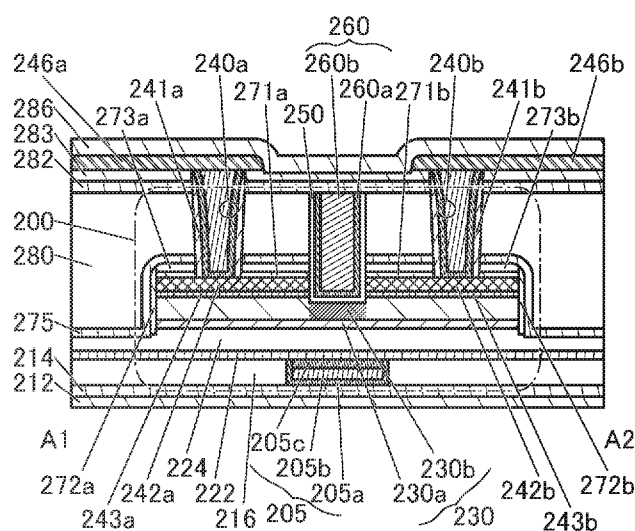
(25) 国際出願の言語:

日本語

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE PRODUCTION METHOD

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

図1B



(57) Abstract: The present invention provides a semiconductor device having little variation in transistor characteristics. The present invention has a semiconductor film, a pair of shielding films upon the semiconductor film, and an insulating film positioned upon the semiconductor film and provided between the pair of shielding films. The semiconductor film has a pair of n-type regions and an i-type region provided between the pair of n-type regions. The n-type regions are superimposed on the shielding films and the i-type region is superimposed on the insulating film.

井寛美(SAWAI, Hiromi); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 駒形大樹(KOMAGATA, Hiroyuki); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 神保安弘(JINBO, Yasuhiro); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 奥野直樹(OKUNO, Naoki); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 小松良寛(KOMATSU, Yoshihiro); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 安藤元晴(ANDO, Motoharu). 森若智昭(MORIWAKA, Tomoaki); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 森谷幸司(MORIYA, Koji); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 石川純(ISHIKAWA, Jun); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: トランジスタ特性のばらつきが少ない半導体装置を提供する。半導体膜と、半導体膜上の一对の遮蔽膜と、半導体膜上に位置し、且つ一对の遮蔽膜の間に設けられる絶縁膜と、を有し、半導体膜は、一对の n 型領域と、一对の n 型領域の間に設けられる i 型領域と、を有し、n 型領域は、遮蔽膜と重畳し、i 型領域は、絶縁膜と重畳する。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。または、本発明の一態様は、半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、特にLSI（Large Scale Integrated Circuit）やCPU（Central Processing Unit）やメモリの開発が顕著に進められている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSIやCPUやメモリなどの半導体回路（IC（Integrated Circuit）チップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。また、例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている（特許文献2参照。）。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

発明の概要

発明が解決しようとする課題

[0010]

本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、半導体膜と、半導体膜上の一对の遮蔽膜と、半導体膜上に位置し、且つ一对の遮蔽膜の間に設けられる絶縁膜と、を有し、半導体膜は、一对のn型領域と、一对のn型領域の間に設けられるi型領域と、を有し、n型領域は、遮蔽膜と重畳し、i型領域は、絶縁膜と重畳する、半導体装置である。

[0013]

本発明の他の一態様は、半導体膜と、半導体膜上の一对の遮蔽膜と、一对の遮蔽膜上の保護膜と、半導体膜上に位置し、且つ一对の遮蔽膜の間に設けられる絶縁膜と、を有し、半導体膜は、一对のn型領域と、一对のn型領域の間に設けられるi型領域と、を有し、n型領域は、遮蔽膜と重畳し、i型領域は、絶縁膜と重畳する、半導体装置である。

[0014]

上記において、保護膜は、アルミニウムと、酸素とを有する、ことが好ましい。また、上記において、遮蔽膜は、300MHz以上300GHz以下の電磁波を遮蔽する機能を有する、ことが好ましい。また、上記において、遮蔽膜は、タンタルと、窒素と、を有する、ことが好ましい。

[0015]

上記において、i型領域は、キャリア濃度が $1 \times 10^{-9} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であ

り、 n 型領域は、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である、ことが好ましい。また、上記において、半導体膜は、金属酸化物である、ことが好ましい。また、上記において、半導体膜は、 In 、 Ga 、または Zn の中から選ばれるいずれか一または複数である、ことが好ましい。また、上記において、絶縁膜は、シリコンと、酸素と、を有する、ことが好ましい。

[0016]

本発明の他の一態様は、半導体膜を形成する第1の工程と、半導体膜上に遮蔽膜を形成する第2の工程と、半導体膜および遮蔽膜を島状に加工する第3の工程と、半導体膜、及び遮蔽膜上に酸化物絶縁膜を形成する第4の工程と、酸化物絶縁膜、及び遮蔽膜を加工し、半導体膜に達する開口部を形成する第5の工程と、半導体膜、遮蔽膜、及び酸化物絶縁膜に対して加熱処理を行う第6の工程と、開口部を覆うように、絶縁膜を形成する第7の工程と、絶縁膜を介して、半導体膜にマイクロ波を照射する第8の工程と、を有し、マイクロ波の照射は、少なくとも酸素を含む雰囲気下で行われ、且つ 100°C 以上 750°C 以下の温度範囲で行われる、半導体装置の作製方法である。

[0017]

上記において、マイクロ波の照射は、 300°C 以上 500°C 以下の温度範囲で行われる、ことが好ましい。また、上記において、マイクロ波の照射は、 300 Pa 以上 700 Pa 以下の圧力範囲で行われる、ことが好ましい。

[0018]

上記において、加熱処理は、第1の加熱処理と、第2の加熱処理と、を有し、第1の加熱処理は、酸素雰囲気下にて、 300°C 以上 500°C 以下の範囲で行われ、第2の加熱処理は、窒素雰囲気下にて、 300°C 以上 500°C 以下の範囲で行われる、ことが好ましい。また、上記において、第1の加熱処理は、第2の加熱処理よりも長時間行われる、ことが好ましい。

[0019]

上記において、絶縁膜は、プラズマ化学気相成長法または原子層堆積法を用いて形成される、ことが好ましい。

また、上記において、半導体膜は、金属酸化物を有し、金属酸化物は、 In 、 Ga 、または Zn の中から選ばれるいずれか一または複数を有し、金属酸化物は、スパッタリング法、原子層堆積法、または有機金属化学気相成長法を用いて形成される、ことが好ましい。

[0020]

上記において、第8の工程のあとに、さらに第9の工程を有し、第9の工程は、原子層堆積法にて、酸化ハフニウムを形成する、ことが好ましい。

[0021]

本発明の他の一態様は、基板上に酸化膜を成膜し、酸化膜の上に第1の導電膜を成膜し、酸化膜、および第1の導電膜を島状に加工して、酸化物、および第1の導電体を形成し、酸化物、および第1の導電体を覆って第1の絶縁体を形成し、第1の絶縁体の一部を除去して開口を形成し、当該開口に重畳して第1の導電体の一部を除去し、第2の導電体と第3の導電体を形成し、当該第2の導電体と当該第3の導電体の間の領域に酸化物を露出させ、酸化物の上面に接して、絶縁膜を成膜し、酸素を含む雰囲気下でマイクロ波処理を行い、絶縁膜の上に第2の導電膜を成膜し、絶縁膜、および第2の導電膜に、第1の絶縁体の上面が露出するまで、CMP処理を行って、第2の絶縁体、および第4の導電体を形成する、半導体装置の作製方法である。

[0022]

本発明の他の一態様は、基板上に酸化膜を成膜し、酸化膜の上に第１の導電膜を成膜し、酸化膜、および第１の導電膜を島状に加工して、酸化物、および第１の導電体を形成し、酸化物、および第１の導電体を覆って第１の絶縁体を形成し、第１の絶縁体の一部を除去して開口を形成し、当該開口に重畳して第１の導電体の一部を除去し、第２の導電体と第３の導電体を形成し、当該第２の導電体と当該第３の導電体の間の領域に酸化物を露出させ、酸素を含む雰囲気中でマイクロ波処理を行い、酸化物の上面に接して、絶縁膜を成膜し、絶縁膜の上に第２の導電膜を成膜し、絶縁膜、および第２の導電膜に、第１の絶縁体の上面が露出するまで、CMP処理を行って、第２の絶縁体、および第４の導電体を形成する、半導体装置の作製方法である。

[0023]

本発明の他の一態様は、基板上に酸化膜を成膜し、酸化膜の上に第１の導電膜を成膜し、酸化膜、および第１の導電膜を島状に加工して、酸化物、および第１の導電体を形成し、酸化物、および第１の導電体を覆って第１の絶縁体を形成し、第１の絶縁体の一部を除去して開口を形成し、当該開口に重畳して第１の導電体の一部を除去し、第２の導電体と第３の導電体を形成し、当該第２の導電体と当該第３の導電体の間の領域に酸化物を露出させ、酸素を含む雰囲気中でマイクロ波処理を行い、酸化物の上面に接して、第１の絶縁膜をPEALD法で成膜し、第１の絶縁膜の上面に接して、第２の絶縁膜を熱ALD法で成膜し、第２の絶縁膜の上に第２の導電膜を成膜し、第１の絶縁膜、第２の絶縁膜、および第２の導電膜に、第１の絶縁体の上面が露出するまで、CMP処理を行って、第２の絶縁体、第３の絶縁体および第４の導電体を形成し、第３の絶縁体は、第２の絶縁体よりも酸素を拡散させにくい、半導体装置の作製方法である。

[0024]

上記において、マイクロ波処理、第１の絶縁膜の成膜、第２の絶縁膜の成膜を、大気に暴露することなく、連続処理することが好ましい。また、上記において、第１の絶縁膜は、シリコンを含む酸化膜であり、第２の絶縁膜は、ハフニウムを含む酸化膜である、ことが好ましい。

[0025]

上記において、マイクロ波処理は、酸素を含む雰囲気で行い、酸素流量比が０％より大きく、１００％以下にしてもよい。また、上記において、マイクロ波処理は、酸素、およびアルゴンを含む雰囲気で行い、酸素流量比が１０％以上、４０％以下である、ことが好ましい。

発明の効果

[0026]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0027]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0 0 2 8]

図 1 A は本発明の一態様である半導体装置の上面図である。図 1 B 乃至図 1 D は本発明の一態様である半導体装置の断面図である。

図 2 は本発明の一態様である半導体装置の断面図である。

図 3 A は I G Z O の結晶構造の分類を説明する図である。図 3 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 3 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 4 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 4 B 乃至図 4 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 5 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 5 B 乃至図 5 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 6 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 6 B 乃至図 6 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 7 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 7 B 乃至図 7 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 8 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 8 B 乃至図 8 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 9 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 9 B 乃至図 9 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 0 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 0 B 乃至図 1 0 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 1 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 1 B 乃至図 1 1 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 2 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 2 B 乃至図 1 2 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 3 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 3 B 乃至図 1 3 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 4 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 4 B 乃至図 1 4 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 5 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 5 B 乃至図 1 5 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 6 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 6 B 乃至図 1 6 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 7 は本発明の一態様であるマイクロ波処理装置を説明する上面図である。

図 1 8 は本発明の一態様であるマイクロ波処理装置を説明する断面図である。

図 1 9 は本発明の一態様であるマイクロ波処理装置を説明する断面図である。

図 2 0 は本発明の一態様であるマイクロ波処理装置を説明する断面図である。

図 2 1 A は本発明の一態様である半導体装置の上面図である。図 2 1 B 乃至図 2 1 D は本発明の一態様である半導体装置の断面図である。

図 2 2 A は本発明の一態様である半導体装置の上面図である。図 2 2 B 乃至図 2 2 D は本発明の一態様である半導体装置の断面図である。

図 2 3 A および図 2 3 B は本発明の一態様である半導体装置の断面図である。

図 2 4 は本発明の一態様である記憶装置の構成を示す断面図である。

図 2 5 は本発明の一態様である記憶装置の構成を示す断面図である。

図 2 6 は本発明の一態様である半導体装置の断面図である。

図 2 7 A および図 2 7 B は本発明の一態様である半導体装置の断面図である。

図 2 8 は本発明の一態様である半導体装置の断面図である。

図 2 9 は本発明の一態様である半導体装置の断面図である。

図 3 0 A は本発明の一態様である記憶装置の構成例を示すブロック図である。図 3 0 B は本発明の一態様である記憶装置の構成例を示す模式図である。

図 3 1 A 乃至図 3 1 H は本発明の一態様である記憶装置の構成例を示す回路図である。

図 3 2 は各種の記憶装置を階層ごとに示す図である。

図 3 3 A および図 3 3 B は本発明の一態様である半導体装置の模式図である。

図 3 4 A および図 3 4 B は電子部品の一例を説明する図である。

図 3 5 A 乃至図 3 5 E は本発明の一態様である記憶装置の模式図である。

図 3 6 A 乃至図 3 6 H は本発明の一態様である電子機器を示す図である。

図 3 7 は、本実施例に係るサンプルの電気特性を示す図である。

図 3 8 A 乃至図 3 8 C は、本実施例に係る動作周波数の算出方法を説明する模式図である。

図 3 9 は、本実施例に係るサンプルの動作周波数を計算した結果を示す図である。

図 4 0 A および図 4 0 B は、本実施例に係るサンプルの電気特性を示す図である。

図 4 1 A および図 4 1 B は、本実施例に係るサンプルの模式図である。

図 4 2 A および図 4 2 B は、本実施例に係るサンプルのシート抵抗を示す図である。

図 4 3 A および図 4 3 B は、本実施例に係るサンプルのシート抵抗を示す図である。

図 4 4 A および図 4 4 B は、本実施例に係るサンプルの水素濃度を示す図である。

図 4 5 は、本実施例に係るサンプルの模式図である。

図 4 6 は、本実施例に係るサンプルのキャリア濃度を示す図である。

図 4 7 は、本実施例に係るサンプルの模式図である。

図 4 8 A および図 4 8 B は、本実施例に係るサンプルの CPM スペクトルを示す図である。

図 4 9 A は、本実施例に係るサンプルの吸収係数を示す図である。図 4 9 B は、本実施例に係るサンプルのキャリア濃度を示す図である。

図 5 0 A は、本実施例に係るサンプルの吸収係数を示す図である。図 5 0 B は、本実施例に係るサンプルのキャリア濃度を示す図である。

図 5 1 は、本実施例に係るサンプルの模式図である。

図 5 2 は、本実施例に係るサンプルの断面 S T E M 像である。

図 5 3 A および図 5 3 B は、本実施例に係るサンプルの S C M 極性像である。

発明を実施するための形態

[0 0 2 9]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を

様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0030]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0031]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0032]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0033]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0034]

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0035]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0036]

また、明細書や図面などの記載と異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには、ソースとドレインのそれぞれの機能が互いに入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0037]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0038]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0039]

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0040]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0041]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0042]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.

1 原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V o : o x y g e n v a c a n c yともいう）が形成される場合がある。

[0043]

なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、酸化窒化シリコンは、その組成として、窒素よりも酸素の含有量が多い。また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、窒化酸化シリコンは、その組成として、酸素よりも窒素の含有量が多い。

[0044]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0045]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0046]

本明細書等において、金属酸化物（m e t a l o x i d e）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（O x i d e S e m i c o n d u c t o rまたは単にOSともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0047]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりのドレイン電流が、室温において $1\times 10^{-20}\text{A}$ 以下、 85°C において $1\times 10^{-18}\text{A}$ 以下、または 125°C において $1\times 10^{-16}\text{A}$ 以下であることをいう。

[0048]

（実施の形態1）

本実施の形態では、図1乃至図23を用いて、本発明の一態様に係るトランジスタ200を有する半導体装置の一例、およびその作製方法について説明する。

[0049]

<半導体装置の構成例>

図1 A乃至図1 Dを用いて、トランジスタ200を有する半導体装置の構成を説明する。図1 Aは、当該半導体装置の上面図である。また、図1 B乃至図1 Dは、当該半導体装置の断面図である。ここで、図1 Bは、図1 AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図1 Cは、図1 AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、図1 Dは、図1 AにA5-A6の一点鎖線で示す部位の断面図である。なお、図1 Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0050]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のトランジスタ200と、トランジスタ200上の絶縁体280と、絶縁体280上の絶縁体282と、絶縁体282上の絶縁体283と、を有する。絶縁体212、絶縁体214、絶縁体280、絶縁体282、および絶縁体283は層間膜として機能する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240（導電体240a、および導電体240b）を有する。なお、プラグとして機能する導電体240の側面に接して絶縁体241（絶縁体241a、および絶縁体241b）が設けられる。また、絶縁体283上、および導電体240上には、導電体240と電氣的に接続し、配線として機能する導電体246（導電体246a、および導電体246b）が設けられる。また、導電体246上、および絶縁体283上には、絶縁体286が設けられる。

[0051]

絶縁体280、絶縁体282、および絶縁体283の開口の内壁に接して絶縁体241aが設けられ、絶縁体241aの側面に接して導電体240aの第1の導電体が設けられ、さらに内側に導電体240aの第2の導電体が設けられている。また、絶縁体280、絶縁体282、および絶縁体283の開口の内壁に接して絶縁体241bが設けられ、絶縁体241bの側面に接して導電体240bの第1の導電体が設けられ、さらに内側に導電体240bの第2の導電体が設けられている。ここで、導電体240の上面の高さと、導電体246と重なる領域の、絶縁体283の上面の高さと、は同程度にできる。なお、トランジスタ200では、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0052]

[トランジスタ200]

図1 A乃至図1 Dに示すように、トランジスタ200は、絶縁体214上の絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205（導電体205a、導電体205b、および導電体205c）と、絶縁体216上、および導電体205上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物243（酸化物243a、および酸化物243b）と、酸化物243a上の導電体242aと、導電体242a上の絶縁体271aと、絶縁体271a上の絶縁体273aと、酸化物243b上の導電体242bと、導電体242b上の絶縁体271bと、絶縁体271b上の絶縁体273bと、酸化物230b上の絶縁体250と、絶縁体250上に位置し、

酸化物 230b の一部と重なる導電体 260（導電体 260a、および導電体 260b）と、酸化物 230b の側面、酸化物 243a の側面および導電体 242a の側面に接する絶縁体 272a と、酸化物 230b の側面、酸化物 243b の側面および導電体 242b の側面に接する絶縁体 272b と、絶縁体 224、絶縁体 272a、絶縁体 272b、絶縁体 273a、および絶縁体 273b の上に配置される絶縁体 275 と、を有する。ここで、図 1B および図 1C に示すように、導電体 260 の上面は、絶縁体 250 の上面の少なくとも一部、および絶縁体 280 の上面の少なくとも一部と、高さが略一致するように配置される。また、絶縁体 282 は、導電体 260、絶縁体 250、および絶縁体 280 のそれぞれの上面の少なくとも一部と接する。

[0053]

なお、以下において、酸化物 230a と酸化物 230b をまとめて酸化物 230 と呼ぶ場合がある。また、絶縁体 271a と絶縁体 271b をまとめて絶縁体 271 と呼ぶ場合がある。また、絶縁体 272a と絶縁体 272b をまとめて絶縁体 272 と呼ぶ場合がある。また、絶縁体 273a と絶縁体 273b をまとめて絶縁体 273 と呼ぶ場合がある。また、導電体 242a と導電体 242b をまとめて導電体 242 と呼ぶ場合がある。

[0054]

絶縁体 280 および絶縁体 275 には、酸化物 230b に達する開口が設けられる。当該開口内に、絶縁体 250、および導電体 260 が配置されている。また、トランジスタ 200 のチャネル長方向において、絶縁体 271a、絶縁体 273a、導電体 242a および酸化物 243a と、絶縁体 271b、絶縁体 273b、導電体 242b および酸化物 243b と、の間に導電体 260、および絶縁体 250 が設けられている。絶縁体 250 は、導電体 260 の側面と接する領域と、導電体 260 の底面と接する領域と、を有する。

[0055]

酸化物 230 は、絶縁体 224 の上に配置された酸化物 230a と、酸化物 230a の上に配置された酸化物 230b と、を有することが好ましい。酸化物 230b の下に酸化物 230a を有することで、酸化物 230a よりも下方に形成された構造物から、酸化物 230b への不純物の拡散を抑制することができる。

[0056]

なお、トランジスタ 200 では、酸化物 230 が、酸化物 230a、および酸化物 230b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230b の単層、または 3 層以上の積層構造を設ける構成にしてもよいし、酸化物 230a、および酸化物 230b のそれぞれが積層構造を有していてもよい。

[0057]

導電体 260 は、第 1 のゲート（トップゲートともいう。）電極として機能し、導電体 205 は、第 2 のゲート（バックゲートともいう。）電極として機能する。また、絶縁体 250 は、第 1 のゲート絶縁体として機能し、絶縁体 224 は、第 2 のゲート絶縁体として機能する。また、導電体 242a は、ソースまたはドレインの一方として機能し、導電体 242b は、ソースまたはドレインの他方として機能する。また、酸化物 230 の導電体 260 と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

[0058]

ここで、図 1B におけるチャネル形成領域近傍の拡大図を図 2 に示す。図 2 に示すように、酸化

物 230b は、トランジスタ 200 のチャネル形成領域として機能する領域 230bc と、領域 230bc を挟むように設けられ、ソース領域またはドレイン領域として機能する、一对の領域 230ba および領域 230bb と、を有する。領域 230bc は、少なくとも一部が導電体 260 と重畳している。言い換えると、領域 230bc は、一对の導電体 242a と導電体 242b の間の領域に設けられている。領域 230ba は、導電体 242a に重畳して設けられており、領域 230bb は、導電体 242b に重畳して設けられている。

[0059]

チャネル形成領域として機能する領域 230bc は、領域 230ba および領域 230bb よりも、酸素欠損が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。また、ソース領域またはドレイン領域として機能する領域 230ba および領域 230bb は、酸素欠損が多く、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域 230ba および領域 230bb は、領域 230bc と比較して、キャリア濃度が高く、低抵抗な領域である。

[0060]

ここで、チャネル形成領域として機能する領域 230bc のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域 230bc のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0061]

また、ソース領域またはドレイン領域として機能する領域 230ba および領域 230bb のキャリア濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましく、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることがより好ましく、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることがさらに好ましい。なお、ソース領域またはドレイン領域として機能する領域 230ba および領域 230bb のキャリア濃度の上限値については、特に限定は無いが、例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ とすることができる。

[0062]

また、領域 230bc と、領域 230ba または領域 230bb との間に、キャリア濃度が、領域 230ba および領域 230bb のキャリア濃度と同等、またはそれよりも低く、領域 230bc のキャリア濃度と同等、またはそれよりも高い、領域が形成される場合がある。つまり、当該領域は、領域 230bc と、領域 230ba または領域 230bb との接合領域として機能する。当該接合領域は、水素濃度が、領域 230ba および領域 230bb の水素濃度と同等、またはそれよりも低く、領域 230bc の水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域 230ba および領域 230bb の酸素欠損と同等、またはそれよりも少なく、領域 230bc の酸素欠損と同等、またはそれよりも多くなる場合がある。

[0063]

なお、図 2 では、領域 230ba、領域 230bb、および領域 230bc が酸化物 230b に形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物 230b だけでなく、酸化物 230a まで形成されてもよい。

[0064]

また、酸化物 230 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0065]

トランジスタ 200 は、チャネル形成領域を含む酸化物 230（酸化物 230 a、および酸化物 230 b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0066]

また、半導体として機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0067]

酸化物 230 として、例えば、インジウム、元素 M および亜鉛を有する I_n-M-Z_n 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、 I_n-Ga 酸化物、 I_n-Z_n 酸化物、インジウム酸化物を用いてもよい。

[0068]

ここで、酸化物 230 b に用いる金属酸化物における、元素 M に対する I_n の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する I_n の原子数比より大きいことが好ましい。

[0069]

このように、酸化物 230 b の下に酸化物 230 a を配置することで、酸化物 230 a よりも下方に形成された構造物からの、酸化物 230 b に対する、不純物および酸素の拡散を抑制することができる。

[0070]

また、酸化物 230 a および酸化物 230 b が、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物 230 a と酸化物 230 b の界面における欠陥準位密度が低くすることができる。酸化物 230 a と酸化物 230 b との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0071]

酸化物 230 b は、それぞれ結晶性を有することが好ましい。特に、酸化物 230 b として、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。

[0072]

CAAC-OS は、結晶性の高い、緻密な構造を有しており、不純物や欠陥（例えば、酸素欠損 (V_o) など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化

しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0073]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0074]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物または酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

[0075]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_OH を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ200のオン電流の低下、または電界効果移動度の低下を引き起こす恐れがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内ではばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0076]

よって、酸化物半導体中において、チャネル形成領域として機能する領域230bcは、キャリア濃度が低減され、i型または実質的にi型であることが好ましい。一方、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域230bcの酸素欠損、および V_OH を低減し、領域230baおよび領域230bbには過剰な量の酸素が供給されないようにすることが好ましい。

[0077]

そこで、本実施の形態では、酸化物230b上に導電体242aおよび導電体242bを設けた状態で、酸素を含む雰囲気マイクロ波処理を行い、領域230bcの酸素欠損、および V_OH の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz以上300GHz以下の周波数を有する電磁波を指す場合がある。

[0078]

酸素を含む雰囲気マイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、

またはRF等の高周波を領域230bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域230bcの V_OH を分断することができる。これにより、水素Hを領域230bcから除去し、酸素欠損 V_O を酸素で補填することができる。つまり、領域230bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域230bcの水素濃度を低減することができる。よって、領域230bc中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

[0079]

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、RF等の高周波、酸素プラズマなどの作用は、導電体242aおよび導電体242bに遮蔽され、領域230baおよび領域230bbには及ばない。つまり、導電体242は、マイクロ波、RF等の高周波、酸素プラズマなどに対する遮蔽膜として機能する。さらに、酸素プラズマの作用は、酸化物230b、および導電体242を覆って設けられている、絶縁体271、絶縁体273、絶縁体275、および絶縁体280によって、低減することができる。これにより、マイクロ波処理の際に、領域230baおよび領域230bbで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0080]

このようにして、酸化物半導体の領域230bcで選択的に酸素欠損、および V_OH を除去して、領域230bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ200の電気特性の変動を抑制し、基板面内でトランジスタ200の電気特性がばらつくのを抑制することができる。

[0081]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0082]

なお、図1などにおいて、導電体260等を埋め込む開口の側面が、酸化物230bの溝部も含めて、酸化物230bの被形成面に対して概略垂直となっているが、本実施の形態はこれに限られるものではない。例えば、当該開口の底部が緩やかな曲面を有する、U字型の形状となってもよい。また、例えば、当該開口の側面が酸化物230bの被形成面に対して傾斜していてもよい。

[0083]

また、図1Cに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（ラウンド状ともいう。）。

[0084]

上記湾曲面での曲率半径は、0nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体250および導電体260の、酸化物230bへの被覆性を高めることができる。

[0085]

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0086]

また、酸化物230bは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0087]

ここで、酸化物230aと酸化物230bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230aと酸化物230bの接合部における伝導帯下端は、連続的に変化するまたは連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0088]

具体的には、酸化物230aと酸化物230bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-M-Zn酸化物の場合、酸化物230aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

[0089]

具体的には、酸化物230aとして、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、In:M:Zn=1:1:1 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=4:2:3 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0090]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0091]

酸化物230aおよび酸化物230bを上述の構成とすることで、酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア

伝導への影響が小さくなり、トランジスタ 200 は大きいオン電流、および高い周波数特性を得ることができる。

[0092]

絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ 200 の上方からトランジスタ 200 に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0093]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）のことを指す。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能のことを指す。

[0094]

絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体 212、絶縁体 271、絶縁体 272、絶縁体 283、および絶縁体 286 として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体 214、絶縁体 275、および絶縁体 282 として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウム、などを用いることが好ましい。これにより、水、水素などの不純物が絶縁体 212、および絶縁体 214 を介して、基板側からトランジスタ 200 側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体 286 よりも外側に配置されている層間絶縁膜などから、トランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 212、および絶縁体 214 を介して基板側に、拡散するのを抑制することができる。または、絶縁体 280 などに含まれる酸素が、絶縁体 282 などを介してトランジスタ 200 より上方に、拡散するのを抑制することができる。この様に、トランジスタ 200 を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 で取り囲む構造とすることが好ましい。

[0095]

ここで、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x (x は 0 より大きい任意数)、または MgO_y (y は 0 より大きい任意数) などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化

物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ 200 の構成要素として用いる、またはトランジスタ 200 の周囲に設けることで、トランジスタ 200 に含まれる水素、またはトランジスタ 200 の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ 200 のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ 200 の構成要素として用いる、またはトランジスタ 200 の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

[0096]

また、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

[0097]

絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を用いなくてよいので、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 275、絶縁体 282、絶縁体 283、および絶縁体 286 の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法などを適宜用いてもよい。

[0098]

また、絶縁体 212、絶縁体 283、および絶縁体 286 の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体 212、絶縁体 283、および絶縁体 286 の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体 212、絶縁体 283、および絶縁体 286 が、導電体 205、導電体 242、導電体 260、または導電体 246 のチャージアップを緩和することができる場合がある。絶縁体 212、絶縁体 283、および絶縁体 286 の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0099]

また、絶縁体 216、および絶縁体 280 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216、および絶縁体 280 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0100]

導電体 205 は、酸化物 230、および導電体 260 と、重なるように配置する。ここで、導電

体 205 は、絶縁体 216 に形成された開口に埋め込まれて設けることが好ましい。なお、導電体 205 の一部が、絶縁体 214 に埋め込まれるように設けられてもよい。

[0101]

導電体 205 は、導電体 205 a、導電体 205 b、および導電体 205 c を有する。導電体 205 a は、当該開口の底面および側壁に接して設けられる。導電体 205 b は、導電体 205 a に形成された凹部に埋め込まれるように設けられる。ここで、導電体 205 b の上面は、導電体 205 a の上面および絶縁体 216 の上面より低くなる。導電体 205 c は、導電体 205 b の上面、および導電体 205 a の側面に接して設けられる。ここで、導電体 205 c の上面の高さは、導電体 205 a の上面の高さおよび絶縁体 216 の上面の高さと略一致する。つまり、導電体 205 b は、導電体 205 a および導電体 205 c に包み込まれる構成になる。

[0102]

ここで、導電体 205 a および導電体 205 c は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0103]

導電体 205 a および導電体 205 c に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体 205 b に含まれる水素などの不純物が、絶縁体 224 等を介して、酸化物 230 に拡散するのを防ぐことができる。また、導電体 205 a および導電体 205 c に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 205 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205 a および導電体 205 c としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 205 a および導電体 205 c は、窒化チタンを用いればよい。

[0104]

また、導電体 205 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体 205 b は、タングステンを用いればよい。

[0105]

導電体 205 は、第 2 のゲート電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と連動させず、独立して変化させることで、トランジスタ 200 のしきい値電圧 (V_{th}) を制御することができる。特に、導電体 205 に負の電位を印加することにより、導電体 205 に電位を印加しない場合よりトランジスタ 200 の V_{th} を大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0106]

また、導電体 205 の電気抵抗率は、上記の導電体 205 に印加する電位を考慮して設計され、導電体 205 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 216 の膜厚は、導電体 205 とほぼ同じになる。ここで、導電体 205 の設計が許す範囲で導電体 205 および絶縁体

216の膜厚を薄くすることが好ましい。絶縁体216の膜厚を薄くすることで、絶縁体216中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物230に拡散するのを低減することができる。

[0107]

なお、導電体205は、図1Aに示すように、酸化物230の導電体242aおよび導電体242bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230aおよび酸化物230bのチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel* (S-channel) 構造とよぶ。

[0108]

なお、本明細書等において、S-channel構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0109]

また、図1Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

[0110]

なお、トランジスタ200では、導電体205は、導電体205a、導電体205b、および導電体205cを積層する構成について示しているが、本発明はこれに限られるものではない。導電体205は、単層、2層または4層以上の積層構造として設ける構成にしてもよい。例えば、導電体205aと導電体205bの2層構造にしてもよい。

[0111]

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

[0112]

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0113]

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウ

ムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230から基板側への酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ200の内側へ拡散することを抑制し、酸化物230中の酸素欠損の生成を抑制することができる。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0114]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体222は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0115]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、（Ba, Sr） TiO_3 （BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0116]

酸化物230と接する絶縁体224は、過剰酸素を含む（加熱により酸素を脱離する）ことが好ましい。例えば、絶縁体224は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0117]

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0118]

また、トランジスタ200の作製工程中において、酸化物230の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 600°C 以下、より好ましくは 350°C 以上 550°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230に酸素を供給して、酸素欠損（ V_O ）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、

加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0119]

なお、酸化物230に加酸素化処理を行うことで、酸化物230中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物230中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物230中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[0120]

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体224は、酸化物230aと重畳して島状に形成してもよい。この場合、絶縁体275が、絶縁体224の側面および絶縁体222の上面に接する構成になる。

[0121]

酸化物243a、および酸化物243bが、酸化物230b上に設けられる。酸化物243aと酸化物243bは、導電体260を挟んで離隔して設けられる。

[0122]

酸化物243（酸化物243a、および酸化物243b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体242と酸化物230bとの間に酸素の透過を抑制する機能を有する酸化物243を配置することで、導電体242と、酸化物230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性およびトランジスタ200の信頼性を向上させることができる。なお、導電体242と酸化物230bの間の電気抵抗を十分低減できる場合、酸化物243を設けない構成にしてもよい。

[0123]

酸化物243として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物243は、酸化物230bよりも元素Mの濃度が高いことが好ましい。また、酸化物243として、酸化ガリウムを用いてもよい。また、酸化物243として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物243に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物243の膜厚は、0.5nm以上5nm以下が好ましく、より好ましくは1nm以上3nm以下、さらに好ましくは1nm以上2nm以下である。また、酸化物243は、結晶性を有すると好ましい。酸化物243が結晶性を有する場合、酸化物230中の酸素の放出を好適に抑制することが出来る。例えば、酸化物243としては、六方晶などの結晶構造であれば、酸化物230中の酸素の放出を抑制できる場合がある。

[0124]

導電体242aは酸化物243aの上面に接して設けられ、導電体242bは、酸化物243b

の上面に接して設けられることが好ましい。導電体 242a および導電体 242b は、それぞれトランジスタ 200 のソース電極またはドレイン電極として機能する。

[0125]

導電体 242（導電体 242a、および導電体 242b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0126]

ここで、導電体 242 として、応力が大きい膜を用いてもよく、例えば、スパッタリング法を用いて成膜した窒化タンタルを用いればよい。導電体 242 の応力によって、領域 230ba および領域 230bb の結晶構造に歪みが生じることで、これらの領域に酸素欠損 V_O が形成されやすくなる。これにより、領域 230ba および領域 230bb に生じる V_OH の量が増えるので、領域 230ba および領域 230bb のキャリア濃度を増加させ、n 型にすることができる。

[0127]

導電体 242 は、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、RF 等の高周波、酸素プラズマなどの作用に対する遮蔽膜として機能することが好ましい。このため、導電体 242 は、300MHz 以上 300GHz 以下、例えば、2.4GHz 以上 2.5GHz 以下の電磁波を遮蔽する機能を有することが好ましい。

[0128]

なお、酸化物 230b などに含まれる水素が、導電体 242a または導電体 242b に拡散する場合がある。特に、導電体 242a および導電体 242b に、タンタルを含む窒化物を用いることで、酸化物 230b などに含まれる水素は、導電体 242a または導電体 242b に拡散しやすく、拡散した水素は、導電体 242a または導電体 242b が有する窒素と結合することがある。つまり、酸化物 230b などに含まれる水素は、導電体 242a または導電体 242b に吸い取られる場合がある。

[0129]

また、導電体 242 の側面と導電体 242 の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体 242 とすることで、図 1D に示すような、チャネル幅方向の断面における、導電体 242 の断面積を大きくすることができる。これにより、導電体 242 の導電率を大きくし、トランジスタ 200 のオン電流を大きくすることができる。

[0130]

絶縁体 271a は、導電体 242a の上面に接して設けられており、絶縁体 271b は、導電体 242b の上面に接して設けられている。絶縁体 271 は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 271 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 271 は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 271 としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。

[0131]

絶縁体273aは、絶縁体271aの上面に接して設けられており、絶縁体273bは、絶縁体271bの上面に接して設けられている。また、絶縁体273aの上面は絶縁体275に接し、絶縁体273aの側面は絶縁体250に接することが好ましい。また、絶縁体273bの上面は絶縁体275に接し、絶縁体273bの側面は絶縁体250に接することが好ましい。絶縁体273は、絶縁体224と同様に、過剰酸素領域または過剰酸素を有することが好ましい。また、絶縁体273中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体273は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコンなどのシリコンを含む酸化物または窒化物を適宜用いればよい。過剰酸素を有する絶縁体を絶縁体250に接して設けることにより、絶縁体250を介して酸化物230に拡散した酸素が、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0132]

なお、絶縁体224および絶縁体280から酸化物230に十分な酸素を供給できる場合、絶縁体273を設けない構成にしてもよい。

[0133]

絶縁体272aは、酸化物230a、酸化物230b、酸化物243a、導電体242a、絶縁体271a、および絶縁体273aの側面に接して設けられており、絶縁体272bは、酸化物230a、酸化物230b、酸化物243b、導電体242b、絶縁体271b、および絶縁体273bの側面に接して設けられる。また、絶縁体272aおよび絶縁体272bは、絶縁体224の上面に接して設けられる。絶縁体272は少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体272は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体272は、絶縁体280よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体272としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。

[0134]

上記のような絶縁体271および絶縁体272を設けることで、酸素に対するバリア性を有する絶縁体で導電体242を包み込むことができる。つまり、絶縁体275成膜時に添加される酸素、または絶縁体273に含まれる酸素が、導電体242に拡散するのを防ぐことができる。これにより、絶縁体275成膜時に添加される酸素、または絶縁体273に含まれる酸素などによって、導電体242が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0135]

なお、図1Bなどにおいて、絶縁体272が、酸化物230a、酸化物230b、酸化物243、導電体242、絶縁体271、および絶縁体273の側面に接する構成について示したが、絶縁体272は、少なくとも絶縁体271および導電体242の側面に接していればよい。例えば、絶縁体272が酸化物230a、酸化物230b、酸化物243、導電体242、および絶縁体271の側面に接し、絶縁体273に接していない構成になる場合もある。この場合、絶縁体273の側面が絶縁体275に接することになる。

[0136]

なお、絶縁体275が酸素などに対して十分なバリア性を有する場合、絶縁体271および絶縁体272の一方または両方を設けない構成にしてもよい。

[0137]

絶縁体 2 7 5 は、絶縁体 2 2 4、絶縁体 2 7 2、および絶縁体 2 7 3 を覆って設けられており、絶縁体 2 5 0、および導電体 2 6 0 が設けられる領域に開口が形成されている。絶縁体 2 7 5 は、絶縁体 2 2 4 の上面、絶縁体 2 7 2 の側面、および絶縁体 2 7 3 の上面に接して設けられることが好ましい。また、絶縁体 2 7 5 は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体 2 7 5 は、水、水素などの不純物が、上方から絶縁体 2 2 4、または絶縁体 2 7 3 に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。絶縁体 2 7 5 としては、例えば、酸化アルミニウム、または窒化シリコンなどの絶縁体を単層で、または積層して用いればよい。

[0138]

絶縁体 2 1 2 と絶縁体 2 8 3 に挟まれた領域内で、絶縁体 2 8 0、絶縁体 2 2 4、または絶縁体 2 7 3 に接して、水素などの不純物を捕獲する機能を有する、絶縁体 2 7 5 を設けることで、絶縁体 2 8 0、絶縁体 2 2 4、または絶縁体 2 7 3 などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。この場合は、絶縁体 2 7 5 として、酸化アルミニウムなどを用いることが好ましい。

[0139]

絶縁体 2 5 0 は、ゲート絶縁体として機能する。絶縁体 2 5 0 は、酸化物 2 3 0 b の上面に接して配置することが好ましい。絶縁体 2 5 0 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0140]

絶縁体 2 5 0 は、絶縁体 2 2 4 と同様に、絶縁体 2 5 0 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 2 5 0 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

[0141]

なお、図 1 B および図 1 C では、絶縁体 2 5 0 を単層で図示したが、2 層以上の積層構造としてもよい。絶縁体 2 5 0 を 2 層の積層構造とする場合、絶縁体 2 5 0 の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体 2 5 0 の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 2 5 0 の下層に含まれる酸素が、導電体 2 6 0 へ拡散するのを抑制することができる。つまり、酸化物 2 3 0 へ供給する酸素量の減少を抑制することができる。また、絶縁体 2 5 0 の下層に含まれる酸素による導電体 2 6 0 の酸化を抑制することができる。例えば、絶縁体 2 5 0 の下層は、上述した絶縁体 2 5 0 に用いることができる材料を用いて設け、絶縁体 2 5 0 の上層は、絶縁体 2 2 2 と同様の材料を用いて設けることができる。

[0142]

なお、絶縁体 2 5 0 の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体 2 5 0 の上層は、比誘電率が高い *h i g h - k* 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、そのような絶縁体 2 5 0 の下層と絶縁体 2 5 0 の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0143]

絶縁体250の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物230として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。例えば、絶縁体250の上層として酸化ハフニウムを用いればよい。

[0144]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0145]

なお、上記金属酸化物は、第1のゲート電極の一部としての機能を有する構成にしてもよい。例えば、酸化物230として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体260aをスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0146]

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0147]

導電体260は、トランジスタ200の第1のゲート電極として機能する。導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面および側面を包むように配置されることが好ましい。また、図1Bおよび図1Cに示すように、導電体260の上面の最上部は、絶縁体250の上面の最上部と略一致している。なお、図1Bおよび図1Cでは、導電体260は、導電体260aと導電体260bの2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0148]

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0149]

また、導電体 260 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0150]

また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260 b は積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

[0151]

また、トランジスタ 200 では、導電体 260 は、絶縁体 280 などに形成されている開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 242 a と導電体 242 b との間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

[0152]

また、図 1C に示すように、トランジスタ 200 のチャネル幅方向において、絶縁体 222 の底面を基準としたときの、導電体 260 の、導電体 260 と酸化物 230 b とが重ならない領域の底面の高さは、酸化物 230 b の底面の高さより低いことが好ましい。ゲート電極として機能する導電体 260 が、絶縁体 250 などを介して、酸化物 230 b のチャネル形成領域の側面および上面を覆う構成とすることで、導電体 260 の電界を酸化物 230 b のチャネル形成領域全体に作用させやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。絶縁体 222 の底面を基準としたときの、酸化物 230 a および酸化物 230 b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さと、酸化物 230 b の底面の高さと、の差は、0 nm 以上 100 nm 以下、好ましくは、3 nm 以上 50 nm 以下、より好ましくは、5 nm 以上 20 nm 以下とする。

[0153]

絶縁体 280 は、絶縁体 275 上に設けられ、絶縁体 250、および導電体 260 が設けられる領域に開口が形成されている。また、絶縁体 280 の上面は、平坦化されていてもよい。

[0154]

層間膜として機能する絶縁体 280 は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 280 は、例えば、絶縁体 216 と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0155]

絶縁体 280 は、絶縁体 224 と同様に、過剰酸素領域または過剰酸素を有することが好ましい。また、絶縁体 280 中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体 280 は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。過剰酸素を有する絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を

低減し、トランジスタ 200 の信頼性を向上させることができる。

[0156]

絶縁体 282 は、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体 282 は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体 282 としては、例えば、酸化アルミニウムなどの絶縁体を用いればよい。絶縁体 212 と絶縁体 283 に挟まれた領域内で、絶縁体 280 に接して、水素などの不純物を捕獲する機能を有する、絶縁体 282 を設けることで、絶縁体 280 などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。

[0157]

絶縁体 283 は、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体 283 は、絶縁体 282 の上に配置される。絶縁体 283 としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体 283 としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体 283 をスパッタリング法で成膜することで、密度が高く、鬆などが形成されにくい窒化シリコン膜を形成することができる。また、絶縁体 283 として、スパッタリング法で成膜された窒化シリコンの上に、さらに、CVD 法で成膜された窒化シリコンを積層してもよい。

[0158]

導電体 240 a および導電体 240 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 240 a および導電体 240 b は積層構造としてもよい。

[0159]

また、導電体 240 を積層構造とする場合、絶縁体 283、絶縁体 282、絶縁体 280、絶縁体 275、絶縁体 273、および絶縁体 271 と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体 283 より上層に含まれる水、水素などの不純物が、導電体 240 a および導電体 240 b を通じて酸化物 230 に混入するのを抑制することができる。

[0160]

絶縁体 241 a および絶縁体 241 b としては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 241 a および絶縁体 241 b は、絶縁体 283、絶縁体 282、絶縁体 275、および絶縁体 271 に接して設けられるので、絶縁体 280 などに含まれる水、水素などの不純物が、導電体 240 a および導電体 240 b を通じて酸化物 230 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するバリア性が高いので好適である。また、絶縁体 280 に含まれる酸素が導電体 240 a および導電体 240 b に吸収されるのを防ぐことができる。

[0161]

また、導電体 240 a の上面、および導電体 240 b の上面に接して配線として機能する導電体 246（導電体 246 a、および導電体 246 b）を配置してもよい。導電体 246 は、タングス

テン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0162]

絶縁体286は、導電体246上、および絶縁体283上に設けられる。これにより、導電体246の上面、および導電体246の側面は、絶縁体286と接し、導電体246の下面は、絶縁体283と接する。つまり、導電体246は、絶縁体283、および絶縁体286で包まれる構成とすることができる。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体246の酸化を防止することができる。また、導電体246から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

[0163]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0164]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0165]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0166]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0167]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、ア

ルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0168]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0169]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0170]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0171]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0172]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素

を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0173]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0174]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタンまたは窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0175]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230および酸化物243に適用可能な金属酸化物について説明する。

[0176]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0177]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0178]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）

と総称する場合がある。また、窒素を有する金属酸化物を、金属酸化窒化物 (metal oxy nitride) と呼称してもよい。

[0179]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図3Aを用いて説明を行う。図3Aは、酸化物半導体、代表的にはIGZO (Inと、Gaと、Znと、を含む金属酸化物) の結晶構造の分類を説明する図である。

[0180]

図3Aに示すように、酸化物半導体は、大きく分けて「Amorphous (無定形)」と、「Crystalline (結晶性)」と、「Crystal (結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、及びCAC (cloud-aligned composite) が含まれる (excluding single crystal and poly crystal)。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0181]

なお、図3Aに示す太枠内の構造は、「Amorphous (無定形)」と、「Crystal (結晶)」との間の中間状態であり、新しい境界領域 (New crystalline phase) に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous (無定形)」や、「Crystal (結晶)」とは全く異なる構造と言い換えることができる。

[0182]

なお、膜または基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD (Grazing-Incidence XRD) 測定で得られるXRDスペクトルを図3Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図3Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図3Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、図3Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0183]

図3Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図3Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0184]

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パター

ンともいう。)にて評価することができる。CAAC-IGZO膜の回折パターンを、図3Cに示す。図3Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図3Cに示すCAAC-IGZO膜の組成は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0185]

図3Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0186]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図3Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

[0187]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0188]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0189]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0190]

また、 In-M-Zn 酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種)において、CAAC-OSは、インジウム(In)、及び酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、及び酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、イン

ジウムと元素Mは、互いに置換可能である。よって、(M, Zn) 層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0191]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置 (2θ の値) は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0192]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0193]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0194]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲され、トランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0195]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0196]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。

なお、当該微小な結晶の大きさは、例えば、1 nm以上10 nm以下、特に1 nm以上3 nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0197]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0198]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0199]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0200]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0201]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[I

n] が、第2の領域における [I n] よりも大きく、且つ、[G a] が、第2の領域における [G a] よりも小さい領域である。また、第2の領域は、[G a] が、第1の領域における [G a] よりも大きく、且つ、[I n] が、第1の領域における [I n] よりも小さい領域である。

[0202]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、I nを主成分とする領域と言い換えることができる。また、上記第2の領域を、G aを主成分とする領域と言い換えることができる。

[0203]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0204]

例えば、I n-G a-Z n酸化物におけるCAC-OSでは、エネルギー分散型X線分光法 (EDX: Energy Dispersive X-ray spectroscopy) を用いて取得したEDXマッピングにより、I nを主成分とする領域 (第1の領域) と、G aを主成分とする領域 (第2の領域) とが、偏在し、混合している構造を有することが確認できる。

[0205]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能 (On/Offさせる機能) をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流 (I_{on})、高い電界効果移動度 (μ)、および良好なスイッチング動作を実現することができる。

[0206]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0207]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0208]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0209]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度

の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0210]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0211]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0212]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0213]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0214]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0215]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0216]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0217]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素

欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0218]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0219]

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0220]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0221]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0222]

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0223]

<半導体装置の作製方法>

次に、図1A乃至図1Dに示す、本発明の一態様である半導体装置の作製方法を、図4A乃至図16A、図4B乃至図16B、図4C乃至図16C、および図4D乃至図16Dを用いて説明する。
[0224]

図4A乃至図16Aは上面図を示す。また、図4B乃至図16Bは、図4A乃至図16Aに示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図4C乃至図16Cは、図4A乃至図16AにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図4D乃至図16Dは、図4A乃至図16AにA5-A6の一点鎖線で示す部位の断面図である。なお、図4A乃至図16Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0225]

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて成膜することができる。

[0226]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0227]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法（プラズマ化学気相成長法と呼ぶ場合もある。）、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法（有機金属化学気相成長法と呼ぶ場合もある。）に分けることができる。

[0228]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0229]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法などを用いることができる。

[0230]

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0231]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0232]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0233]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体212を成膜する（図4A乃至図4D参照。）。絶縁体212の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体212中の水素濃度を低減することができる。ただし、絶縁体212の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

[0234]

本実施の形態では、絶縁体212として、窒素ガスを含む雰囲気でシリコンターゲットを用いて、パルスDCスパッタリング法で窒化シリコンを成膜する。パルスDCスパッタリング法を用いることで、ターゲット表面のアーキングによるパーティクルの発生を抑制することができるので、膜厚分布をより均一にすることができる。また、パルス電圧を用いることで、高周波電圧より、放電の立ち上がり、立ち下がり之急峻にすることができる。これにより、電極に電力をより効率的に供給し、スパッタレート、および膜質を向上することができる。

[0235]

窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体212より下層に含まれる水、水素などの不純物の拡散を抑制することができる。また、絶縁体2

12として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層（図示しない。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体212を介して上方に拡散するのを抑制することができる。

[0236]

次に、絶縁体212上に絶縁体214を成膜する（図4A乃至図4D参照。）。絶縁体214の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体214中の水素濃度を低減することができる。ただし、絶縁体214の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

[0237]

本実施の形態では、絶縁体214として、酸素ガスを含む雰囲気でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

[0238]

絶縁体214として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムを用いることで、絶縁体216などに含まれる水素を捕獲または固着し、当該水素が酸化物230に拡散するのを防ぐことができる。

[0239]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体216中の水素濃度を低減することができる。ただし、絶縁体216の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

[0240]

本実施の形態では、絶縁体216として、酸素ガスを含む雰囲気でシリコンターゲットを用いて、パルスDCスパッタリング法で酸化シリコンを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

[0241]

絶縁体212、絶縁体214、および絶縁体216は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体212、絶縁体214、および絶縁体216を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

[0242]

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214として、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体214は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0243]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

[0244]

開口の形成後に、導電膜205Aを成膜する（図4A乃至図4D参照。）。導電膜205Aは、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電膜205Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0245]

本実施の形態では、導電膜205Aとして窒化チタンを成膜する。このような金属窒化物を導電体205bの下層に用いることにより、絶縁体216などによって、導電体205bが酸化されるのを抑制することができる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

[0246]

次に、導電膜205Bを成膜する（図4A乃至図4D参照。）。導電膜205Bとしては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金などを用いることができる。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、導電膜205Bとして、タングステンを成膜する。

[0247]

次に、CMP処理を行うことで、導電膜205Aおよび導電膜205Bの一部を除去し、絶縁体216を露出する（図5A乃至図5D参照。）。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0248]

次に、エッチングを行って、導電体205bの上部を除去する（図6A乃至図6D参照。）。これにより、導電体205bの上面は、導電体205aの上面および絶縁体216の上面より低くなる。導電体205bのエッチングには、ドライエッチングまたはウェットエッチングを用いればよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0249]

次に、絶縁体216、導電体205a、および導電体205bの上に、導電膜205Cを成膜す

る（図7A乃至図7D参照。）。導電膜205Cは、導電膜205Aと同様に、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。

[0250]

本実施の形態では、導電膜205Cとして窒化チタンを成膜する。このような金属窒化物を導電体205bの上層に用いることにより、絶縁体222などによって、導電体205bが酸化されるのを抑制することができる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205cから外に拡散するのを防ぐことができる。

[0251]

次に、CMP処理を行うことで、導電膜205Cの一部を除去し、絶縁体216を露出する（図8A乃至図8D参照。）。その結果、開口部のみに、導電体205a、導電体205b、および導電体205cが残存する。これにより、上面が平坦な、導電体205を形成することができる。さらに、導電体205bが、導電体205aおよび導電体205cに包みこまれる構成になる。よって、導電体205bから水素などの不純物が導電体205aおよび導電体205cの外に拡散するのを防ぎ、かつ導電体205aおよび導電体205cの外から酸素が混入し、導電体205bが酸化されるのを防ぐことができる。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0252]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する（図9A乃至図9D参照）。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0253]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体222として、スパッタリング法を用いて、酸化ハフニウムを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体222中の水素濃度を低減することができる。

[0254]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0255]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体222などに水分等が取り込まれることを可能な限り防ぐことができる。

[0256]

本実施の形態では、加熱処理として、絶縁体222の成膜後に、窒素ガスと酸素ガスの流量比を4slm:1slmとして、400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、絶縁体222として、ハフニウムを含む酸化物を用いる場合、当該加熱処理によって、絶縁体222の一部が結晶化する場合がある。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

[0257]

次に、絶縁体222上に絶縁体224を成膜する（図9A乃至図9D参照）。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体224中の水素濃度を低減することができる。絶縁体224は、後の工程で酸化物230aと接するので、このように水素濃度が低減されていることが好適である。

[0258]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0259]

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体224上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体224に酸素を添加することができるので好ましい。

[0260]

次に、絶縁体224上に、酸化膜230A、酸化膜230Bを順に成膜する（図9A乃至図9D

参照。)。なお、酸化膜230Aおよび酸化膜230Bは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

[0261]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MOCVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0262]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットなどを用いることができる。

[0263]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0264]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0265]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1 [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230a、および酸化物230bに求める特性に合わせて形成するとよい。

[0266]

次に、酸化膜230B上に酸化膜243Aを成膜する（図9A乃至図9D参照）。酸化膜243Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜243Aは、Inに対するGaの原子数比が、酸化膜230BのInに対するGaの原子数比より大きいことが好ましい。本実施の形態では、酸化膜243Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。

[0267]

なお、絶縁体 2 2 2、絶縁体 2 2 4、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A を、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体 2 2 2、絶縁体 2 2 4、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

[0268]

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A が多結晶化しない温度範囲で行えばよく、250℃以上650℃以下、好ましくは400℃以上600℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0269]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A などに水分等が取り込まれることを可能な限り防ぐことができる。

[0270]

本実施の形態では、加熱処理として、窒素雰囲気にて550℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて550℃の温度で1時間の処理を行う。当該加熱処理によって、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A 中の水、水素などの不純物を除去することなどができる。さらに、当該加熱処理によって、酸化膜 2 3 0 B の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜 2 3 0 B 中における、酸素または不純物の拡散を低減することができる。

[0271]

次に、酸化膜 2 4 3 A 上に導電膜 2 4 2 A を成膜する（図 9 A 乃至図 9 D 参照。）。導電膜 2 4 2 A の成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。例えば、導電膜 2 4 2 A として、スパッタリング法を用いて窒化タンタルを成膜すればよい。なお、導電膜 2 4 2 A の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 2 4 2 A を成膜してもよい。このような処理を行うことによって、酸化膜 2 4 3 A の表面などに吸着している水分および水素を除去し、さらに酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0272]

次に、導電膜 2 4 2 A 上に絶縁膜 2 7 1 A を成膜する（図 9 A 乃至図 9 D 参照。）。絶縁膜 2 7 1 A の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行

うことができる。絶縁膜 271A は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁膜 271A として、スパッタリング法によって、窒化シリコンを成膜すればよい。

[0273]

次に、絶縁膜 271A 上に絶縁膜 273A を成膜する（図 9A 乃至図 9D 参照。）。絶縁膜 273A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。例えば、絶縁膜 273A として、スパッタリング法によって、酸化シリコンを成膜すればよい。

[0274]

なお、導電膜 242A、絶縁膜 271A、および絶縁膜 273A を、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、導電膜 242A、絶縁膜 271A、および絶縁膜 273A を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。また、絶縁膜 273A 上にハードマスクを設ける場合、当該ハードマスクとなる膜も大気に暴露することなく連続して成膜すればよい。

[0275]

次に、リソグラフィ法を用いて、酸化膜 230A、酸化膜 230B、酸化膜 243A、導電膜 242A、絶縁膜 271A、および絶縁膜 273A を島状に加工して、酸化物 230a、酸化物 230b、酸化物層 243B、導電層 242B、絶縁層 271B、および絶縁層 273B を形成する（図 10A 乃至図 10D 参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜 230A、酸化膜 230B、酸化膜 243A、導電膜 242A、絶縁膜 271A、および絶縁層 271B の加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体 224 の酸化物 230a と重ならない領域の膜厚が薄くなることがある。また、当該工程において、絶縁体 224 を、酸化物 230a と重畳して、島状に加工する構成にしてもよい。

[0276]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrF エキシマレーザ光、ArF エキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0277]

さらに、レジストマスクの下に絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜 242A 上にハードマスク材料となる絶縁膜や導電膜を形成し、その上

にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜242Aなどのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜242Aなどのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。本実施の形態では、絶縁層271B、および絶縁層273Bをハードマスクとして用いている。

[0278]

ここで、絶縁層271B、および絶縁層273Bが導電層242Bのマスクとして機能するので、図10B乃至図10Dに示すように、導電層242Bは側面と上面の間に湾曲面を有しない。これにより、図1Bおよび図1Dに示す導電体242aおよび導電体242bは、側面と上面が交わる端部が角状になる。導電体242の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体242の断面積が大きくなる。これにより、導電体242の抵抗が低減されるので、トランジスタ200のオン電流を大きくすることができる。

[0279]

また、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。または、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面と、絶縁体222の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面と、絶縁体222の上面とのなす角は60度以上70度未満が好ましい。この様な形状とすることで、これより後の工程において、絶縁体275などの被覆性が向上し、鬆などの欠陥を低減することができる。

[0280]

また、上記エッチング工程で発生した副生成物が、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの側面に層状に形成される場合がある。この場合、当該層状の副生成物が、酸化物230a、酸化物230b、酸化物243、導電体242、絶縁体271、および絶縁体273と絶縁体272の間に形成されることになる。また、同様に層状の副生成物が、絶縁体224上に形成される場合がある。当該層状の副生成物が絶縁体224上に形成された状態で、絶縁体275を成膜しても、当該層状の副生成物によって、絶縁体224への酸素の添加が妨害されてしまう。よって、絶縁体224の上面に接して形成された当該層状の副生成物は、除去することが好ましい。

[0281]

次に、絶縁体224、酸化物230a、酸化物230b、酸化物層243B、導電層242B、絶縁層271B、および絶縁層273Bの上に、絶縁体272となる絶縁膜を成膜する。絶縁体272となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを

用いて行うことができる。本実施の形態では、絶縁体 272 となる絶縁膜として、スパッタリング法によって、窒化シリコンを成膜する。

[0282]

次に、絶縁体 272 となる絶縁膜を異方性エッチングすることで、絶縁層 273B 上の当該絶縁膜、および絶縁体 224 上の当該絶縁膜を除去する（図 11A 乃至図 11D 参照。）。また、図 10 に示す工程で層状の副生成物が残存していた場合、当該異方性エッチングで除去することができる。これにより、酸化物 230a の側面、酸化物 230b の側面、酸化物層 243B の側面、導電層 242B の側面、絶縁層 271B の側面、および絶縁層 273B の側面に接して、絶縁層 272A が形成される。

[0283]

このようにして、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B を、酸素の拡散を抑制する機能を有する、絶縁層 272A、および絶縁層 271B で覆うことができる。これにより、のちの工程で絶縁体 275 の成膜などで、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B に、酸素が拡散するのを低減することができる。

[0284]

次に、絶縁体 224、絶縁層 272A、および絶縁層 273B 上に、絶縁体 275 を成膜する。（図 11A 乃至図 11D 参照。）。絶縁体 275 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。絶縁体 275 は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁体 275 として、スパッタリング法によって、酸化アルミニウムを成膜すればよい。

[0285]

絶縁体 275 は、スパッタリング法を用いて形成することが好ましい。スパッタリング法で絶縁体 275 を成膜することで、絶縁体 224 および絶縁層 273B に酸素を添加することができる。このとき、導電層 242B の上面に接して絶縁層 271B が設けられ、導電層 242B の側面に接して絶縁層 272A が設けられているので、導電層 242B の酸化を低減することができる。

[0286]

次に、絶縁体 275 上に、絶縁体 280 となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜すればよい。絶縁体 280 となる絶縁膜を、酸素を含む雰囲気中、スパッタリング法で成膜することで、過剰酸素を含む絶縁体 280 を形成することができる。また、成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 280 中の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体 275 の表面などに吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b、酸化物層 243B、および絶縁体 224 中の水分濃度および水素濃度を低減させることができる。当該加熱処理には、上述した加熱処理条件を用いることができる。

[0287]

次に、上記絶縁体 280 となる絶縁膜に CMP 処理を行い、上面が平坦な絶縁体 280 を形成する（図 11A 乃至図 11D 参照。）。なお、絶縁体 280 上に、例えば、スパッタリング法によ

て窒化シリコンを成膜し、該窒化シリコンを絶縁体 280 に達するまで、CMP 処理を行ってもよい。

[0288]

次に、絶縁体 280 の一部、絶縁体 275 の一部、絶縁層 273 B の一部、絶縁層 271 B の一部、絶縁層 272 A の一部、導電層 242 B の一部、酸化物層 243 B の一部、酸化物 230 b の一部を加工して、酸化物 230 b に達する開口を形成する。当該開口は、導電体 205 と重なるように形成することが好ましい。当該開口の形成によって、絶縁体 273 a、絶縁体 273 b、絶縁体 271 a、絶縁体 271 b、絶縁体 272 a、絶縁体 272 b、導電体 242 a、導電体 242 b、酸化物 243 a、および酸化物 243 b を形成する（図 12 A 乃至図 12 D 参照。）。

[0289]

上記開口を形成する際に、酸化物 230 b の上部が除去される。酸化物 230 b の一部が除去されることで、酸化物 230 b に溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

[0290]

また、絶縁体 280 の一部、絶縁体 275 の一部、絶縁層 273 B の一部、絶縁層 271 B の一部、絶縁層 272 A の一部、導電層 242 B の一部、酸化物層 243 B の一部、酸化物 230 b の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体 280 の一部をドライエッチング法で加工し、絶縁体 275 の一部、絶縁層 273 B の一部、絶縁層 271 B の一部、絶縁層 272 A の一部、をウェットエッチング法で加工し、酸化物層 243 B の一部、導電層 242 B の一部、および酸化物 230 b の一部をドライエッチング法で加工してもよい。また、酸化物層 243 B の一部および導電層 242 B の一部の加工と、酸化物 230 b の一部の加工とは、異なる条件で行ってもよい。

[0291]

ここで、酸化物 230 a、酸化物 230 b などの表面に付着または内部に拡散した不純物を除去することが好ましい。また、上記ドライエッチングで酸化物 230 b 表面に形成される、損傷領域を除去することが好ましい。当該不純物としては、絶縁体 280、絶縁体 275、絶縁層 273 B の一部、絶縁層 271 B の一部、絶縁層 272 A の一部、および導電層 242 B に含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

[0292]

特に、アルミニウム、またはシリコンなどの不純物は、酸化物 230 b の CAAC-OS 化を阻害する。よって、アルミニウム、またはシリコンなどの、CAAC-OS 化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物 230 b、およびその近傍における、アルミニウム原子の濃度が、5.0 原子%以下とすればよく、2.0 原子%以下が好ましく、1.5 原子%以下がより好ましく、1.0 原子%以下がさらに好ましく、0.3 原子%未満がさらに好ましい。

[0293]

なお、アルミニウム、またはシリコンなどの不純物により CAAC-OS 化が阻害され、擬似非

晶質酸化物半導体 (a - l i k e O S : a m o r p h o u s - l i k e o x i d e s e m i c o n d u c t o r) となった金属酸化物の領域を、非 C A A C 領域と呼ぶ場合がある。非 C A A C 領域では、結晶構造の緻密さが低下しているため、V_oHが多量に形成され、トランジスタがノーマリーオン化しやすくなる。よって、酸化物 2 3 0 b の非 C A A C 化領域は、低減または除去されていることが好ましい。

[0294]

これに対して、酸化物 2 3 0 b に層状の C A A C 構造を有していることが好ましい。特に、酸化物 2 3 0 b のドレイン下端部まで C A A C 構造を有することが好ましい。ここで、トランジスタ 2 0 0 において、導電体 2 4 2 a または導電体 2 4 2 b、およびその近傍がドレインとして機能する。つまり、導電体 2 4 2 a (導電体 2 4 2 b) の下端部近傍の、酸化物 2 3 0 b が、C A A C 構造を有することが好ましい。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物 2 3 0 b の損傷領域が除去され、C A A C 構造を有することで、トランジスタ 2 0 0 の電気特性の変動をさらに抑制することができる。また、トランジスタ 2 0 0 の信頼性を向上させることができる。

[0295]

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせる行ってもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

[0296]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせる行ってもよい。

[0297]

なお、本明細書等では、市販のフッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、市販のアンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は 0. 0 1 % 以上 5 % 以下、好ましくは 0. 1 % 以上 0. 5 % 以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は 0. 0 1 p p m 以上 1 0 0 p p m 以下、好ましくは 0. 1 p p m 以上 1 0 p p m 以下とすればよい。

[0298]

なお、超音波洗浄には、2 0 0 k H z 以上、好ましくは 9 0 0 k H z 以上の周波数を用いることが好ましい。当該周波数を用いることで、酸化物 2 3 0 b などへのダメージを低減することができる。

[0299]

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第 1 の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第 2 の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

[0300]

上記洗浄処理として、本実施の形態では、希釈フッ化水素酸を用いてウェット洗浄を行い、続い

て純水、または炭酸水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物 230a、酸化物 230b などの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物 230b の結晶性を高めることができる。

[0301]

これまでドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ酸化物 230b と重ならない領域の、絶縁体 224 の膜厚が、酸化物 230b と重なる領域の、絶縁体 224 の膜厚より薄くなる場合がある。

[0302]

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100℃以上500℃以下、好ましくは300℃以上500℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガス、不活性ガス、または酸化性ガスの雰囲気で行えばよい。または、窒素ガス、または不活性ガスに、酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行えばよい。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230a および酸化物 230b に酸素を供給して、酸素欠損 V_o の低減を図ることができる。また、このような熱処理を行うことで、酸化物 230b の結晶性を向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行ってもよい。また、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行う場合、酸素雰囲気での加熱処理を窒素雰囲気での加熱処理よりも長時間行ってもよい。

[0303]

次に絶縁膜 250A を成膜する（図 13A 乃至図 13D 参照）。絶縁膜 250A の成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物 230b の表面などに吸着している水分および水素を除去し、さらに酸化物 230a、および酸化物 230b 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。

[0304]

絶縁膜 250A は、スパッタリング法、CVD 法、PECVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。また、絶縁膜 250A は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜 250A の水素濃度を低減することができる。絶縁膜 250A は、後の工程で酸化物 230b と接する絶縁体 250 となるので、このように水素濃度が低減されていることが好適である。

[0305]

また、絶縁膜 250A は ALD 法を用いて成膜することが好ましい。微細化されたトランジスタ 200 の、ゲート絶縁膜として機能する絶縁体 250 の膜厚は、極めて薄く（例えば、5nm 以上 30nm 以下程度。）、且つバラつきが小さくなるようにする必要がある。これに対して、ALD 法は、プリカーサと、リアクタント（例えば酸化剤など）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。よって、微細化されたトランジスタ 200 が要求するゲート絶縁膜の膜厚の精度を達成することができる。また、図 13B および図 13C に示すように、絶縁膜 250A は、絶縁体 280 等

によって形成される開口の底面および側面に、被覆性良く成膜される必要がある。当該開口の底面および側面において、原子の層を一層ずつ堆積させることができるので、絶縁膜 250 A を当該開口に対して良好な被覆性で成膜することができる。

[0306]

また、例えば、 SiH_4 （または Si_2H_6 ）などの水素を含むガスを成膜ガスとして、PECVD法を用いて絶縁膜 250 A の成膜を行う場合、水素を含む成膜ガスがプラズマ中で分解されて、大量の水素ラジカルが発生する。水素ラジカルの還元反応によって、酸化物 230 b 中の酸素が引き抜かれて V_2O_5 が形成されると、酸化物 230 b 中の水素濃度が高くなる。しかしながら、ALD法を用いて絶縁膜 250 A を成膜すると、プリカーサの導入時もリアクタントの導入時も、水素ラジカルの発生を抑制することができる。よって、ALD法を用いて絶縁膜 250 A を成膜することにより、酸化物 230 b 中の水素濃度が高くなることを防ぐことができる。

[0307]

なお、図 13 B 乃至図 13 D では、絶縁膜 250 A を単層で図示したが、2 層以上の積層構造としてもよい。絶縁膜 250 A を 2 層の積層構造とする場合、絶縁膜 250 A の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁膜 250 A の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 250 の下層に含まれる酸素が、導電体 260 へ拡散するのを抑制することができる。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の下層に含まれる酸素による導電体 260 の酸化を抑制することができる。例えば、絶縁膜 250 A の下層は、上述した絶縁体 250 に用いることができる材料を用いて設け、絶縁膜 250 A の上層は、絶縁体 222 と同様の材料を用いて設けることができる。

[0308]

絶縁膜 250 A の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物 230 として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0309]

絶縁膜 250 A を 2 層の積層構造とする場合、下層として酸化シリコンを PECVD 法で成膜し、上層として酸化ハフニウムを ALD 法で成膜してもよい。また、下層の酸化シリコンと上層の酸化ハフニウムを両方とも ALD 法で成膜してもよい。また、両方とも ALD 法で成膜する場合、下層として酸化シリコンを PEALD 法で成膜し、上層として酸化ハフニウムを熱 ALD 法で成膜してもよい。

[0310]

なお、絶縁膜 250 A を 2 層の積層構造とする場合、絶縁膜 250 A の下層となる絶縁膜および絶縁膜 250 A の上層となる絶縁膜は、大気環境に暴露せずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁膜 250 A の下層となる絶縁膜、および絶縁膜 250 A の上層となる絶縁膜上に、大気環境からの水素などの不純物、または水分が付着することを防ぐことができる。よって、絶縁膜 250 A の下層となる絶縁膜と絶縁膜 250 A の上層となる絶縁膜との界面近傍を清浄に保つことができる。

[0311]

次に、酸素を含む雰囲気でマイクロ波処理を行う（図13A乃至図13D参照）。ここで、図13B乃至図13Dに示す、点線はマイクロ波、RFなどの高周波酸素プラズマ、または酸素ラジカルなどを示す。マイクロ波処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、300MHz以上300GHz以下、好ましくは2.4GHz以上2.5GHz以下、例えば、2.45GHzにすればよい。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下、好ましくは2000W以上5000W以下にすればよい。なお、本明細書等において、上記電源の電力をマイクロ波処理装置のチャンバーの上部の面積（例えば、チャンバー上部に誘電体板として石英天板が設けられる場合は、当該石英天板の面積）で割った量を、電力密度PDと定義する。例えば、上記マイクロ波処理装置のチャンバーの上部の面積が2000cm²の場合、電力密度PDは、0.5W/cm²以上5W/cm²以下、好ましくは1W/cm²以上2.5W/cm²以下にすればよい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく酸化物230b中に導くことができる。

[0312]

また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力を60Pa以上、好ましくは133Pa以上、より好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。例えば、10Pa以上1000Pa以下、好ましくは300Pa以上700Pa以下にすればよい。また、処理温度は、750℃以下、好ましくは500℃以下、例えば400℃程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。例えば、100℃以上750℃以下、好ましくは300℃以上500℃以下にすればよい。

[0313]

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行えばよい。ここで、酸素流量比（O₂/O₂+Ar）は、0%より大きく、100%以下にすればよい。好ましくは、酸素流量比（O₂/O₂+Ar）を、0%より大きく、50%以下にすればよい。より好ましくは、酸素流量比（O₂/O₂+Ar）を、10%以上、40%以下にすればよい。さらに好ましくは、酸素流量比（O₂/O₂+Ar）を、10%以上、30%以下にすればよい。このように、酸素を含む雰囲気でマイクロ波処理を行うことで、領域230bc中のキャリア濃度を低下させることができる。また、マイクロ波処理において、チャンバーに過剰量の酸素が導入されないようにすることで、領域230baおよび領域230bbでキャリア濃度が過剰に低下するのを防ぐことができる。また、マイクロ波処理において、チャンバーに過剰量の酸素が導入されないようにすることで、導電体242aおよび導電体242bの側面が過剰に酸化されるのを防ぐことができる。

[0314]

図13B乃至図13Dに示すように、酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物230bの導電体242aと導電体242bの間の領域に作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域230bcに照射することもできる。つまり、図2に示す領域230bcに、マイクロ波、またはRF等の高周波酸素プラズマなどを作用させることができる。プ

ラズマ、マイクロ波などの作用により、領域230bcの V_OH を分断し、水素Hを領域230bcから除去することができる。つまり、領域230bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域230bcに含まれる V_OH を低減することができる。よって、領域230bc中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。また、領域230bcで形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカル、または絶縁膜250に含まれる酸素を供給することで、さらに、領域230bc中の酸素欠損を低減し、キャリア濃度を低下させることができる。

[0315]

一方、図2に示す領域230baおよび領域230bb上には、導電体242aおよび導電体242bが設けられている。図13B乃至図13Dに示すように、導電体242aおよび導電体242bは、マイクロ波、またはRF等の高周波酸素プラズマなどの作用を遮蔽するので、これらの作用は領域230baおよび領域230bbには及ばない。これにより、マイクロ波処理によって、領域230baおよび領域230bbで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0316]

このようにして、酸化物半導体の領域230bcで選択的に酸素欠損、および V_OH を除去して、領域230bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbに過剰な酸素が供給されるのを抑制し、n型化を維持することができる。これにより、トランジスタ200の電気特性の変動を抑制し、基板面内でトランジスタ200の電気特性がばらつくのを抑制することができる。

[0317]

よって、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0318]

また、マイクロ波処理では、マイクロ波と酸化物230b中の分子の電磁気的な相互作用により、酸化物230bに直接的に熱エネルギーを伝達する場合がある。この熱エネルギーにより、酸化物230bが加熱される場合がある。このような加熱処理をマイクロ波アニールと呼ぶ場合がある。マイクロ波処理を、酸素を含む雰囲気中で行うことで、酸素アニールと同等の効果が得られる場合がある。また、酸化物230bに水素が含まれる場合、この熱エネルギーが酸化物230b中の水素に伝わり、これにより活性化した水素が酸化物230bから放出されることが考えられる。

[0319]

図13に示す工程においては、絶縁膜250Aの成膜後にマイクロ波処理を行ったが、本発明はこれに限られるものではない。例えば、絶縁膜250Aの成膜前にマイクロ波処理をおこなってもよいし、絶縁膜250Aの成膜前と成膜後の両方でマイクロ波処理を行ってもよい。また、例えば、絶縁膜250Aを上述の2層構造とする場合、絶縁膜250Aの下層を成膜し、マイクロ波処理を行って、それから絶縁膜250Aの上層を成膜してもよい。

[0320]

例えば、絶縁膜250Aの下層の酸化シリコンをPECVD法で成膜し、マイクロ波処理を行って、それから絶縁膜250Aの上層の酸化ハフニウムを熱ALD法で成膜すればよい。また、例え

ば、マイクロ波処理を行って、絶縁膜250Aの下層の酸化シリコンをPEALD法で成膜し、絶縁膜250Aの上層の酸化ハフニウムを熱ALD法で成膜してもよい。ここで、上記マイクロ波処理、酸化シリコンの成膜、および酸化ハフニウムの成膜は、大気に暴露することなく、連続処理することが好ましい。例えば、マルチチャンバー方式の処理装置を用いればよい。また、上記マイクロ波処理を、PEALD装置の、プラズマ励起されたリアクタント（酸化剤）の処理で代替してもよい。ここで、リアクタント（酸化剤）としては、酸素ガスを用いればよい。

[0321]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜250A中、酸化物230b中、および酸化物230a中の水素を効率よく除去することができる。また、水素の一部は、導電体242（導電体242a、および導電体242b）にゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜250A中、酸化物230b中、および酸化物230a中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。また、上記マイクロ波処理、すなわちマイクロ波アニールが該加熱処理を兼ねてもよい。マイクロ波アニールにより、酸化物230bなどが十分加熱される場合、該加熱処理を行わなくてもよい。

[0322]

また、マイクロ波処理を行って絶縁膜250Aの膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、不純物等が、酸化物230b、酸化物230aなどへ拡散することを抑制することができる。

[0323]

次に、導電体260aとなる導電膜、導電体260bとなる導電膜を順に成膜する。導電体260aとなる導電膜および導電体260bとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、ALD法を用いて、導電体260aとなる導電膜を成膜し、CVD法を用いて導電体260bとなる導電膜を成膜する。

[0324]

次に、CMP処理によって、絶縁膜250A、導電体260aとなる導電膜、および導電体260bとなる導電膜を絶縁体280が露出するまで研磨することによって、絶縁体250、および導電体260（導電体260a、および導電体260b）を形成する（図14A乃至図14D参照）。これにより、絶縁体250は、酸化物230bに達する開口および酸化物230bの溝部の内壁（側壁、および底面）を覆うように配置される。また、導電体260は、絶縁体250を介して、上記開口および上記溝部を埋め込むように配置される。

[0325]

次に、上記の加熱処理と同様の条件で加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体250および絶縁体280中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、次工程である絶縁体282の成膜を行ってもよい。

[0326]

次に、絶縁体 250 上、導電体 260 上、および絶縁体 280 上に、絶縁体 282 を形成する（図 15A 乃至図 15D 参照。）。絶縁体 282 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 282 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 282 中の水素濃度を低減することができる。また、スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体 282 の成膜を行うことで、成膜しながら、絶縁体 280 に酸素を添加することができる。これにより、絶縁体 280 に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体 282 を成膜することが好ましい。

[0327]

本実施の形態では、絶縁体 282 として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、パルス DC スパッタリング法で酸化アルミニウムを成膜する。パルス DC スパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

[0328]

次に、絶縁体 282 上に、絶縁体 283 を形成する（図 16A 乃至図 16D 参照。）。絶縁体 283 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 283 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 283 中の水素濃度を低減することができる。また、絶縁体 283 は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD 法を用いて窒化シリコンを成膜してもよい。バリア性の高い絶縁体 283 および絶縁体 212 でトランジスタ 200 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

[0329]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 400℃の温度で 1 時間の処理を行う。当該加熱処理によって、図 2 で示したように、絶縁体 282 の成膜によって添加された酸素を絶縁体 280、絶縁体 250 へ拡散させ、酸化物 230 のチャンネル形成領域へ選択的に供給することができる。なお、当該加熱処理は、絶縁体 283 の形成後に限らず、絶縁体 282 の成膜後などに行ってもよい。

[0330]

次に、絶縁体 271、絶縁体 273、絶縁体 275、絶縁体 280、絶縁体 282、および絶縁体 283 に、導電体 242 に達する開口を形成する（図 16A 乃至図 16D 参照。）。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、図 16A で当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になってもよい。

[0331]

次に、絶縁体 241 となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体 241 を形成する。（図 16A 乃至図 16D 参照。）。絶縁体 241 となる絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。絶縁体 241 となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD 法を用いて、酸化アルミニウムを成膜することが好ましい。または、PEALD 法

を用いて、窒化シリコンを成膜することが好ましい。窒化シリコンは水素に対するバリア性が高いので好ましい。

[0332]

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

[0333]

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。導電体240aおよび導電体240bとなる導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。例えば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、と、の積層とすることができる。導電体240となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0334]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体283の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる（図16A乃至図16D参照。）。なお、当該CMP処理により、絶縁体283の上面の一部および絶縁体274の上面の一部が除去される場合がある。

[0335]

次に、導電体246となる導電膜を成膜する。導電体246となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0336]

次に、導電体246となる導電膜をリソグラフィー法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する（図1A乃至図1D参照。）。この時、導電体246aおよび導電体246bと、絶縁体283とが重ならない領域の絶縁体283の一部が除去されることがある。

[0337]

次に、導電体246上、および絶縁体283上に、絶縁体286を成膜する（図1A乃至図1D参照。）。絶縁体286の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。また、絶縁体286は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。

[0338]

以上により、図1A乃至図1Dに示すトランジスタ200を有する半導体装置を作製することができる。図4A乃至図16A、図4B乃至図16B、図4C乃至図16C、および図4D乃至図16Dに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

[0339]

<マイクロ波処理装置>

以下では、上記半導体装置の作製方法に用いることができる、マイクロ波処理装置について説明する。

[0340]

まずは、半導体装置などの製造時に不純物の混入を少なくすることができる製造装置の構成について図17、図18および図19を用いて説明する。

[0341]

図17は、枚葉式マルチチャンバーの製造装置2700の上面図を模式的に示している。製造装置2700は、基板を収容するカセットポート2761と、基板のアライメントを行うアライメントポート2762と、を備える大気側基板供給室2701と、大気側基板供給室2701から、基板を搬送する大気側基板搬送室2702と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室2703aと、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室2703bと、真空中の基板の搬送を行う搬送室2704と、チャンバー2706aと、チャンバー2706bと、チャンバー2706cと、チャンバー2706dと、を有する。

[0342]

また、大気側基板搬送室2702は、ロードロック室2703aおよびアンロードロック室2703bと接続され、ロードロック室2703aおよびアンロードロック室2703bは、搬送室2704と接続され、搬送室2704は、チャンバー2706a、チャンバー2706b、チャンバー2706cおよびチャンバー2706dと接続する。

[0343]

なお、各室の接続部にはゲートバルブGVが設けられており、大気側基板供給室2701と、大気側基板搬送室2702を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室2702には搬送ロボット2763aが設けられており、搬送室2704には搬送ロボット2763bが設けられている。搬送ロボット2763aおよび搬送ロボット2763bによって、製造装置2700内で基板を搬送することができる。

[0344]

搬送室2704および各チャンバーの背圧（全圧）は、例えば、 1×10^{-4} Pa以下、好ましくは 3×10^{-5} Pa以下、さらに好ましくは 1×10^{-5} Pa以下とする。また、搬送室2704および各チャンバーの、質量電荷比（ m/z ）が18である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバーの、 m/z が28である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。また、搬送室2704および各チャンバーの、 m/z が44である気体分子（原子）の分圧は、例えば、 3×10^{-5} Pa以下、好ましくは 1×10^{-5} Pa以下、さらに好ましくは 3×10^{-6} Pa以下とする。

[0345]

なお、搬送室2704および各チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Q-massともいう。）Qulee CGM-051を用いればよい。

[0346]

また、搬送室2704および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室2704および各チャンバーのリークレートは、 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が18である気体分子（原子）のリークレートが $1 \times 10^{-7} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $3 \times 10^{-8} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が28である気体分子（原子）のリークレートが $1 \times 10^{-5} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が44である気体分子（原子）のリークレートが $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。

[0347]

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴やシール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

[0348]

例えば、搬送室2704および各チャンバーの開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

[0349]

また、製造装置2700を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の部材を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくこと、放出ガスを低減できる。

[0350]

または、前述の製造装置2700の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

[0351]

製造装置2700の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

[0352]

搬送室2704および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室2704および各チャンバーの圧力に影響しないが、搬送室2704および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室2704および各チャンバーに存在する吸着物をできる限り脱離し、

あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室 2704 および各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100℃以上 450℃以下で行えばよい。このとき、不活性ガスを搬送室 2704 および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

[0353]

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室 2704 および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室 2704 および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室 2704 および各チャンバー内の吸着物を脱離させることができ、搬送室 2704 および各チャンバー内に存在する不純物を低減することができる。なお、この処理は 2 回以上 30 回以下、好ましくは 5 回以上 15 回以下の範囲で繰り返す行くと効果的である。具体的には、温度が 40℃以上 400℃以下、好ましくは 50℃以上 200℃以下である不活性ガスまたは酸素などを導入することで搬送室 2704 および各チャンバー内の圧力を 0.1 Pa 以上 10 kPa 以下、好ましくは 1 Pa 以上 1 kPa 以下、さらに好ましくは 5 Pa 以上 100 Pa 以下とし、圧力を保つ期間を 1 分以上 300 分以下、好ましくは 5 分以上 120 分以下とすればよい。その後、搬送室 2704 および各チャンバーを 5 分以上 300 分以下、好ましくは 10 分以上 120 分以下の期間排気する。

[0354]

次に、チャンバー 2706b およびチャンバー 2706c について、図 18 に示す断面模式図を用いて説明する。

[0355]

チャンバー 2706b およびチャンバー 2706c は、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー 2706b と、チャンバー 2706c と、はマイクロ波処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

[0356]

チャンバー 2706b およびチャンバー 2706c は、スロットアンテナ板 2808 と、誘電体板 2809 と、基板ホルダ 2812 と、排気口 2819 と、を有する。また、チャンバー 2706b およびチャンバー 2706c の外などには、ガス供給源 2801 と、バルブ 2802 と、高周波発生器 2803 と、導波管 2804 と、モード変換器 2805 と、ガス管 2806 と、導波管 2807 と、マッチングボックス 2815 と、高周波電源 2816 と、真空ポンプ 2817 と、バルブ 2818 と、が設けられる。

[0357]

高周波発生器 2803 は、導波管 2804 を介してモード変換器 2805 と接続している。モード変換器 2805 は、導波管 2807 を介してスロットアンテナ板 2808 に接続している。スロットアンテナ板 2808 は、誘電体板 2809 と接して配置される。また、ガス供給源 2801 は、バルブ 2802 を介してモード変換器 2805 に接続している。そして、モード変換器 2805、導波管 2807 および誘電体板 2809 を通るガス管 2806 によって、チャンバー 2706b お

よびチャンバー2706cにガスが送られる。また、真空ポンプ2817は、バルブ2818および排気口2819を介して、チャンバー2706bおよびチャンバー2706cからガスなどを排気する機能を有する。また、高周波電源2816は、マッチングボックス2815を介して基板ホルダ2812に接続している。

[0358]

基板ホルダ2812は、基板2811を保持する機能を有する。例えば、基板2811を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源2816から電力を供給される電極としての機能を有する。また、内部に加熱機構2813を有し、基板2811を加熱する機能を有する。

[0359]

真空ポンプ2817としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリメーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ2817に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

[0360]

また、加熱機構2813としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) またはLRTA (Lamp Rapid Thermal Annealing) などのRTA (Rapid Thermal Annealing) を用いることができる。GRTAは、高温のガスを用いて加熱処理を行う。ガスとしては、不活性ガスが用いられる。

[0361]

また、ガス供給源2801は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が -80°C 以下、好ましくは -100°C 以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス（アルゴンガスなど）を用いればよい。

[0362]

誘電体板2809としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板2809の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板2809は、後述する高密度プラズマ2810の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

[0363]

高周波発生器2803では、例えば、 0.3GHz 以上 3.0GHz 以下、 0.7GHz 以上 1.1GHz 以下、または 2.2GHz 以上 2.8GHz 以下のマイクロ波を発生させる機能を有する。高周波発生器2803で発生させたマイクロ波は、導波管2804を介してモード変換器2805に伝わる。モード変換器2805では、TEモードとして伝わったマイクロ波がTEMモードに変換される。そして、マイクロ波は、導波管2807を介してスロットアンテナ板2808に伝わる。スロットアンテナ板2808は、複数のスロット孔が設けられており、マイクロ波は該スロット孔

および誘電体板 2809 を通過する。そして、誘電体板 2809 の下方に電界を生じさせ、高密度プラズマ 2810 を生成することができる。高密度プラズマ 2810 には、ガス供給源 2801 から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルなどが存在する。

[0364]

このとき、基板 2811 が高密度プラズマ 2810 で生成されたイオンおよびラジカルによって、基板 2811 上の膜などを改質することができる。なお、高周波電源 2816 を用いて、基板 2811 側にバイアスを印加すると好ましい場合がある。高周波電源 2816 には、例えば、13.56 MHz、27.12 MHz などの周波数の RF 電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ 2810 中のイオンを基板 2811 上の膜などの開口部の奥まで効率よく到達させることができる。

[0365]

例えば、チャンバー 2706b またはチャンバー 2706c で、ガス供給源 2801 から酸素を導入することで高密度プラズマ 2810 を用いた酸素ラジカル処理を行うことができる。

[0366]

次に、チャンバー 2706a およびチャンバー 2706d について図 19 に示す断面模式図を用いて説明する。

[0367]

チャンバー 2706a およびチャンバー 2706d は、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー 2706a と、チャンバー 2706d と、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

[0368]

チャンバー 2706a およびチャンバー 2706d は、一または複数のランプ 2820 と、基板ホルダ 2825 と、ガス導入口 2823 と、排気口 2830 と、を有する。また、チャンバー 2706a およびチャンバー 2706d の外などには、ガス供給源 2821 と、バルブ 2822 と、真空ポンプ 2828 と、バルブ 2829 と、が設けられる。

[0369]

ガス供給源 2821 は、バルブ 2822 を介してガス導入口 2823 に接続している。真空ポンプ 2828 は、バルブ 2829 を介して排気口 2830 に接続している。ランプ 2820 は、基板ホルダ 2825 と向かい合って配置されている。基板ホルダ 2825 は、基板 2824 を保持する機能を有する。また、基板ホルダ 2825 は、内部に加熱機構 2826 を有し、基板 2824 を加熱する機能を有する。

[0370]

ランプ 2820 としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長 10 nm 以上 2500 nm 以下、500 nm 以上 2000 nm 以下、または 40 nm 以上 340 nm 以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

[0371]

例えば、ランプ 2820 としては、ハロゲンランプ、メタルハライドランプ、キセノンアークラ

ンプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

[0372]

例えば、ランプ2820から放射される電磁波は、その一部または全部が基板2824に吸収されることで基板2824上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板2824を加熱しながら行くと、効率よく、欠陥の生成もしくは低減、または不純物の除去などができる。

[0373]

または、例えば、ランプ2820から放射される電磁波によって、基板ホルダ2825を発熱させ、基板2824を加熱してもよい。その場合、基板ホルダ2825の内部に加熱機構2826を有さなくてもよい。

[0374]

真空ポンプ2828は、真空ポンプ2817についての記載を参照する。また、加熱機構2826は、加熱機構2813についての記載を参照する。また、ガス供給源2821は、ガス供給源2801についての記載を参照する。

[0375]

本実施の形態に用いることができるマイクロ波処理装置は、上記に限らない。図20に示すマイクロ波処理装置2900を用いることができる。マイクロ波処理装置2900は、石英管2901、ガス供給源2801、バルブ2802、高周波発生器2803、導波管2804、ガス管2806、真空ポンプ2817、バルブ2818、および排気口2819を有する。また、マイクロ波処理装置2900は、石英管2901内に、複数の基板2811（2811__1乃至2811__n、nは2以上の整数）を保持する基板ホルダ2902を有する。また、マイクロ波処理装置2900は、石英管2901の外側に、加熱手段2903を有していてもよい。

[0376]

高周波発生器2803で発生させたマイクロ波は、導波管2804を介して、石英管2901内に設けられた基板に照射される。真空ポンプ2817は、バルブ2818を介して排気口2819と接続されており、石英管2901内部の圧力を調整することができる。また、ガス供給源2801は、バルブ2802を介して、ガス管2806に接続されており、石英管2901内に所望のガスを導入することができる。また、加熱手段2903により、石英管2901内の基板2811を、所望の温度に加熱することができる。または、加熱手段2903により、ガス供給源2801から供給されるガスを加熱してもよい。マイクロ波処理装置2900により、基板2811に対して、加熱処理と、マイクロ波処理を同時に行うことができる。また、基板2811を加熱した後に、マイクロ波処理を行うことができる。また、基板2811に対してマイクロ波処理を行った後に、加熱処理を行うことができる。

[0377]

基板2811__1乃至基板2811__nは、全て半導体装置、または記憶装置を形成する処理基板でもよいし、一部の基板をダミー基板としてもよい。例えば、基板2811__1、および基板2811__nをダミー基板とし、基板2811__2乃至基板2811__n-1を処理基板としてもよい。また、基板2811__1、基板2811__2、基板2811__n-1、および基板2811__nをダミー基板とし、基板2811__3乃至基板2811__n-2を処理基板としてもよい。ダミ

一基板を用いることで、マイクロ波処理、または加熱処理の際、複数の処理基板が均一に処理され、処理基板間のばらつきを低減できるため好ましい。例えば、高周波発生器 2803、および導波管 2804 に最も近い処理基板上にダミー基板を配置することで、該処理基板が直接マイクロ波に曝されることを抑制できるため、好ましい。

[0378]

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能となる。

[0379]

<半導体装置の変形例>

以下では、図 21A 乃至図 21D、および図 22A 乃至図 22D を用いて、本発明の一態様である半導体装置の一例について説明する。

[0380]

各図 A は半導体装置の上面図を示す。また、各図 B は、各図 A に示す A1-A2 の一点鎖線で示す部位に対応する断面図である。また、各図 C は、各図 A に A3-A4 の一点鎖線で示す部位に対応する断面図である。また、各図 D は、各図 A に A5-A6 の一点鎖線で示す部位に対応する断面図である。各図 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0381]

なお、各図 A 乃至 D に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0382]

<半導体装置の変形例 1>

図 21A 乃至図 21D に示す半導体装置は、図 1A 乃至図 1D に示した半導体装置の変形例である。図 21A 乃至図 21D に示す半導体装置は、図 1A 乃至図 1D に示した半導体装置とは、絶縁体 283 の形状が異なる。また、絶縁体 284 および絶縁体 274 を有することが異なる。

[0383]

図 21A 乃至図 21D に示す半導体装置では、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、絶縁体 280、および絶縁体 282 がパターンニングされている。また、絶縁体 284 は、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、絶縁体 280、および絶縁体 282 を覆う構造になっている。つまり、絶縁体 284 は、絶縁体 282 の上面と、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 275、および絶縁体 280 の側面と、絶縁体 212 の上面と、に接する。さらに、絶縁体 284 を覆って絶縁体 284 が配置されている。これにより、酸化物 230 などを含む、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 280、および絶縁体 282 は、絶縁体 283、絶縁体 284、および絶縁体 212 によって、外部から隔離される。別言すると、トランジスタ 200 は、絶縁体 284、および絶縁体 212 で封止された領域内に配置される。

[0384]

例えば、絶縁体 214、絶縁体 282、および絶縁体 284 を、水素を捕獲および水素を固着する機能を有する材料を用いて形成すればよい。なお、絶縁体 284 は、絶縁体 282 と同様の絶縁体を用いることができる。また、絶縁体 212、および絶縁体 283 を水素および酸素に対する拡

散を抑制する機能を有する材料を用いて形成すればよい。代表的には、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 4 としては、酸化アルミニウムを用いることができる。また、代表的には、絶縁体 2 1 2、および絶縁体 2 8 3 としては、窒化シリコンを用いることができる。

[0385]

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

[0386]

また、図 2 1 A 乃至図 2 1 D に示すトランジスタ 2 0 0 では、絶縁体 2 1 2、および絶縁体 2 8 3 を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 2 1 2、および絶縁体 2 8 3 のそれぞれを 2 層以上の積層構造として設ける構成にしてもよい。

[0387]

絶縁体 2 7 4 は、絶縁体 2 8 3 を覆って設けられており、層間膜として機能する。絶縁体 2 7 4 は、絶縁体 2 1 4 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 2 7 4 は、例えば、絶縁体 2 8 0 と同様の材料を用いて設けることができる。

[0388]

<半導体装置の変形例 2>

図 2 2 A 乃至図 2 2 D に示す半導体装置は、図 2 1 A 乃至図 2 1 D に示した半導体装置の変形例である。図 2 2 A 乃至図 2 2 D に示す半導体装置は、図 2 1 A 乃至図 2 1 D に示した半導体装置とは、酸化物 2 3 0 c および酸化物 2 3 0 d を有することが異なる。また、絶縁体 2 8 7 を有することが異なる。また、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 7 3、および絶縁体 2 8 4 を有しないことが異なる。

[0389]

図 2 2 A 乃至図 2 2 D に示す半導体装置では、さらに、酸化物 2 3 0 b 上の酸化物 2 3 0 c と、酸化物 2 3 0 c 上の酸化物 2 3 0 d と、を有する。酸化物 2 3 0 c および酸化物 2 3 0 d は、絶縁体 2 8 0 および絶縁体 2 7 5 に形成された開口の中に設けられる。また、酸化物 2 3 0 c は、酸化物 2 4 3 a の側面、酸化物 2 4 3 b の側面、導電体 2 4 2 a の側面、導電体 2 4 2 b の側面および絶縁体 2 7 5 の側面とそれぞれ接する。また、酸化物 2 3 0 c の上面、および酸化物 2 3 0 d の上面は、絶縁体 2 8 2 に接する。

[0390]

酸化物 2 3 0 c の上に、酸化物 2 3 0 d を配置することで、酸化物 2 3 0 d よりも上方に形成された構造物からの、酸化物 2 3 0 b または酸化物 2 3 0 c に対する不純物の拡散を抑制することができる。また、酸化物 2 3 0 c の上に、酸化物 2 3 0 d を配置することで、酸化物 2 3 0 b または酸化物 2 3 0 c からの酸素の上方拡散を抑制することができる。

[0391]

また、トランジスタのチャネル長方向の断面視において、酸化物 2 3 0 b に溝部を設け、当該溝部に、酸化物 2 3 0 c を埋め込むことが好ましい。このとき、酸化物 2 3 0 c は、当該溝部の内壁（側壁、および底面）を覆うように配置される。また、酸化物 2 3 0 c の膜厚は、当該溝部の深さと同程度であることが好ましい。このような構成にすることで、導電体 2 6 0 などを埋め込むため

の開口を形成する際に、開口の底部にあたる酸化物 230b の表面に損傷領域が形成されても、当該損傷領域を除去することができる。これにより、損傷領域に起因するトランジスタ 200 の電気特性の不良を抑制することができる。

[0392]

ここで、酸化物 230c に用いる金属酸化物における、元素Mに対する In の原子数比が、酸化物 230a または酸化物 230d に用いる金属酸化物における、元素Mに対する In の原子数比より大きいことが好ましい。

[0393]

なお、酸化物 230c をキャリアの主たる経路とする場合には、酸化物 230c において、主成分である金属元素に対するインジウムの原子数比が、酸化物 230b における、主成分である金属元素に対するインジウムの原子数比より大きいことが好ましい。また、酸化物 230c において、元素Mに対する In の原子数比が、酸化物 230b における、元素Mに対する In の原子数比より大きいことが好ましい。インジウムの含有量が多い金属酸化物をチャネル形成領域に用いることで、トランジスタのオン電流を増大することができる。よって、酸化物 230c において、主成分である金属元素に対するインジウムの原子数比を、酸化物 230b における、主成分である金属元素に対するインジウムの原子数比よりも大きくすることで、酸化物 230c をキャリアの主たる経路とすることができる。また、酸化物 230c の伝導帯下端は、酸化物 230a および酸化物 230b の伝導帯下端より真空準位から離れていることが好ましい。言い換えると、酸化物 230c の電子親和力は、酸化物 230a および酸化物 230b の電子親和力より大きいことが好ましい。このとき、キャリアの主たる経路は酸化物 230c となる。

[0394]

また、酸化物 230c として、CAAC-OS を用いることが好ましく、酸化物 230c が有する結晶の c 軸が、酸化物 230c の被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-OS は、c 軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物 230c が有する酸素を、酸化物 230b に効率的に供給することができる。

[0395]

また、酸化物 230d は、酸化物 230c に用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物 230c として、In-M-Zn 酸化物、In-Zn 酸化物、またはインジウム酸化物を用い、酸化物 230d として、In-M-Zn 酸化物、M-Zn 酸化物、または元素Mの酸化物を用いるとよい。これにより、酸化物 230c と酸化物 230d との界面における欠陥準位密度を低くすることができる。

[0396]

また、酸化物 230d の伝導帯下端が、酸化物 230c の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物 230d の電子親和力は、酸化物 230c の電子親和力より小さいことが好ましい。この場合、酸化物 230d は、酸化物 230a または酸化物 230b に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 230c となる。

[0397]

具体的には、酸化物 230c として、In:M:Zn=4:2:3 [原子数比] もしくはその近

傍の組成、 $I n : M : Z n = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $I n : M : Z n = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用いればよい。また、酸化物 230d として、 $I n : M : Z n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $M : Z n = 2 : 1$ [原子数比] もしくはその近傍の組成、または $M : Z n = 2 : 5$ [原子数比] もしくはその近傍の組成の金属酸化物、または、元素 M の酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。

[0398]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0399]

また、酸化物 230d は、酸化物 230c より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体 250 と酸化物 230c との間に酸化物 230d を設けることで、酸化物 230c を介して、酸化物 230b に効率的に酸素を供給することができる。

[0400]

また、酸化物 230d に用いる金属酸化物において、主成分である金属元素に対する $I n$ の原子数比が、酸化物 230c に用いる金属酸化物における、主成分である金属元素に対する $I n$ の原子数比より小さくすることで、 $I n$ が絶縁体 250 側に拡散するのを抑制することができる。例えば、酸化物 230d において、元素 M に対する $I n$ の原子数比を、酸化物 230c における、元素 M に対する $I n$ の原子数比より小さくすればよい。絶縁体 250 は、ゲート絶縁体として機能するため、 $I n$ が絶縁体 250 などに混入した場合、トランジスタの特性不良となる。したがって、酸化物 230c と絶縁体 250 との間に酸化物 230d を設けることで、信頼性の高い半導体装置を提供することが可能となる。

[0401]

なお、酸化物 230c は、トランジスタ 200 毎に設けてもよい。つまり、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、は、接しなくてもよい。また、トランジスタ 200 の酸化物 230c と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230c と、を、離隔してもよい。別言すると、酸化物 230c が、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に配置されない構成としてもよい。

[0402]

複数のトランジスタ 200 がチャネル幅方向に並んで配置されている半導体装置において、上記構成にすることで、トランジスタ 200 に酸化物 230c がそれぞれ独立して設けられる。よって、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、寄生トランジスタが生じるのを抑制し、上記リークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0403]

なお、絶縁体 287 は、絶縁体 282 または絶縁体 284 と同様の絶縁体を用いることができる。また、図 21 に示す絶縁体 284 を成膜した後で、ドライエッチング法を用いて異方性エッチング

することで、図 2 2 に示す、絶縁体 2 1 4、絶縁体 2 1 6、絶縁体 2 2 2、絶縁体 2 2 4、絶縁体 2 7 5、絶縁体 2 8 0、および絶縁体 2 8 2 の側面に接する絶縁体 2 8 7 を形成することができる。
[0404]

また、図 2 2 に示すように、絶縁体 2 7 1、および絶縁体 2 7 3 を設けない構成にした場合、導電体 2 4 2 の側面と導電体 2 4 2 の上面との間に、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある。湾曲面は、例えば、導電体 2 4 2 の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。なお、本発明はこれに限られるものではなく、図 2 2 に示す構成において、さらに、絶縁体 2 7 1、絶縁体 2 7 2、および絶縁体 2 7 3 を設ける構成にしてもよい。

[0405]

<半導体装置の応用例>

以下では、図 2 3 A および図 2 3 B を用いて、先の<半導体装置の構成例>および先の<半導体装置の変形例>で示したものと異なる、本発明の一態様に係るトランジスタ 2 0 0 を有する半導体装置の一例について説明する。なお、図 2 3 A および図 2 3 B に示す半導体装置において、<<半導体装置の変形例>>に示した半導体装置（図 2 1 A 乃至図 2 1 D 参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 2 0 0 の構成材料については<半導体装置の構成例>および<半導体装置の変形例>で詳細に説明した材料を用いることができる。

[0406]

図 2 3 A および図 2 3 B に、複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n を、絶縁体 2 8 3 と絶縁体 2 1 2 で、包括して封止した構成について示す。なお、図 2 3 A および図 2 3 B において、トランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n は、チャネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n は、チャネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

[0407]

図 2 3 A に示すように、複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n の外側において、絶縁体 2 8 3 と絶縁体 2 1 2 が接する部分（以下、封止部 2 6 5 と呼ぶ場合がある。）が形成されている。封止部 2 6 5 は、複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n を囲むように形成されている。このような構造にすることで、複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n を絶縁体 2 8 3 と絶縁体 2 1 2 で包み込むことができる。よって封止部 2 6 5 に囲まれたトランジスタ群が、基板上に複数設けられることになる。

[0408]

また、封止部 2 6 5 に重ねてダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部 2 6 5 に囲まれたトランジスタ群が 1 チップとして取り出されることになる。

[0409]

また、図 2 3 A では、複数のトランジスタ 2 0 0__1 乃至トランジスタ 2 0 0__n を一つの封止部 2 6 5 で囲む例について示したが、これに限られるものではない。図 2 3 B に示すように、複数

のトランジスタ 200__1 乃至トランジスタ 200__n を複数の封止部で囲む構成にしてもよい。図 23B では、複数のトランジスタ 200__1 乃至トランジスタ 200__n を封止部 265a で囲み、さらに外側の封止部 265b でも囲む構成にしている。

[0410]

このように、複数の封止部で複数のトランジスタ 200__1 乃至トランジスタ 200__n を囲む構成にすることで、絶縁体 283 と絶縁体 212 が接する部分が増えるので、絶縁体 283 と絶縁体 212 の密着性をより向上させることができる。これにより、より確実に複数のトランジスタ 200__1 乃至トランジスタ 200__n を封止することができる。

[0411]

この場合、封止部 265a または封止部 265b に重ねてダイシングラインを設けてもよいし、封止部 265a と封止部 265b の間にダイシングラインを設けてもよい。

[0412]

なお、図 23A、図 23B に示すトランジスタでは、図 21 に示すトランジスタ 200 と異なり、絶縁体 274 の上面が、絶縁体 283 の上面と略一致する構成をとっている。また、絶縁体 284 を設けない構成としている。本発明はこれに限られるものではなく、例えば、絶縁体 274 が絶縁体 283 を覆う構成にしてもよいし、絶縁体 284 を設ける構成にしてもよい。

[0413]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0414]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0415]

(実施の形態 2)

本実施の形態では、半導体装置の一形態を、図 24 乃至図 29 を用いて説明する。

[0416]

[記憶装置 1]

本発明の一態様に係る半導体装置（記憶装置）の一例を図 24 に示す。本発明の一態様の半導体装置は、トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、およびトランジスタ 200 の上方に設けられている。なお、トランジスタ 200 として、先の実施の形態で説明したトランジスタ 200 を用いることができる。

[0417]

トランジスタ 200 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 200 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは

は、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0418]

図24に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0419]

また、図24に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0420]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0421]

ここで、図24に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0422]

なお、図24に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0423]

<容量素子100>

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110と、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130とを有する。ここで、絶縁体130は、上記実施の形態に示す絶縁体286として用いることができる絶縁体を用いることが好ましい。

[0424]

また、例えば、導電体240上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。また、導電体112および導

電体 110 は、先の実施の形態に示す導電体 246 に相当する。

[0425]

図 24 では、導電体 112、および導電体 110 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0426]

また、絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0427]

例えば、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いることが好ましい。当該構成により、容量素子 100 は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0428]

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0429]

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0430]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0431]

例えば、トランジスタ 300 上には、層間膜として、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 が順に積層して設けられている。また、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 には容量素子 100、またはトランジスタ 200 と電氣的に接続する導電体 328、および導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 はプラグ、または配線として機能する。

[0432]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能して

もよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0433]

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 2 4 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。

[0434]

同様に、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体（導電体 2 0 5）等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線としての機能を有する。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。

[0435]

ここで、上記実施の形態に示す絶縁体 2 4 1 と同様に、プラグとして機能する導電体 2 1 8 の側面に接して絶縁体 2 1 7 が設けられる。絶縁体 2 1 7 は、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 に形成された開口の内壁に接して設けられている。つまり、絶縁体 2 1 7 は、導電体 2 1 8 と、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 と、の間に設けられている。なお、導電体 2 0 5 は導電体 2 1 8 と並行して形成することができるので、導電体 2 0 5 の側面に接して絶縁体 2 1 7 が形成される場合もある。

[0436]

絶縁体 2 1 7 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 2 1 7 は、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 2 2 に接して設けられるので、絶縁体 2 1 0 または絶縁体 2 1 6 などから水または水素などの不純物が、導電体 2 1 8 を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するバリア性が高いので好適である。また、絶縁体 2 1 0 または絶縁体 2 1 6 に含まれる酸素が導電体 2 1 8 に吸収されるのを防ぐことができる。

[0437]

絶縁体 2 1 7 は、絶縁体 2 4 1 と同様の方法で形成することができる。例えば、PEALD法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 3 5 6 に達する開口を形成すればよい。

[0438]

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0439]

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0440]

例えば、絶縁体 1 5 0、絶縁体 2 1 0、絶縁体 3 5 2、および絶縁体 3 5 4 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、

フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0441]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体212および絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0442]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0443]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0444]

例えば、導電体328、導電体330、導電体356、導電体218、および導電体112等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0445]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領

域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0446]

例えば、図24では、過剰酸素を有する絶縁体224および絶縁体280と、導電体240との間に、絶縁体241を設けるとよい。絶縁体241と、絶縁体222、絶縁体275、絶縁体282、および絶縁体283とが接して設けられることで、絶縁体224、およびトランジスタ200は、バリア性を有する絶縁体により、封止する構造とすることができる。

[0447]

つまり、絶縁体241を設けることで、絶縁体224および絶縁体280が有する過剰酸素が、導電体240に吸収されることを抑制することができる。また、絶縁体241を有することで、不純物である水素が、導電体240を介して、トランジスタ200へ拡散することを抑制することができる。

[0448]

なお、絶縁体241としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するバリア性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

[0449]

また、上記実施の形態で示したように、トランジスタ200は、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で封止される構成にしてもよい。このような構成とすることで、絶縁体274、絶縁体150などに含まれる水素が絶縁体280などに混入するのを低減することができる。

[0450]

ここで絶縁体283、および絶縁体282には導電体240が、絶縁体214、および絶縁体212には導電体218が貫通しているが、上記の通り、絶縁体241が導電体240に接して設けられ、絶縁体217が導電体218に接して設けられている。これにより、導電体240および導電体218を介して、絶縁体212、絶縁体214、絶縁体282、および絶縁体283の内側に混入する水素を低減することができる。このようにして、絶縁体212、絶縁体214、絶縁体282、絶縁体283、絶縁体241、および絶縁体217でトランジスタ200を封止し、絶縁体274等に含まれる水素などの不純物が外側から混入するのを低減することができる。

[0451]

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

[0452]

ここで、例えば、図24に示すように、絶縁体283と、絶縁体212とが接する領域がダイシ

ングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体275、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に開口を設ける。

[0453]

つまり、絶縁体282、絶縁体280、絶縁体275、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に設けた開口において、絶縁体212と、絶縁体283とが接する。例えば、このとき、絶縁体212と、絶縁体283とを同材料及び同方法を用いて形成してもよい。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

[0454]

当該構造により、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で、トランジスタ200を包み込むことができる。絶縁体212、絶縁体214、絶縁体282、および絶縁体283の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

[0455]

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0456]

なお、図24に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図25に示すように、容量素子100の形状をシリンダ型にしてもよい。なお、図25に示す記憶装置は、絶縁体150より下の構成は、図24に示す半導体装置と同様である。

[0457]

図25に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体142と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体125および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。また、絶縁体152上に絶縁体154が配置され、絶縁体154上に導電体153と絶縁体156が配置される。ここで、導電体140は、絶縁体130、絶縁体150、絶縁体142、絶縁体145、絶縁体152、および絶縁体154に形成された開口の中に設けられている。

[0458]

導電体 115 は容量素子 100 の下部電極として機能し、導電体 125 は容量素子 100 の上部電極として機能し、絶縁体 145 は、容量素子 100 の誘電体として機能する。容量素子 100 は、絶縁体 150 および絶縁体 142 の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子 100 の静電容量を大きくすることができる。このように容量素子 100 の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0459]

絶縁体 152 は、絶縁体 280 に用いることができる絶縁体を用いればよい。また、絶縁体 142 は、絶縁体 150 の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体 214 に用いることができる絶縁体を用いればよい。

[0460]

絶縁体 150 および絶縁体 142 に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ 200 の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子 100 とトランジスタ 200 を有する半導体装置の占有面積を低減することができる。

[0461]

導電体 115 は、絶縁体 142、および絶縁体 150 に形成された開口に接して配置される。導電体 115 の上面は、絶縁体 142 の上面と略一致することが好ましい。また、導電体 115 の下面は、絶縁体 130 の開口を介して導電体 110 に接する。導電体 115 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0462]

絶縁体 145 は、導電体 115 および絶縁体 142 を覆うように配置される。例えば、ALD 法または CVD 法などを用いて絶縁体 145 を成膜することが好ましい。絶縁体 145 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体 145 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0463]

また、絶縁体 145 には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率 (high-k) 材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率 (high-k) 材料の積層構造を用いてもよい。

[0464]

なお、高誘電率 (high-k) 材料 (高い比誘電率の材料) の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。この

ようなh i g h－k材料を用いることで、絶縁体145を厚くしても容量素子100の静電容量を十分確保することができる。絶縁体145を厚くすることにより、導電体115と導電体125の間に生じるリーク電流を抑制することができる。

[0465]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD法を用いて成膜した窒化シリコン(SiN_x)、PEALD法を用いて成膜した酸化シリコン(SiO_x)、ALD法を用いて成膜した窒化シリコン(SiN_x)の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0466]

導電体125は、絶縁体142および絶縁体150に形成された開口を埋めるように配置される。また、導電体125は、導電体140、および導電体153を介して配線1005と電氣的に接続している。導電体125は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

[0467]

また、導電体153は、絶縁体154上に設けられており、絶縁体156に覆われている。導電体153は、導電体112に用いることができる導電体を用いればよく、絶縁体156は、絶縁体152に用いることができる絶縁体を用いればよい。ここで、導電体153は導電体140の上面に接しており、容量素子100、トランジスタ200、またはトランジスタ300の端子として機能する。

[0468]

[記憶装置2]

本発明の一態様に係る半導体装置（記憶装置）の一例を図26に示す。

[0469]

<メモリデバイスの構成例>

図26は、メモリデバイス290を有する半導体装置の断面図である。図26に示すメモリデバイス290は、図1A乃至図1Dに示すトランジスタ200に加えて、容量デバイス292を有する。図26は、トランジスタ200のチャネル長方向の断面図に相当する。

[0470]

容量デバイス292は、導電体242bと、導電体242b上に設けられた絶縁体271bおよび絶縁体273bと、導電体242bの側面に接して設けられた絶縁体272bと、絶縁体273b、および絶縁体272bを覆って設けられた絶縁体275と、絶縁体275上の導電体294と、を有する。すなわち、容量デバイス292は、MIM(Metal-Insulator-Metal)容量を構成している。なお、容量デバイス292が有する一対の電極の一方、すなわち導電体242bは、トランジスタのソース電極を兼ねることができる。また、容量デバイス292が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体271、絶縁体272、および絶縁体275を兼ねることができる。したがって、容量デバイス292の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることが

できる。また、容量デバイス 292 が有する一対の電極の一方、すなわち導電体 242 b は、トランジスタのソース電極と兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

[0471]

なお、導電体 294 としては、例えば、導電体 242 に用いることのできる材料を用いればよい。

[0472]

<メモリデバイスの変形例>

以下では、図 27A、図 27B、図 28、および図 29 を用いて、先の<メモリデバイスの構成例>で示したものと異なる、本発明の一態様に係るトランジスタ 200、および容量デバイス 292 を有する半導体装置の一例について説明する。なお図 27A、図 27B、図 28、および図 29 に示す半導体装置において、先の実施の形態および<メモリデバイスの構成例>に示した半導体装置（図 26 参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 200、および容量デバイス 292 の構成材料については、先の実施の形態および<メモリデバイスの構成例>で詳細に説明した材料を用いることができる。

[0473]

<<メモリデバイスの変形例 1>>

以下では、本発明の一態様に係るトランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 の一例について図 27A を用いて説明する。

[0474]

図 27A は、トランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 のチャンネル長方向の断面図である。ここで、容量デバイス 292a は、導電体 242a と、導電体 242a 上に設けられた絶縁体 271a、および導電体 242a の側面に接して設けられた絶縁体 272a と、絶縁体 271a、および絶縁体 272a を覆って設けられた導電体 294a と、を有する。また、容量デバイス 292b は、導電体 242b と、導電体 242b 上に設けられた絶縁体 271b、および導電体 242b の側面に接して設けられた絶縁体 272b と、絶縁体 271b、および絶縁体 272b を覆って設けられた導電体 294b と、を有する。

[0475]

半導体装置 600 は、図 27A に示すように、A3-A4 の一点鎖線を対称軸とした線対称の構成となっている。トランジスタ 200a のソース電極またはドレイン電極の一方と、トランジスタ 200b のソース電極またはドレイン電極の一方は、導電体 242c が兼ねる構成となっている。なお、導電体 242c 上には絶縁体 271c が設けられ、絶縁体 271c 上に絶縁体 273c が設けられる。また、配線として機能する導電体 246 と、トランジスタ 200a、およびトランジスタ 200b との接続もプラグとして機能する導電体 240 が、兼ねる構成となっている。このように、2つのトランジスタと、2つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

[0476]

トランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b のそれぞれの構成および効果については、図 1A 乃至図 1D、および図 26 に示す半導体装

置の構成例を参酌することができる。

[0477]

<<メモリデバイスの変形例2>>

上記においては、半導体装置の構成例としてトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図27Bに示すように半導体装置600と、半導体装置600と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置をセルと称する。トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bの構成については、上述のトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bに係る記載を参酌することができる。

[0478]

図27Bは、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置600と、半導体装置600と同様の構成を有するセルが容量部を介して接続されている断面図である。

[0479]

図27Bに示すように、半導体装置600が有する容量デバイス292bの一方の電極として機能する導電体294bは、半導体装置600と同様の構成を有する半導体装置601が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置600が有する容量デバイス292aの一方の電極として機能する導電体294aが、半導体装置600の左側、つまり図27Bにおいて、A1方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置601の右側、つまり、図27Bにおいて、A2方向のセルについても同様の構成となっている。つまりセルアレイ（メモリデバイス層ともいう。）を構成することができる。このようなセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。また、図27Bに示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

[0480]

上述のように、本実施の形態に示す構成で、トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

[0481]

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図28にセルアレイ610をn層積層する構成の断面図を示す。図28に示すように、複数のセルアレイ（セルアレイ610__1乃至セルアレイ610__n）を積層することにより、セルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[0482]

<メモリデバイスの変形例3>

図29は、メモリユニット470がトランジスタ200Tを有するトランジスタ層413と、4

層のメモリデバイス層 4 1 5（メモリデバイス層 4 1 5__1 乃至メモリデバイス層 4 1 5__4）を有する例を示す。

[0 4 8 3]

メモリデバイス層 4 1 5__1 乃至メモリデバイス層 4 1 5__4 は、それぞれ複数のメモリデバイス 4 2 0 を有する。

[0 4 8 4]

メモリデバイス 4 2 0 は、導電体 4 2 4、および導電体 2 0 5 を介して異なるメモリデバイス層 4 1 5 が有するメモリデバイス 4 2 0、およびトランジスタ層 4 1 3 が有するトランジスタ 2 0 0 T と電氣的に接続する。

[0 4 8 5]

メモリユニット 4 7 0 は、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 により封止される（便宜的に、以下では封止構造と呼ぶ）。絶縁体 2 8 3 の周囲には絶縁体 2 7 4 が設けられる。また、絶縁体 2 7 4、絶縁体 2 8 3、および絶縁体 2 1 2 には導電体 4 4 0 が設けられ、素子層 4 1 1 と電氣的に接続する。

[0 4 8 6]

また、封止構造の内部には、絶縁体 2 8 0 が設けられる。絶縁体 2 8 0 は、加熱により酸素を放出する機能を有する。または、絶縁体 2 8 0 は、過剰酸素領域を有する。

[0 4 8 7]

なお、絶縁体 2 1 2、および絶縁体 2 8 3 は、水素に対するバリア性が高い機能を有する材料であると好適である。また、絶縁体 2 1 4、および絶縁体 2 8 2 は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

[0 4 8 8]

例えば、上記水素に対するバリア性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

[0 4 8 9]

なお、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が多い場合がある。

[0 4 9 0]

また、トランジスタ層 4 1 3 とメモリデバイス層 4 1 5 の間、または各メモリデバイス層 4 1 5 の間にも、絶縁体 2 8 2、および絶縁体 2 1 4 が設けられることが好ましい。また、絶縁体 2 8 2、および絶縁体 2 1 4 の間に絶縁体 2 9 6 が設けられることが好ましい。絶縁体 2 9 6 は、絶縁体 2 8 3 と同様の材料を用いることができる。または、酸化シリコン、酸化窒化シリコンを用いることができる。または、公知の絶縁性材料を用いてもよい。

[0 4 9 1]

ここで、絶縁体 2 8 0 中の過剰酸素は、絶縁体 2 8 0 と接する酸化物半導体中の水素の拡散に対

し、下記のようなモデルが考えられる。

[0492]

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へと拡散する。当該水素の拡散により、絶縁体280中の過剰酸素が酸化物半導体中の水素と反応しOH結合となり、絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、水素原子は絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

[0493]

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

[0494]

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは400℃以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

[0495]

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、および絶縁体282を介して、外方に拡散することができる。つまり、酸化物半導体、及び当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

[0496]

上記加熱処理のあと、絶縁体283を形成する。絶縁体283は、水素に対するバリア性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

[0497]

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415__1乃至メモリデバイス層415__3の形成後に、それぞれ上記加熱処理を行っても良い。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層413の上方または横方向に水素が拡散される。同様に、メモリデバイス層415__1乃至メモリデバイス層415__3形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

[0498]

なお、上記の作製プロセスとすることで、絶縁体212と、絶縁体283と、が接着することで、上述した封止構造が形成される。

[0499]

以上のように、上記の構造、及び上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供す

ることができる。

[0500]

本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせ用いることができる。

[0501]

(実施の形態3)

本実施の形態では、図30A、図30Bおよび図31A乃至図31Hを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0502]

<記憶装置の構成例>

図30AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0503]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0504]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0505]

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0506]

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数は、メモリ

セルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

[0507]

なお、図30Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図30Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0508]

図31A乃至図31Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0509]

[DOSRAM]

図31A乃至図31Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1OSトランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM（登録商標、Dynamic Oxide Semiconductor Random Access Memory）と呼ぶ場合がある。図31Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0510]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0511]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0512]

ここで、図31Aに示すメモリセル1471は、図26に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量デバイス292に対応している。

[0513]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図31Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図31Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0514]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0515]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0516]

[NOSRAM]

図31D乃至図31Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図31Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

[0517]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0518]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0519]

ここで、図31Dに示すメモリセル1474は、図24に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1002に、配線SLは配

線1001に対応している。

[0520]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図31Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図31Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図31Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0521]

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0522]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0523]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0524]

また、図31Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図31Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0525]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的

に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0526]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい、この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0527]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0528]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0529]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置（メモリ）が用いられる。図32に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図32では、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)、3D NANDメモリを示している。

[0530]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0531]

SRAMは、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

[0532]

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、およそ0.1乃至0.3 Gbit/mm²である。

[0533]

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、およそ0.6乃至6.0 Gbit/mm²である。

[0534]

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域 901 に位置する記憶装置として好適に用いることができる。または、本発明の一態様の記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域 902 に位置する記憶装置として好適に用いることができる。

[0535]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせる用いることができる。

[0536]

(実施の形態 4)

本実施の形態では、図 33A および図 33B を用いて、本発明の半導体装置が実装されたチップ 1200 の一例を示す。チップ 1200 には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

[0537]

図 33A に示すように、チップ 1200 は、CPU 1211、GPU 1212、一または複数のアナログ演算部 1213、一または複数のメモリコントローラ 1214、一または複数のインターフェース 1215、一または複数のネットワーク回路 1216 等を有する。

[0538]

チップ 1200 には、バンプ（図示しない）が設けられ、図 33B に示すように、プリント基板（Printed Circuit Board: PCB）1201 の第 1 の面と接続する。また、PCB 1201 の第 1 の面の裏面には、複数のバンプ 1202 が設けられており、マザーボード 1203 と接続する。

[0539]

マザーボード 1203 には、DRAM 1221、フラッシュメモリ 1222 等の記憶装置が設けられていてもよい。例えば、DRAM 1221 に先の実施の形態に示す DOSRAM を用いることができる。また、例えば、フラッシュメモリ 1222 に先の実施の形態に示す NOSRAM を用いることができる。

[0540]

CPU 1211 は、複数の CPU コアを有することが好ましい。また、GPU 1212 は、複数の GPU コアを有することが好ましい。また、CPU 1211、および GPU 1212 は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU 1211、および GPU 1212 に共通のメモリが、チップ 1200 に設けられていてもよい。該メモリには、前述した NOSRAM や、DOSRAM を用いることができる。また、GPU 1212 は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212 に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0541]

また、CPU 1211、および GPU 1212 が同一チップに設けられていることで、CPU 1211 および GPU 1212 間の配線を短くすることができ、CPU 1211 から GPU 1212

へのデータ転送、CPU 1211、およびGPU 1212が有するメモリ間のデータ転送、およびGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

[0542]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0543]

メモリコントローラ1214は、DRAM 1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0544]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0545]

ネットワーク回路1216は、LAN（Local Area Network）などとの接続を制御する機能を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0546]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0547]

GPU 1212を有するチップ1200が設けられたPCB 1201、DRAM 1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0548]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU 1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0549]

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

[0550]

(実施の形態 5)

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

[0551]

<電子部品>

まず、記憶装置 720 が組み込まれた電子部品の例を、図 34A および図 34B を用いて説明を行う。

[0552]

図 34A に電子部品 700 および電子部品 700 が実装された基板（実装基板 704）の斜視図を示す。図 34A に示す電子部品 700 は、モールド 711 内に記憶装置 720 を有している。図 34A は、電子部品 700 の内部を示すために、一部を省略している。電子部品 700 は、モールド 711 の外側にランド 712 を有する。ランド 712 は電極パッド 713 と電氣的に接続され、電極パッド 713 は記憶装置 720 とワイヤ 714 によって電氣的に接続されている。電子部品 700 は、例えばプリント基板 702 に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板 702 上で電氣的に接続されることで実装基板 704 が完成する。

[0553]

記憶装置 720 は、駆動回路層 721 と、記憶回路層 722 と、を有する。

[0554]

図 34B に電子部品 730 の斜視図を示す。電子部品 730 は、SiP (System in package) または MCM (Multi Chip Module) の一例である。電子部品 730 は、パッケージ基板 732 (プリント基板) 上にインターポーザ 731 が設けられ、インターポーザ 731 上に半導体装置 735、および複数の記憶装置 720 が設けられている。

[0555]

電子部品 730 では、記憶装置 720 を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置 735 は、CPU、GPU、FPGA などの集積回路 (半導体装置) を用いることができる。

[0556]

パッケージ基板 732 は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ 731 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0557]

インターポーザ 731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 731 は、インターポーザ 731 上に設けられた集積回路をパッケージ基板 732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0558]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0559]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0560]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0561]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

[0562]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図34Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0563]

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

[0564]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0565]

（実施の形態6）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナ

ビゲーショシステムなど)の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード(例えば、SDカード)、USBメモリ、SSD(ソリッド・ステート・ドライブ)等の各種のリムーバブル記憶装置に適用される。図35A乃至図35Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0566]

図35AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0567]

図35BはSDカードの外観の模式図であり、図35Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0568]

図35DはSSDの外観の模式図であり、図35Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0569]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0570]

(実施の形態7)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図36A乃至図36Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0571]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子書籍端末、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。これらの電子機器に、本発明の一態様に係る半導体装置を設けることで、信頼性が良好な電子機器を提供することができる。または、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0572]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0573]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）を有していてもよい。

[0574]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図36A乃至図36Hに、電子機器の例を示す。

[0575]

[情報端末]

図36Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0576]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0577]

図36Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

[0578]

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自

動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

[0579]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図36A、図36Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0580]

[ゲーム機]

図36Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0581]

また、図36Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

[0582]

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0583]

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

[0584]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0585]

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0586]

図36C、図36Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0587]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0588]

図36Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図36Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0589]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0590]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0591]

図36E、図36Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0592]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0593]

図36Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図36Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0594]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、

燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル 5701 乃至表示パネル 5703 は、照明装置として用いることも可能である。

[0595]

表示パネル 5704 には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル 5704 は、照明装置として用いることもできる。

[0596]

本発明の一態様の GPU またはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル 5701 乃至表示パネル 5704 には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0597]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0598]

[電化製品]

図 36H は、電化製品の一例である電気冷凍冷蔵庫 5800 を示している。電気冷凍冷蔵庫 5800 は、筐体 5801、冷蔵室用扉 5802、冷凍室用扉 5803 等を有する。

[0599]

電気冷凍冷蔵庫 5800 に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫 5800 を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0600]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0601]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0602]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能で

ある。

[実施例1]

[0603]

本実施例では、先の実施の形態に示すトランジスタを作製し、電気特性の測定と、データ保持時間および動作周波数の見積もりを行った。データ保持時間および動作周波数の見積もりは、当該トランジスタに容量素子を設けたDOSRAMを想定して行った。

[0604]

本実施例では、図22に示す、トランジスタ200と同様の構成を有するトランジスタを、 2.0 個/ μm^2 の密度で配置したサンプル1を作製し、サンプル1の電気特性を測定した。さらに、電気特性からデータ保持時間および動作周波数の見積もりを行った。

[0605]

まず、サンプル1の構成について説明する。図22に示すように、サンプル1は、基板（図示せず）の上に配置された絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214の上に配置された絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216および導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に離間して配置された酸化物243aおよび酸化物243bと、酸化物243aの上に配置された導電体242aと、酸化物243bの上に配置された導電体242bと、導電体242a、導電体242b、および絶縁体224の上に配置された絶縁体275と、絶縁体275の上に配置された絶縁体280と、酸化物230bの上に配置された酸化物230cと、酸化物230cの上に配置された酸化物230dと、酸化物230dの上に配置された絶縁体250と、絶縁体250の上に配置された導電体260と、絶縁体280および導電体260の上に配置された絶縁体282と、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体275、絶縁体280、および絶縁体282の側面に接して配置された絶縁体287と、絶縁体212、絶縁体287、および絶縁体282を覆って配置された絶縁体283と、を有する。

[0606]

絶縁体212として膜厚60nmの窒化シリコンを用いた。絶縁体212は、シリコンターゲットを用いて、パルスDCスパッタリング法を用いて成膜した。絶縁体212の成膜には、成膜ガスとして、アルゴンガス30sccm（第1のガス供給口から25sccm、第2のガス供給口から5sccm）、窒素ガス85sccmを用い、成膜圧力を0.5Paとし、基板温度を200℃とし、ターゲットと基板との間隔を62mmとした。パルスDC電源は、電力1kW、周波数100kHz、一周期中のオフ時間を4016nsとした。

[0607]

絶縁体214として膜厚40nmの酸化アルミニウムを用いた。絶縁体214は、アルミニウムターゲットを用いて、パルスDCスパッタリング法を用いて成膜した。絶縁体214の成膜には、成膜ガスとして、アルゴンガス14sccm（第1のガス供給口から9sccm、第2のガス供給口から5sccm）、酸素ガス69sccmを用い、成膜圧力を0.4Paとし、基板温度を200℃とし、ターゲットと基板との間隔を62mmとした。パルスDC電源は、電力5kW、周波数100kHz、一周期中のオフ時間を976nsとした。

[0608]

絶縁体 216 として膜厚 80 nm の酸化シリコンを用いた。絶縁体 216 は、シリコンターゲットを用いて、パルス DC スパッタリング法を用いて成膜した。絶縁体 216 の成膜には、成膜ガスとして、アルゴンガス 31 sccm（第 1 のガス供給口から 26 sccm、第 2 のガス供給口から 5 sccm）、酸素ガス 125 sccm を用い、成膜圧力を 0.7 Pa とし、基板温度を 200℃ とし、ターゲットと基板との間隔を 62 mm とした。パルス DC 電源は、電力 3 kW、周波数 100 kHz、一周期中のオフ時間を 4016 nsec とした。

[0609]

上記、絶縁体 212、絶縁体 214、および絶縁体 216 は、マルチチャンバー型のスパッタ装置を用いて、外気にさらさず、連続して成膜を行った。

[0610]

導電体 205 は、絶縁体 216 の開口の底面および側壁に接して導電体 205a が配置され、導電体 205a の上に導電体 205b が配置され、導電体 205b の上に導電体 205c が配置される。ここで、導電体 205c の側面は、導電体 205a に接して配置されている。つまり、導電体 205b は、導電体 205a および導電体 205c に包み込まれるように設けられている。

[0611]

導電体 205a および導電体 205c は、メタル CVD 法を用いて成膜された窒化チタンであり、導電体 205b は、メタル CVD 法を用いて成膜されたタングステンである。導電体 205 は、上記実施の形態において、図 4 乃至図 8 を用いて説明した方法で形成した。

[0612]

絶縁体 222 として、ALD 法を用いて成膜した、膜厚 20 nm の酸化ハフニウムを用いた。絶縁体 224 として、膜厚 30 nm の酸化窒化シリコンを用いた。

[0613]

酸化物 230a として、DC スパッタリング法を用いて成膜した、膜厚が 5 nm の In-Ga-Zn 酸化物を用いた。なお、酸化物 230a の成膜には、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用い、成膜ガスとして酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温度を 200℃ とし、ターゲットと基板との間隔を 60 mm とした。

[0614]

酸化物 230b として、DC スパッタリング法を用いて成膜した、膜厚が 15 nm の In-Ga-Zn 酸化物を用いた。なお、酸化物 230b の成膜には、In:Ga:Zn=4:2:4.1 [原子数比] のターゲットを用い、成膜ガスとして酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温度を 200℃ とし、ターゲットと基板との間隔を 60 mm とした。

[0615]

酸化物 243a および酸化物 243b として、DC スパッタリング法を用いて成膜した、膜厚が 2 nm の In-Ga-Zn 酸化物を用いた。なお、酸化物 230a の成膜には、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用い、成膜ガスとして酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温度を 200℃ とし、ターゲットと基板との間隔を 60 mm とした。

[0616]

なお、酸化物 2 4 3 となる酸化膜を成膜した後で、酸素雰囲気で 5 0 0 °C、1 時間の熱処理を行い、連続して、酸素雰囲気で 5 0 0 °C 1 時間の熱処理を行った。

[0 6 1 7]

導電体 2 4 2 a および導電体 2 4 2 b は、膜厚 2 5 n m の窒化タンタルを用いた。また、絶縁体 2 7 5 は、スパッタリング法を用いて成膜した膜厚 5 n m の酸化アルミニウムと、その上に A L D 法を用いて成膜した膜厚 3 n m の酸化アルミニウムの積層膜とした。

[0 6 1 8]

絶縁体 2 8 0 は、第 1 層と第 1 層上の第 2 層の積層膜とした。絶縁体 2 8 0 の第 1 層は、R F スパッタリング法を用いて成膜した、膜厚が 6 0 n m の酸化シリコンを用いた。絶縁体 2 8 0 の第 1 層の成膜には、S i O₂ ターゲットを用い、成膜ガスとして、酸素ガス 5 0 s c c m を用い、成膜圧力を 0. 7 P a とし、成膜電力を 1 5 0 0 W とし、基板温度を 1 7 0 °C とし、ターゲットと基板との間隔を 6 0 m m とした。絶縁体 2 8 0 の第 2 層は、P E C V D 法を用いて成膜した酸化窒化シリコンを用いた。

[0 6 1 9]

酸化物 2 3 0 c として、D C スパッタリング法を用いて成膜した、膜厚が 3 n m の I n - G a - Z n 酸化物を用いた。なお、酸化物 2 3 0 c の成膜には、I n : G a : Z n = 4 : 2 : 4. 1 [原子数比] のターゲットを用い、成膜ガスとして、酸素ガス 4 5 s c c m を用い、成膜圧力を 0. 7 P a とし、成膜電力を 5 0 0 W とし、基板温度を 2 0 0 °C とし、ターゲットと基板との間隔を 6 0 m m とした。

[0 6 2 0]

酸化物 2 3 0 d として、D C スパッタリング法を用いて成膜した、膜厚が 3 n m の I n - G a - Z n 酸化物を用いた。なお、酸化物 2 3 0 d の成膜には、I n : G a : Z n = 1 : 3 : 4 [原子数比] のターゲットを用い、成膜ガスとして酸素ガス 4 5 s c c m を用い、成膜圧力を 0. 7 P a とし、成膜電力を 5 0 0 W とし、基板温度を 2 0 0 °C とし、ターゲットと基板との間隔を 6 0 m m とした。

[0 6 2 1]

絶縁体 2 5 0 として、膜厚 6 n m の酸化窒化シリコンを用いた。絶縁体 2 5 0 の成膜後、マイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス 1 5 0 s c c m および酸素ガス 5 0 s c c m を用い、電力を 4 0 0 0 W とし、圧力を 4 0 0 P a とし、処理温度を 4 0 0 °C とし、処理時間を 6 0 0 秒とした。

[0 6 2 2]

導電体 2 6 0 a として、膜厚 5 n m の窒化チタンを用いた。また、導電体 2 6 0 b として、タングステンを用いた。

[0 6 2 3]

絶縁体 2 8 2 として、膜厚 4 0 n m の酸化アルミニウムを用いた。絶縁体 2 8 2 は、アルミニウムターゲットを用いて、パルス D C スパッタリング法を用いて成膜した。絶縁体 2 8 2 の成膜には、成膜ガスとして、アルゴンガス 1 4 s c c m (第 1 のガス供給口から 9 s c c m、第 2 のガス供給口から 5 s c c m)、酸素ガス 6 9 s c c m を用い、成膜圧力を 0. 4 P a とし、基板温度を 2 0 0 °C とし、ターゲットと基板との間隔を 6 2 m m とした。パルス D C 電源は、電力 5 k W、周波数 1 0 0 k H z とした。

[0624]

絶縁体287として、RFスパッタリング法で成膜した酸化アルミニウムを用いた。成膜した酸化アルミニウム膜を、ドライエッチング法を用いて、異方性エッチングを行い、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体275、絶縁体280、および絶縁体282の側面に接する絶縁体287を形成した。

[0625]

絶縁体283は、第1層と第1層上の第2層の積層膜とした。絶縁体283の第1層は、パルスDCスパッタリング法を用いて成膜した、膜厚が20nmの窒化シリコンを用いた。また、絶縁体283の第2層は、PECVD法を用いて成膜した、膜厚が20nmの窒化シリコンを用いた。

[0626]

以上のような構成を有するサンプル1は、チャネル長60nm、チャネル幅60nmを狙って設計した。なお、サンプル1は、トランジスタ200と同様に、上記構成に加えて、さらに、導電体240、絶縁体241、絶縁体274、および導電体246等を有する。また、サンプル1は、作製後に、窒素雰囲気、温度400℃、8時間の熱処理を行った。

[0627]

上記のように作製したサンプル1の27素子について、キーサイトテクノロジー製半導体パラメータアナライザを用いて、 I_D-V_G 特性（ドレイン電流ーゲート電圧特性）を測定した。 I_D-V_G 特性の測定は、ドレイン電位 V_D を0.1Vまたは1.2Vとし、ソース電位 V_S を0Vとし、ボトムゲート電位 V_{BG} を0Vとし、トップゲート電位 V_G を-4.0Vから4.0Vまで0.1Vステップで掃引させた。

[0628]

図37にサンプル1の I_D-V_G 特性の測定結果を示す。図37は、横軸にトップゲート電位 V_g [V]、第1の縦軸にドレイン電流 I_d [A]、第2の縦軸に $V_D=0.1$ Vにおける電界効果移動度 μ_{FE} [cm^2/Vs]をとる。また、 $V_D=0.1$ Vのドレイン電流を細い実線で示し、 $V_D=1.2$ Vのドレイン電流を太い破線で示し、 $V_D=0.1$ Vの電界効果移動度を細い点線で示している。図37に示すように、本実施例のサンプル1のトランジスタは、27素子全部で良好な電気特性を示した。

[0629]

また、上記の I_D-V_G 測定の結果から、27素子のシフト電圧 V_{sh} をそれぞれ算出し、その標準偏差 $\sigma(V_{sh})$ を求めた。ここで、シフト電圧 V_{sh} は、トランジスタの I_D-V_G カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_D=1$ pAの直線と交差する V_G で定義される。標準偏差 $\sigma(V_{sh})$ は34mVと極めて良好な値が得られた。このように、本実施例に示すサンプルは、電気特性のばらつきが少ないトランジスタであった。つまり、上記実施の形態に示す構造にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。

[0630]

次に、サンプル1のトランジスタに容量素子（保持容量3.5fF）を設けたDOSRAMを想定して、データ保持時間および動作周波数の見積もりを行った。DOSRAMのメモリセルとしては、図31Aに示す回路を想定した。ここで、サンプル1は図31Aに示すトランジスタM1に相当する。

[0631]

DOSRAMの「データ保持時間」とは、DOSRAMが有する容量素子にかかる電圧の変動量の変動許容電圧に達するまでに要する時間と言える。ここで、「変動許容電圧」とは、DOSRAMの容量素子にかかる電圧がデータ書き込み後から変動する量の許容値である。本実施例では、「変動許容電圧」を0.2 Vとし、「データ保持時間」を容量素子（保持容量3.5 fF）にかかる電圧がデータ書き込み後の状態から0.2 V低下するまでに要する時間とした。例えば、本実施例でDOSRAMのデータ保持が1時間という場合、DOSRAMが有する容量素子にかかる電位が、データ書き込み後から0.2 V低下するまでの時間が1時間であることを意味する。

[0632]

DOSRAMのデータ保持時間は、DOSRAMが有するトランジスタのオフ電流（ I_{off} と記す）の大きさに依存する。例えば、DOSRAMのデータ保持特性が、DOSRAMが有するトランジスタの I_{off} のみに依存する場合、DOSRAMのデータ保持時間は、DOSRAMが有するトランジスタの I_{off} に反比例する。

[0633]

DOSRAMが有するトランジスタの I_{off} が既知である場合、DOSRAMのデータ保持時間は、データ保持中に容量素子から失われる電荷量（容量素子の保持容量（3.5 fF）と容量素子にかかる電圧の低下分（0.2 V）との積に相当する0.7 fC）を I_{off} で割ることによって算出することができる。また、目標とするDOSRAMの保持時間を設定し、前述した電荷量0.7 fCを当該保持時間で割ることで、DOSRAMが有するトランジスタに求められる I_{off} を見積ることもできる。保持時間の目標を1時間とする場合、トランジスタに求められる I_{off} は約200 zA（ 200×10^{-21} A）となった。 I_{off} が200 zAとなるようにゲート電圧（ $V_{g(off)}$ と記す）を調整することで、広い温度範囲で高い動作周波数を有するDOSRAMとすることができる。

[0634]

まず、サンプル1において、トランジスタの I_D-V_G 測定を行った。 I_D-V_G 測定は、トランジスタのドレイン電位 V_D を+1.2 Vに、ソース電位 V_S を0 Vに、ゲート電位 V_G を-1.0 Vから+3.3 Vまで掃引することで行った。第2のゲート電圧 V_{BG} は-2.2 V固定で行った。なお、第2のゲート電圧 $V_{BG}=-2.2$ Vは、85℃の測定において、サンプル1のトランジスタの保持時間が1時間以上になるように見積もったものである。測定温度は、-40℃、27℃、85℃の3水準で行った。

[0635]

サンプル1は、測定対象となるトランジスタが形成された5インチ角基板を上記各温度に設定したサーモチャック上に固定した状態でトランジスタの I_D-V_G 測定を実施した。また、それぞれの設定温度に対し、18素子ずつ測定を行った。

[0636]

得られた I_D-V_G カーブから、トランジスタのシフト電圧（ V_{sh} ）及びサブスレッショルドスイング値（S値）を算出した。シフト電圧（ V_{sh} ）とは、トランジスタの I_D-V_G カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_D=1$ pAの直線と交差する V_G と定義する。

[0637]

本トランジスタは、実施の形態1の＜半導体装置の作製方法＞で示したように、チャネル形成領域に金属酸化物を用いている。チャネル形成領域に金属酸化物を用いたトランジスタは、例えば、

チャネル形成領域にS_iを用いたトランジスタと比べて、非導通状態におけるリーク電流が極めて小さい。そのため、チャネル形成領域に金属酸化物を用いたトランジスタは、実測によりI_{off}を検出することが困難な場合がある。本トランジスタにおいてもI_{off}の実測は困難であったため、前述のI_D-V_Gカーブから得られたV_{sh}及びS_{value}から、式(1)を用いた外挿によってI_{off}が200zAとなるV_{g(off)}を見積もった。サンプル1については、V_{g(off)}=-0.72Vとなった。なお、式(1)に示すように、トランジスタのオフ電流がV_G=V_{g(off)}に達するまで、S_{value}に従ってI_Dが単調減少すると仮定した。

[0638]

[数1]

$$I_{off} = 1 \times 10^{\left(-12 - \frac{V_{sh} - V_{g(off)}}{S_{value}}\right)} \quad (1)$$

[0639]

ここで、DOSRAM動作周波数の見積り方法について説明する。DOSRAM動作周波数とは、DOSRAMのデータ書き込みサイクルの逆数とする。DOSRAMのデータ書き込みサイクルは、DOSRAMが有する容量素子の充電時間などによって設定されるパラメータである。本実施例では、DOSRAMのデータ書き込みサイクル（DOSRAM動作周波数の逆数）の40%に相当する時間を、DOSRAMが有する容量素子の充電時間とする設定とした。

[0640]

DOSRAM動作周波数は、DOSRAMが有する容量素子の充電時間に依存する。したがって、DOSRAM動作周波数を見積るに際して、まずDOSRAMが有する容量素子の充電時間を事前に知る必要がある。本実施例では、DOSRAMが有する容量素子（保持容量3.5fF）に0.52V以上の電位がかかった状態を、当該容量素子が「充電された状態」と定義した。したがって、本実施例では、DOSRAMのデータ書き込み動作を開始してから、当該容量素子にかかる電位が0.52Vに達するまでの時間が、DOSRAMが有する容量素子の充電時間に相当する。

[0641]

DOSRAMが有する容量素子の充電時間は、DOSRAMデータ書き込み時における、DOSRAMが有するトランジスタのI_Dの大きさに依存する。そこで本実施例では、DOSRAMデータ書き込み時にDOSRAMが有するトランジスタにかかることが想定される電位（図38A参照）を、本発明の一態様に係るトランジスタに実際に印加することでDOSRAMデータ書き込み動作を再現し、このときのトランジスタのI_Dを測定した。図38Aは、容量素子C_sにトランジスタTr₁を介してデータを書き込む場合を想定している。それぞれDはドレイン、Gはゲート、Sはソースを表している。トランジスタTr₁のソースの電位（容量素子C_sに印加される電圧）をV_sとする。トランジスタTr₁をオンにすることで、電流I_Dが流れ、容量素子C_sが充電される。サンプル1については、トランジスタがオンとなるゲート電位V_{g(on)}をV_{g(off)}+2.97Vとした。つまり、ゲート電位V_{g(on)}を-0.72V+2.97V=+2.25Vとし、ドレイン電位V_dを+1.08Vに、ソース電位V_sを0Vから+0.52Vまで掃引することでトランジスタのI_D測定を行った。バックゲート電圧V_{BG}は-2.2V固定とした。測定温度は、-40℃、27℃、85℃の3水準で行った。

[0642]

DOSRAMの充電が開始されて V_s が書き込み判定電圧 V_{cs} に達した時に充電完了とする。この時の時間を充電時間 t_w とする（図38B参照）。DOSRAMが有する保持容量 C_s [F]の容量素子に充電される電荷を Q [C]、充電時間を t_w [sec]、充電によって容量素子にかかる電位を V_{cs} ($=V_s$) [V]、DOSRAMが有するトランジスタのドレイン電流を I_D [A]とした場合、各パラメータの間には以下の式（2）の関係が成り立つ。

[0643]

[数2]

$$Q = \int_0^{t_w} I_D dt = C_s \times V_{cs} \quad (2)$$

[0644]

式（2）を変形することで、DOSRAMが有する容量素子の充電時間 t_w を以下の式（3）で表すことができる（図38C参照）。

[0645]

[数3]

$$t_w = \int_0^{V_{cs}} \frac{C_s}{I_D} dV_s \quad (3)$$

[0646]

本実施例では、式（3）の C_s に3.5 fF、 V_{cs} に+0.52 V、前述の I_D-V_s 測定で得られた I_D を代入し、DOSRAMが有する容量素子の充電時間 t_w を算出した。

[0647]

DOSRAMの動作周波数 f と充電時間 t_w の関係を式（4）で表すことができる。

[0648]

[数4]

$$f = \frac{A}{t_w} \quad (4)$$

[0649]

式（4）において A は係数である。DOSRAMにおいて、1回の動作時間のうち、書き込みに要する時間は4割と想定されることから、本実施例では係数 A を t_w が2.0 nsecを超える場合は0.4固定とした。また、 t_w が2.0 nsec以下となると、メモリの周辺回路の信号遅延の影響が無視できなくなるために、その影響を考慮して、係数 A を設定する必要がある。メモリの周辺回路の信号遅延の影響を考慮して算出した結果を表1に示す。なお、周辺回路は、2.5 GHzのクロックで動作する想定とした。

[0650]

[表 1]

充電時間(t_w) [nsec]	書き込み時間 (係数A)	動作周波数 [MHz]
2.0	0.42	208
1.6	0.36	227
1.2	0.30	250
0.8	0.25	312
0.4	0.14	357

[0651]

以上の方法にて、サンプル1を測定し、動作周波数を算出した。図39にサンプル1における、動作周波数とデータ保持時間の相関を示す。図39では、横軸にデータ保持時間 [sec] を、縦軸に動作周波数 [MHz] をとる。ここで、図39の太い点線は保持時間1時間を示し、図39の細い点線は動作周波数200MHzを示す。図39に示すように、サンプル1の18素子全部で、85℃測定におけるデータ保持時間が1時間以上であり、かつ-40℃測定における動作周波数が200MHz以上であった。

[0652]

また、図40Aにサンプル1における、S値と V_{sh} の相関を示す。図40Aでは、横軸に V_{sh} [V] を、縦軸にS値 [V/déc] をとる。図40Aの点線はデータ保持時間が1時間以上の境界を示しており、当該点線より下に位置する素子はデータ保持時間が1時間以上である。図40Aに示すように、サンプル1の18素子全部で、データ保持時間が1時間以上であった。

[0653]

また、図40Bにサンプル1における、電界効果移動度 μ_{FE} としきい値 V_{th} の相関を示す。図40Bでは、横軸に V_{th} [V] を、縦軸に μ_{FE} [cm^2/Vs] をとる。図40Bに示すように、サンプル1の18素子全部で、電界効果移動度 μ_{FE} が $10 cm^2/Vs$ 以上であり、しきい値 V_{th} が0.3V以上と、良好な電気特性を示していた。

[0654]

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせる実施することができる。

[実施例2]

[0655]

本実施例では、図41Aに示す構造を有するサンプル2A、およびサンプル2B、ならびに図41Bに示す構造を有するサンプル2C、およびサンプル2Dを作製し、これらのサンプルについてシート抵抗測定を行った結果について説明する。

[0656]

図41Aに示す構造は、基板10と、基板10上の酸化物12と、酸化物12上の酸化物14と、酸化物14上の導電体16と、導電体16上の絶縁体18と、を有する。ここで、図41Aに示す構造は、図22に示すトランジスタ200のソースまたはドレイン近傍の構造に対応する。すなわち、酸化物12は酸化物230bに、酸化物14は酸化物243に、導電体16は導電体242に、絶縁体18は絶縁体275に対応する。

[0657]

また、図41Bに示す構造は、基板10と、基板10上の酸化物12と、酸化物12上の酸化物20と、酸化物20上の酸化物22と、酸化物22上の絶縁体24と、を有する。ここで、図41Bに示す構造は、図22に示すトランジスタ200のチャネル形成領域近傍の構造に対応する。すなわち、酸化物12は酸化物230bに、酸化物20は酸化物230cに、酸化物22は酸化物230dに、絶縁体24は絶縁体250に対応する。

[0658]

まず、図41Aに示す、サンプル2A、およびサンプル2Bの作製方法について説明する。

[0659]

まず、サンプル2Aおよびサンプル2Bにおいて、基板10として石英基板を準備した。それから、基板10の上に酸化物12としてIn-Ga-Zn酸化物を成膜し、外気にさらさず連続して酸化物12の上に酸化物14としてIn-Ga-Zn酸化物を成膜した。

[0660]

酸化物12は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4$ [原子数比] のターゲットを用い、DCスパッタリング法で膜厚が100nmになるように成膜した。なお、酸化物12の成膜では、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0661]

酸化物14は、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] のターゲットを用い、DCスパッタリング法で膜厚が2nmになるように成膜した。なお、酸化物14の成膜では、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0662]

次に、サンプル2Aおよびサンプル2Bを、窒素雰囲気中で、400℃、1時間熱処理を行い、外気にさらさず連続して酸素雰囲気中で、400℃、1時間熱処理を行った。

[0663]

次に、サンプル2Aおよびサンプル2Bにおいて、酸化物14の上に導電体16として窒化タンタルを成膜した。導電体16は、窒素ガスを含む雰囲気中で、タンタルのターゲットを用い、DCスパッタリング法で膜厚が20nmになるように成膜した。

[0664]

次に、サンプル2Aおよびサンプル2Bにおいて、導電体16の上に絶縁体18として酸化アルミニウムを成膜した。絶縁体18は、スパッタリング法を用いて成膜した膜厚5nmの酸化アルミニウムと、その上にALD法を用いて成膜した膜厚3nmの酸化アルミニウムとの積層膜とした。

[0665]

次に、サンプル2Bにマイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス150sccmおよび酸素ガス50sccmを用い、電力を4000Wとし、圧力を400Paとし、処理温度を400℃とし、処理時間を600秒とした。ここで、マイクロ波処理に用いたマイクロ波処理装置のチャンバーの石英天板の面積は2000cm²であった。よって、上記マイクロ波処理における電力密度PDは、2W/cm²となる。

[0666]

次に、図41Bに示す、サンプル2C、およびサンプル2Dの作製方法について説明する。

[0667]

酸化物12を成膜するまでは、サンプル2Aおよびサンプル2Bの作製方法と同じなので、当該作製方法を参照されたい。

[0668]

次に、サンプル2Cおよびサンプル2Dを、窒素雰囲気中で、400℃、1時間熱処理を行い、外気にさらさず連続して酸素雰囲気中で、400℃、1時間熱処理を行った。

[0669]

次に、サンプル2Cおよびサンプル2Dにおいて、酸化物12の上に酸化物20としてIn-Ga-Zn酸化物を成膜し、外気にさらさず連続して酸化物20の上に酸化物22としてIn-Ga-Zn酸化物を成膜した。

[0670]

酸化物20は、In:Ga:Zn=4:2:4.1 [原子数比] のターゲットを用い、DCスパッタリング法で膜厚が5nmになるように成膜した。なお、酸化物20の成膜では、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0671]

酸化物22は、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用い、DCスパッタリング法で膜厚が5nmになるように成膜した。なお、酸化物22の成膜では、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0672]

次に、サンプル2Cおよびサンプル2Dにおいて、酸化物22の上に絶縁体24として酸化窒化シリコンを成膜した。絶縁体24は、PECVD法で膜厚が10nmになるように成膜した。

[0673]

最後に、サンプル2Dにマイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス150sccmおよび酸素ガス50sccmを用い、電力を4000Wとし、圧力を400Paとし、処理温度を400℃とし、処理時間を600秒とした。ここで、マイクロ波処理に用いたマイクロ波処理装置のチャンバーの石英天板の面積は2000cm²であった。よって、上記マイクロ波処理における電力密度PDは、2W/cm²となる。

[0674]

上記のように作製したサンプル2A乃至サンプル2Dについて、それぞれのサンプルが酸化物12の上面を露出するように、絶縁体18、導電体16、および酸化物14、または、絶縁体24、酸化物22、および酸化物20を、エッチングによって除去した。

[0675]

酸化物12の上面が露出したサンプル2A乃至サンプル2Dについて、酸化物12の上面の一部除去と、シート抵抗測定を繰り返し行った。サンプル2A、サンプル2B、サンプル2C、およびサンプル2Dにおける、酸化物12の上面からの深さと、シート抵抗の相関について、図42A、図42B、図43A、および図43Bに示す。図42A、図42B、図43A、および図43Bは、横軸に酸化物12上面からの深さ[nm]をとり、縦軸にシート抵抗[Ω/□]をとる。なお、図42A、図42B、図43A、および図43Bに示す点線は、シート抵抗測定器の測定上限(6.

$0 \times 10^6 \Omega / \square$) を示す。

[0676]

図42Aおよび図42Bに示すように、酸化物12が導電体16で覆われている状態でマイクロ波処理を行っても、酸化物12の表面および内部における、シート抵抗に変化は見られない。

[0677]

しかしながら、図43Aおよび図43Bに示すように、酸化物12が導電体で覆われていない状態でマイクロ波処理を行うことで、酸化物12の表面および内部における、シート抵抗は、測定上限まで増加する。

[0678]

また、サンプル2A乃至サンプル2Dについて、SIMS分析装置を用いて、水素濃度の評価を行った。なお、分析は各サンプルの表面側より行っている。サンプル2Aおよびサンプル2BのSIMS分析の結果を図44Aに、サンプル2Cおよびサンプル2DのSIMS分析の結果を図44Bに示す。

[0679]

図44Aおよび図44Bは、各サンプルの酸化物12の、深さ方向の水素濃度プロファイルである。図44Aおよび図44Bでは、横軸は、酸化物12上面からの深さ[nm]であり、縦軸は、膜中の水素濃度[atoms/cm³]である。なお図44Aおよび図44Bに示す点線B、Gは、SIMS分析のバックグラウンドレベルを示す。

[0680]

図44Aに示すように、酸化物12が導電体16で覆われている状態でマイクロ波処理を行っても、酸化物12の内部における、水素濃度に変化は見られない。

[0681]

しかしながら、図44Bに示すように、酸化物12が導電体で覆われていない状態でマイクロ波処理を行うことで、酸化物12の表面および内部における、水素濃度が低減される。

[0682]

本実施例冒頭に示したように、サンプル2Aおよびサンプル2Bは、上記実施の形態で図22に示すトランジスタ200のソースまたはドレインに対応している。一方、サンプル2Cおよびサンプル2Dは、上記実施の形態で図22に示すトランジスタ200のチャネル形成領域に対応している。すなわち、酸化物230bにマイクロ波処理を行うことで、酸化物230bのソース電極またはドレイン電極と重畳する領域は、低抵抗が維持され、導電体と重畳しない、チャネル形成領域は高抵抗化することが示された。さらに、ソース電極またはドレイン電極と重畳する領域は、水素濃度が維持され、チャネル形成領域の水素濃度は低減されることが示された。つまり、マイクロ波処理によって、酸化物半導体のチャネル形成領域は、キャリア濃度が低減してi型になり、ソースまたはドレインは、キャリア濃度が維持されn型を維持することが示された。

[0683]

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせる実施することができる。

[実施例3]

[0684]

本実施例では、図45に示す構造を有するサンプル3A乃至サンプル3Iを作製し、これらのサ

ンプルについてキャリア濃度を測定した結果について説明する。

[0685]

ここで、図45に示す構造は、基板10と、基板10上の酸化物12と、酸化物12上の絶縁体24と、を有する。ここで、図45に示す構造は、図1に示すトランジスタ200のチャネル形成領域近傍の構造に対応する。すなわち、酸化物12は酸化物230bに、絶縁体24は絶縁体250に対応する。

[0686]

次に、図45に示す、サンプル3A乃至サンプル3Iの作製方法について説明する。

[0687]

まず、サンプル3A乃至サンプル3Iにおいて、基板10として石英基板を準備し、基板10の上に酸化物12を成膜した。

[0688]

酸化物12は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] のターゲットを用い、DCスパッタリング法で膜厚が35nmになるように成膜した。なお、酸化物12の成膜では、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0689]

次に、サンプル3A乃至サンプル3Iを、窒素雰囲気で、400℃、1時間熱処理を行い、その後さらに、外気にさらさず連続して酸素雰囲気で、400℃、1時間熱処理を行った。

[0690]

次に、サンプル3A乃至サンプル3Iにおいて、酸化物12の上に絶縁体24を成膜した。絶縁体24は、PECVD法で膜厚が10nmになるように成膜した。

[0691]

次に、サンプル3B乃至サンプル3Iにマイクロ波処理を行った。マイクロ波処理は、電力を4000Wとし、圧力を400Paとし、処理温度を400℃とし、処理時間を600秒とした。ここで、マイクロ波処理に用いたマイクロ波処理装置のチャンバーの石英天板の面積は2000cm²であった。よって、上記マイクロ波処理における電力密度PDは、 $2\text{W}/\text{cm}^2$ となる。また、処理ガスとしてアルゴンガスと酸素ガスを用いており、サンプル3B乃至サンプル3Iの、アルゴンガス流量、酸素ガス流量、および処理ガス中の酸素ガスの流量比を表2に示す。

[0692]

[表2]

サンプル	アルゴンガス流量 [sccm]	酸素ガス流量 [sccm]	酸素ガス流量比 [%]
3B	200	0	0
3C	180	20	10
3D	170	30	15
3E	160	40	20
3F	150	50	25
3G	140	60	30
3H	130	70	35
3I	120	80	40

[0693]

上記のように作製したサンプル3A乃至サンプル3Iについて、それぞれのサンプルが酸化物12の上面の一部を露出するように、絶縁体24の一部をドライエッチングエッチング処理によって除去した。さらに、それぞれのサンプルで、露出した酸化物12の一部に接して、電極として機能するTi-A1合金膜を形成した。

[0694]

以上のようにして作製したサンプル3A乃至サンプル3Iで、株式会社東陽テクニカ製ホール効果測定器「ResiTest 8400 series」を用いて、キャリア濃度を測定した。サンプル3A乃至サンプル3Iのキャリア濃度 $[1/\text{cm}^3]$ を図46に示す。

[0695]

図46に示すように、酸素ガス流量比0%でマイクロ波処理を行ったサンプル3Bは、マイクロ波処理を行わなかったサンプル3Aより、キャリア濃度が高くなった。一方、酸素ガス流量比を10%以上にしてマイクロ波処理を行ったサンプル3C乃至サンプル3Iでは、キャリア濃度が測定下限 ($1.0 \times 10^{12}/\text{cm}^3$) 以下になり、サンプルBよりも著しく低いキャリア濃度になった。

[0696]

このように、酸素ガスを含む雰囲気、言い換えると酸素流量比が0%より大きく、100%以下の雰囲気、マイクロ波処理を行うことで、酸化物半導体のチャネル形成領域のキャリア濃度を低下させ、i型または実質的にi型にすることができる。また、酸素流量比が0%より大きく、50%以下の雰囲気、より好ましくは、酸素流量比が10%以上、40%以下の雰囲気、さらに好ましくは、酸素流量比が10%以上、30%以下の雰囲気、マイクロ波処理を行えばよい。これにより、酸化物半導体のチャネル形成領域のキャリア濃度を十分に低下させ、且つ酸化物半導体、ソース電極、およびドレイン電極が過剰な量の酸素ガスにさらされるのを防ぐことができる。

[0697]

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせる実施することができる。

[実施例4]

[0698]

本実施例では、図47に示す構造を有するサンプル4Aおよびサンプル4Bを作製し、これらのサンプルについて、一定光電流法 (CPM: Constant photocurrent method) 測定を用いて分析した結果について説明する。

[0699]

図47に示す構造910は、基板911と、基板911上の絶縁体912と、絶縁体912上の絶縁体913と、絶縁体913上の酸化物914と、酸化物914上の導電体915（導電体915a、および導電体915b）と、酸化物914および導電体915上の絶縁体916と、を有する。ここで、構造910は、図1に示すトランジスタ200のチャネル形成領域近傍の構造に対応する。すなわち、絶縁体913は絶縁体224に、酸化物914は酸化物230bに、絶縁体916は絶縁体250に対応する。

[0700]

次に、各試料の作製方法について、説明する。

[0701]

まず、基板911として、石英基板を準備した。続いて、基板911上に、絶縁体912として、ALD法により、膜厚10nmの酸化アルミニウム膜を成膜した。

[0702]

次に、絶縁体912上に、絶縁体913として、CVD法により、膜厚100nmの酸化窒化シリコン膜を成膜した。

[0703]

続いて、絶縁体913上に、酸化物914として、スパッタリング法を用いて、膜厚40nmのIn、Ga、およびZnを含む酸化物を成膜した。酸化物914は、In:Ga:Zn=4:2:4、1[原子数比]のターゲットを用い、DCスパッタリング法で成膜した。なお、酸化物914の成膜では、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0704]

続いて、窒素雰囲気下で、400℃、1時間の加熱処理を行った後、酸素雰囲気に切り替え、酸素雰囲気下で、400℃、1時間の加熱処理を行った。

[0705]

次に、酸化物914上に、導電体915となる導電膜として、スパッタリング法により、膜厚30nmのタングステン膜を成膜した。続いて、当該導電膜を加工し、電極として機能する導電体915a、および導電体915bを形成した。

[0706]

続いて、導電体915および酸化物914上に、絶縁体916を形成した。絶縁体916となる絶縁膜として、CVD法により、膜厚10nmの酸化シリコン膜を成膜した。続いて、導電体915の一部を露出させるように、当該絶縁膜の一部を開口して、絶縁体916を形成した。

[0707]

最後に、サンプル4Aおよびサンプル4Bにマイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス150sccmおよび酸素ガス50sccmを用い、電力を4000Wとし、圧力を400Paとし、処理温度を400℃とした。ここで、マイクロ波処理に用いたマイクロ波処理装置のチャンバーの石英天板の面積は2000cm²であった。よって、上記マイクロ波処理における電力密度PDは、2W/cm²となる。サンプル4Aでは処理時間を10分にし、サンプル4Bでは処理時間を30分にした。

[0708]

以上の工程により、本実施例のサンプル 4 A およびサンプル 4 B を作製した。

[0709]

サンプル 4 A およびサンプル 4 B に対し、CPM 測定を行い、各試料の酸化物 914 の局在準位を評価した。また、CPM 測定には、分析装置として、分光計器製 サブギャップ光吸収スペクトル測定シテム (SGA-5 型) を用いた。

[0710]

なお、CPM 測定では、局在準位における光吸収量を高感度で測定し、局在準位の密度、または、局在準位に起因する吸収を、試料間で相対比較することができる。具体的には、酸化物 914 に接して設けられた一対の電極として機能する導電体 915 a、および導電体 915 b との間に電圧を印加した状態で、光電流の値が一定となるように端子間の試料面に照射する単色光の光量を調整し、当該単色光の照射光量から吸収係数を導出した。なお、当該単色光は、波長が 350 nm 乃至 750 nm の範囲において、長波長から短波長に向かって 10 nm 刻みで掃引して、照射した。なお、CPM 測定によって得られた、波長 (エネルギー) に対する吸収係数の推移を、CPM スペクトルと呼ぶ場合がある。

[0711]

また、本実施例では、吸収係数の導出を単色光の各波長にて行った。CPM 測定では、エネルギー (波長より換算) における吸収係数は、局在準位密度に応じて増加する。また、CPM スペクトルのカーブのうち、価電子帯側のバンドテイルに起因する光吸収 (アーバックテイルともいう。) よりも吸収係数が大きくなっている領域を積分することで、試料の局在準位に起因する吸収を導出することができる。

[0712]

試料の局在準位に起因する吸収 α は、具体的には、以下の式から算出することができる。

[0713]

[数 5]

$$\alpha = \int \frac{\alpha_{\text{CPM}} - \alpha_{\text{U}}}{E} dE$$

[0714]

ここで、E はエネルギー、 α_{CPM} は CPM 測定によって得られた吸収係数を表し、 α_{U} はアーバックテイルの吸収係数を表す。

[0715]

ここで、サンプル 4 A の CPM 測定の結果を図 48 A に、サンプル 4 B の CPM 測定の結果を図 48 B に示す。図 48 A および図 48 B は、横軸に照射した単色光のエネルギー [eV] をとり、縦軸に吸収係数 α_{CPM} [cm^{-1}] をとる。なお、図 48 A および図 48 B の実線は CPM カーブを示し、破線はアーバックテイルを示す。

[0716]

図 48 A および図 48 B に示すように、サンプル 4 A およびサンプル 4 B の両方とも、深い準位において、CPM カーブと、アーバックテイルが分離している。これは、欠陥に起因する局在準位 (以下、欠陥準位とよぶ。) による吸収と推測される。上記数式から算出すると、サンプル 4 A の欠陥準位の吸収係数は $4.75 \times 10^{-3} [\text{cm}^{-1}]$ 、サンプル 4 B の欠陥準位の吸収係数は $1.62 \times 10^{-3} [\text{cm}^{-1}]$ 、となった。

[0717]

サンプル4 Aおよびサンプル4 Bの欠陥準位の吸収係数の大きさは、酸素欠損 V_O の量に相关する。よって、サンプル4 Bでは、サンプル4 Aより酸素欠損 V_O が少ないことが示された。つまり、マイクロ波処理を長時間行うことで、酸素欠損 V_O がより少なくなる傾向が示された。

[0718]

また、サンプル4 Aおよびサンプル4 Bにおいても、実施例3と同様に、キャリア濃度の測定を行ったが、両方とも、キャリア濃度が測定下限 ($1.0 \times 10^{12} / \text{cm}^3$) 以下になった。キャリア濃度は、 V_OH の量に相关する。よって、マイクロ波処理を行うことで、 V_OH が低減される。

[0719]

本実施例冒頭に示したように、サンプル4 Aおよびサンプル4 Bは、上記実施の形態で図1に示すトランジスタ200のチャネル形成領域に対応している。よって、酸化物230bに絶縁体250上からマイクロ波処理を行うことで、チャネル形成領域において、酸素欠損 V_O および V_OH が低減されることが示された。

[0720]

次に、サンプル4 Aと同様の構造を有する、サンプル4 Hを作製した。ただし、サンプル4 Hは、導電体915としてスパッタリング法で成膜した膜厚20nmの窒化タンタル膜を用いている点、および導電体915aおよび導電体915bの形成後に加熱処理を行っている点が、サンプル4 Aと異なる。ここで、導電体915aおよび導電体915b形成後の加熱処理では、酸素雰囲気下で、350℃、1時間の加熱処理を行い、その後窒素雰囲気に切り替え、窒素雰囲気下で、350℃、10分間の加熱処理を行った。

[0721]

また、サンプル4 Hの作製工程を途中まで行ったサンプル4 C乃至4 Fを作製した。サンプル4 Cは導電体915a、および導電体915bまで作製したサンプルである。サンプル4 Dは、さらに酸素雰囲気下で、350℃、1時間の加熱処理を行ったサンプルである。サンプル4 Eは、さらに窒素雰囲気下で、350℃、10分間の加熱処理を行ったサンプルである。サンプル4 Fは、さらに絶縁体916の成膜まで行ったサンプルである。

[0722]

また、サンプル4 Hとマイクロ波処理条件の異なるサンプル4 Gを作製した。サンプル4 Gは、マイクロ波処理において、処理温度を350℃にした点において、サンプル4 Hと異なる。

[0723]

以上のサンプル4 C乃至サンプル4 Hについて、サンプル4 Aおよびサンプル4 Bと同様の方法で、CPM測定を行い、各試料の酸化物914の局在準位を評価した。CPM測定は、各サンプルの2か所（基板中央と基板右上）で行った。また、サンプル4 C乃至サンプル4 Hについて、サンプル4 Aおよびサンプル4 Bと同様の方法で、キャリア濃度を測定した。キャリア濃度測定は、各サンプルの2か所（基板中央と基板右側）で行った。

[0724]

図49Aに、CPM測定で得られた、サンプル4 C乃至サンプル4 Hの欠陥準位の吸収係数 [cm^{-1}] を示す。ここで、サンプル4 Fについては、欠陥準位が多かったため、CPM測定による評価ができなかった。また、図49Bにサンプル4 C乃至サンプル4 Hのキャリア濃度 [$1 / \text{cm}^3$] を示す。ここで、サンプル4 Gおよびサンプル4 Hについては、キャリア濃度が測定下限 (1.0

$\times 10^{12} / \text{cm}^3$) 以下であった。

[0725]

図49Aに示すように、サンプル4C乃至サンプル4Fでは、酸素欠損 V_O が多く、特に、絶縁体916成膜後のサンプル4Fでは、酸素欠損 V_O が顕著に多かった。また、サンプル4C乃至サンプル4Eでは、酸素欠損 V_O が減少傾向を示しており、導電体915の形成後に熱処理を行うことで、酸素欠損 V_O が低減する傾向が示された。一方、マイクロ波処理を行ったサンプル4Gおよびサンプル4Hでは、酸素欠損 V_O が大幅に低減されていた。特に、処理温度を400℃にしたサンプル4Hでは、酸素欠損 V_O が顕著に少なくなっており、欠陥準位の吸収係数は $1.01 \times 10^{-3} [\text{cm}^{-1}]$ だった。このように、マイクロ波処理工程によって、酸化物914の酸素欠損 V_O が大幅に低減されていることが示された。

[0726]

また、図49Bに示すように、キャリア濃度についても、上記の酸素欠損 V_O と同様の傾向が見られた。絶縁体916成膜後のサンプル4Fでは、キャリア濃度が顕著に大きかったが、マイクロ波処理を行ったサンプル4Gおよびサンプル4Hでは、キャリア濃度が測定下限 ($1.0 \times 10^{12} / \text{cm}^3$) 以下に低減されていた。このように、マイクロ波処理工程によって、酸化物914のキャリア濃度も大幅に低減されていることが示された。

[0727]

次に、サンプル4Hと同様の構造を有する、サンプル4Lを作製した。ただし、サンプル4Lは、導電体915aおよび導電体915bの形成後の加熱処理で、酸素雰囲気下で、400℃、1時間の加熱処理を行い、その後窒素雰囲気中に切り替え、窒素雰囲気下で、400℃、10分間の加熱処理を行った点が、サンプル4Hと異なる。

[0728]

また、サンプル4Lの作製工程を途中まで行ったサンプル4I乃至4Kを作製した。サンプル4Iは導電体915a、および導電体915bまで作製したサンプルである。サンプル4Jは、さらに酸素雰囲気化で、400℃、1時間の加熱処理を行ったサンプルである。サンプル4Kは、さらに窒素雰囲気下で、400℃、10分間の加熱処理を行ったサンプルである。

[0729]

以上のサンプル4I乃至サンプル4Lについて、サンプル4Aおよびサンプル4Bと同様の方法で、CPM測定を行い、各試料の酸化物914の局在準位を評価した。CPM測定は、各サンプルの2か所（基板中央と基板右上）で行った。また、サンプル4I乃至サンプル4Lについて、サンプル4Aおよびサンプル4Bと同様の方法で、キャリア濃度を測定した。キャリア濃度測定は、各サンプルの2か所（基板中央と基板右側）で行った。

[0730]

図50Aに、CPM測定で得られた、サンプル4I乃至サンプル4Lの欠陥準位の吸収係数 $[\text{cm}^{-1}]$ を示す。ここで、サンプル4Jおよびサンプル4Kについては、基板右上では欠陥準位が多かったため、CPM測定による評価ができなかった。また、図50Bにサンプル4I乃至サンプル4Lのキャリア濃度 $[1 / \text{cm}^3]$ を示す。ここで、サンプル4Lについては、キャリア濃度が測定下限 ($1.0 \times 10^{12} / \text{cm}^3$) 以下であった。

[0731]

図50Aおよび図50Bに示すように、サンプル4I乃至サンプル4Kでは、サンプル4C乃至

サンプル 4 E とは異なり、酸素欠損 V_O が減少傾向を示しておらず、導電体 9 1 5 形成後の熱処理では、ほとんど酸素欠損 V_O が低減していなかった。しかしながら、サンプル 4 L では、サンプル 4 K より酸素欠損 V_O 、およびキャリア濃度が大幅に低減されていた。

[0732]

上記の各サンプルは、上記実施の形態で図 1 に示すトランジスタ 2 0 0 のチャネル形成領域に対応している。よって、酸化物 2 3 0 b に絶縁体 2 5 0 上からマイクロ波処理工程によって、チャネル形成領域において、酸素欠損 V_O および V_OH が確かに低減されることが示された。

[0733]

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせる実施することができる。

[実施例 5]

[0734]

本実施例では、図 5 1 に示す構造を有するサンプル 5 を作製し、走査型静電容量顕微鏡法 (SCM: Scanning Capacitance Microscopy) によって、分析した結果について説明する。

[0735]

図 5 1 に示す構造は、基板 4 0 と、基板 4 0 上の絶縁体 4 2 と、絶縁体 4 2 上の酸化物 4 4 と、酸化物 4 4 上の導電体 4 6 と、導電体 4 6 上の絶縁体 4 8 と、絶縁体 4 8 上の絶縁体 5 0 と、を有する。ここで、導電体 4 6 および絶縁体 4 8 は、ラインアンドスペースパターンで形成されている。導電体 4 6 および絶縁体 4 8 は、ライン/スペース = 100 nm / 100 nm、またはライン/スペース = 60 nm / 60 nm で設計した。よって、絶縁体 5 0 は、導電体 4 6 および絶縁体 4 8 を覆って設けられており、酸化物 4 4 の上面が導電体 4 6 から露出している領域では、絶縁体 5 0 は酸化物 4 4 と接する。

[0736]

ここで、図 5 1 に示す構造は、複数個の図 1 に示すトランジスタ 2 0 0 が、互いにソースおよびドレインで直列に接続された構造に対応する。すなわち、絶縁体 4 2 は絶縁体 2 2 4 に、酸化物 4 4 は酸化物 2 3 0 b に、導電体 4 6 は導電体 2 4 2 に、絶縁体 4 8 は絶縁体 2 8 0 に、絶縁体 5 0 は絶縁体 2 5 0 に対応する。

[0737]

まず、図 5 1 に示す、サンプル 5 の作製方法について説明する。

[0738]

まず、サンプル 5 において、基板 4 0 としてシリコン基板を準備した。それから、基板 4 0 の上に絶縁体 4 2 として酸化窒化シリコンを成膜した。絶縁体 4 2 は、PECVD 法で膜厚が 100 nm になるように成膜した。

[0739]

次に、絶縁体 4 2 の上に、酸化物 4 4 として $In-Ga-Zn$ 酸化物を成膜した。

[0740]

酸化物 4 4 は、 $In:Ga:Zn = 4:2:4.1$ [原子数比] のターゲットを用い、DC スパッタリング法で膜厚が 50 nm になるように成膜した。なお、酸化物 4 4 の成膜では、成膜ガスとして酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温

度を200℃とし、ターゲットと基板との間隔を60mmとした。

[0741]

次に、サンプル5を、窒素雰囲気、400℃、1時間熱処理を行い、その後さらに、外気にさらさず連続して酸素雰囲気、400℃、1時間熱処理を行った。

[0742]

次に、酸化物44の上に導電体46となる窒化タンタル膜を成膜した。導電体46となる窒化タンタル膜は、窒素ガスを含む雰囲気、タンタルのターゲットを用い、DCスパッタリング法で膜厚が20nmになるように成膜した。

[0743]

次に、上記窒化タンタル膜の上に絶縁体48となる酸化シリコン膜を成膜した。絶縁体48となる酸化シリコン膜は、酸素を含む雰囲気、シリコンターゲットを用い、パルスDCスパッタリング法で膜厚が40nmになるように成膜した。

[0744]

次に、上記窒化タンタル膜および上記酸化シリコン膜に、ドライエッチング処理を行い、ラインアンドスペースパターンの導電体46および絶縁体48を形成した。

[0745]

次に、酸化物44、導電体46、および絶縁体48の上に、絶縁体50として酸化窒化シリコンを成膜した。絶縁体50は、PECVD法で膜厚が10nmになるように成膜した。

[0746]

次に、サンプル5にマイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス150sccmおよび酸素ガス50sccmを用い、電力を4000Wとし、圧力を400Paとし、処理温度を400℃とし、処理時間を600秒とした。ここで、マイクロ波処理に用いたマイクロ波処理装置のチャンバーの石英天板の面積は2000cm²であった。よって、上記マイクロ波処理における電力密度PDは、2W/cm²となる。

[0747]

以上のようにして作製したサンプル5について、断面STEM像の撮影および、SCM分析を行った。図52にサンプル5の断面STEM像を示す。断面STEM像の撮影は、ライン/スペース=60nm/60nmの領域について行った。ここで、サンプル5の断面STEM像は、日立ハイテクノロジーズ製「HD-2300」を用いて、加速電圧を200kVとして、撮影を行った。

[0748]

図53Aおよび図53Bにサンプル5のSCM極性像を示す。SCM分析は、ライン/スペース=100nm/100nmの領域について行った。なお、図53Aと図53Bは、サンプル5の異なる領域について、SCM分析を行って得られたSCM極性像である。また、図53Aおよび図53Bに示す点線は、酸化物44、導電体46、および絶縁体48と、絶縁体50との境界を示す。

[0749]

図53Aおよび図53Bに示すSCM極性像は、暗い部分はキャリア濃度が低く、白い部分はキャリア濃度が高くなっている。酸化物44において、暗い部分はキャリア濃度が $10^{16} \sim 10^{17} [\text{cm}^{-3}]$ 程度であり、白い部分はキャリア濃度が $10^{19} \sim 10^{20} [\text{cm}^{-3}]$ 程度であると推測される。ただし、SCM分析は、定性評価であり、上記キャリア濃度は目安である。

[0750]

図53Aおよび図53Bに示すように、酸化物44は、導電体46が重なっている領域と、導電体46が重なっておらず、絶縁体50と接する領域とで、SCM像の明暗に明確な差がみられる。つまり、酸化物44の絶縁体50が接している領域は、酸化物44の導電体46が重なっている領域よりも、キャリア濃度が低減されている。

[0751]

ここで、本実施例冒頭に示したように、サンプル5は、複数個の図1に示すトランジスタ200が、互いにソースおよびドレインで直列に接続された構造に対応している。よって、サンプル5の酸化物44と導電体46が重なる領域はトランジスタ200のソースまたはドレインに対応し、酸化物44の上面が絶縁体50に接する領域はトランジスタ200のチャネル形成領域に対応している。

[0752]

よって、絶縁体250で覆って酸化物230bにマイクロ波処理を行うことで、ソース電極またはドレイン電極と重畳しない、チャネル形成領域ではキャリア濃度を低減することができ、同時に、酸化物230bのソース電極またはドレイン電極と重畳する領域では、キャリア濃度を維持できることが示された。つまり、マイクロ波処理によって、酸化物半導体のチャネル形成領域は、キャリア濃度が低減してi型になり、ソースまたはドレインは、キャリア濃度が維持されn型を維持することが示された。言い換えると、マイクロ波処理によって、酸化物半導体のチャネル形成領域のみ、自己整合的にキャリア濃度を低減できることが示された。

[0753]

本実施例に示す構成、方法などは、少なくともその一部を、本明細書中に記載する他の実施の形態、他の実施例などと適宜組み合わせる実施することができる。

[符号の説明]

[0754]

BGL:配線、BIL:配線、CA:容量素子、CB:容量素子、CC:容量素子、CAL:配線、GNDL:配線、MC:メモリセル、M1:トランジスタ、M2:トランジスタ、M3:トランジスタ、M4:トランジスタ、M5:トランジスタ、M6:トランジスタ、RBL:配線、RWL:配線、SL:配線、WBL:配線、WOL:配線、WWL:配線、Tr1:トランジスタ、10:基板、12:酸化物、14:酸化物、16:導電体、18:絶縁体、20:酸化物、22:酸化物、24:絶縁体、40:基板、42:絶縁体、44:酸化物、46:導電体、48:絶縁体、50:絶縁体、100:容量素子、110:導電体、112:導電体、115:導電体、120:導電体、125:導電体、130:絶縁体、140:導電体、142:絶縁体、145:絶縁体、150:絶縁体、152:絶縁体、153:導電体、154:絶縁体、156:絶縁体、200:トランジスタ、200_n:トランジスタ、200₁:トランジスタ、200a:トランジスタ、200b:トランジスタ、200T:トランジスタ、205:導電体、205a:導電体、205A:導電膜、205b:導電体、205B:導電膜、205c:導電体、205C:導電膜、210:絶縁体、212:絶縁体、214:絶縁体、216:絶縁体、217:絶縁体、218:導電体、222:絶縁体、224:絶縁体、230:酸化物、230a:酸化物、230A:酸化膜、230b:酸化物、230B:酸化膜、230ba:領域、230bb:領域、230bc:領域、230c:酸化物、230d:酸化物、240:導電体、240a:導電体、240b:導電体、241:絶縁体、241a:絶縁体、241b:絶縁体、242:導電体、242a:導電体、242

A : 導電膜、242b : 導電体、242B : 導電層、242c : 導電体、243 : 酸化物、243a : 酸化物、243A : 酸化膜、243b : 酸化物、243B : 酸化物層、246 : 導電体、246a : 導電体、246b : 導電体、250 : 絶縁体、250A : 絶縁膜、260 : 導電体、260a : 導電体、260b : 導電体、265 : 封止部、265a : 封止部、265b : 封止部、271 : 絶縁体、271a : 絶縁体、271A : 絶縁膜、271b : 絶縁体、271B : 絶縁層、271c : 絶縁体、272 : 絶縁体、272a : 絶縁体、272A : 絶縁層、272b : 絶縁体、273 : 絶縁体、273a : 絶縁体、273A : 絶縁膜、273b : 絶縁体、273B : 絶縁層、273c : 絶縁体、274 : 絶縁体、275 : 絶縁体、280 : 絶縁体、282 : 絶縁体、283 : 絶縁体、284 : 絶縁体、286 : 絶縁体、287 : 絶縁体、290 : メモリデバイス、292 : 容量デバイス、292a : 容量デバイス、292b : 容量デバイス、294 : 導電体、294a : 導電体、294b : 導電体、296 : 絶縁体、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、411 : 素子層、413 : トランジスタ層、415 : メモリデバイス層、415__1 : メモリデバイス層、415__3 : メモリデバイス層、415__4 : メモリデバイス層、420 : メモリデバイス、424 : 導電体、440 : 導電体、470 : メモリユニット、600 : 半導体装置、601 : 半導体装置、610 : セルアレイ、610__n : セルアレイ、610__1 : セルアレイ、700 : 電子部品、702 : プリント基板、704 : 実装基板、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、720 : 記憶装置、721 : 駆動回路層、722 : 記憶回路層、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、901 : 境界領域、902 : 境界領域、910 : 構造、911 : 基板、912 : 絶縁体、913 : 絶縁体、914 : 酸化物、915 : 導電体、915a : 導電体、915b : 導電体、916 : 絶縁体、1001 : 配線、1002 : 配線、1003 : 配線、1004 : 配線、1005 : 配線、1006 : 配線、1100 : USBメモリ、1101 : 筐体、1102 : キャップ、1103 : USBコネクタ、1104 : 基板、1105 : メモリチップ、1106 : コントローラチップ、1110 : SDカード、1111 : 筐体、1112 : コネクタ、1113 : 基板、1114 : メモリチップ、1115 : コントローラチップ、1150 : SSD、1151 : 筐体、1152 : コネクタ、1153 : 基板、1154 : メモリチップ、1155 : メモリチップ、1156 : コントローラチップ、1200 : チップ、1201 : PCB、1202 : バンプ、1203 : マザーボード、1204 : GPUモジュール、1211 : CPU、1212 : GPU、1213 : アナログ演算部、1214 : メモリコントローラ、1215 : インターフェース、1216 : ネットワーク回路、1221 : DRAM、1222 : フラッシュメモリ、1400 : 記憶装置、1411 : 周辺回路、1420 : 行回路、1430 : 列回路、1440 : 出力回路、1460 : コントロールロジック回路、1470 : メモリセルアレイ、1471 : メモリセル、1472 : メモリセル、1473 : メモリセル、1474 : メモリセル、1475 : メモリセル、1476 : メモリセル、1477 : メモリセル、1478 : メモリセル、2700 : 製造装置、2701 : 大気側基板供給室、2702 : 大気側基板搬送室、2703a : ロードロック室、2703b : アンロードロック室、2704 : 搬送室、2706a : チャンバー、2706b : チャンバー、2706c : チャンバー、2706d : チャンバー、2761 : カセットポート、2762 : アライメントポート、2763a : 搬送ロボット、2

763b : 搬送ロボット、2801 : ガス供給源、2802 : バルブ、2803 : 高周波発生器、
2804 : 導波管、2805 : モード変換器、2806 : ガス管、2807 : 導波管、2808 :
スロットアンテナ板、2809 : 誘電体板、2810 : 高密度プラズマ、2811 : 基板、281
1__n : 基板、2811__n-1 : 基板、2811__n-2 : 基板、2811__1 : 基板、281
1__2 : 基板、2811__3 : 基板、2812 : 基板ホルダ、2813 : 加熱機構、2815 : マ
ッチングボックス、2816 : 高周波電源、2817 : 真空ポンプ、2818 : バルブ、281
9 : 排気口、2820 : ランプ、2821 : ガス供給源、2822 : バルブ、2823 : ガス導入
口、2824 : 基板、2825 : 基板ホルダ、2826 : 加熱機構、2828 : 真空ポンプ、28
29 : バルブ、2830 : 排気口、2900 : マイクロ波処理装置、2901 : 石英管、290
2 : 基板ホルダ、2903 : 加熱手段、5100 : 情報端末、5101 : 筐体、5102 : 表示部、
5200 : ノート型情報端末、5201 : 本体、5202 : 表示部、5203 : キーボード、53
00 : 携帯ゲーム機、5301 : 筐体、5302 : 筐体、5303 : 筐体、5304 : 表示部、5
305 : 接続部、5306 : 操作キー、5400 : 据え置き型ゲーム機、5402 : コントローラ、
5500 : スーパーコンピュータ、5501 : ラック、5502 : 計算機、5504 : 基板、57
01 : 表示パネル、5702 : 表示パネル、5703 : 表示パネル、5704 : 表示パネル、58
00 : 電気冷凍冷蔵庫、5801 : 筐体、5802 : 冷蔵室用扉、5803 : 冷凍室用扉

請求の範囲

[請求項 1]

半導体膜と、
前記半導体膜上の一对の遮蔽膜と、
前記半導体膜上に位置し、且つ前記一对の遮蔽膜の間に設けられる絶縁膜と、を有し、
前記半導体膜は、一对の n 型領域と、前記一对の n 型領域の間に設けられる i 型領域と、を有し、
前記 n 型領域は、前記遮蔽膜と重畳し、
前記 i 型領域は、前記絶縁膜と重畳する、
半導体装置。

[請求項 2]

半導体膜と、
前記半導体膜上の一对の遮蔽膜と、
前記一对の遮蔽膜上の保護膜と、
前記半導体膜上に位置し、且つ前記一对の遮蔽膜の間に設けられる絶縁膜と、を有し、
前記半導体膜は、一对の n 型領域と、前記一对の n 型領域の間に設けられる i 型領域と、を有し、
前記 n 型領域は、前記遮蔽膜と重畳し、
前記 i 型領域は、前記絶縁膜と重畳する、
半導体装置。

[請求項 3]

請求項 2 において、
前記保護膜は、アルミニウムと、酸素とを有する、
半導体装置。

[請求項 4]

請求項 1 乃至請求項 3 のいずれか一項において、
前記遮蔽膜は、300 MHz 以上 300 GHz 以下の電磁波を遮蔽する機能を有する、
半導体装置。

[請求項 5]

請求項 1 乃至請求項 4 のいずれか一項において、
前記遮蔽膜は、タンタルと、窒素と、を有する、
半導体装置。

[請求項 6]

請求項 1 乃至請求項 5 のいずれか一項において、
前記 i 型領域は、キャリア濃度が $1 \times 10^{-9} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であり、
前記 n 型領域は、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である、
半導体装置。

[請求項 7]

請求項 1 乃至請求項 6 のいずれか一項において、
前記半導体膜は、金属酸化物である、
半導体装置。

[請求項 8]

請求項 1 乃至請求項 7 のいずれか一項において、
前記半導体膜は、I n、G a、またはZ nの中から選ばれるいずれか一または複数である、
半導体装置。

[請求項 9]

請求項 1 乃至請求項 8 のいずれか一項において、
前記絶縁膜は、シリコンと、酸素と、を有する、
半導体装置。

[請求項 10]

半導体膜を形成する第 1 の工程と、
前記半導体膜上に遮蔽膜を形成する第 2 の工程と、
前記半導体膜および前記遮蔽膜を島状に加工する第 3 の工程と、
前記半導体膜、及び前記遮蔽膜上に酸化物絶縁膜を形成する第 4 の工程と、
前記酸化物絶縁膜、及び前記遮蔽膜を加工し、前記半導体膜に達する開口部を形成する第 5 の工程と、
前記半導体膜、前記遮蔽膜、及び前記酸化物絶縁膜に対して加熱処理を行う第 6 の工程と、
前記開口部を覆うように、絶縁膜を形成する第 7 の工程と、
前記絶縁膜を介して、前記半導体膜にマイクロ波を照射する第 8 の工程と、を有し、
前記マイクロ波の照射は、
少なくとも酸素を含む雰囲気下で行われ、且つ 100℃以上 750℃以下の温度範囲で行われる、
半導体装置の作製方法。

[請求項 11]

請求項 10 において、
前記マイクロ波の照射は、300℃以上 500℃以下の温度範囲で行われる、
半導体装置の作製方法。

[請求項 12]

請求項 10 または請求項 11 において、
前記マイクロ波の照射は、300Pa 以上 700Pa 以下の圧力範囲で行われる、
半導体装置の作製方法。

[請求項 13]

請求項 10 乃至請求項 12 のいずれか一項において、
前記加熱処理は、第 1 の加熱処理と、第 2 の加熱処理と、を有し、
前記第 1 の加熱処理は、酸素雰囲気下にて、300℃以上 500℃以下の範囲で行われ、
前記第 2 の加熱処理は、窒素雰囲気下にて、300℃以上 500℃以下の範囲で行われる、
半導体装置の作製方法。

[請求項 14]

請求項 13 において、
前記第 1 の加熱処理は、前記第 2 の加熱処理よりも長時間行われる、
半導体装置の作製方法。

[請求項 15]

請求項 10 乃至請求項 14 のいずれか一項において、

前記絶縁膜は、プラズマ化学気相成長法または原子層堆積法を用いて形成される、
半導体装置の作製方法。

[請求項 16]

請求項 10 乃至請求項 15 のいずれか一項において、
前記半導体膜は、金属酸化物を有し、
前記金属酸化物は、In、Ga、またはZnの中から選ばれるいずれか一または複数を有し、
前記金属酸化物は、スパッタリング法、原子層堆積法、または有機金属化学気相成長法を用いて
形成される、
半導体装置の作製方法。

[請求項 17]

請求項 10 乃至請求項 16 のいずれか一項において、
前記第8の工程のあとに、さらに第9の工程を有し、
前記第9の工程は、
原子層堆積法にて、酸化ハフニウムを形成する、
半導体装置の作製方法。

図1A

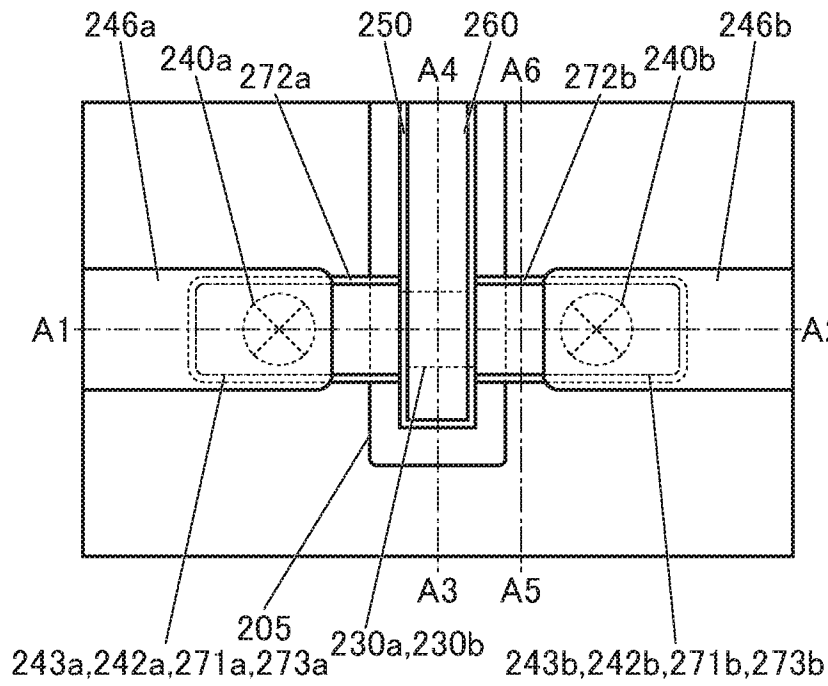


図1C

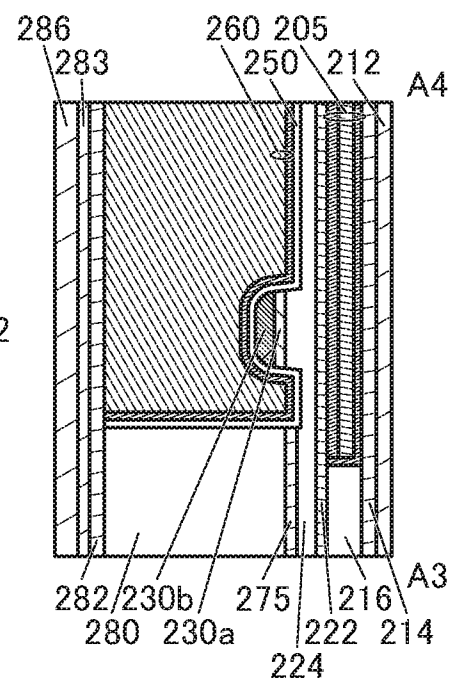


図1B

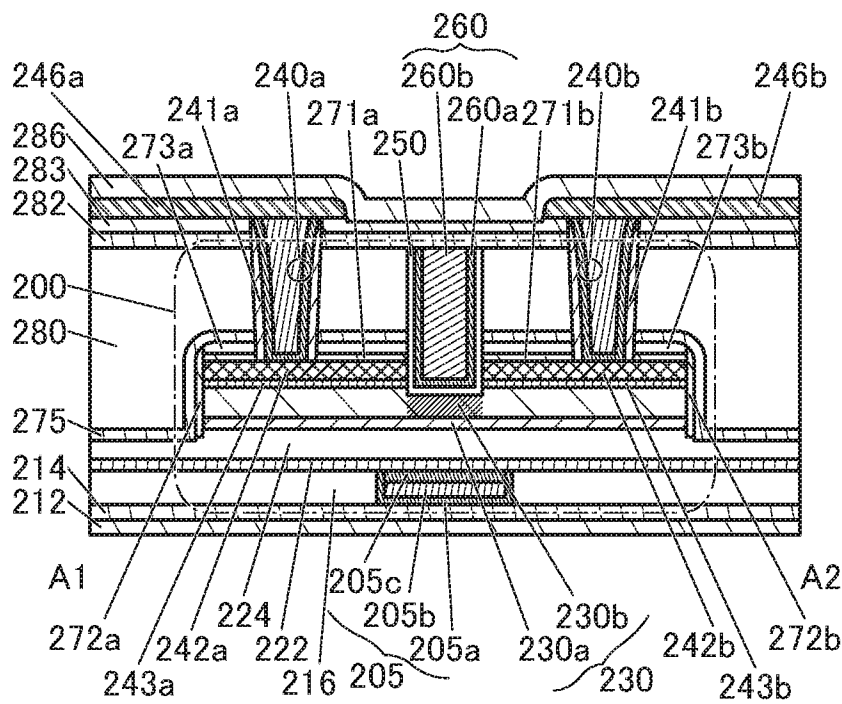


図1D

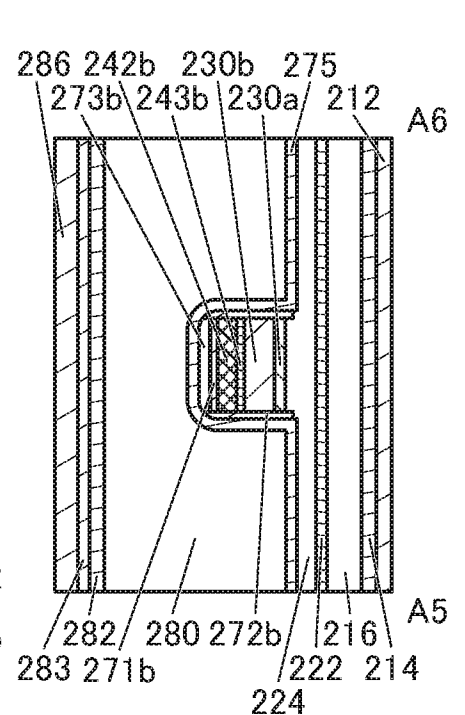


図2

2/53

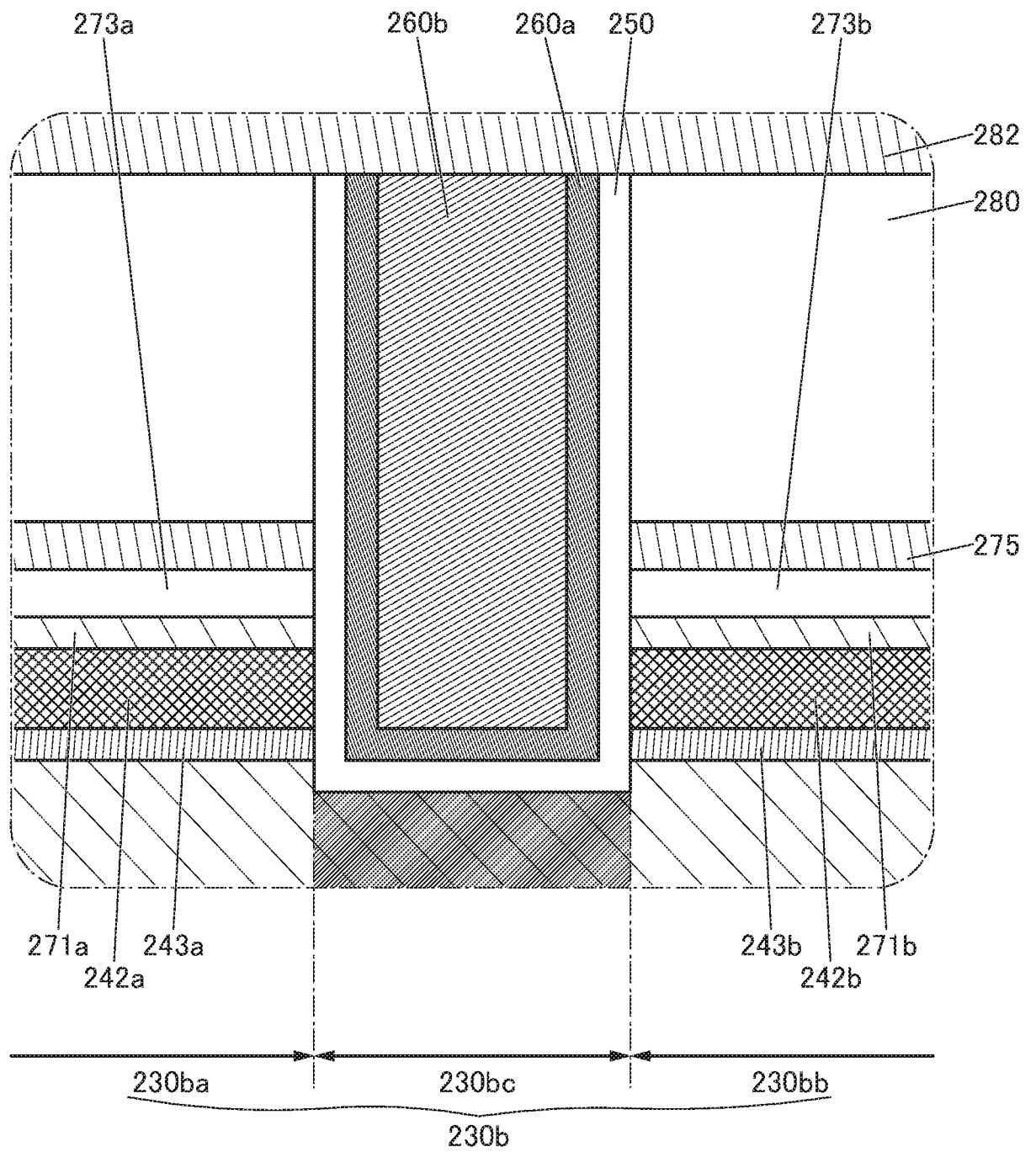


図3A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC excluding single crystal and poly crystal	•single crystal •poly crystal

図3B

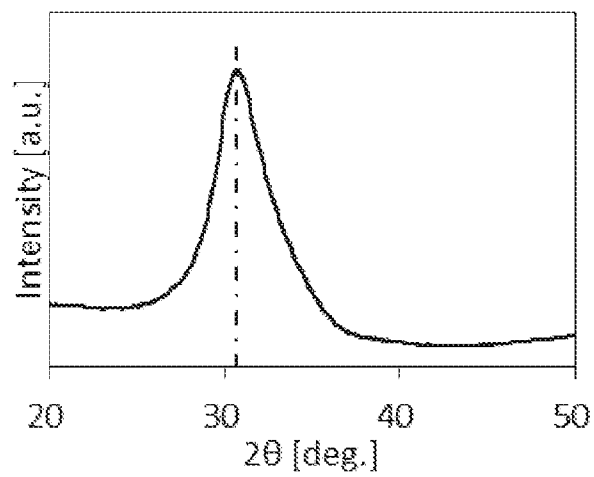


図3C

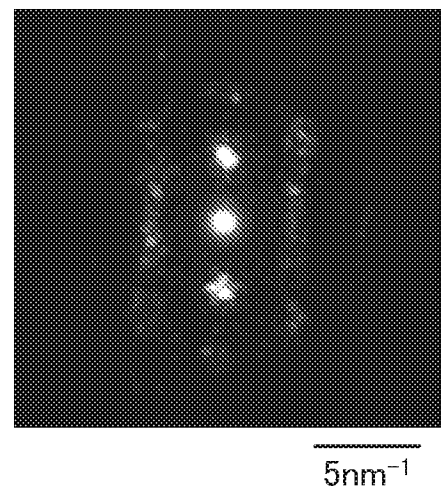


図4A

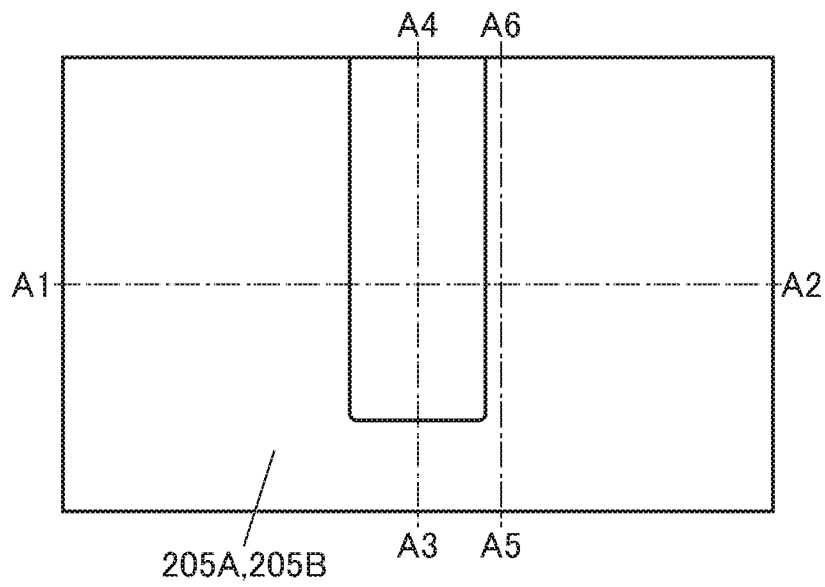


図4C

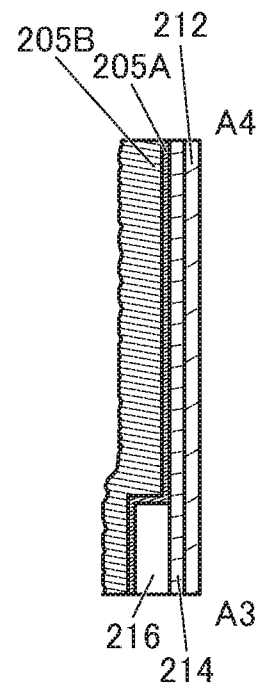


図4B

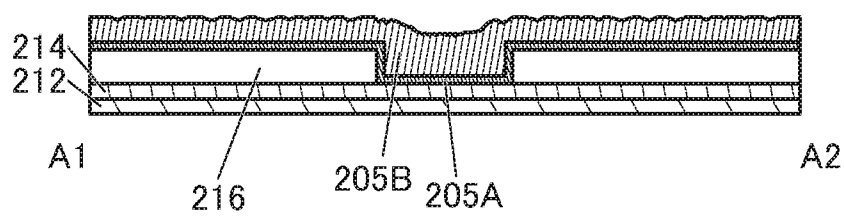


図4D

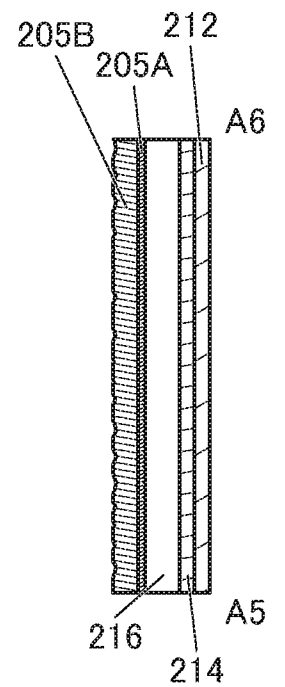


図5A

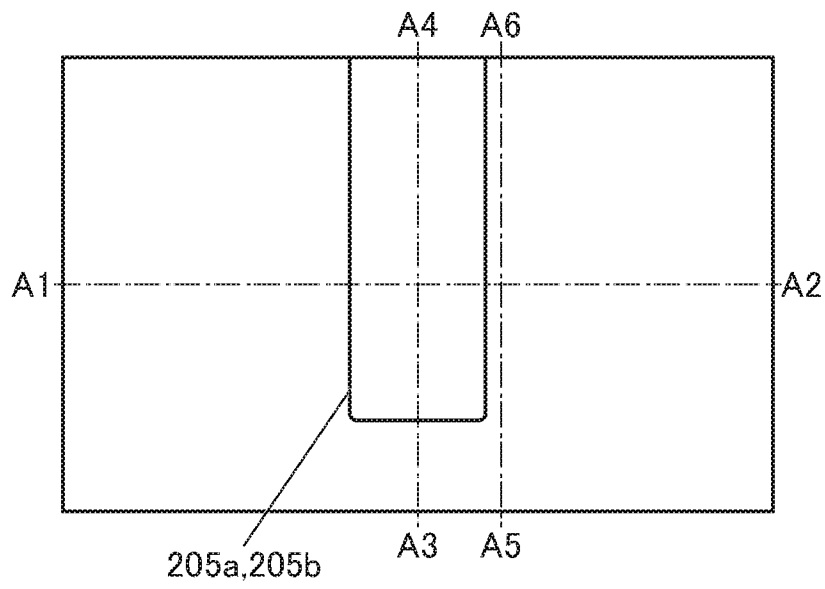


図5C

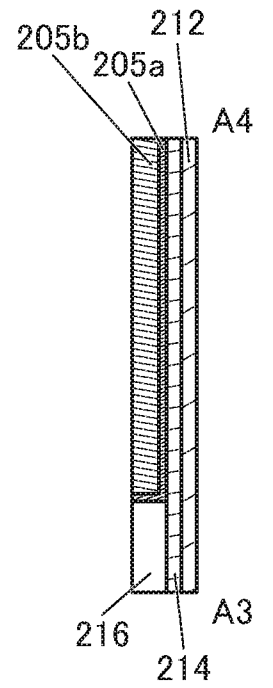


図5B

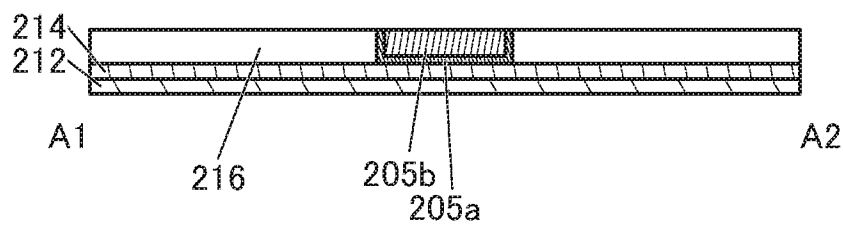


図5D

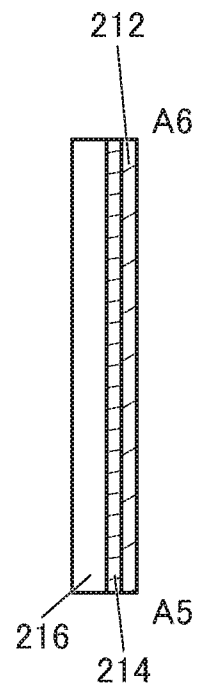


図6A

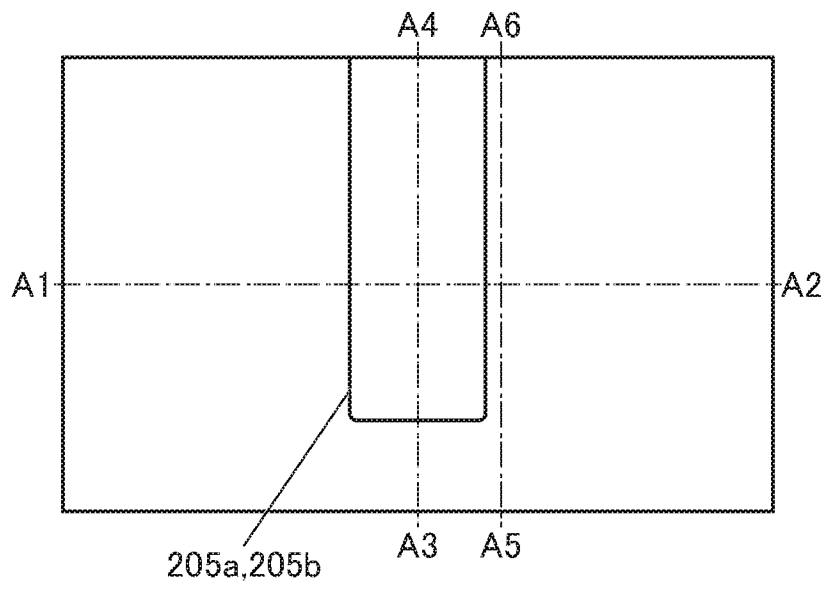


図6C

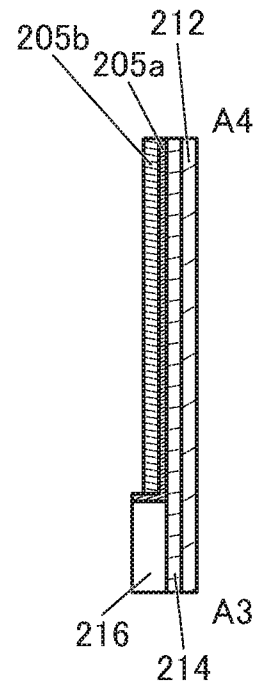


図6B

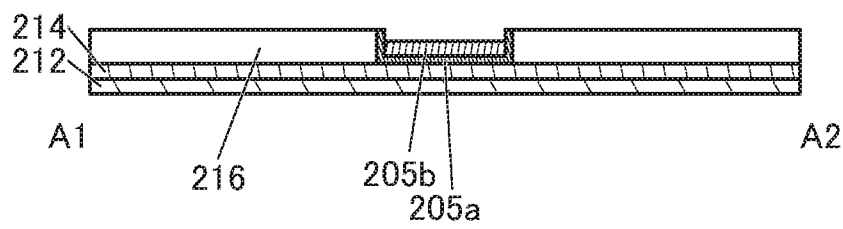


図6D

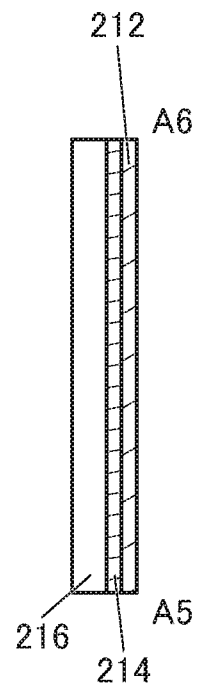


図7A

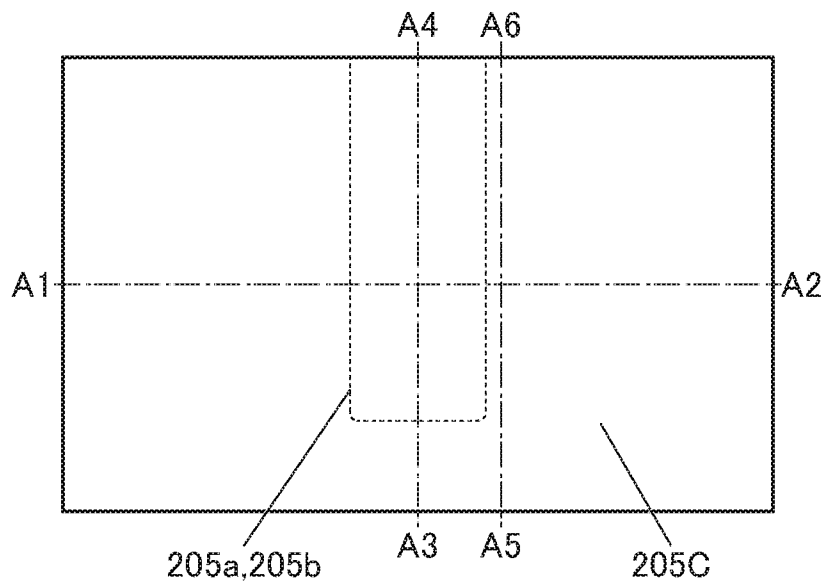


図7C

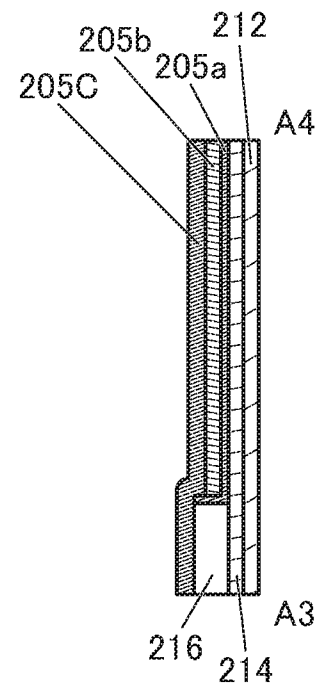


図7B

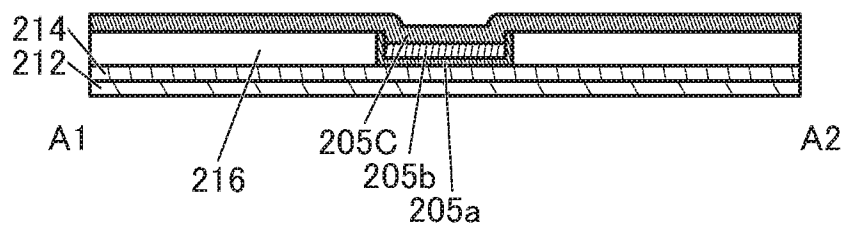


図7D

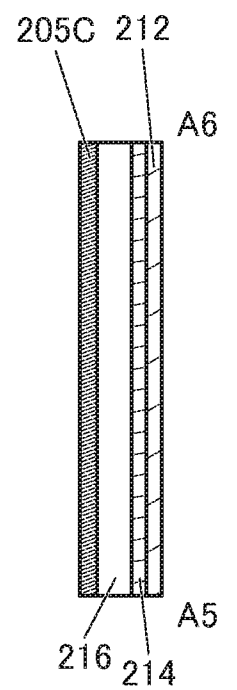


図8A

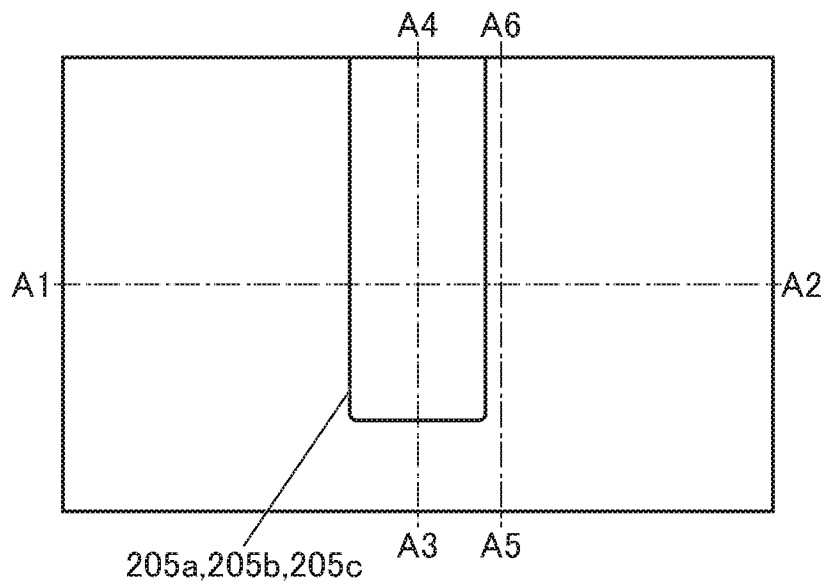


図8C

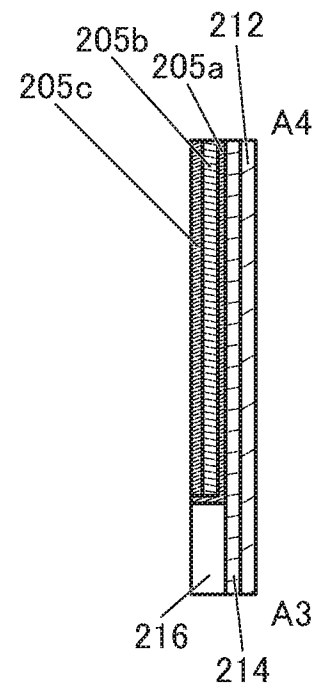


図8B

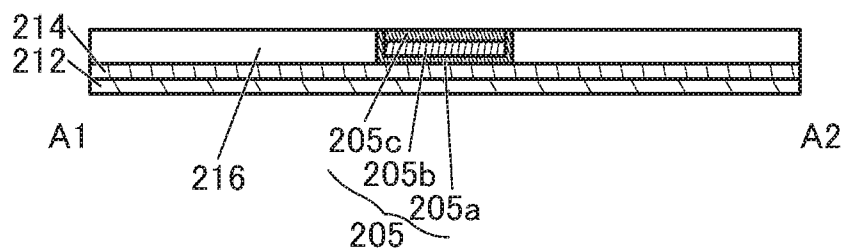


図8D

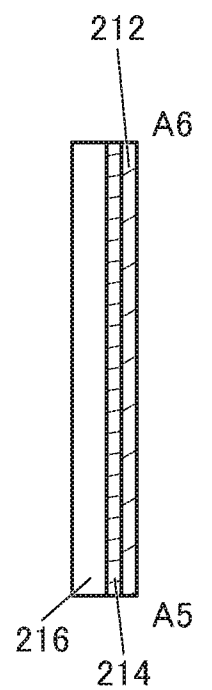


図9A

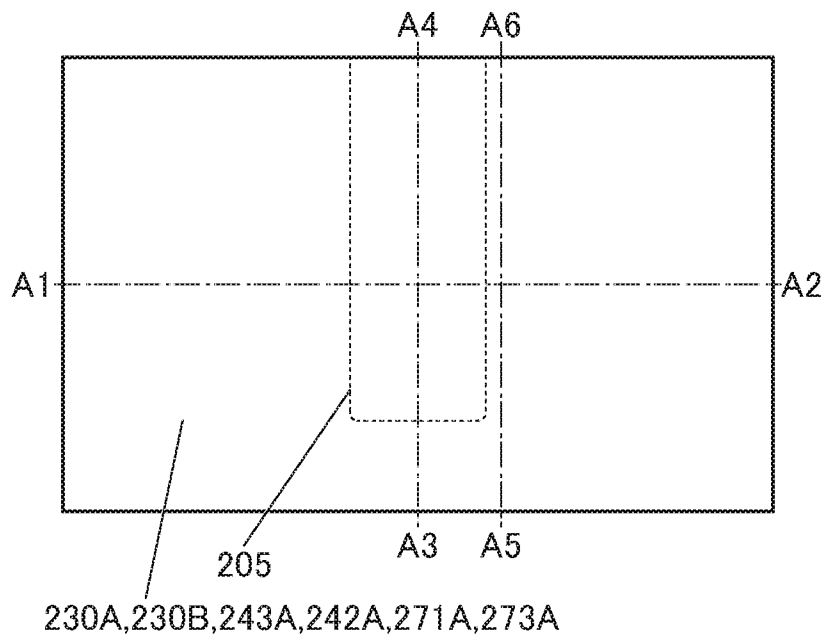


図9C

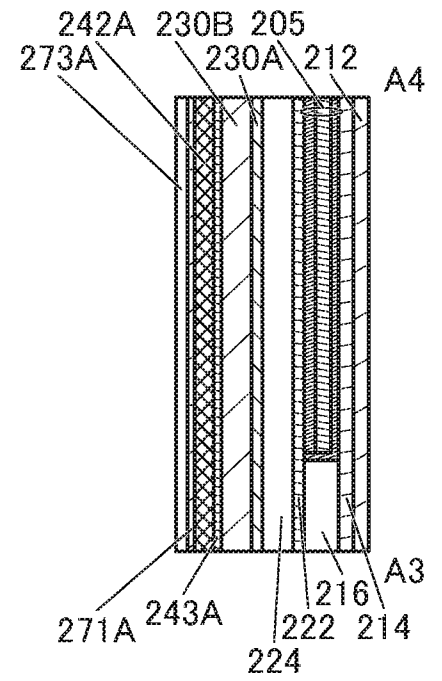


図9B

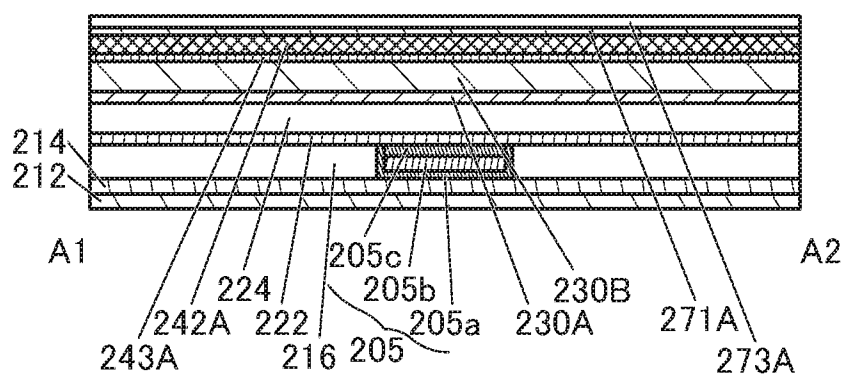


図9D

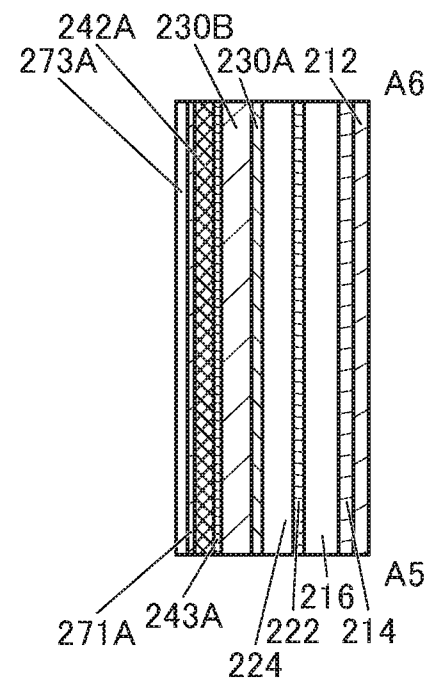


図10A

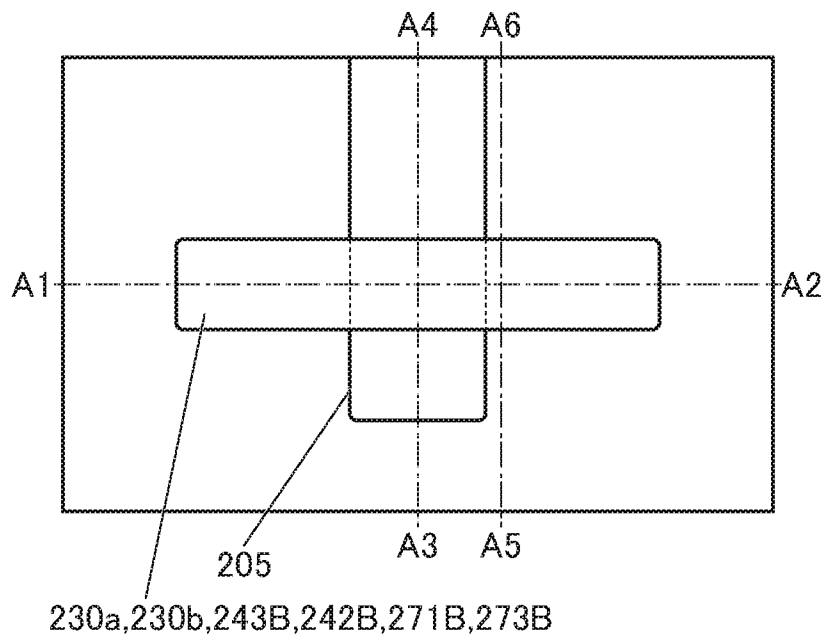


図10C

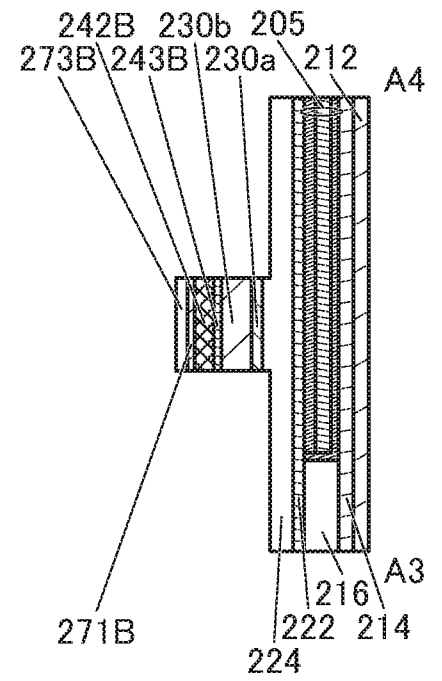


図10B

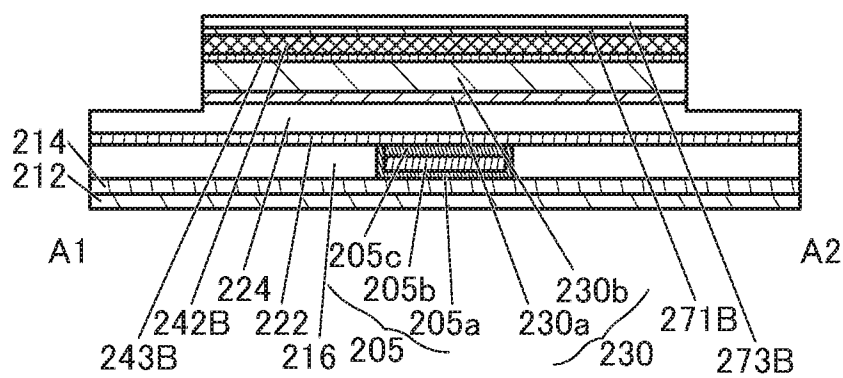


図10D

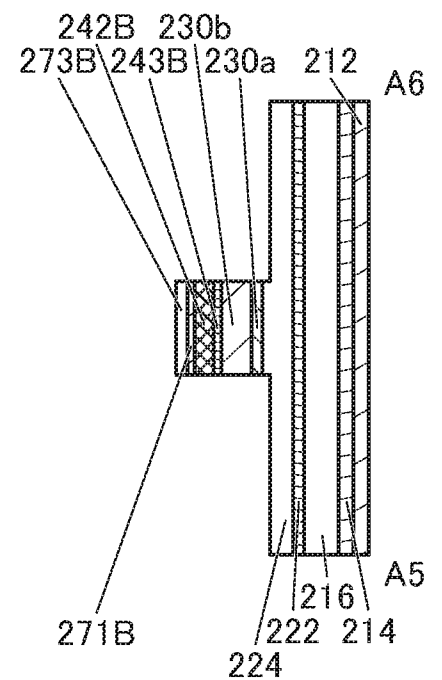


図11A

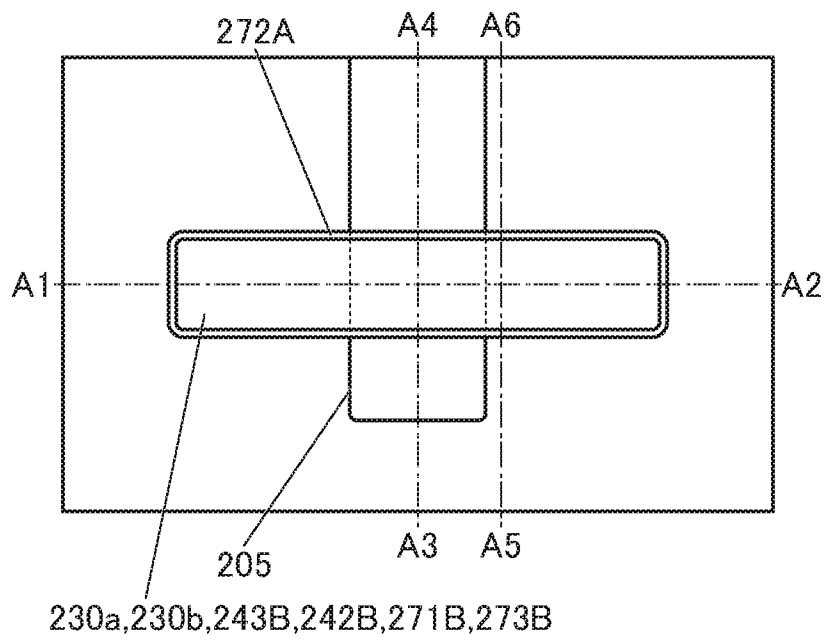


図11C

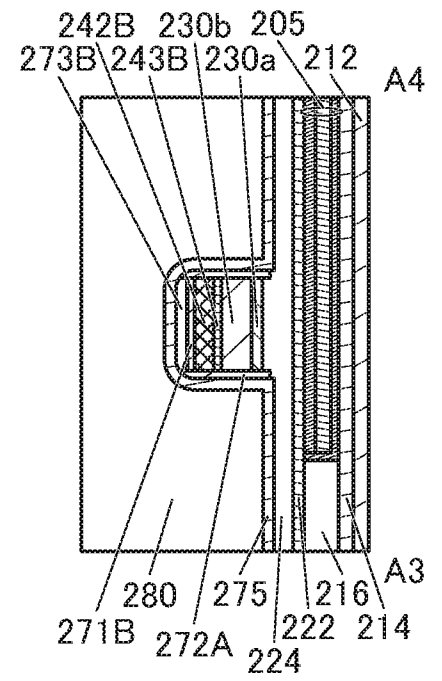


図11B

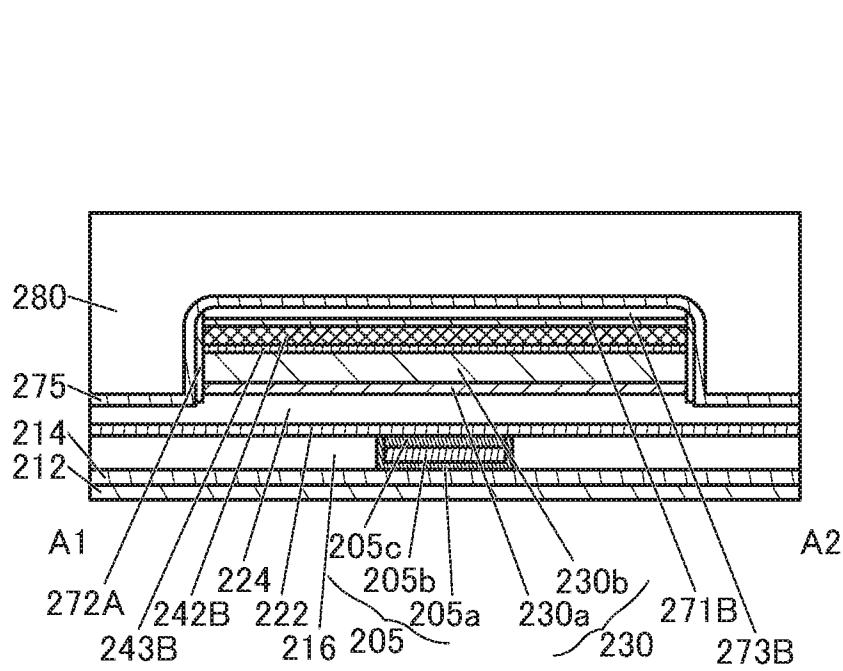


図11D

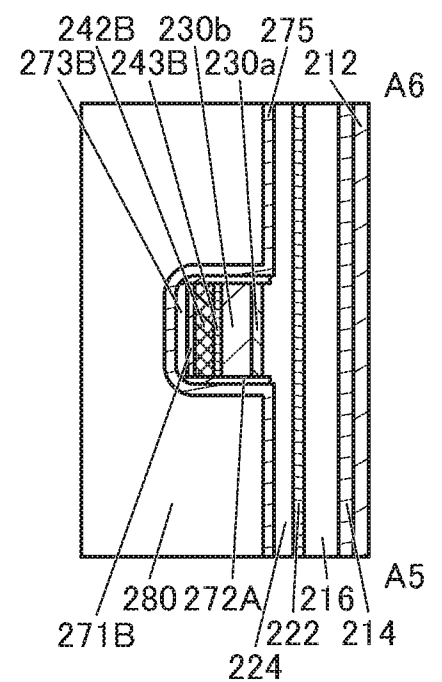


図12A

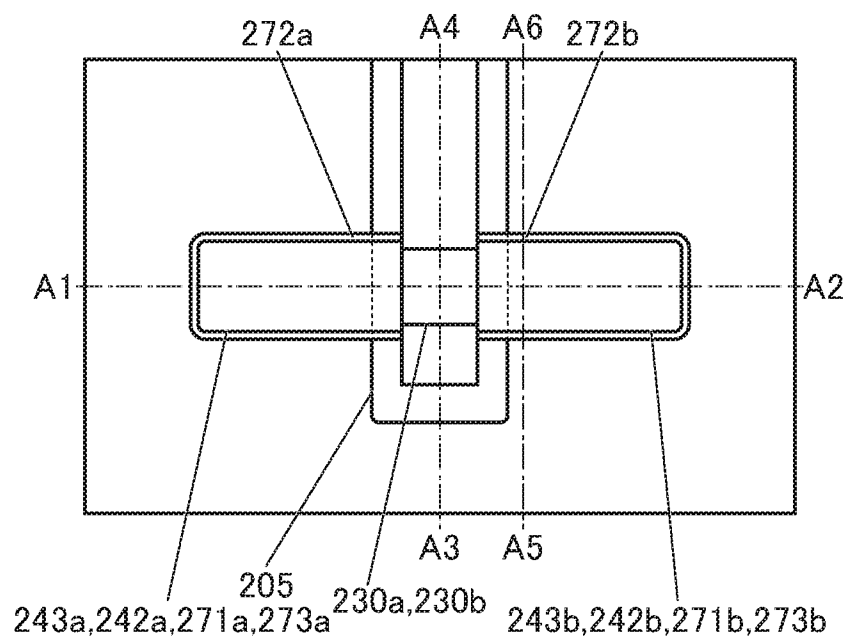


図12C

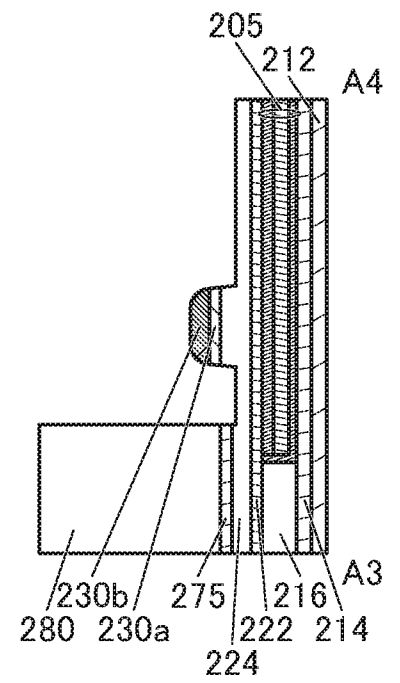


図12B

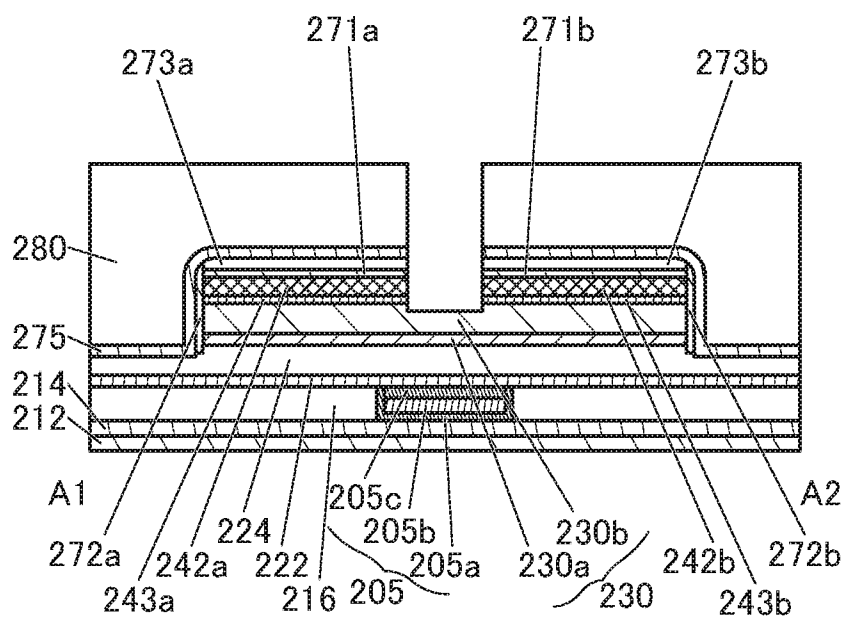


図12D

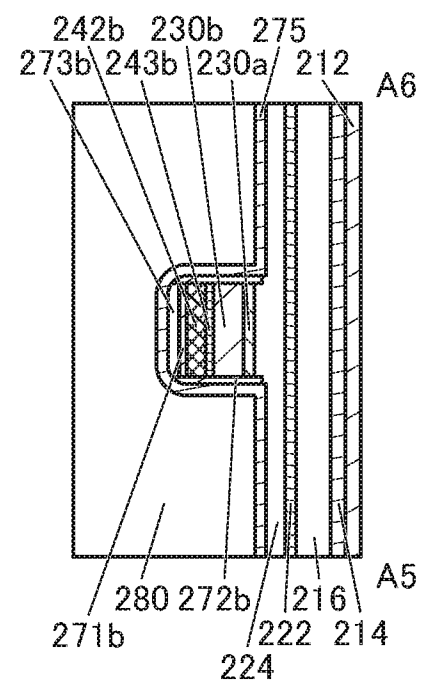


図13A

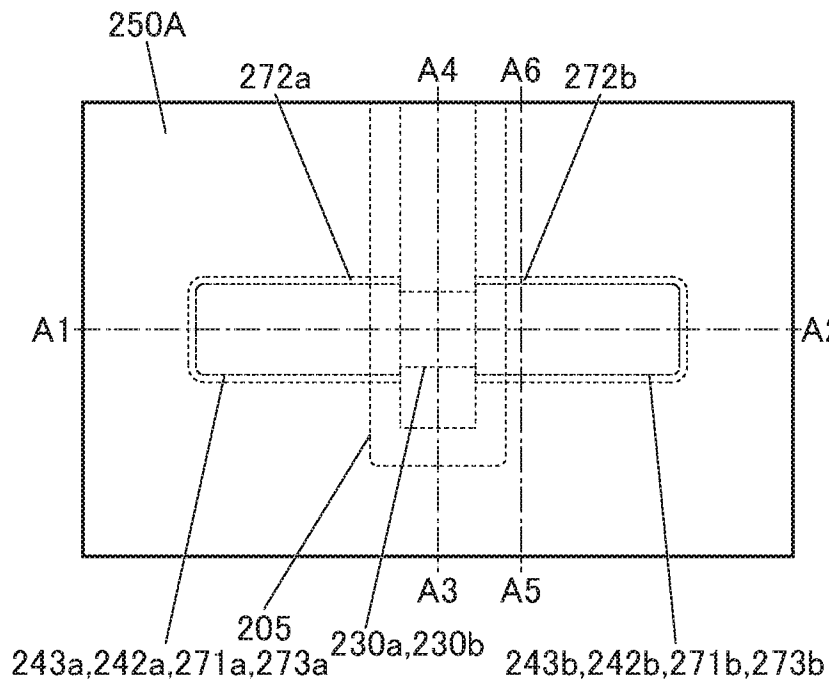


図13C

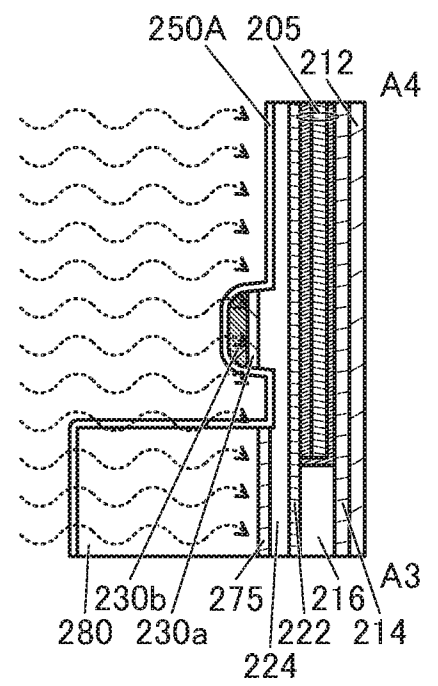


図13B

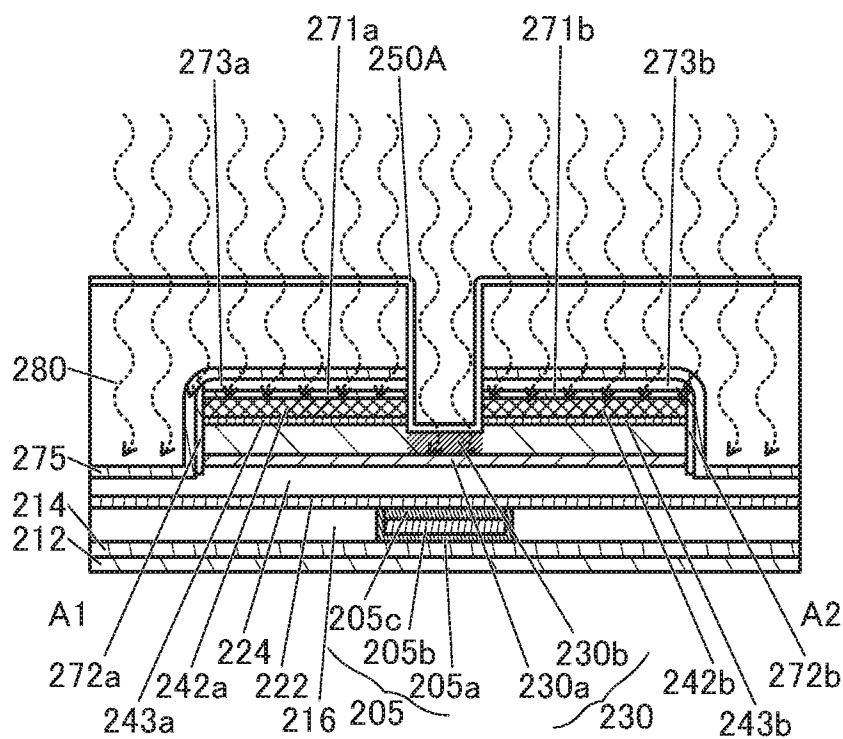


図13D

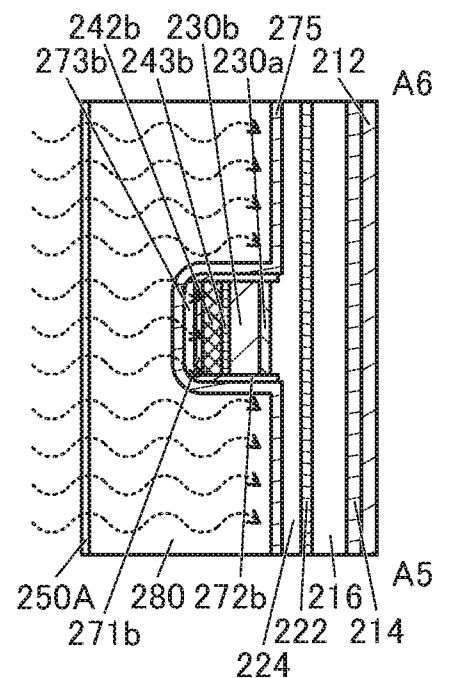


図14A

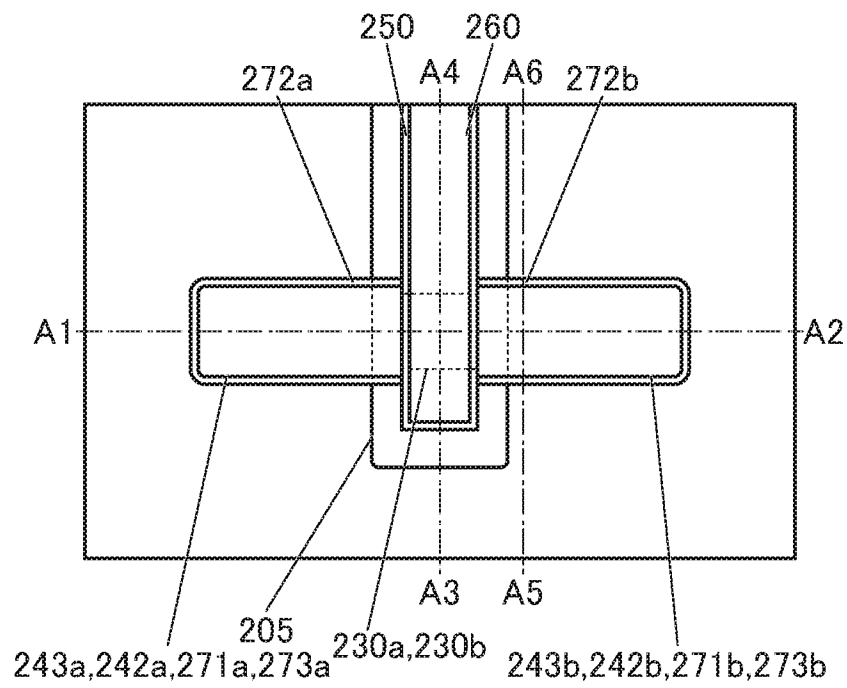


図14C

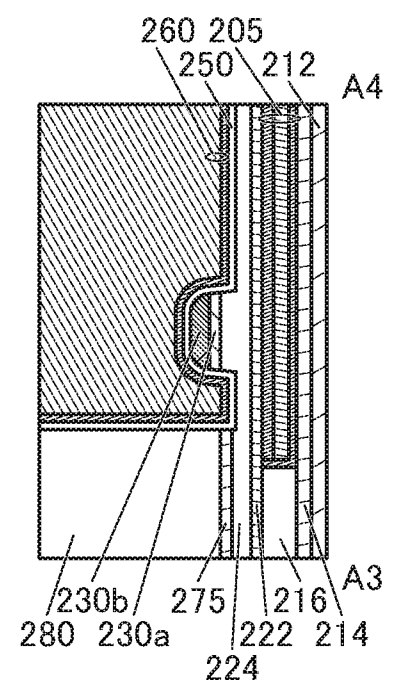


図14B

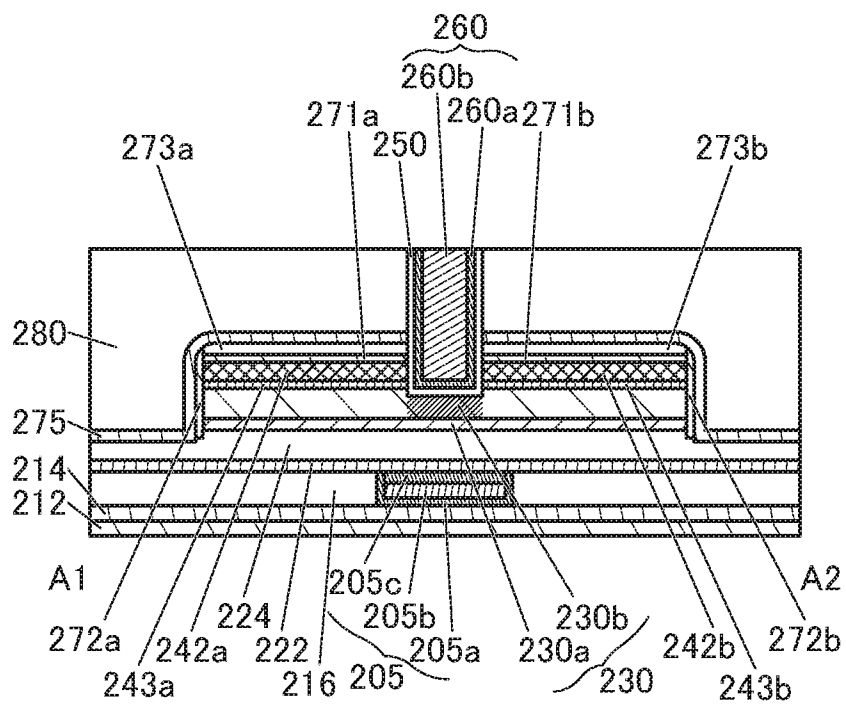


図14D

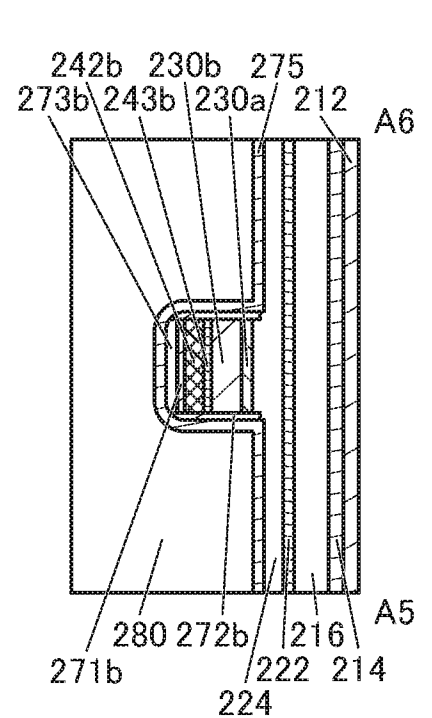


図15A

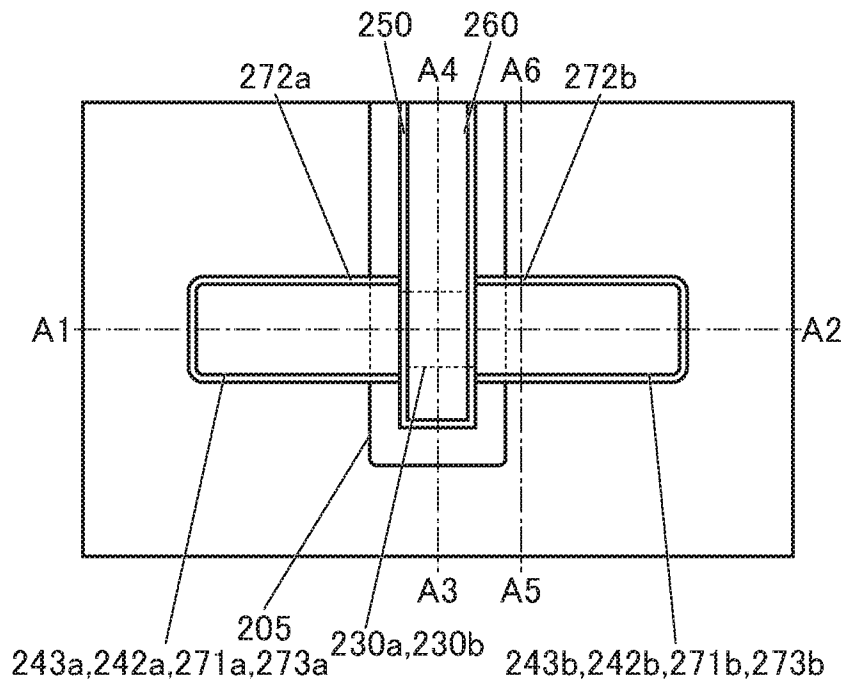


図15C

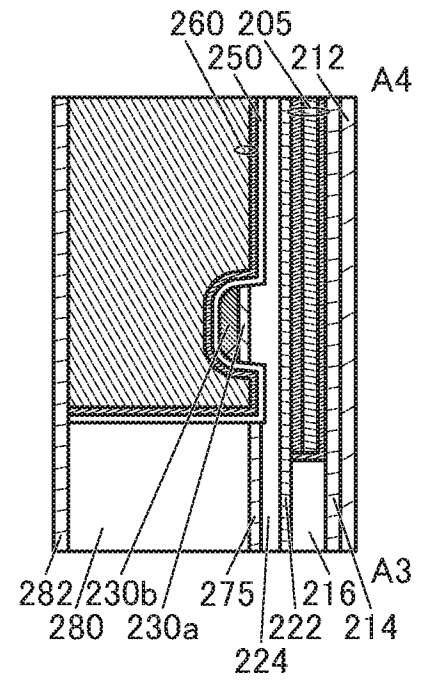


図15B

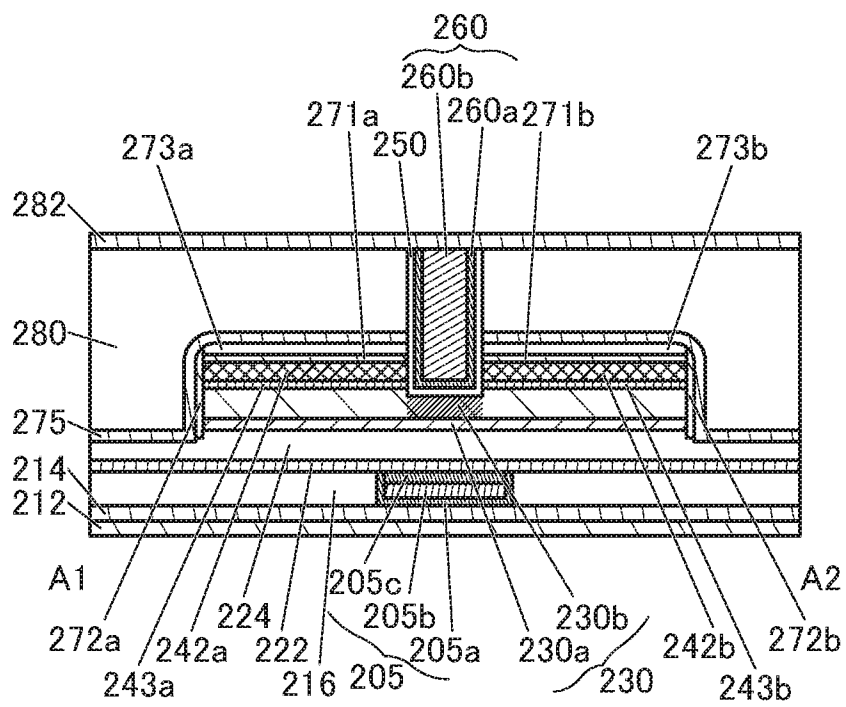


図15D

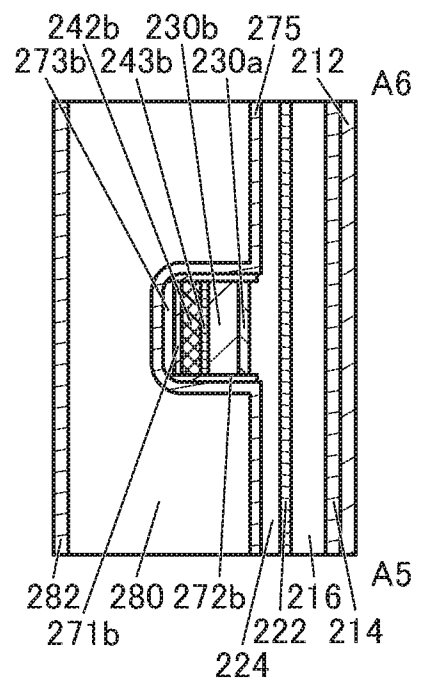


図16A

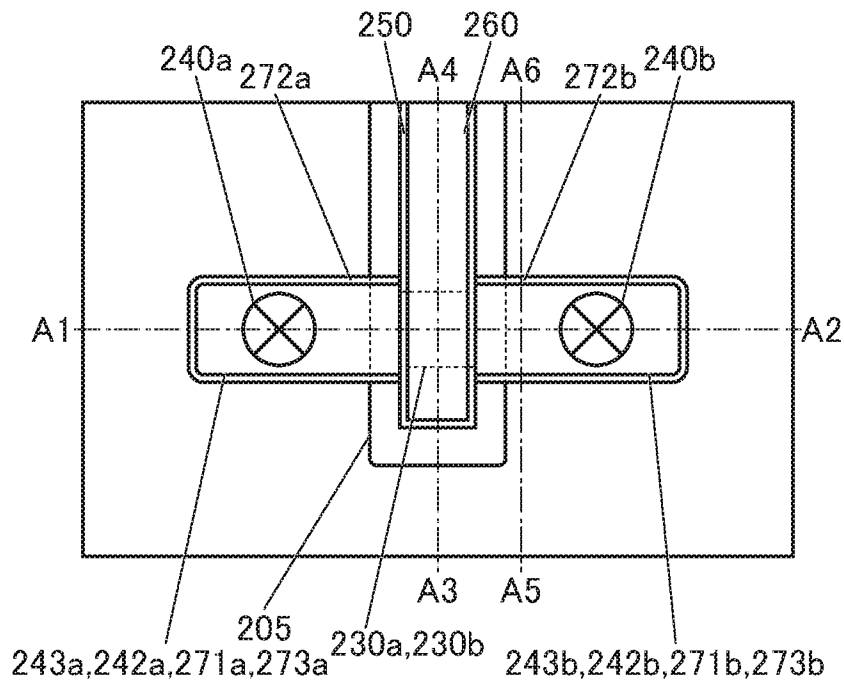


図16C

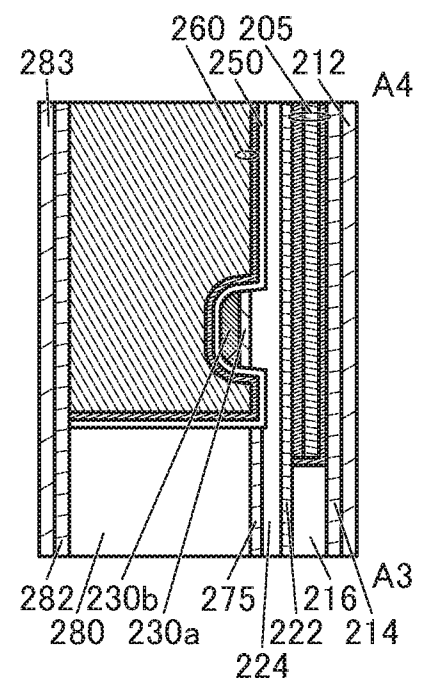


図16B

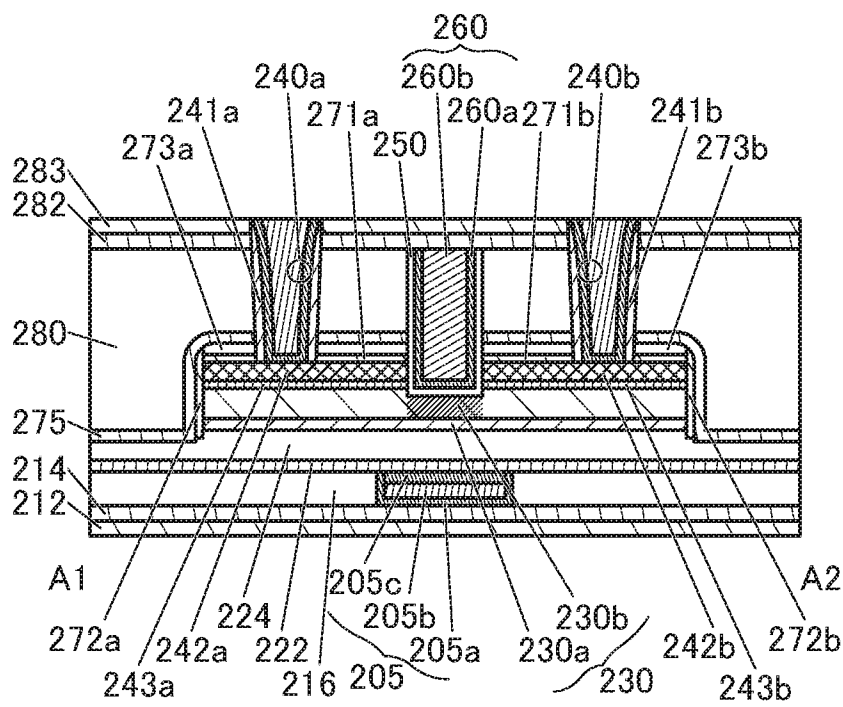


図16D

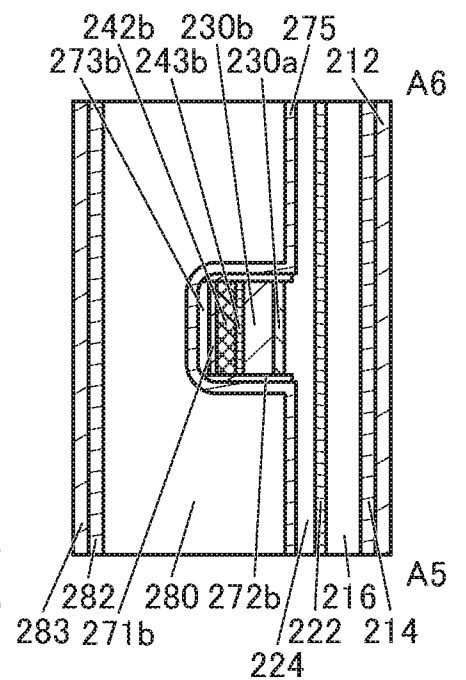


図18

18/53

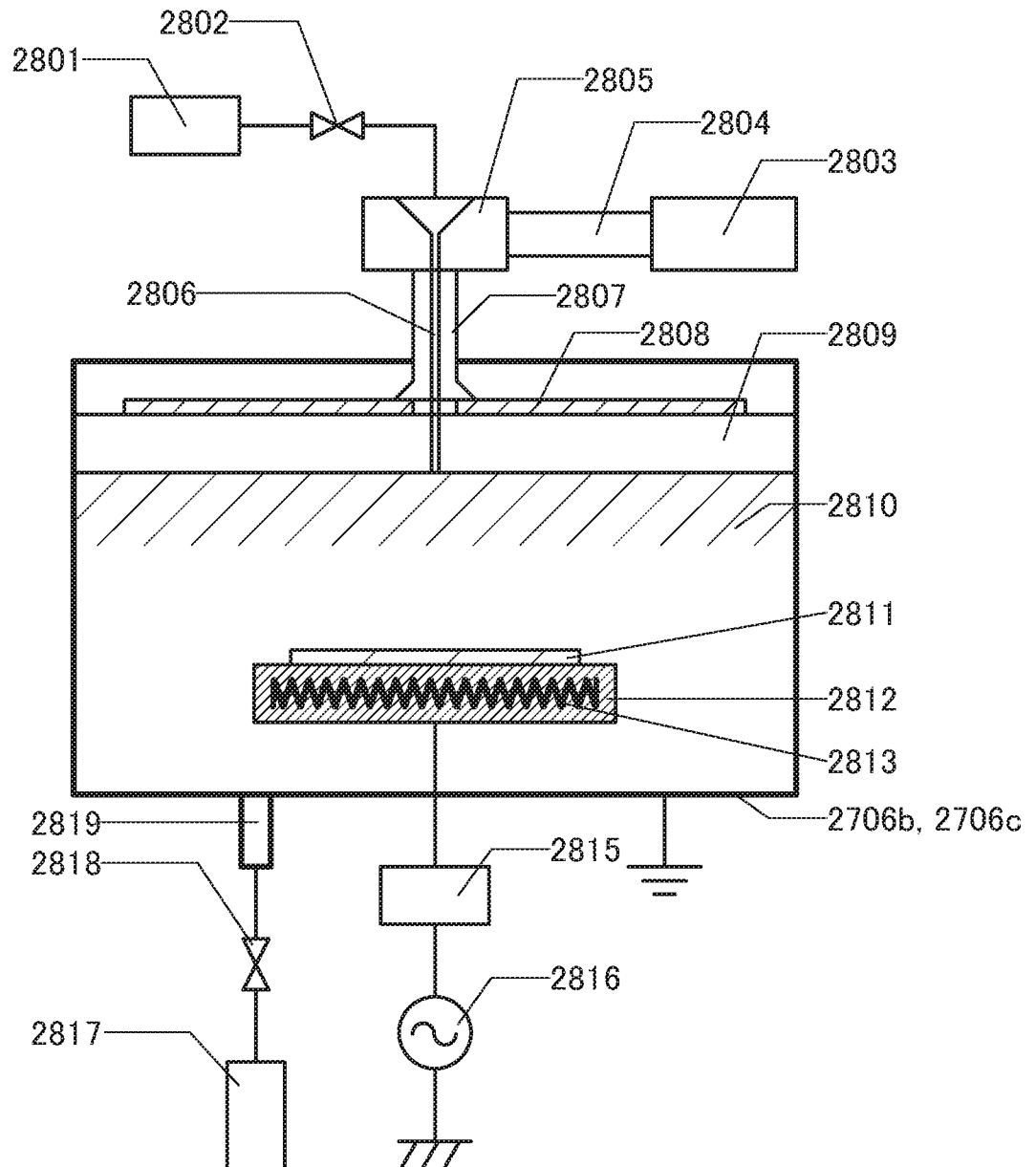


図 19

19/53

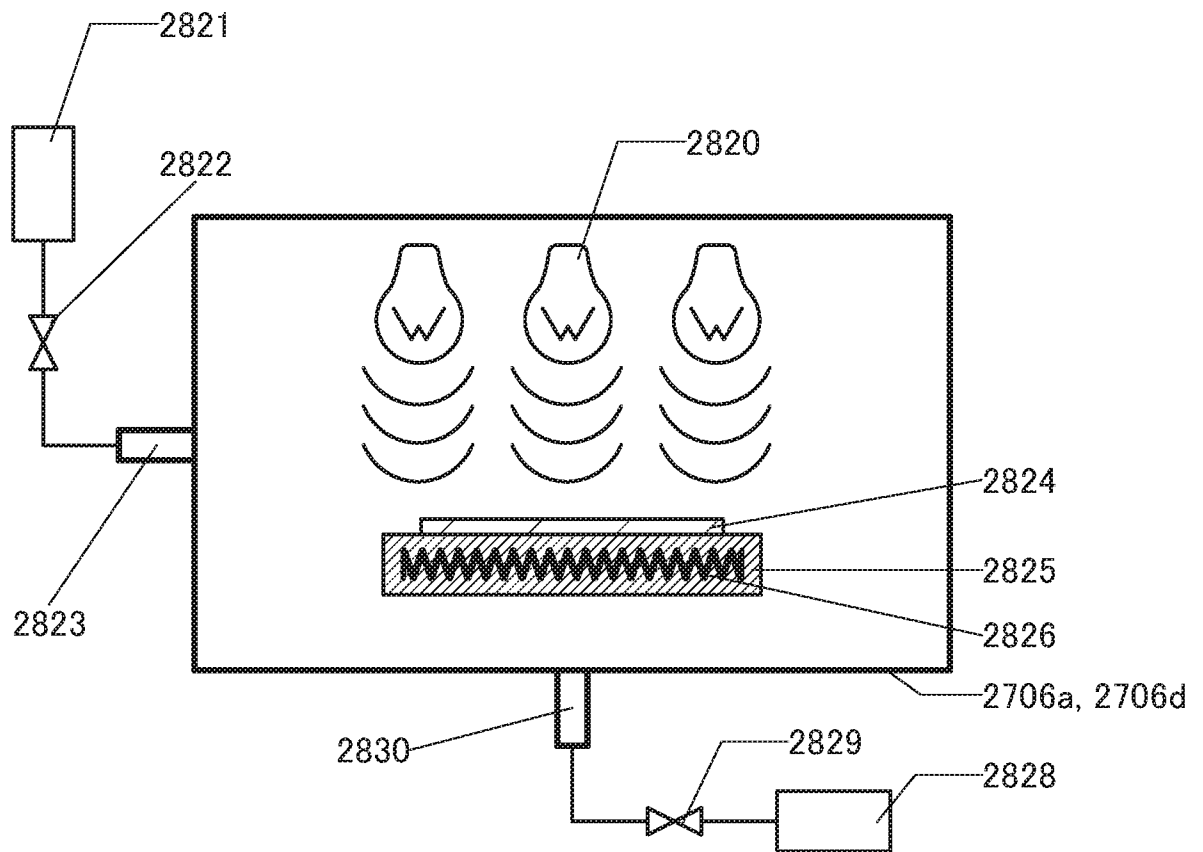


図20

20/53

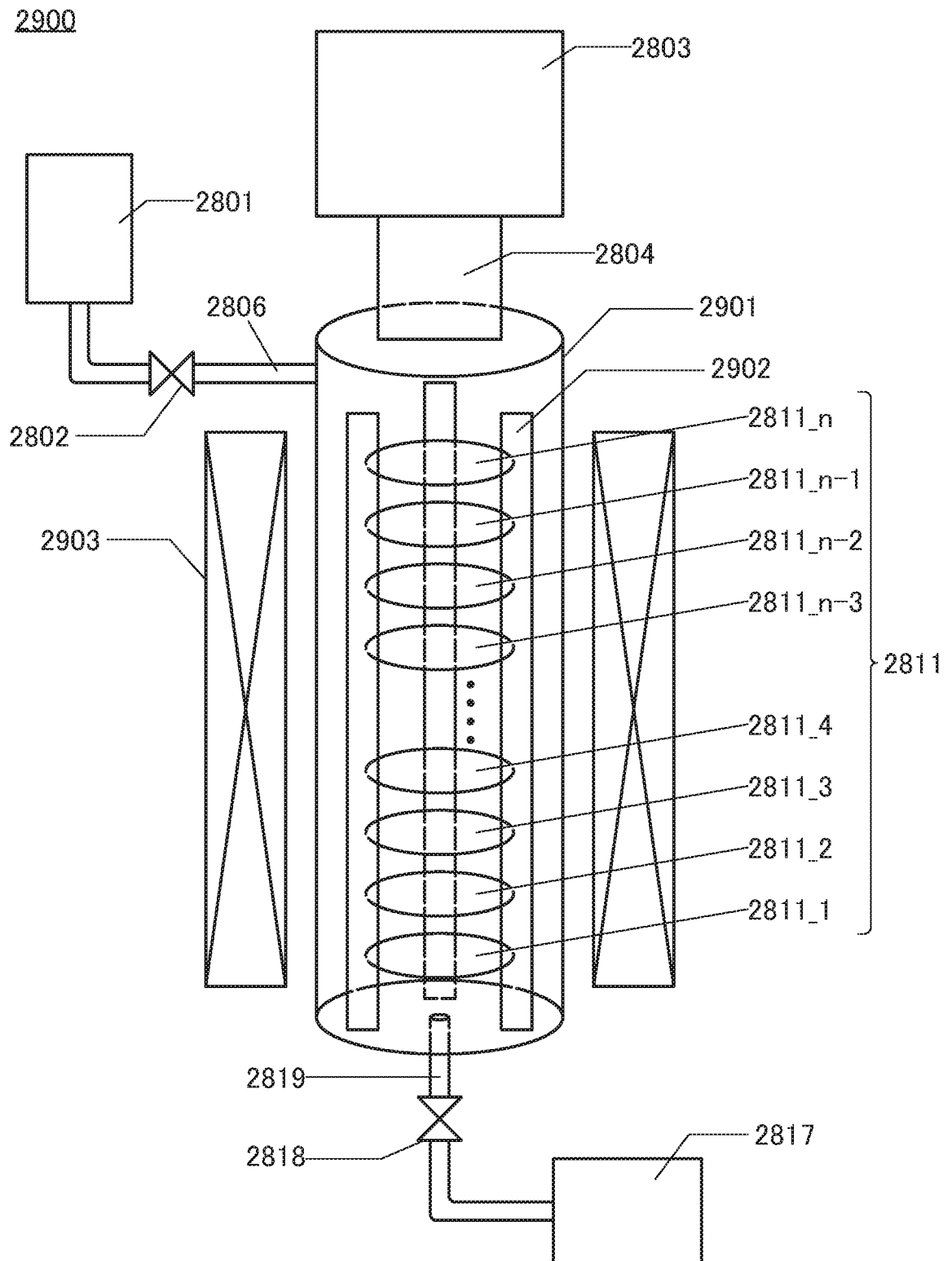


Figure 21A

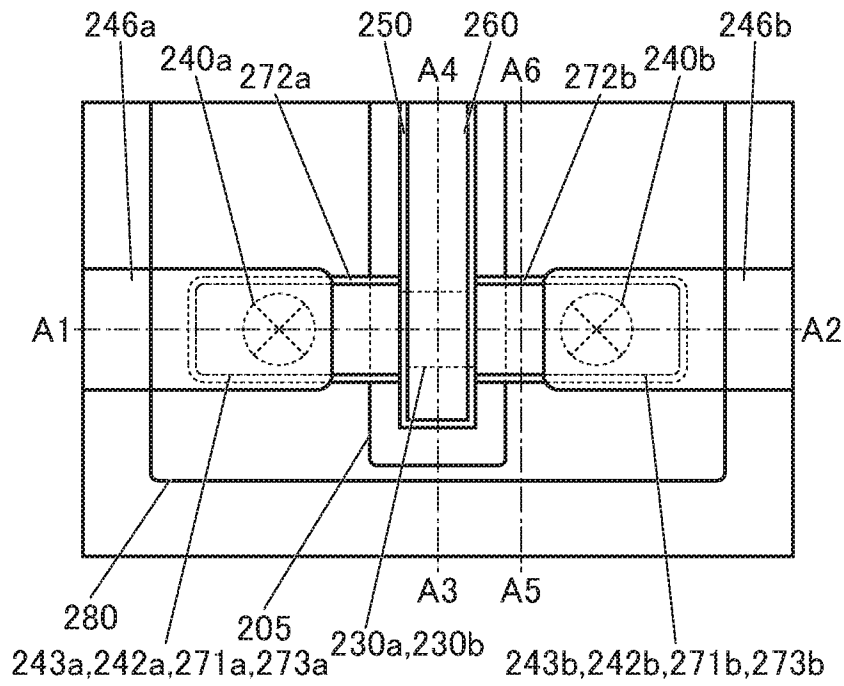
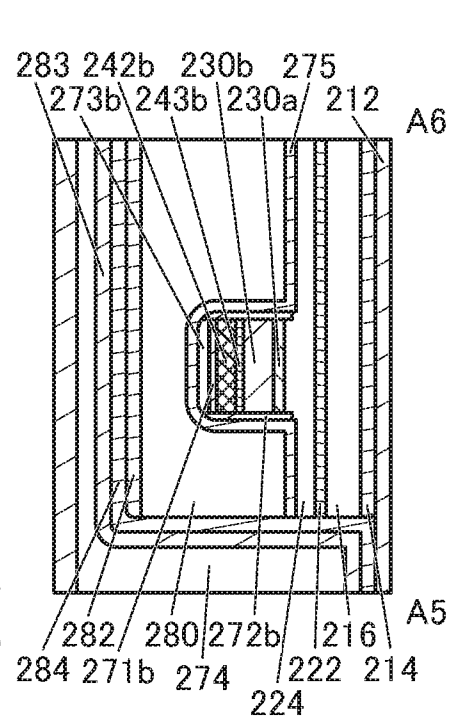
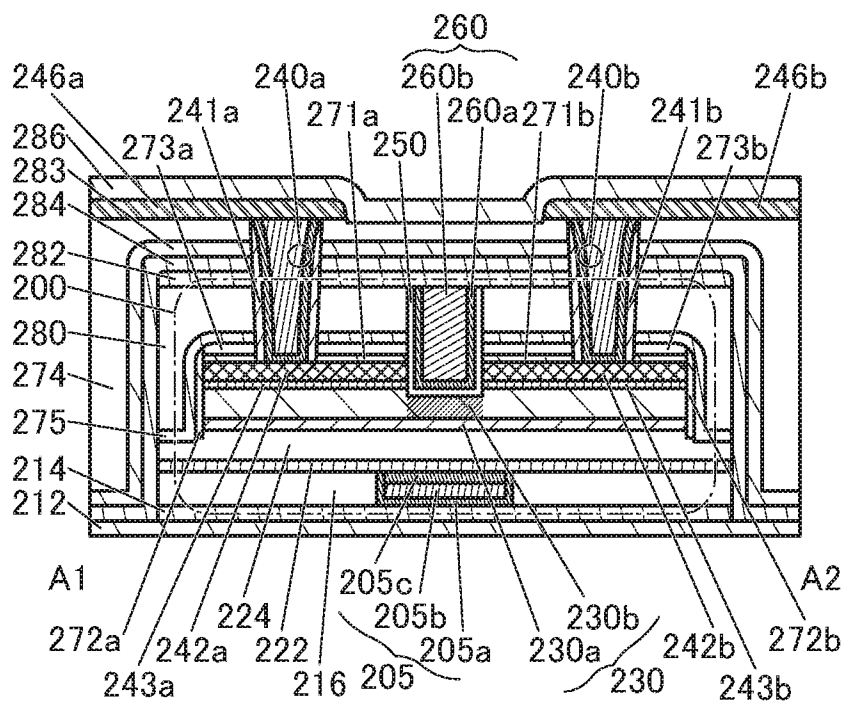
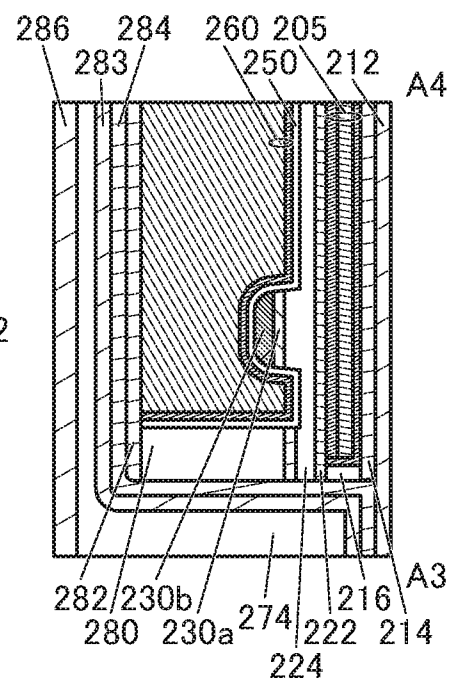
 21C

図22A

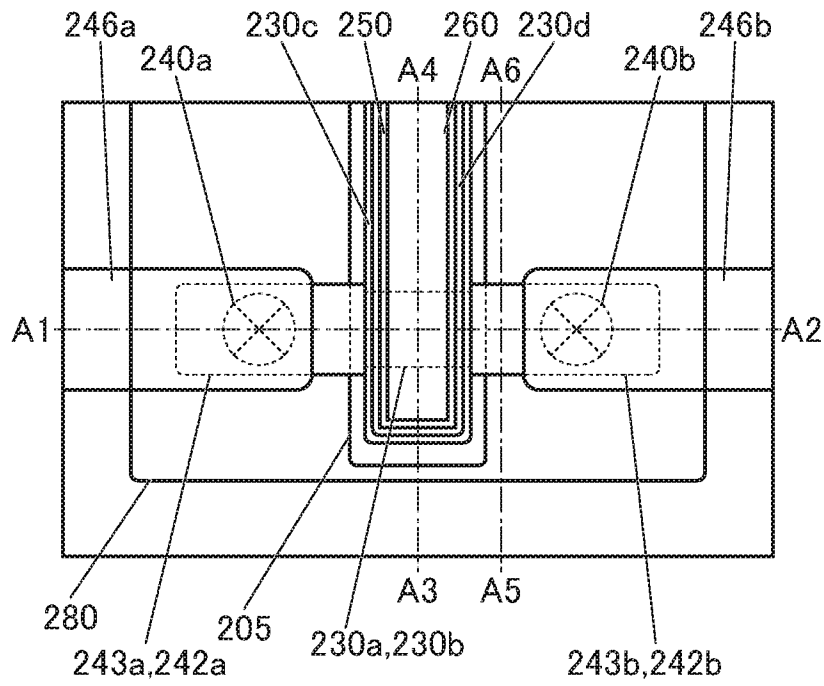


図22C

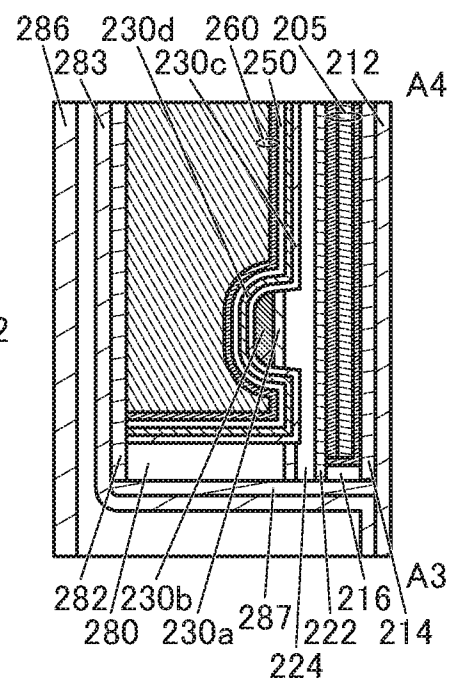


図22B

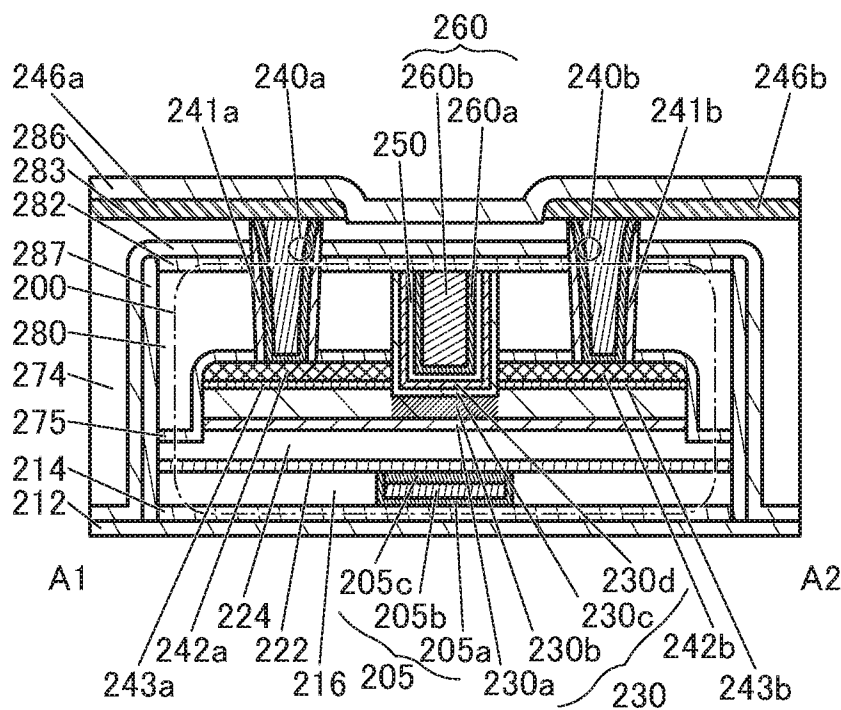
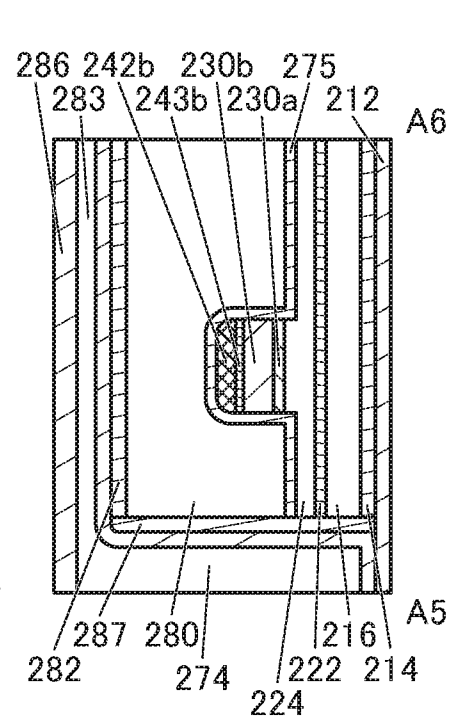
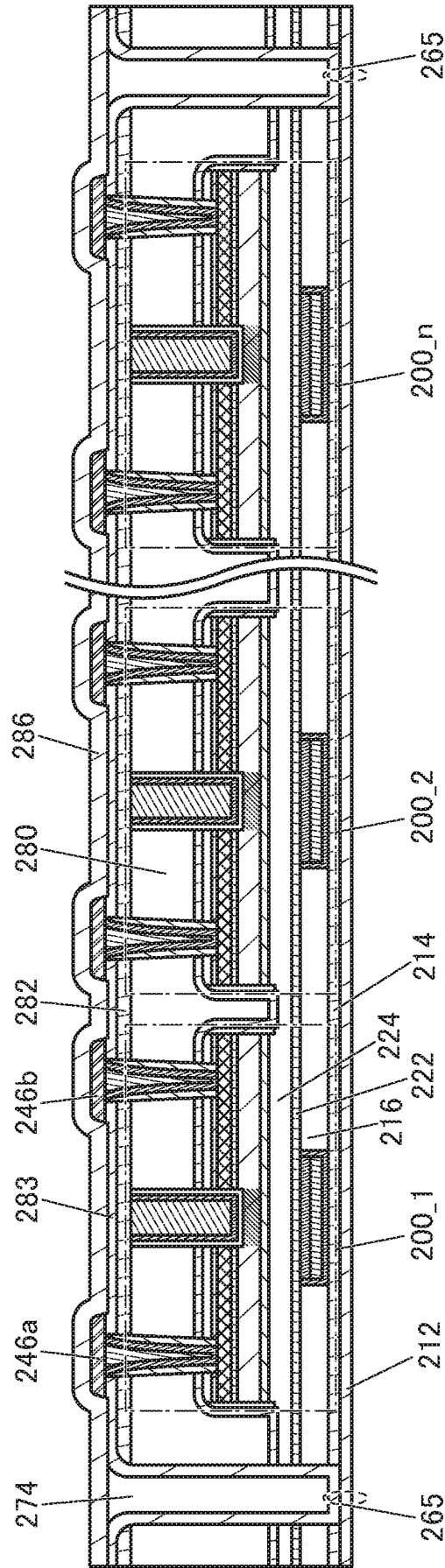


図22D



23A



23B

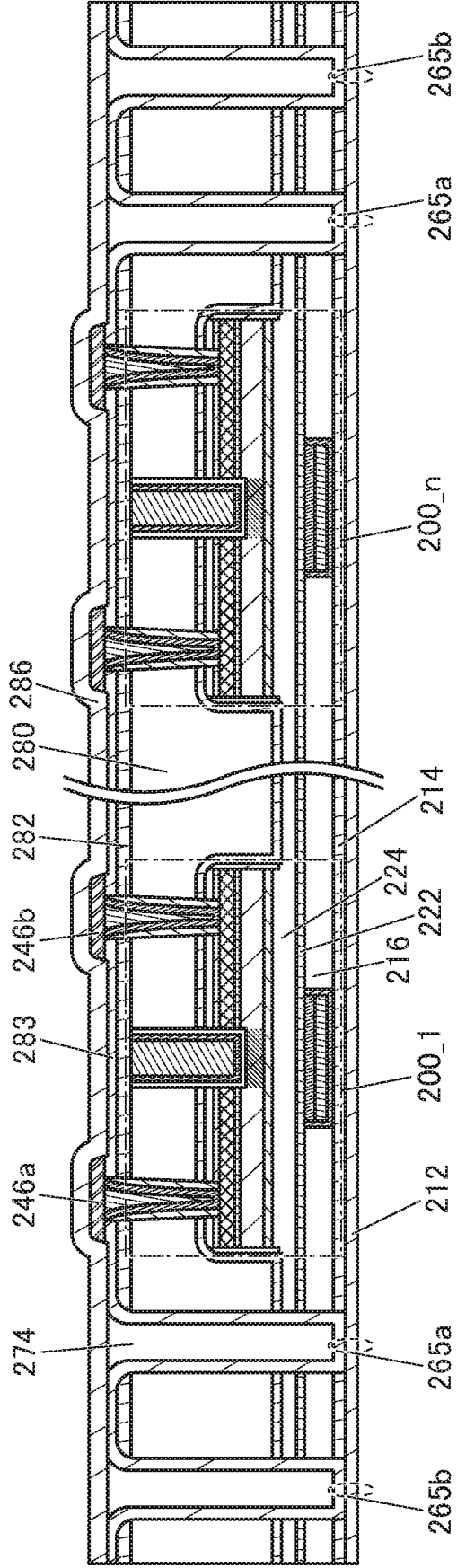


图24

24/53

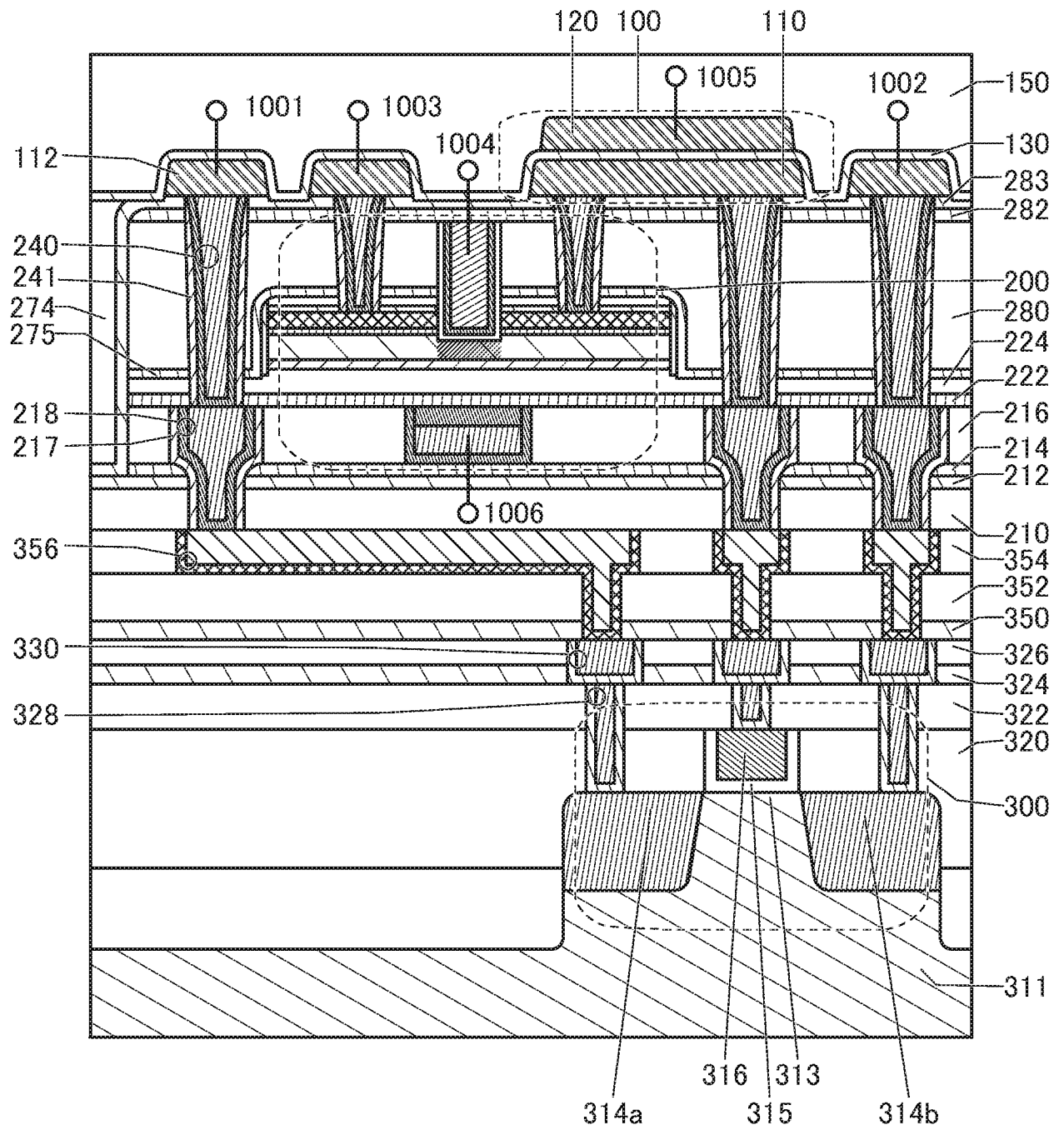
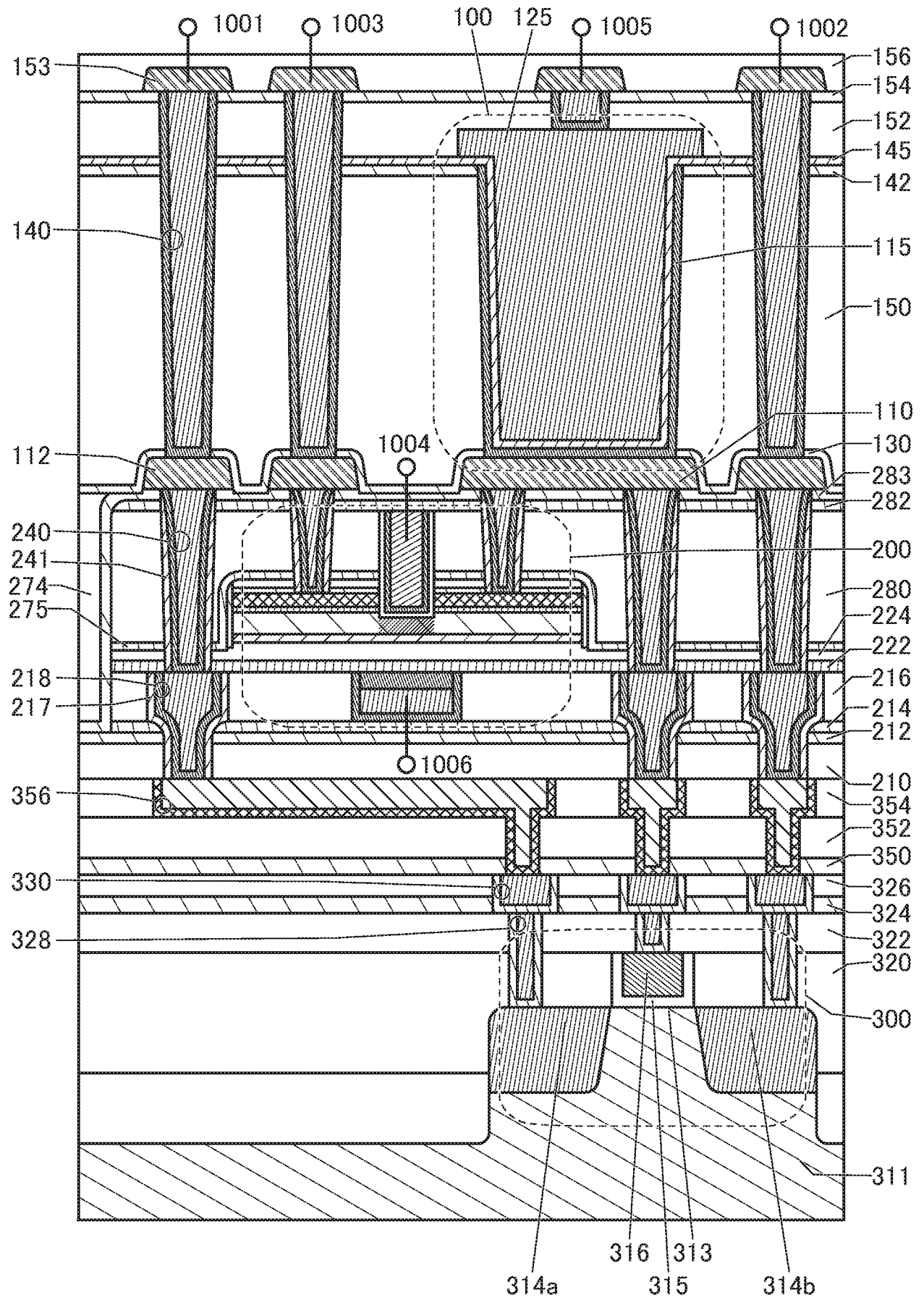
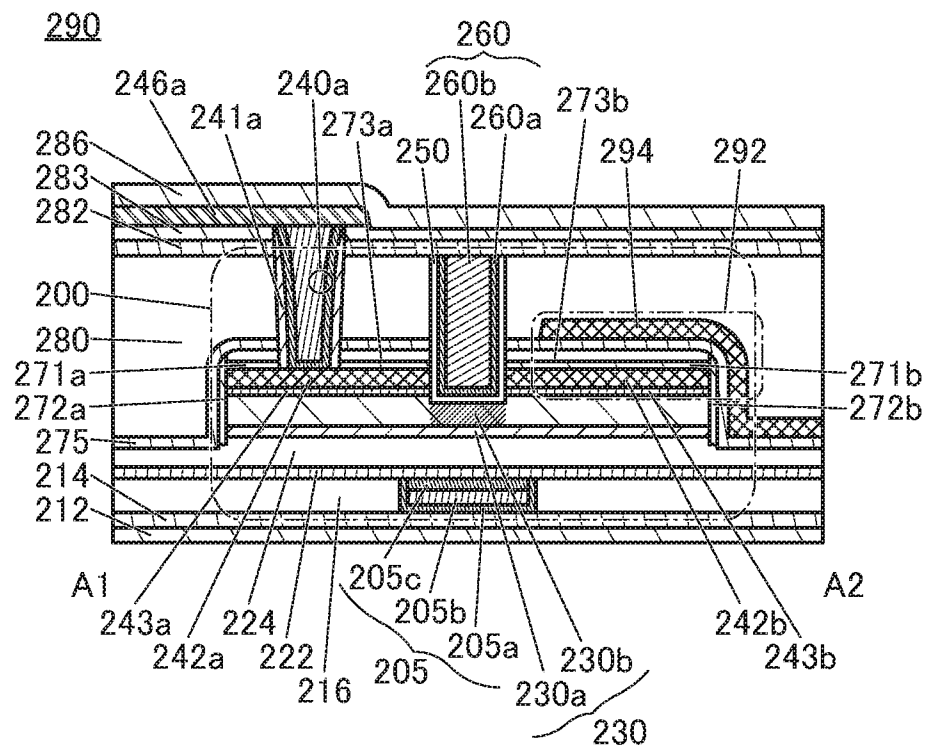


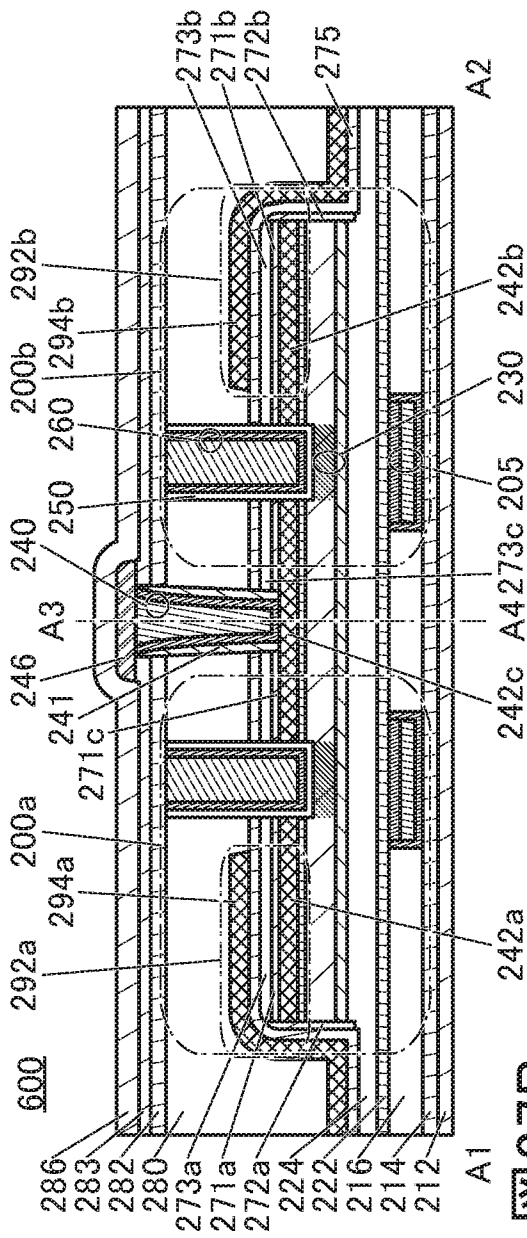
図25

25/53





27A



27B

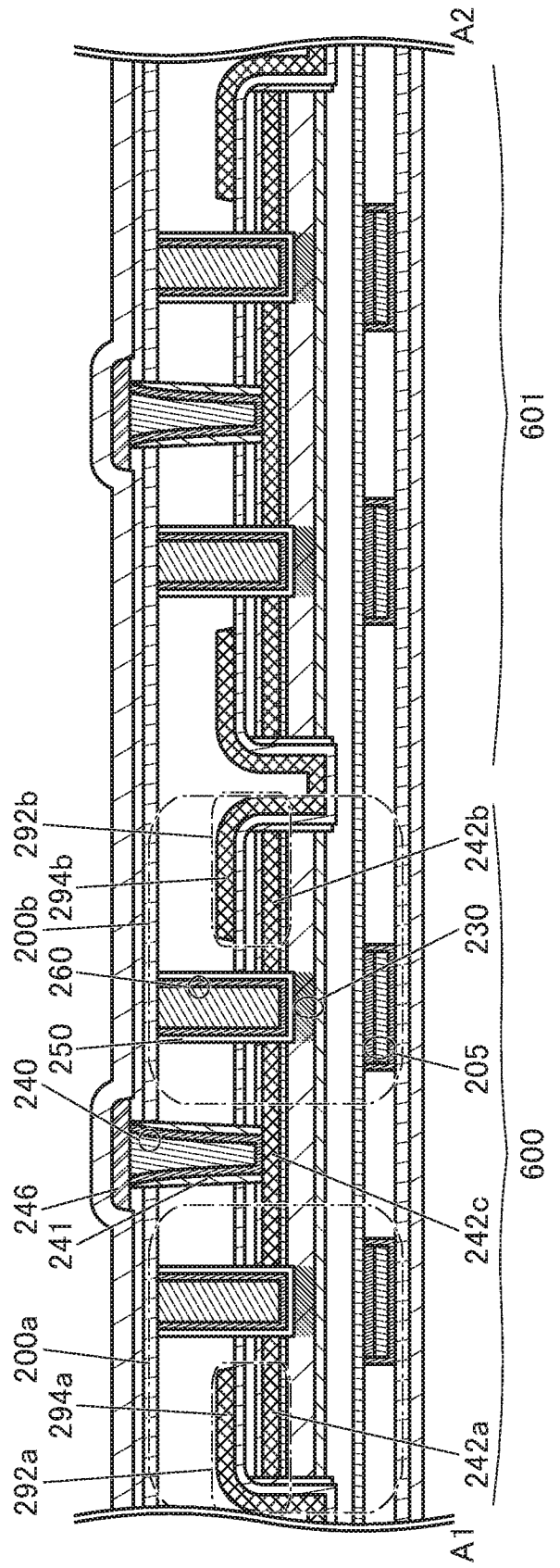


図28

28/53

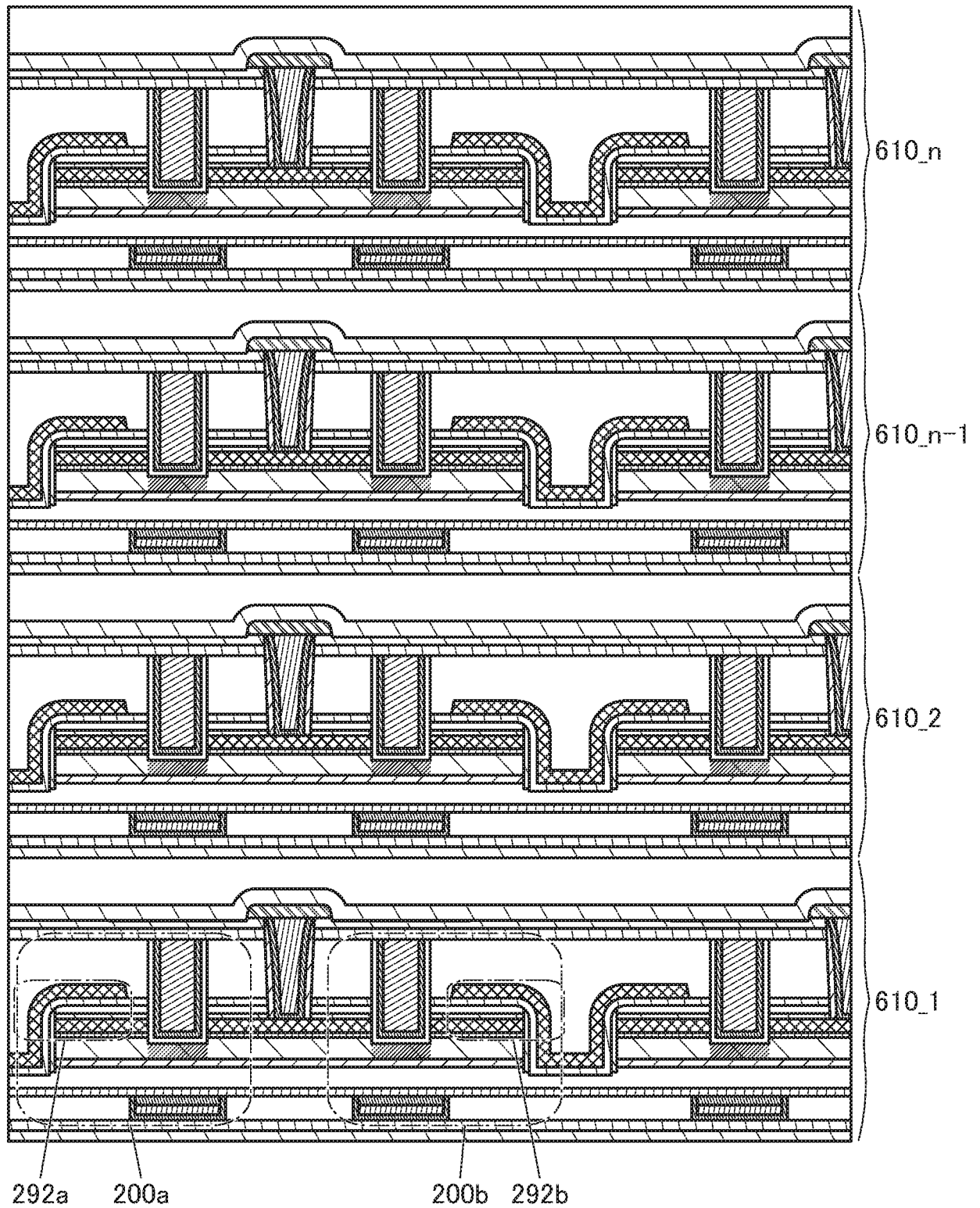
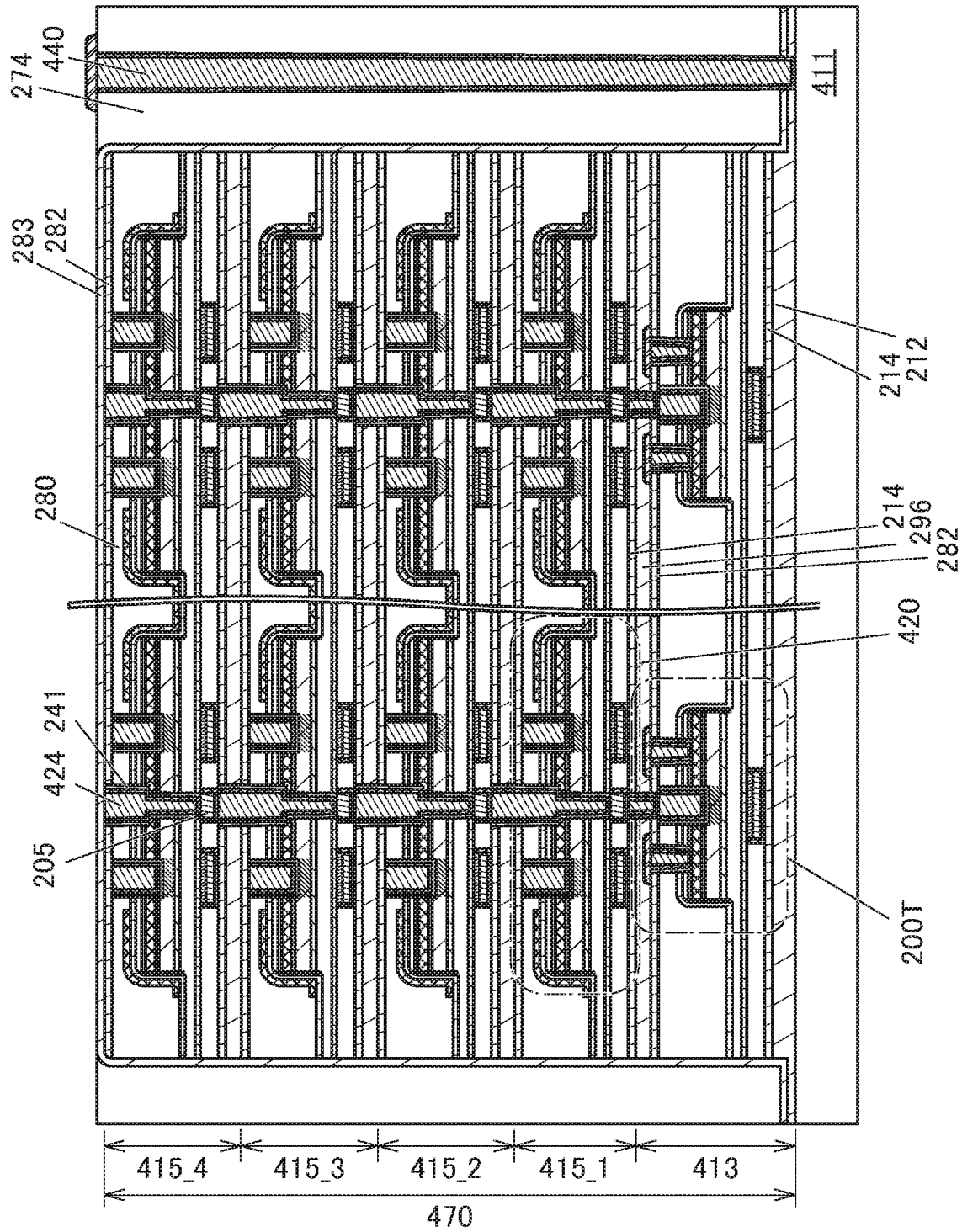
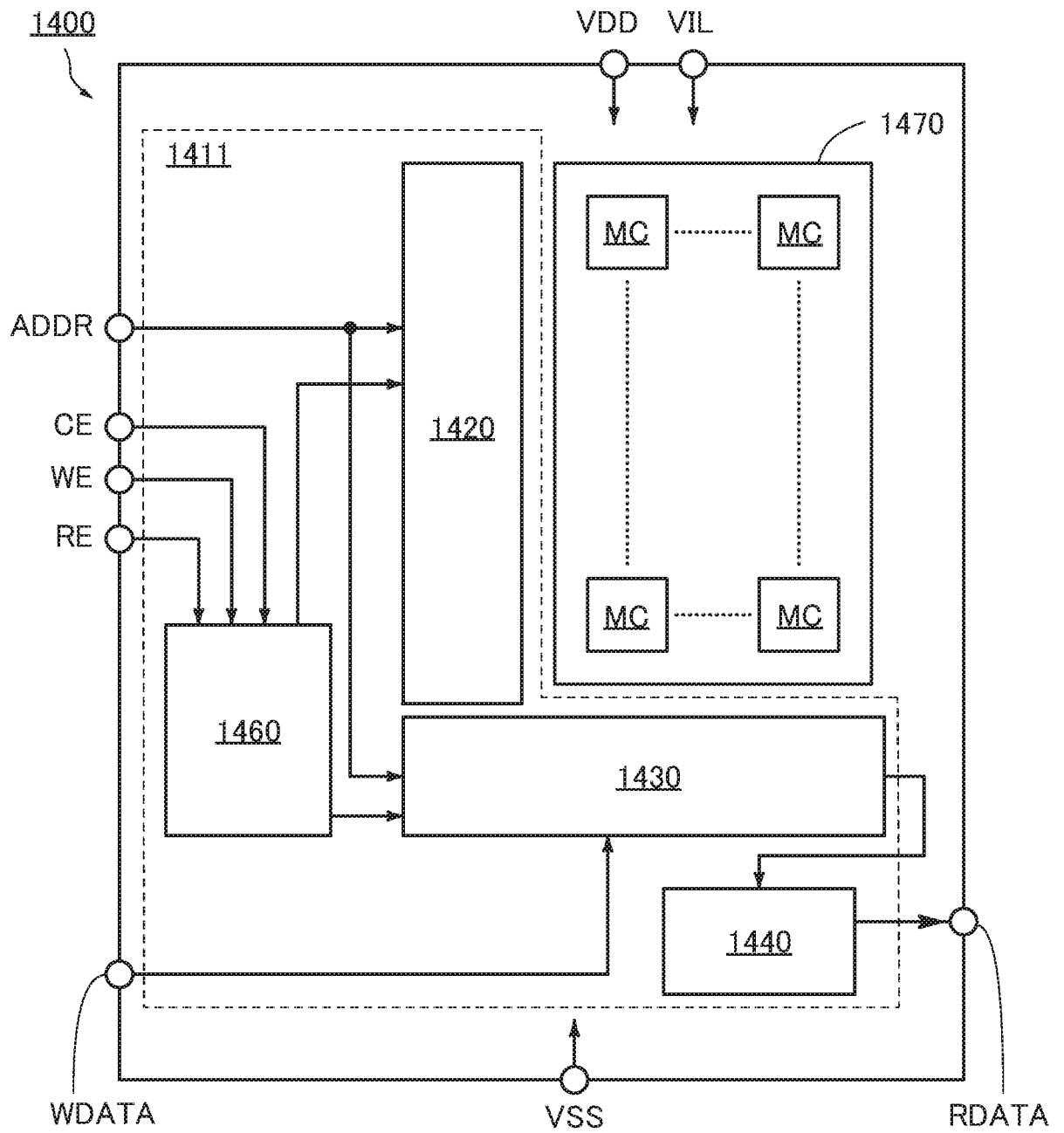


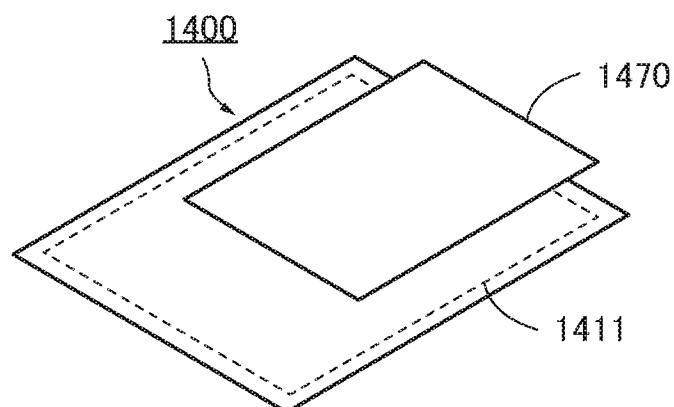
图29



30A

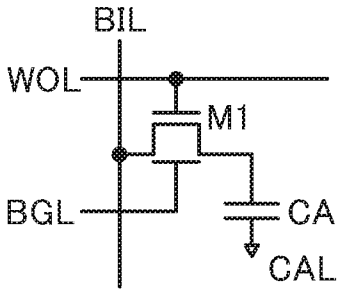


30B



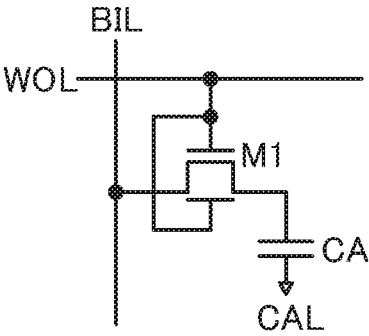
31A

1471



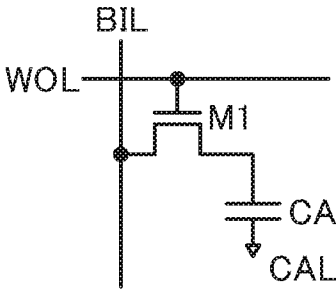
31B

1472



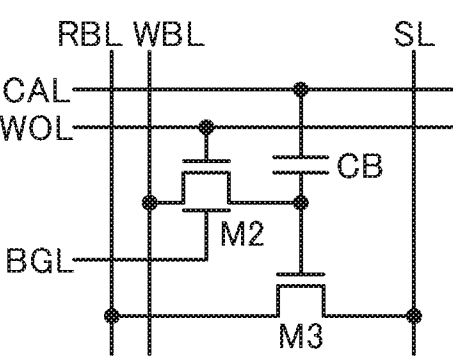
31C

1473



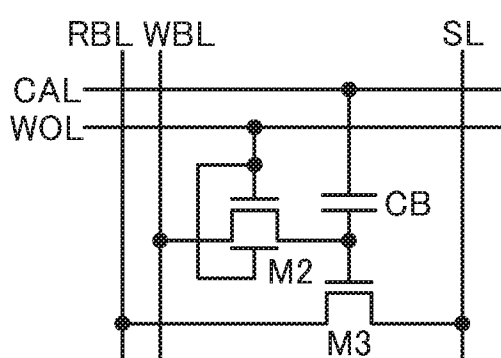
31D

1474



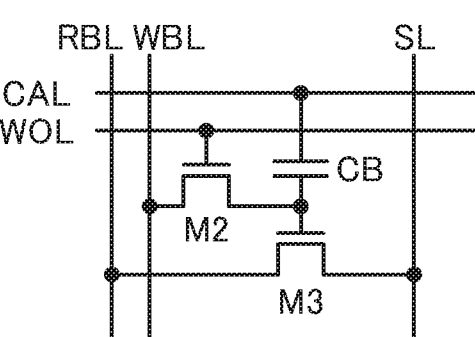
31E

1475



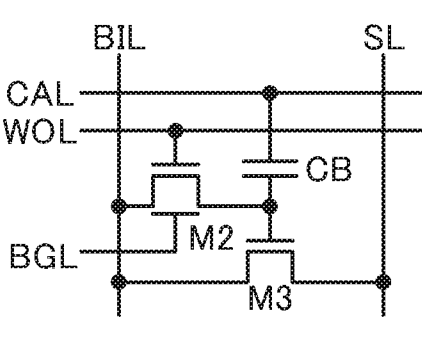
31F

1476



31G

1477



31H

1478

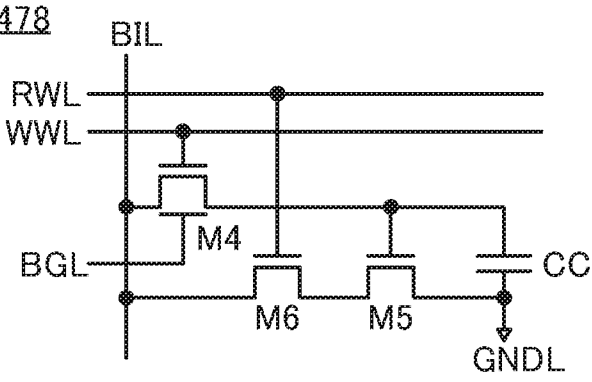


図32

32/53

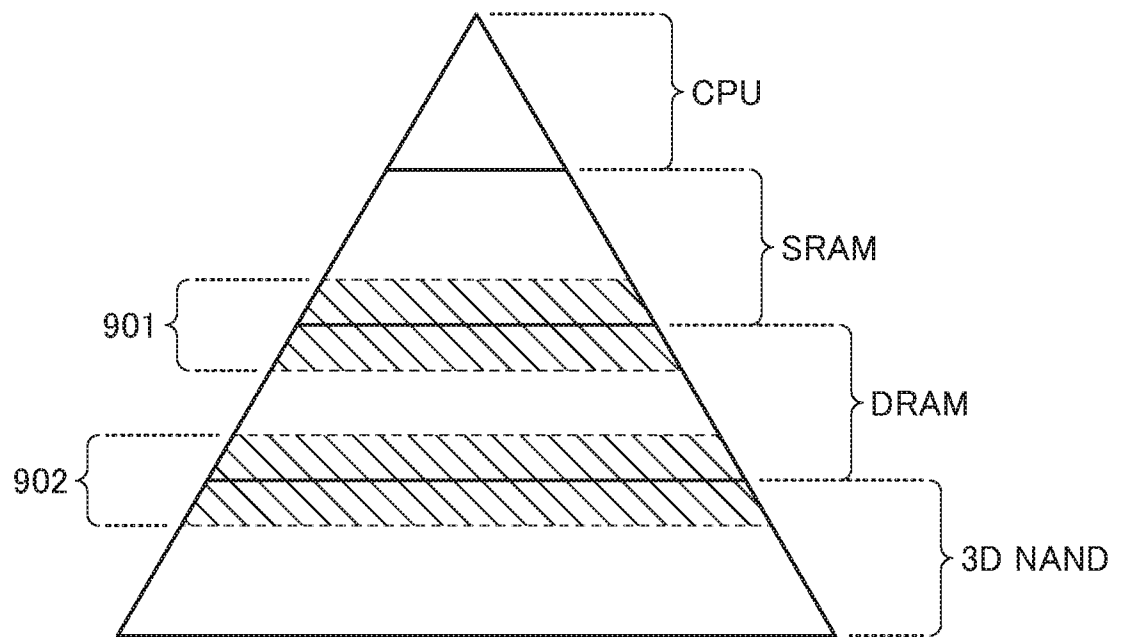


図33A

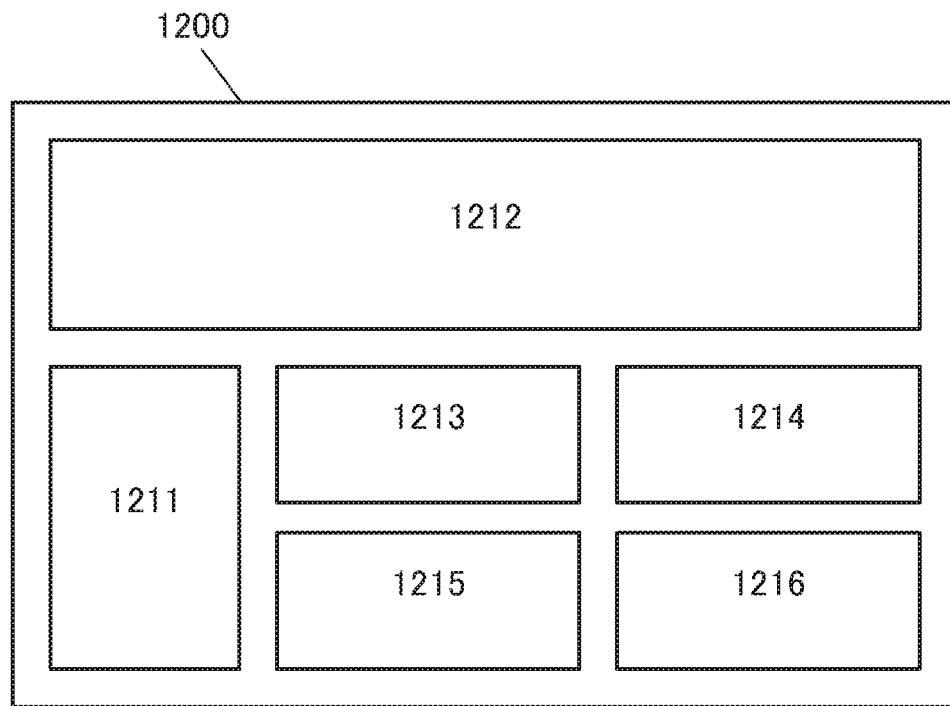


図33B

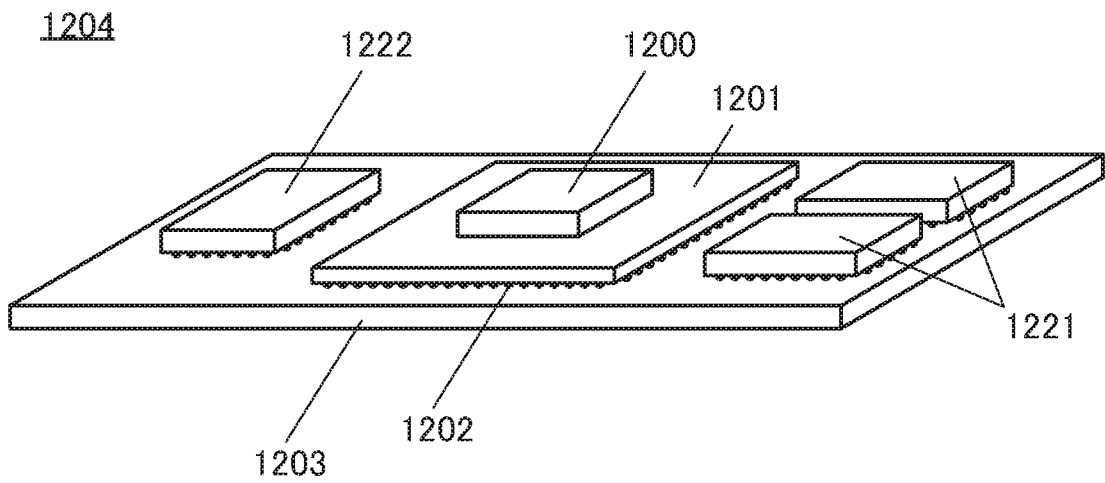


図34A

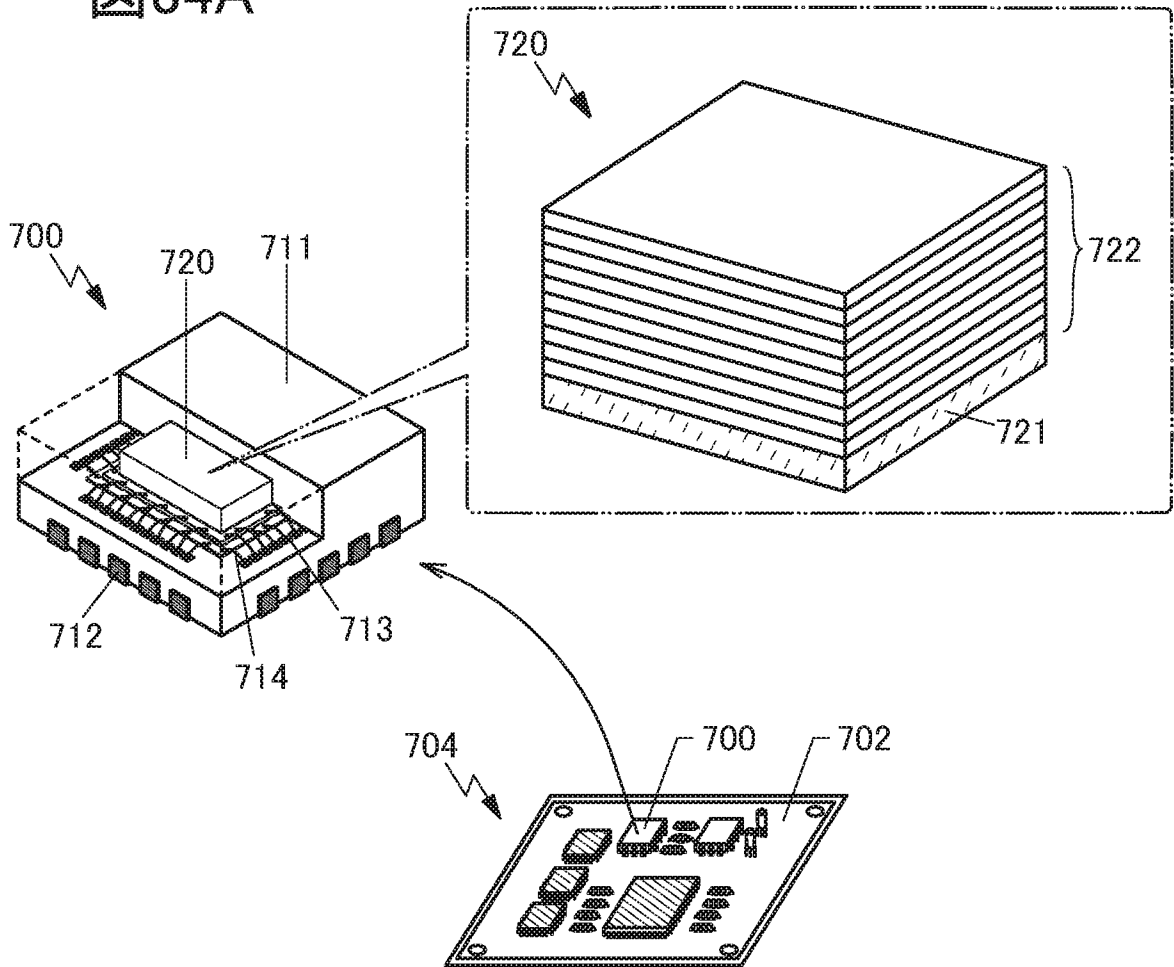
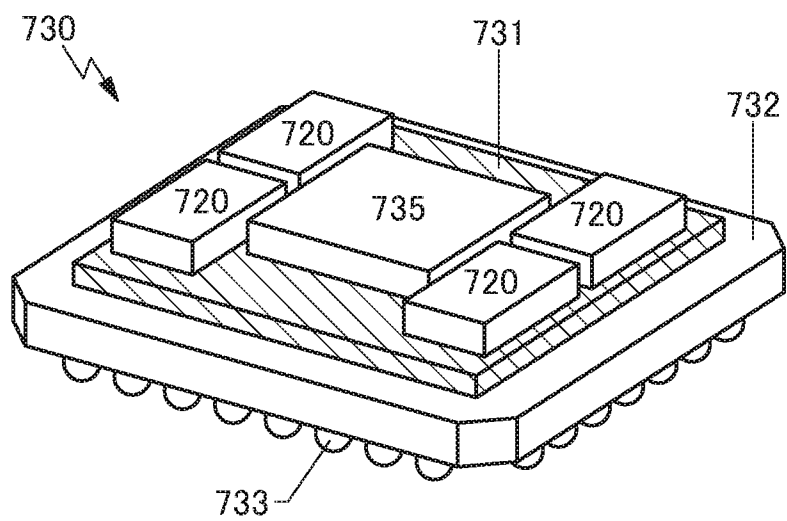


図34B



35/53

図35A

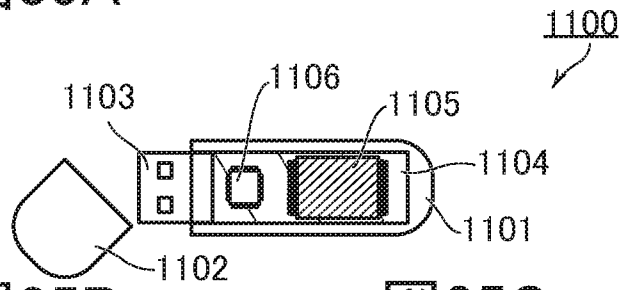


図35B

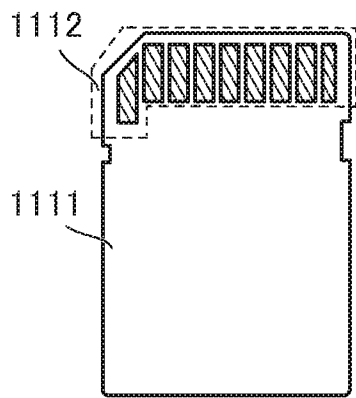


図35C

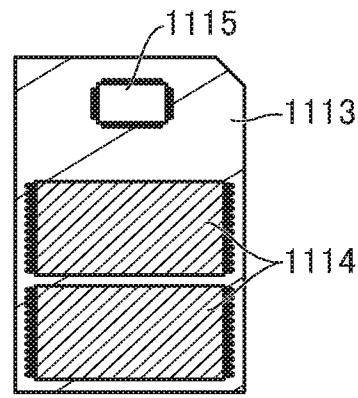


図35D

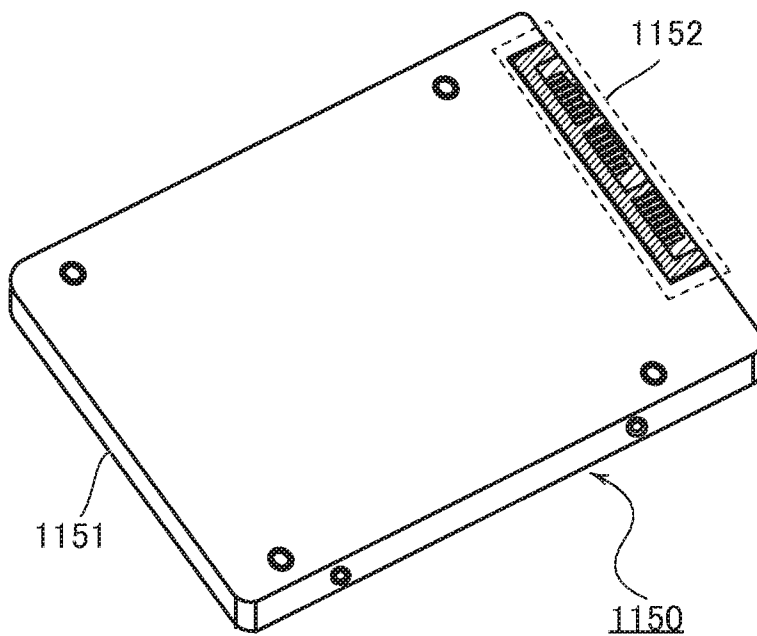


図35E

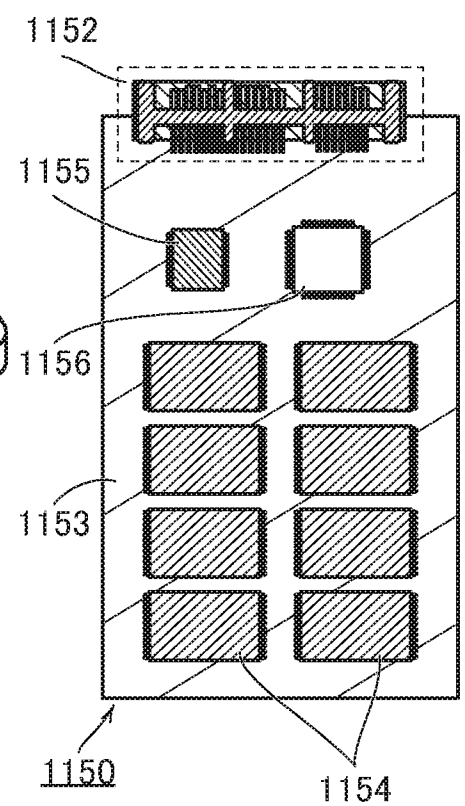


図 36A

5100

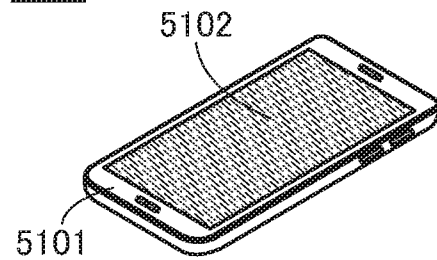


図 36B

5200

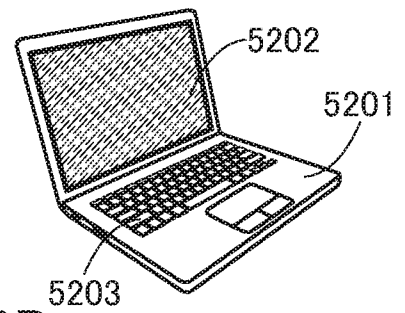


図 36C

5300

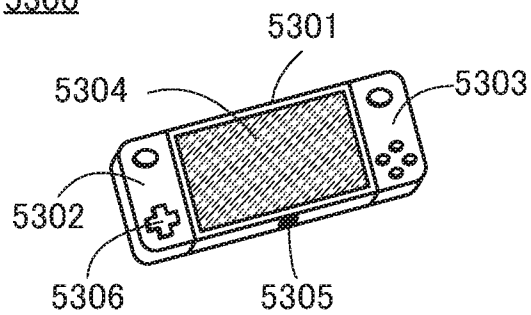


図 36D

5400

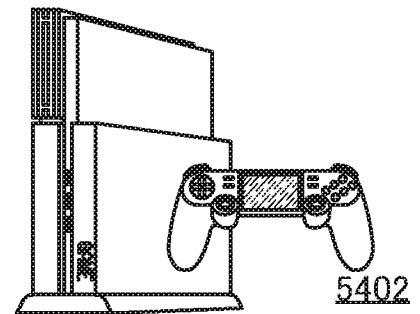


図 36E

5500

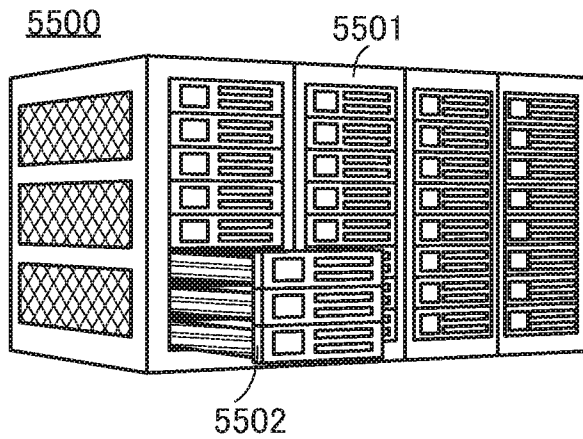


図 36F

5502

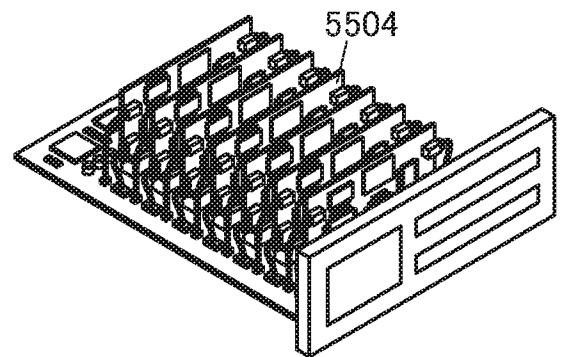


図 36G

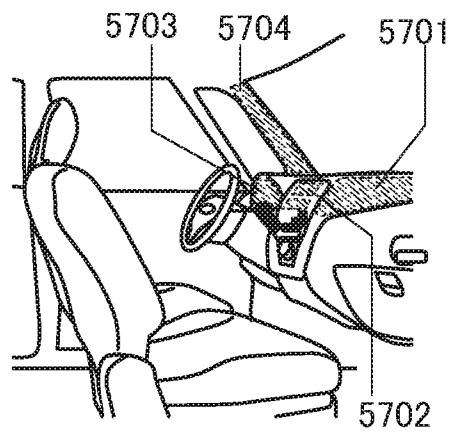


図 36H

5800

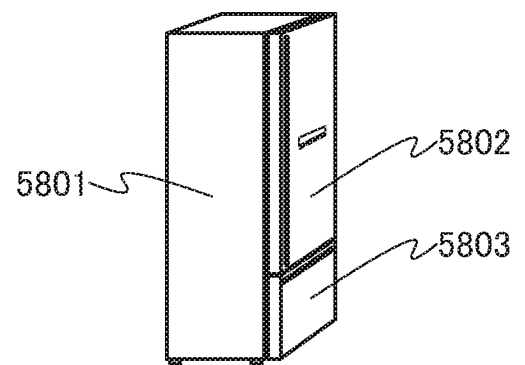


図37

37/53

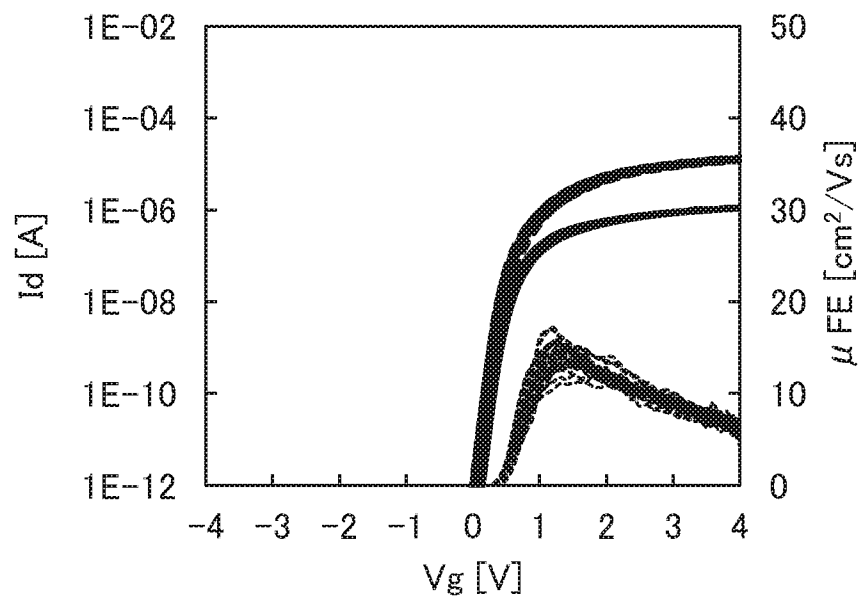


図38A

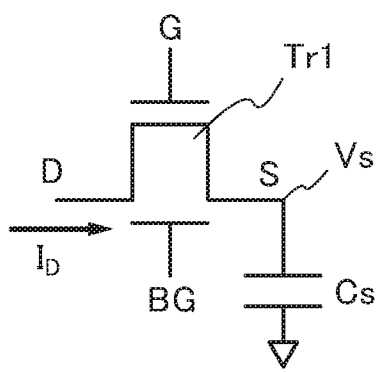


図38B

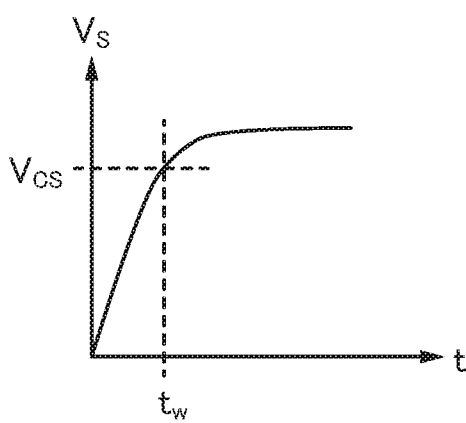


図38C

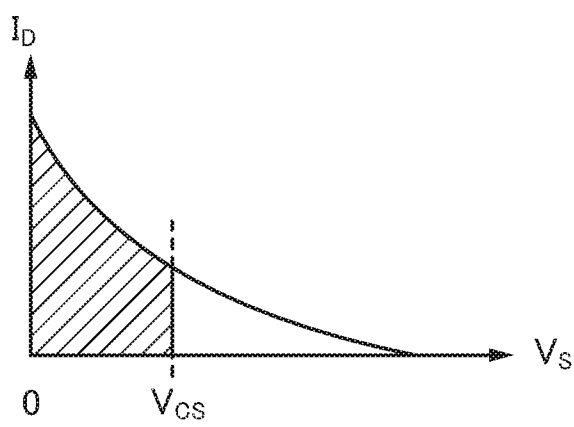


図39

39/53

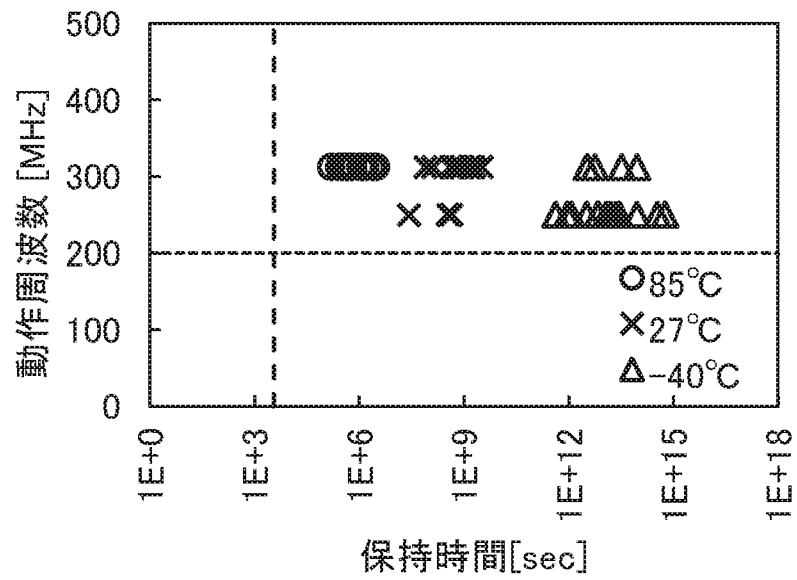


図40A

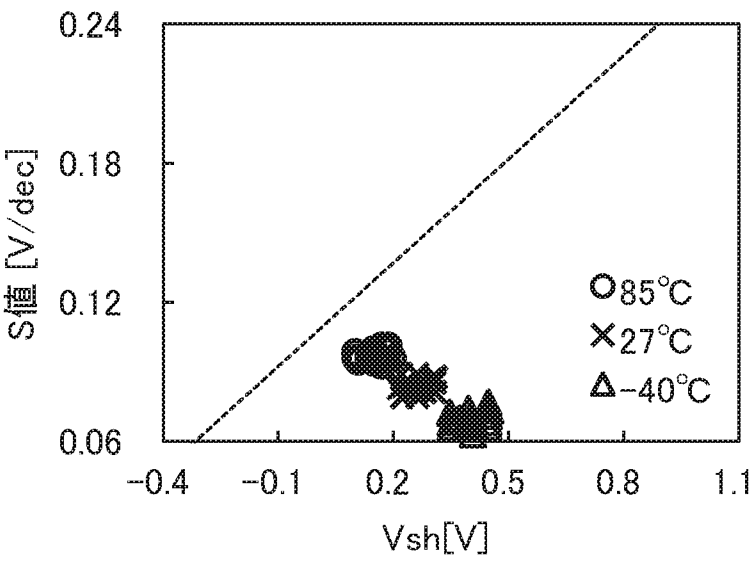


図40B

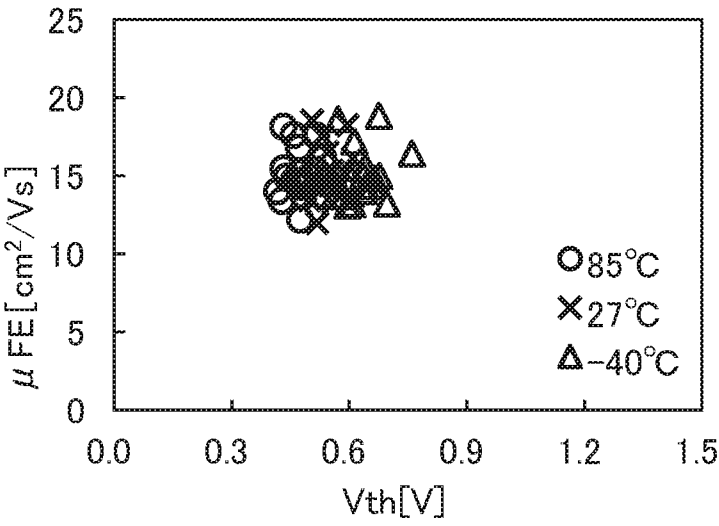


図41A

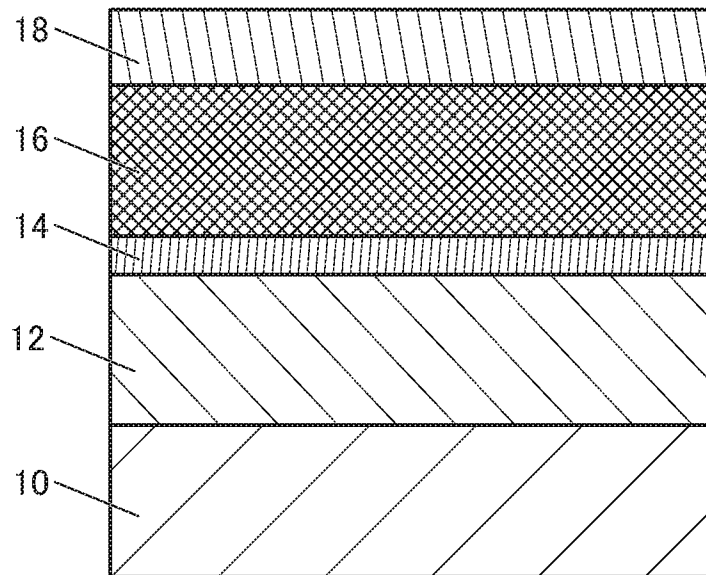


図41B

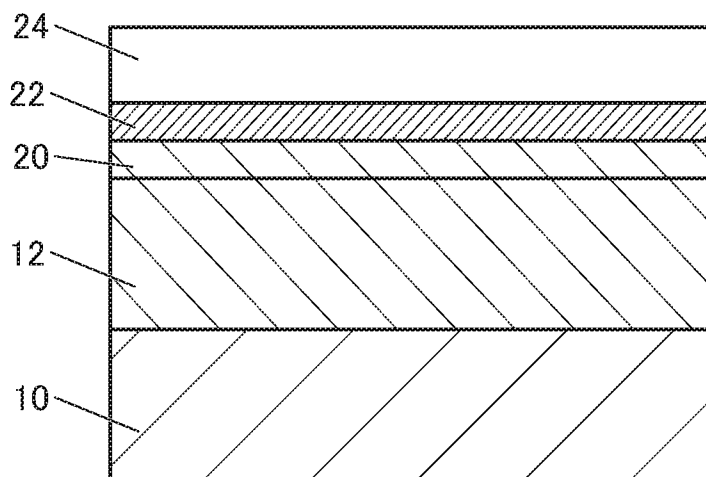


図42A

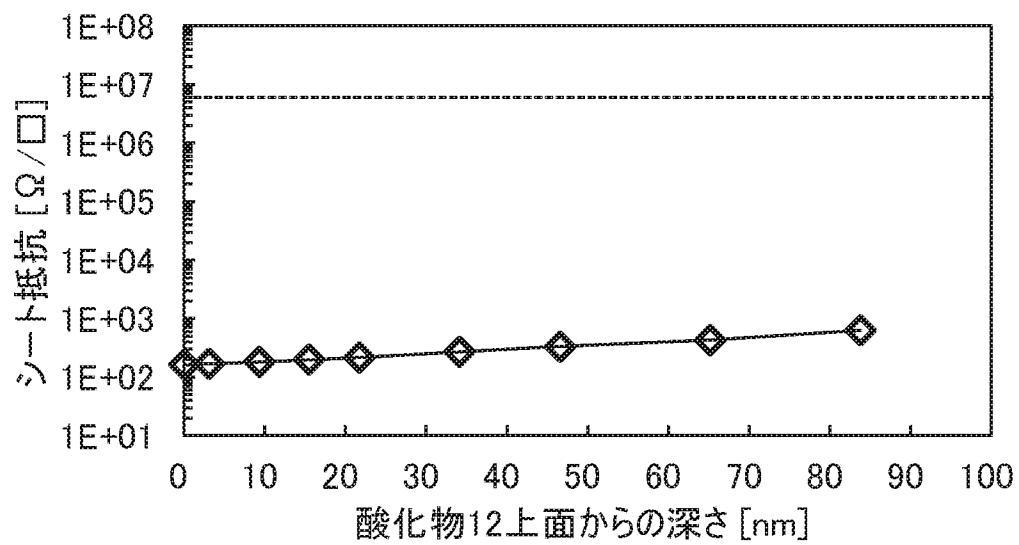


図42B

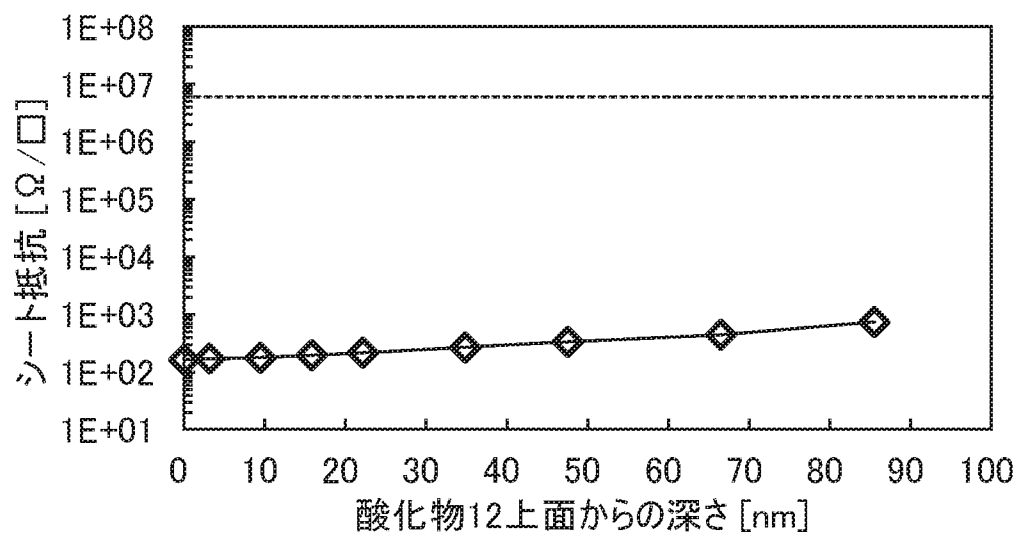


図43A

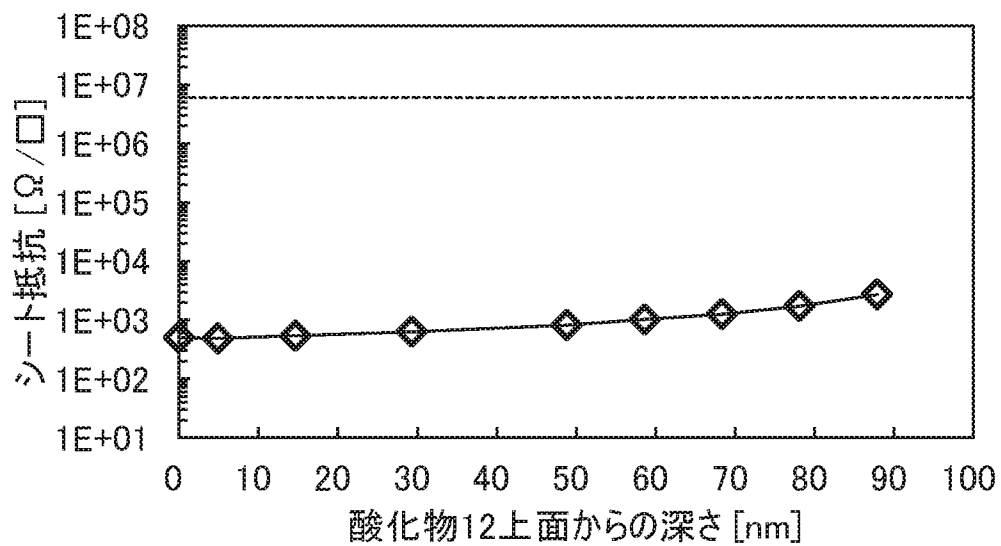


図43B

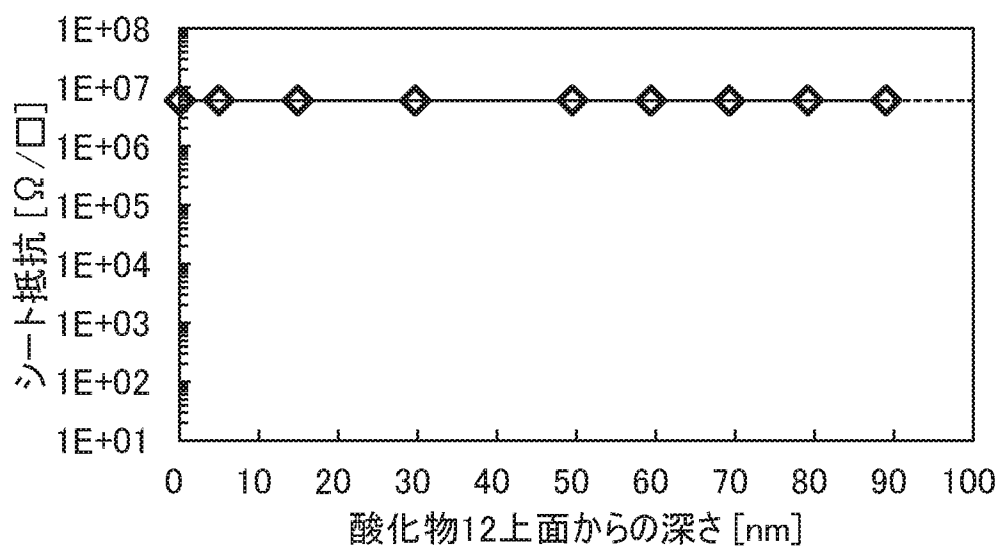


図44B

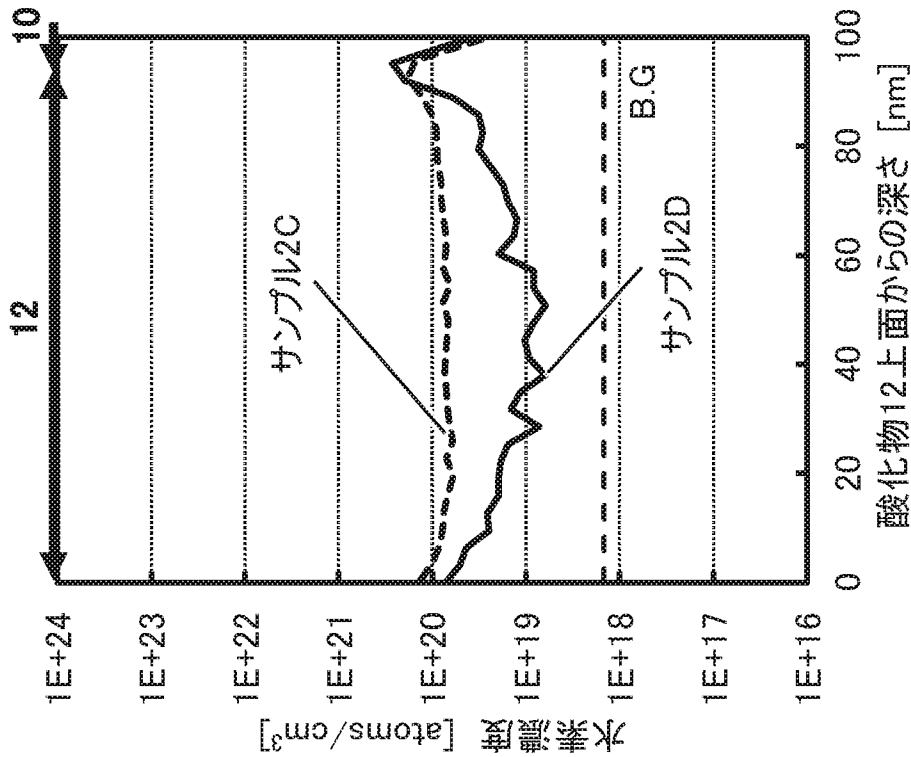


図44A

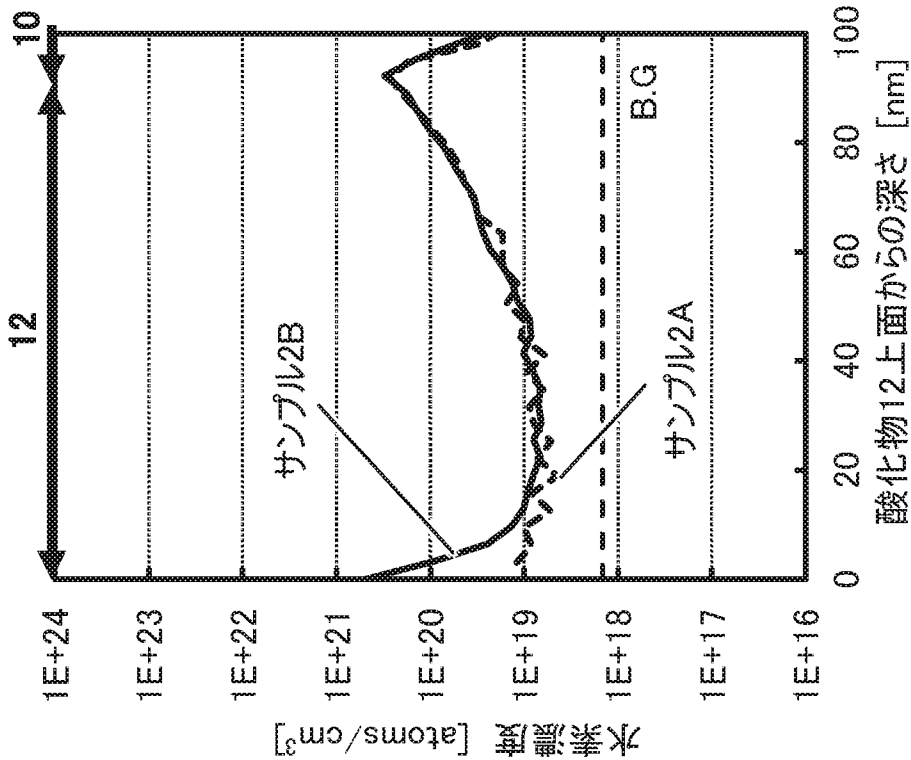


図45

45/53

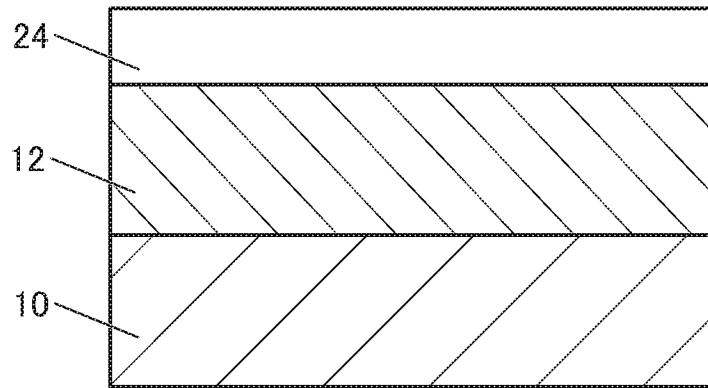


図46

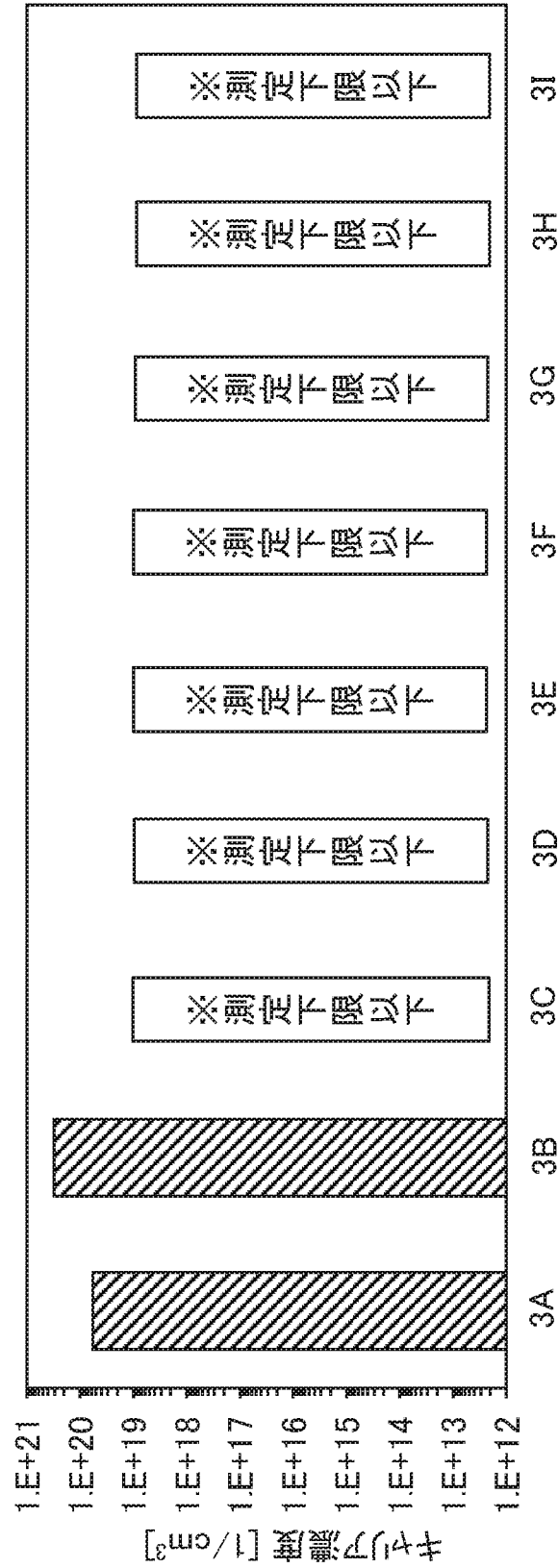
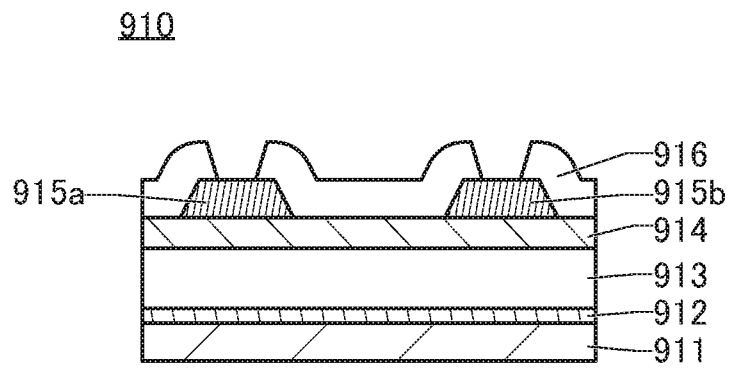


図47

47/53



48/53

図48B

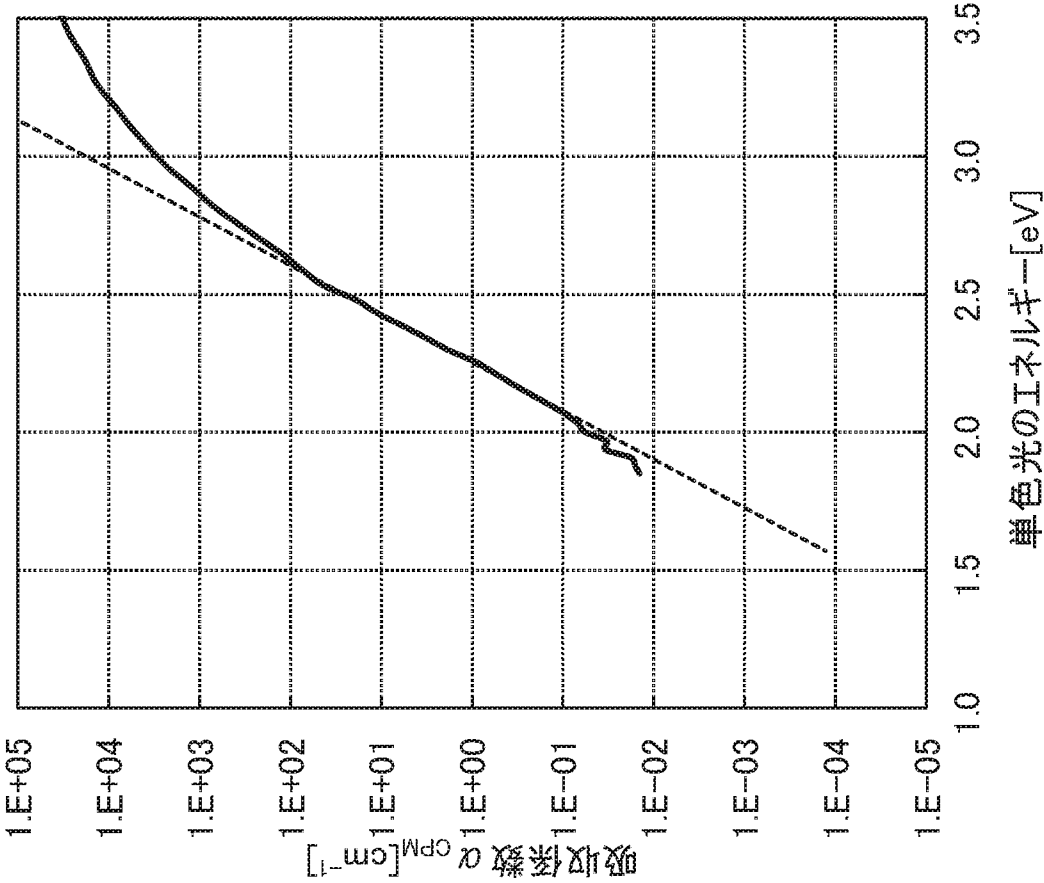
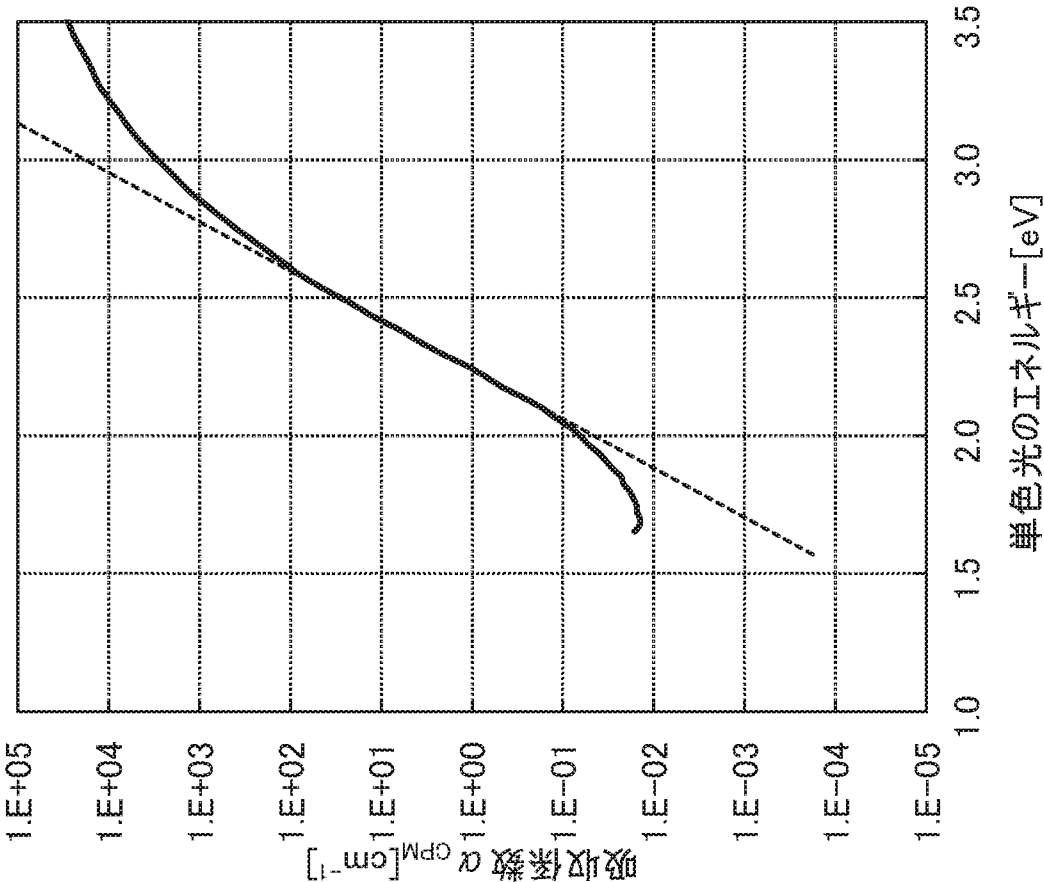


図48A



49/53

図49A

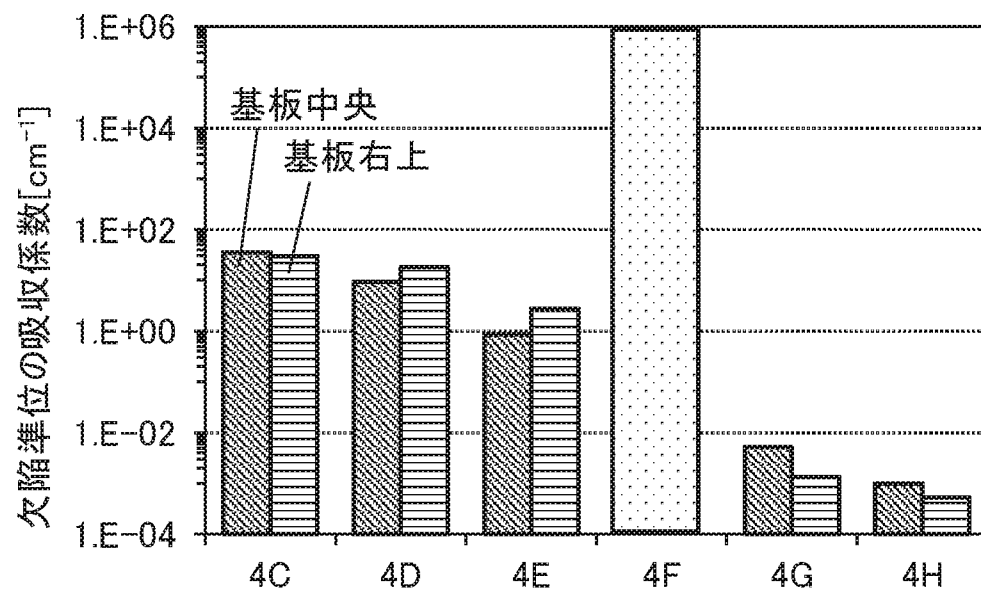
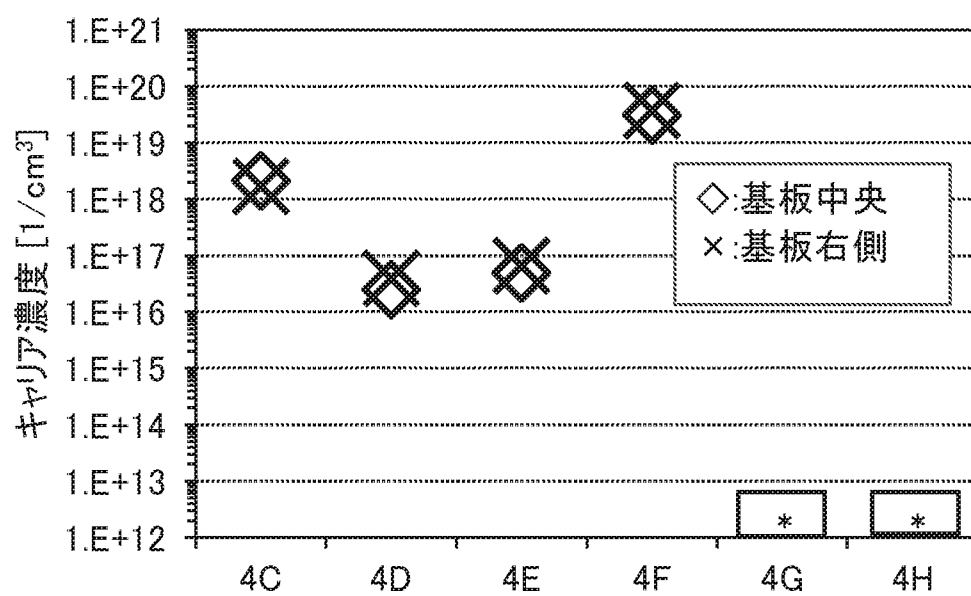


図49B



50/53

図50A

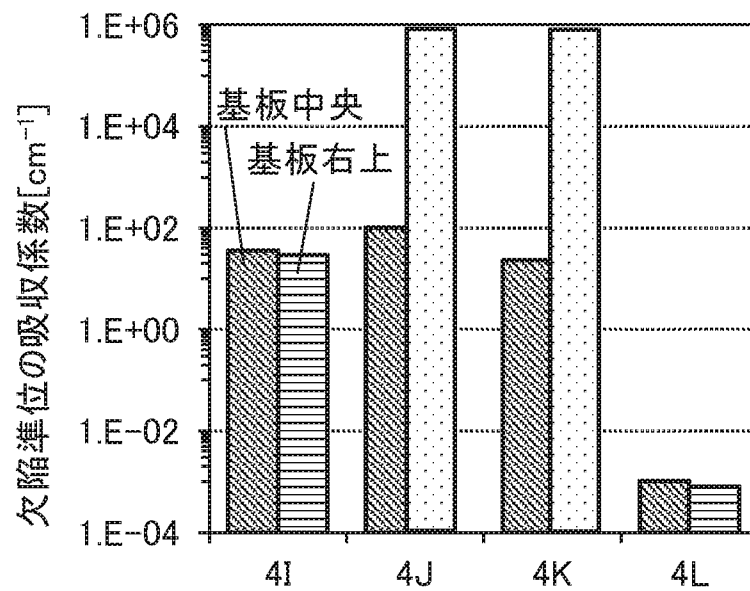


図50B

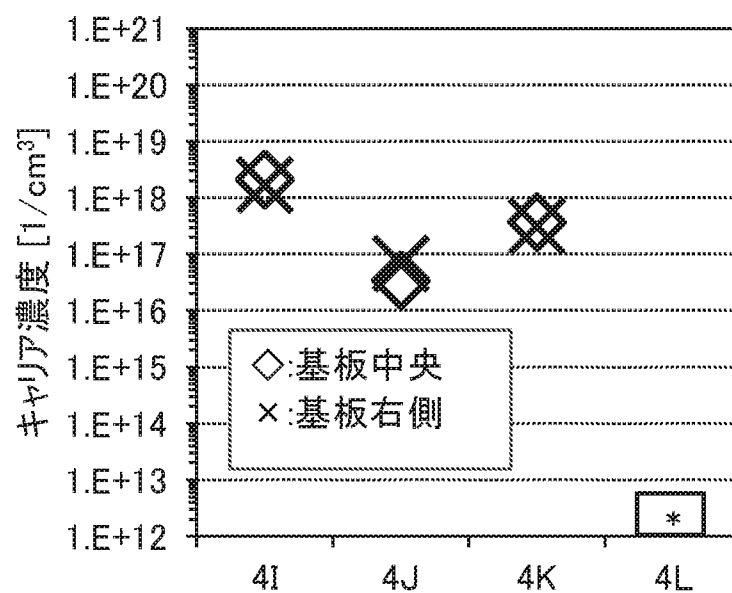


図51

51/53

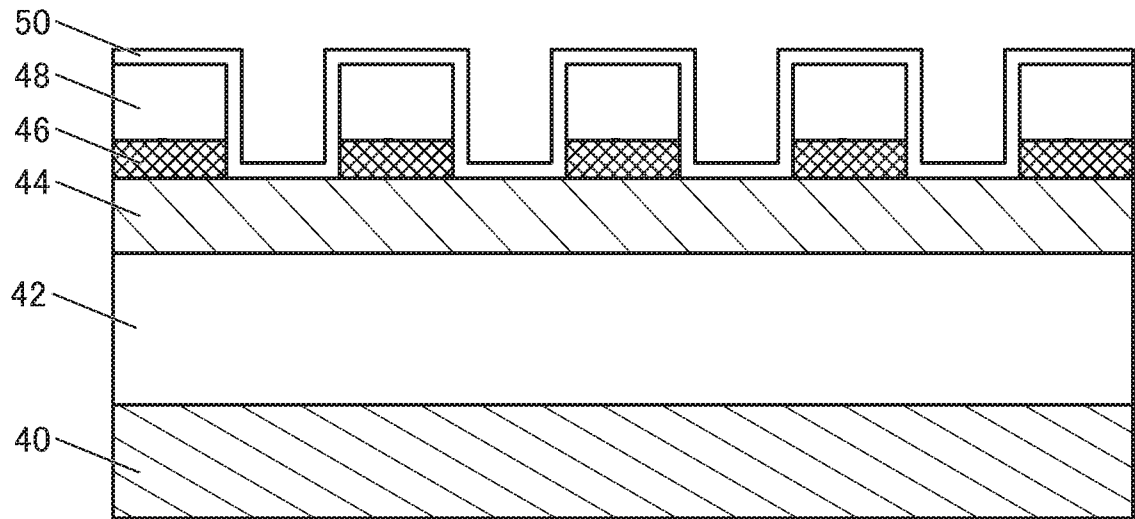


図52

52/53

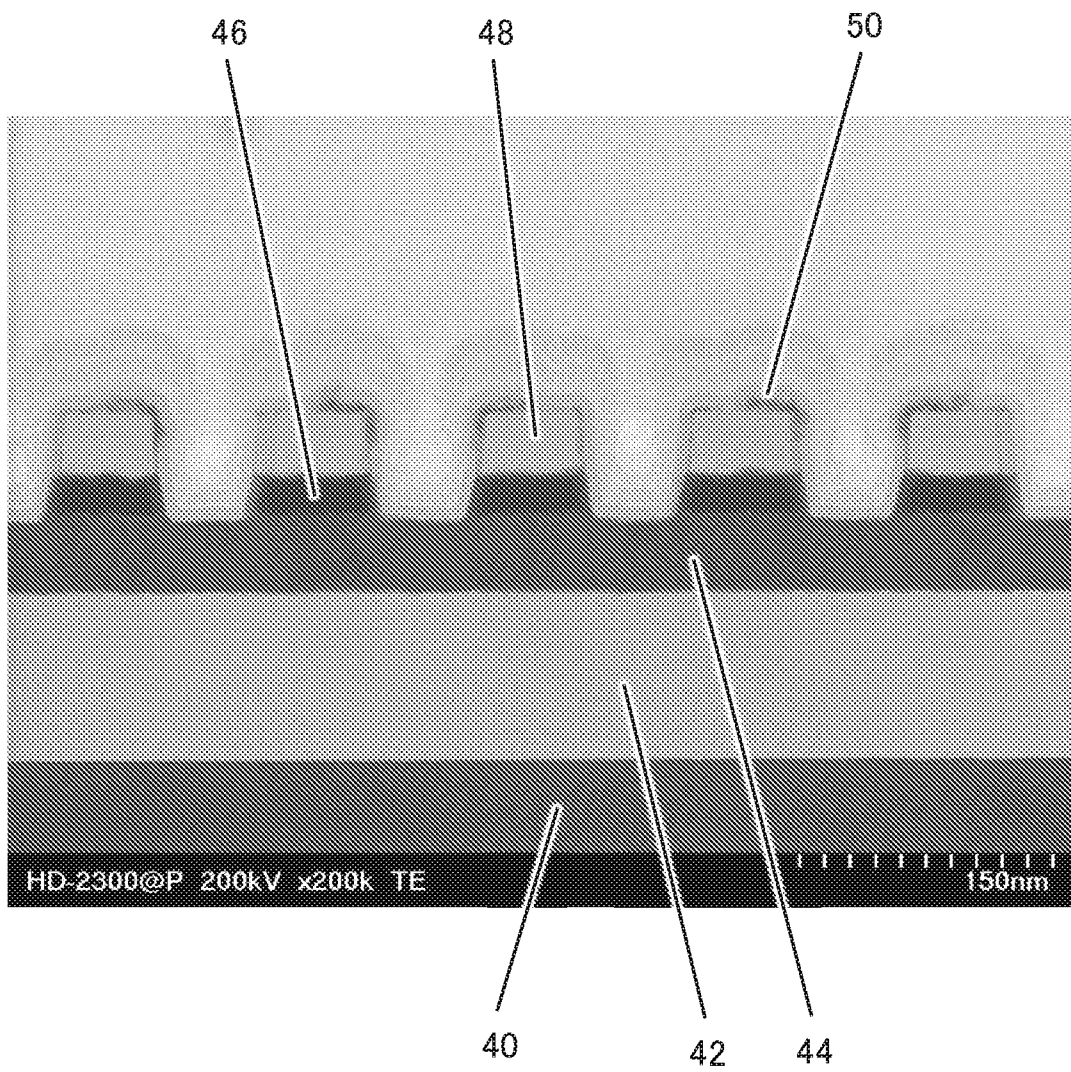


図53A

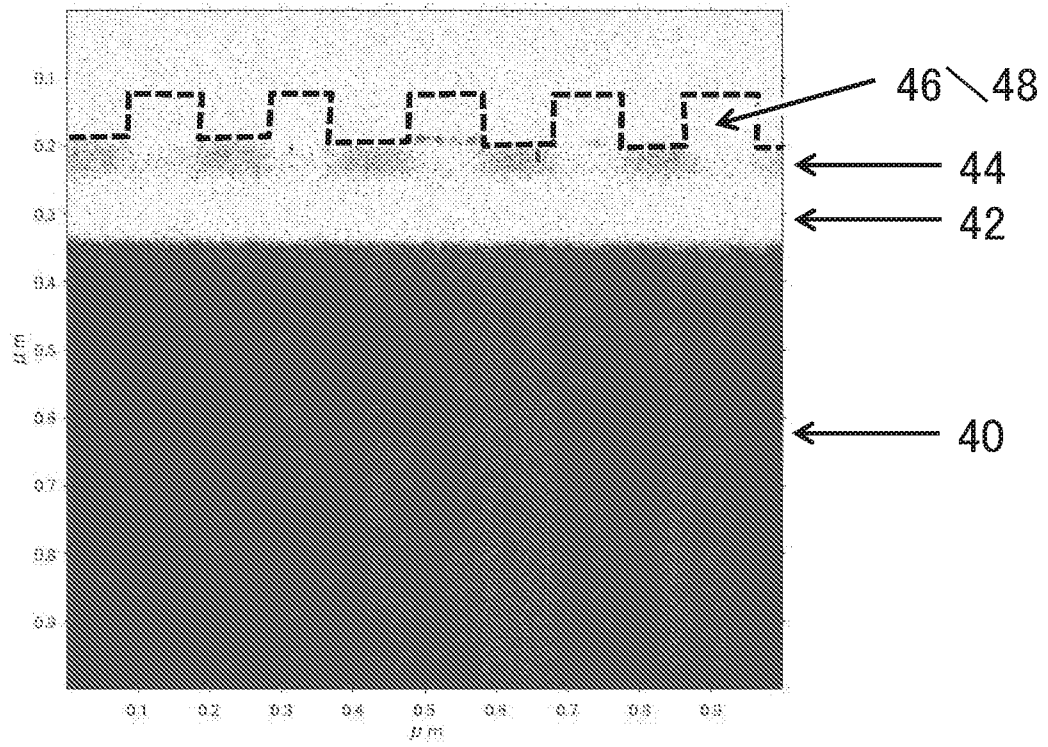
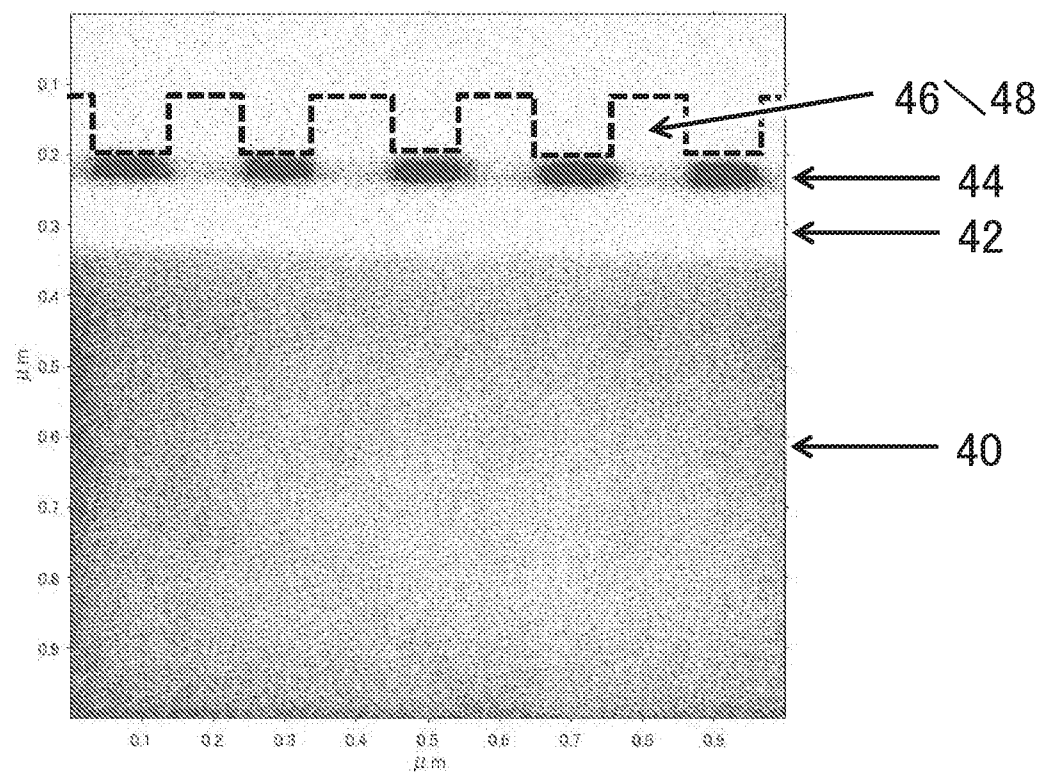


図53B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/055190

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/268(2006.01)i; H01L 21/28(2006.01)i; H01L 21/336(2006.01)i; H01L 21/428(2006.01)i; H01L 21/477(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8239(2006.01)i; H01L 21/8242(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/105(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 29/417(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i

FI: H01L29/78 618A; H01L29/78 616Z; H01L29/78 617V; H01L29/78 617J;
H01L29/78 616K; H01L29/78 617U; H01L29/78 627A; H01L29/78 617T;
H01L29/78 618B; H01L27/088 E; H01L27/06 102A; H01L27/088 331E;
H01L27/108 601; H01L27/1156; H01L27/088 B; H01L27/108 671Z;
H01L29/78 627B; H01L27/108 621Z; H01L27/108 671C; H01L29/78 371;
H01L29/78 619A; H01L27/108 321; H01L21/268 Z; H01L21/428;
H01L29/78 616V; H01L29/78 627F; H01L29/78 618Z; H01L21/90 A;
H01L21/28 301R; H01L21/28 301B; H01L29/50 M; H01L27/088 H;
H01L27/04 C; H01L21/477; H01L29/78 627Z; H01L27/105 441;
H01L29/78 616J; H01L21/90 D; H01L29/78 616L; H01L29/78 616T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/268; H01L21/28; H01L21/336; H01L21/428; H01L21/477;
H01L21/768; H01L21/822; H01L21/8234; H01L21/8239; H01L21/8242;
H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L27/105; H01L27/108;
H01L27/1156; H01L29/417; H01L29/788; H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
☒	Further documents are listed in the continuation of Box C.	☒ See patent family annex.
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 26 August 2020 (26.08.2020)	Date of mailing of the international search report 08 September 2020 (08.09.2020)	
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/055190

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-120412 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06.07.2017 (2017-07-06) paragraphs [0271]-[0441], fig. 28	1-3
Y	paragraphs [0271]-[0441], fig. 28	4-9
X A	JP 2018-098519 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21.06.2018 (2018-06-21) paragraph [0094]	4-9 1-3, 10-17
A	JP 2011-139054 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14.07.2011 (2011-07-14)	4-9
A	JP 2018-137475 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30.08.2018 (2018-08-30)	1-17
A	JP 2019-091872 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13.06.2019 (2019-06-13)	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/055190

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-120412 A	06 Jul. 2017	US 2017/0186365 A1 paragraphs [0315]- [0485], fig. 28 WO 2017/115208 A1 KR 10-2018-0098336 A	
JP 2018-098519 A	21 Jun. 2018	US 2012/0315730 A1 paragraph [0108] KR 10-2012-0137462 A TW 201301407 A JP 2013-16782 A	
JP 2011-139054 A	14 Jul. 2011	US 2011/0133191 A1 JP 2015-15495 A WO 2011/068066 A1 CN 102648526 A TW 201140827 A KR 10-2012-0099475 A	
JP 2018-137475 A	30 Aug. 2018	US 2014/0264323 A1 JP 2014-199921 A KR 10-2014-0113354 A TW 201444090 A	
JP 2019-091872 A	13 Jun. 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/268(2006.01)i; H01L 21/28(2006.01)i; H01L 21/336(2006.01)i; H01L 21/428(2006.01)i; H01L 21/477(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8239(2006.01)i; H01L 21/8242(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/105(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 29/417(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i FI: H01L29/78 618A; H01L29/78 616Z; H01L29/78 617V; H01L29/78 617J; H01L29/78 616K; H01L29/78 617U; H01L29/78 627A; H01L29/78 617T; H01L29/78 618B; H01L27/088 E; H01L27/06 102A; H01L27/088 331E; H01L27/108 601; H01L27/1156; H01L27/088 B; H01L27/108 671Z; H01L29/78 627B; H01L27/108 621Z; H01L27/108 671C; H01L29/78 371; H01L29/78 619A; H01L27/108 321; H01L21/268 Z; H01L21/428; H01L29/78 616V; H01L29/78 627F; H01L29/78 618Z; H01L21/90 A; H01L21/28 301R; H01L21/28 301B; H01L29/50 M; H01L27/088 H; H01L27/04 C; H01L21/477; H01L29/78 627Z; H01L27/105 441; H01L29/78 616J; H01L21/90 D; H01L29/78 616L; H01L29/78 616T																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/268; H01L21/28; H01L21/336; H01L21/428; H01L21/477; H01L21/768; H01L21/822; H01L21/8234; H01L21/8239; H01L21/8242; H01L23/522; H01L27/04; H01L27/06; H01L27/088; H01L27/105; H01L27/108; H01L27/1156; H01L29/417; H01L29/788; H01L29/792 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2020年																
日本国実用新案登録公報	1996-2020年																
日本国登録実用新案公報	1994-2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2017-120412 A（株式会社半導体エネルギー研究所）06.07.2017（2017-07-06） 段落[0271]-[0441]、図28</td> <td>1-3</td> </tr> <tr> <td>Y</td> <td>段落[0271]-[0441]、図28</td> <td>4-9</td> </tr> <tr> <td>Y</td> <td>JP 2018-098519 A（株式会社半導体エネルギー研究所）21.06.2018（2018-06-21） 段落[0094]</td> <td>4-9</td> </tr> <tr> <td>A</td> <td></td> <td>1-3, 10-17</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2017-120412 A（株式会社半導体エネルギー研究所）06.07.2017（2017-07-06） 段落[0271]-[0441]、図28	1-3	Y	段落[0271]-[0441]、図28	4-9	Y	JP 2018-098519 A（株式会社半導体エネルギー研究所）21.06.2018（2018-06-21） 段落[0094]	4-9	A		1-3, 10-17
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X	JP 2017-120412 A（株式会社半導体エネルギー研究所）06.07.2017（2017-07-06） 段落[0271]-[0441]、図28	1-3															
Y	段落[0271]-[0441]、図28	4-9															
Y	JP 2018-098519 A（株式会社半導体エネルギー研究所）21.06.2018（2018-06-21） 段落[0094]	4-9															
A		1-3, 10-17															
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献				
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																
"O" 口頭による開示、使用、展示等に言及する文献																	
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																	
国際調査を完了した日		国際調査報告の発送日															
26.08.2020		08.09.2020															
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 棚田 一也 5F 9361 電話番号 03-3581-1101 内線 3516															

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-139054 A (株式会社半導体エネルギー研究所) 14.07.2011 (2011 - 07 - 14)	4-9
A	JP 2018-137475 A (株式会社半導体エネルギー研究所) 30.08.2018 (2018 - 08 - 30)	1-17
A	JP 2019-091872 A (株式会社半導体エネルギー研究所) 13.06.2019 (2019 - 06 - 13)	1-17

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/055190

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-120412	A	06.07.2017	US	2017/0186365	A1	
					段落[0315]-[0485]、図28		
				WO	2017/115208	A1	
				KR	10-2018-0098336	A	
JP	2018-098519	A	21.06.2018	US	2012/0315730	A1	
					段落[0108]		
				KR	10-2012-0137462	A	
				TW	201301407	A	
				JP	2013-16782	A	
JP	2011-139054	A	14.07.2011	US	2011/0133191	A1	
				JP	2015-15495	A	
				WO	2011/068066	A1	
				CN	102648526	A	
				TW	201140827	A	
				KR	10-2012-0099475	A	
JP	2018-137475	A	30.08.2018	US	2014/0264323	A1	
				JP	2014-199921	A	
				KR	10-2014-0113354	A	
				TW	201444090	A	
JP	2019-091872	A	13.06.2019	(ファミリーなし)			