

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95111288

※ 申請日期：95.3.30

※IPC 分類：H01L

21
336

(2006.01)

一、發明名稱：(中文/英文)

用於多晶減小高度之絕緣體外延矽底部預摻雜合併之電子一矽鍺層
(e-SiGe)

SOI BOTTOM PRE-DOPING MERGED e-SiGe FOR POLY HEIGHT
REDUCTION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

西田 厚聰

NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦 1 丁目 1 番 1 號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

幸山 裕亮

KOHYAMA, YUSUKE

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年04月18日；11/107,843

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明態樣一般而言係關於半導體裝置及其製造方法，且更特定而言係關於提供一種摻雜一電晶體之源極/汲極區域同時減小硼滲透至該電晶體通道內之方法，且亦提供一種在同一電晶體內將壓縮應力施加至該電晶體通道之SiGe層。

【先前技術】

各種類型之矽電晶體通常包括一多晶矽閘極。存在諸多可影響該閘極之適當高度之因素。舉例而言，該閘極製作得太高可導致諸如最終產品中之非合意寄生電容之問題、以及植入物遮蔽問題(特別是，當閘極以一小比例間距重複時)及在製造期間蝕刻多晶矽之困難。因此，合意之情形係限制多晶矽閘極之高度。

另一方面，該閘極製作得太短可引起其他問題。舉例而言，在電晶體製造期間，在允許非合意之硼滲透至電晶體通道內或無法充分摻雜該電晶體之源極/汲極區域之間存在一個折衷。舉例而言，參照圖1，一所圖解闡釋之習用矽裝置具有一絕緣體上矽(SOI)晶圓構造，該絕緣體上矽(SOI)晶圓構造包括一矽本體1、一緊接著矽本體1下方之隱埋式氧化物(BOX)層4及一BOX層4下方之基板(未顯示)。該裝置具有一包括一多晶矽閘極2及一源極/汲極區域3之電晶體。為形成源極/汲極區域3，以硼離子摻雜彼區域。亦以硼離子同時摻雜閘極2。於圖1中，為避免硼離子滲透至閘

極2以下之通道內，使用一低能量劑量之硼離子。雖然成功地避免了通道硼滲透，但此一低能量劑量之副效應係不能完全摻雜源極/汲極區域3以致其鄰接BOX層4。換言之，源極/汲極區域3與BOX層4之間存在一間隙。此可導致一非合意之高接面電容。

參照圖2，此時係使用一更高能量劑量之硼離子。作為一結果，源極/汲極區域3現在完全鄰接至BOX層4，因此減小該接面電容。然而，為完全摻雜源極/汲極區域3，一副效應係硼離子穿過閘極2完全滲透至下方的矽本體1之通道部分。此通道硼滲透導致通道遷移率大幅下降，此不甚合意。因此，需要一種可完全摻雜一電晶體源極/汲極區域而不允許一非合意之硼離子量滲透至該通道內之方法。

另外，已發現，在一電晶體的閘極及通道之對置側上使用一矽-鍺(SiGe)層可極大地改良該電晶體之效能。此係由該SiGe層將壓縮力置放於該通道上所導致。因此，人們亦將期望找到一種方法以製造一包括此SiGe層之電晶體，另外還完全摻雜該源極/汲極區域而同時不會最小化或以其他方式減小通道硼滲透。

【發明內容】

本發明之態樣係關於用於製造一半導體裝置(例如，一絕緣體上矽(SOI)晶圓)之方法，該半導體裝置具有一電晶體，該電晶體具有經充分摻雜以硼離子同時減少或甚至避免對該電晶體通道之硼滲透的源極/汲極區域。此可導致一電晶體具有優良運作特徵(例如，一較低之接面電容)。可提供此

一裝置而不需要製造過高之電晶體閘極，此可導致該電晶體進一步具有低寄生電容，同時利用一組相對簡單且低廉的製造步驟。除達成以上目的外，該製造製程可進一步允許添加一可在該電晶體通道上提供壓縮應力之矽鍺(SiGe)層，藉此改良該P-型電晶體通道內之電洞遷移率。

本發明之進一步態樣係關於用於製造上述半導體裝置以使上述電晶體係一p-型場效電晶體(PFET)之方法，其中該方法進一步允許在該同一晶圓上同時製造一n-型場效電晶體(NFET)。

本發明再進一步態樣係關於由上述製造方法所產生之半導體裝置及/或電晶體。

在考量以下說明性實施例之詳細說明後，本發明之此等及其他態樣將顯而易見。

【實施方式】

現在，將結合圖3-6闡述一著重於一說明性製造製程中某些步驟之概括說明，該等圖係以可在該說明性製程中實施的連續次序來提供。參照圖3，圖中顯示一習用SOI晶圓之一部分包括一矽本體301。將一p-型場效電晶體(PFET)多晶矽閘極302形成於矽本體301上，且將側壁間隔層304形成於閘極302之側壁上。亦以一SiN層303覆蓋閘極302之頂部。藉由硼植入預摻雜矽本體301之凹陷部分305。接下來，於圖4中，以磊晶方式在凹陷部分305上生長一SiGe層401。在圖5中實施延伸部分形成後，則在圖6中，以低能量硼植入閘極302及源極/汲極區域，藉此減少或甚至避免硼滲透至

閘極 302 下方之通道內。此低能量硼可具有一介於(例如)2-10 KeV範圍內之能量，例如約 5 KeV。

現在，將結合圖 7-22 論述一說明性製造製程之更詳細說明，該等圖係以可在該說明性製程中實施的連續次序來提供。首先參照圖 7，圖中顯示一習用 SOI 晶圓之一部分包括一具有一嵌入式淺溝道隔絕(STI)層 705 之矽本體 701。矽本體 701 可約為(例如)50-70 奈米厚，而 STI 層 705 可約為(例如)60-80 奈米厚。矽本體 701 係設置在一 BOX 層 710 上，且 STI 層 705 略延伸入 BOX 層 710 內。BOX 層 710 可約為(例如)150 奈米厚。BOX 層 710 亦設置在一基板(未顯示)上。一 n-型場效電晶體(NFET)閘極 702 及一 PFET 閘極 703 係以一習用方式形成於 STI 層 705 對置側上的矽本體 701 上。閘極 702、703 在高度上可約為 100 奈米或以下，且可設置在具有一薄閘極氧化物層(未顯示)之矽本體 701 上。然後，以一習用方式將一第一 SiN 層沈積於閘極 702、703 之頂部上以形成頂蓋層 707、708。頂蓋層 707、708 可約為(例如)50 奈米厚或以下。以一習用方式再氧化閘極 702、703 之側壁(此導致在閘極 702、703 側壁上產生一約 5 奈米寬之再氧化層(未顯示))，且將一遮罩層 704(例如，一第二 SiN 層)沈積於該矽晶圓之整個表面上。遮罩層 704 可約為(例如)40 奈米厚。接下來，藉由一光阻劑層 706 覆蓋 SOI 晶圓，光阻劑層 706 經曝光及蝕刻以使其僅覆蓋 NFET 區。接下來，將經圖案化之光阻劑層 706 用作一遮罩來實施習用之反應式離子蝕刻(RIE)，此導致在 PFET 閘極 703 側壁上形成側壁間隔層 709。側壁間

隔層 709 可各自約為(例如)40 奈米寬。

參照圖 8，移除光阻劑層 706。接下來，藉由將遮罩層 704 及頂蓋層 708 用作一遮罩之習用 RIE 有選擇地使矽本體 701 之曝光部分形成凹陷，以形成各具有一凹陷 801 之凹陷部分 802。凹陷 801 進入矽本體 701 內之深度可約為(例如)40-60 奈米，以致剩餘之凹陷部分 802 約為(例如)10 奈米厚。

參照圖 9，然後，將硼植入矽本體 701 內的凹陷區域 801 之下表面 901 及側壁 902 內，此導致在表面 901 及 902 下方形成一經硼摻雜之 P-型區域。舉例而言，可使用以與法向成一約 15 度角度的約 3 KeV， $1 \times 10^{15} \text{cm}^{-2}$ 之二氟化硼(BF₂)植入。此硼「預摻雜」允許在圖 20 中所圖解闡釋之後一摻雜步驟中使用一較低能量之硼劑量。

參照圖 10，然後，在凹陷區域 801 上以磊晶方式生長一 SiGe 層 1001。SiGe 層 1001 可約為(例如)50-70 奈米厚。另外，在此磊晶生長期間或之後，表面 901 及 902 下方的經硼摻雜之 P-型區域內之至少某些硼會擴散入 SiGe 層 1001 內，如圖 10 中由 SiGe 層 1001 之較暗部分所指示。另外，表面 901 下方之至少某些硼會擴散入矽本體 701 內以使該硼鄰接 BOX 層 710。亦如圖 10 中所示，表面 902 附近的更多硼會輕微地朝通道擴散。SiGe 層 1001 將壓縮應力提供至閘極 703 下方之 PFET 通道，藉此增加該 PFET 之效能。

參照圖 11，然後，移除遮罩層 704 及頂蓋層 707、708。

參照圖 12，然後，在閘極 702、703 之側壁上形成偏移間隔層 1201(例如，一第一氧化物層)。偏移間隔層 1201 可各自

延伸閘極702、703中之一相應者之長度，且各自可約為(例如)10奈米寬。

參照圖13及14，然後，使用光阻劑遮罩層1302及1401分別在區1301內之NFET上及(區1402內之)PFET上有選擇地實施N-型延伸及P-型鹵素植入。一般而言，延伸植入可以一比鹵素植入高之劑量。舉例而言，於NFET區中，可使用以約2 KeV， $2 \times 10^{15} \text{ cm}^{-2}$ 之砷(As)延伸植入，且可使用以與法向成一約30度角度的約10 KeV， $8 \times 10^{13} \text{ cm}^{-2}$ 之硼(B)鹵素植入。同樣，於PFET區中，可使用以約(例如)3 KeV， $1 \times 10^{15} \text{ cm}^{-2}$ 之二氟化硼(BF₂)延伸植入，且可使用以與法向成一約30度角度的約60 KeV， $5 \times 10^{13} \text{ cm}^{-2}$ 之砷(As)鹵素植入。

然後，移除每一光阻劑遮罩層1302、1401。

參照圖15，然後，在該晶圓上沈積一第三SiN層1501。第三SiN層1501可約為(例如)50奈米厚。接下來，使用一習用覆蓋層RIE技術在第三SiN層1501上形成另一組偏移間隔層1502(例如，一第二氧化物層)。此等偏移間隔層1502可各自約為(例如)40奈米寬。

參照圖16，然後，使用一光阻劑遮罩層1601僅對該NFET實施深源極/汲極植入。舉例而言，可使用以45 KeV， $1 \times 10^{15} \text{ cm}^{-2}$ 之磷(P)植入。如可看出，區1602係由於高能量磷滲透穿過第三SiN層1501而形成。

參照圖17，然後，自NFET(而非PFET)移除偏移間隔層1502。

參照圖18，在NFET閘極702之對置側上形成窄間隔層

1801，且藉由在第三SiN層1501上實施習用覆蓋層RIE來在PFET閘極703之對置側上形成堆疊寬間隔層1802。窄間隔層1801可約為(例如)40奈米寬，而寬間隔層1802可約為(例如)90奈米寬。

參照圖19及20，使用光阻劑遮罩層1901及2001分別在NFET及PFET上實施源極/汲極摻雜。PFET之P-型摻雜係使用淺、或輕的植入(此導致幾乎沒有硼滲透至閘極703內)來實施。此因結合圖9已發生之PFET源極/汲極區域之預摻雜而係可行。舉例而言，於NFET區中，可使用約15 KeV， $2 \times 10^{15} \text{ cm}^{-2}$ 之砷(As)植入，且於PFET區中，可使用約5 KeV， $2.5 \times 10^{15} \text{ cm}^{-2}$ 之二氟化硼(BF₂)植入。然後，在各自之相應植入後移除光阻劑層1901、2001。作為N-型重摻雜之一結果，形成如圖19中所示之區域1902。同樣，作為P-型淺摻雜之一結果，形成如圖20中所示之區域2002。藉由實施此等步驟，可藉此顯著地減少或甚至完全避免否則隨後可能發生的硼滲透至PFET閘極703下方之通道內。

參照圖21，實施活化退火以使閘極703及704變得經良好摻雜，從而分別形成經良好摻雜之閘極2101及2102、以及該等NFET及PFET源極/汲極區域以使此等區域向下生長以鄰接緊接著矽本體701下方之BOX層710。

參照圖22，在閘極2101、2102以及NFET及PFET之源極/汲極區域上形成一矽化鎳層2201。

因此，已闡述了新的結構及製作此等結構之方法，該等結構及方法可提供經完全摻雜之電晶體源極/汲極區域同

時減少或甚至避免硼滲透至該電晶體通道內，藉此改良該電晶體之效能。另外，此一電晶體可得益於一將壓縮應力施加至該電晶體通道之SiGe層，藉此進一步改良該電晶體之效能。

【圖式簡單說明】

藉由考量附圖參照上文說明，可獲得對本發明及其優點之更完整理解，其中相同參考編號指示相同器件，且其中：

圖1顯示導致一SOI裝置低劑量摻雜之習用低能量硼摻雜。

圖2顯示導致一SOI裝置高劑量摻雜之習用高能量硼摻雜。

圖3-6顯示可在製造一SOI裝置(其具有一磊晶SiGe層)中實施的說明性主要步驟。

圖7-22顯示可在製造另一SOI裝置(其具有一磊晶SiGe層)中實施的說明性步驟。

【主要元件符號說明】

1	矽本體
2	多晶矽閘極
3	源極/汲極區域
4	隱埋式氧化物(BOX)層
301	矽本體
302	p-型場效電晶體(PFET)多晶矽
303	SiN層
304	側壁間隔層

305	凹陷部分
401	SiGe層
701	矽本體
702	n-型場效電晶體(NFET)閘極
703	PFET閘極
704	遮罩層
705	嵌入式淺溝道隔離(STI)層
706	光阻劑層
707	頂蓋層
708	頂蓋層
709	側壁間隔層
710	BOX層
801	凹陷
802	凹陷部分
901	下表面
902	側壁
1001	SiGe層
1201	偏移間隔層
1301	區
1302	光阻劑層
1401	光阻劑層
1402	區
1501	第三SiN層
1502	偏移間隔層

1601	光阻劑遮罩層
1602	區
1801	窄間隔層
1802	堆疊寬間隔層
1901	光阻劑遮罩層
1902	區域
2001	光阻劑遮罩層
2002	區域
2101	經良好摻雜之閘極
2102	經良好摻雜之閘極
2201	矽化鎳層

五、中文發明摘要：

本發明揭示半導體裝置結構及用於製作此等結構之方法，該等結構及方法可提供完全摻雜之電晶體源極/汲極區域同時減少或甚至避免硼滲透至該電晶體通道內，藉此改良該電晶體之效能。另外，此一電晶體可得益於一將壓縮應力施加至該電晶體通道之SiGe層(401)，藉此進一步改良該電晶體之效能。

六、英文發明摘要：

十一、圖式：

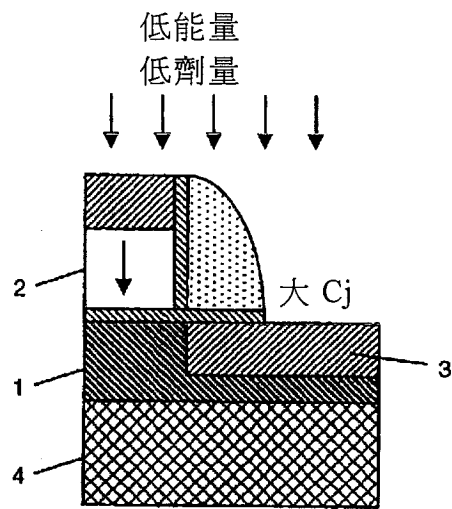


圖 1

(先前技術)

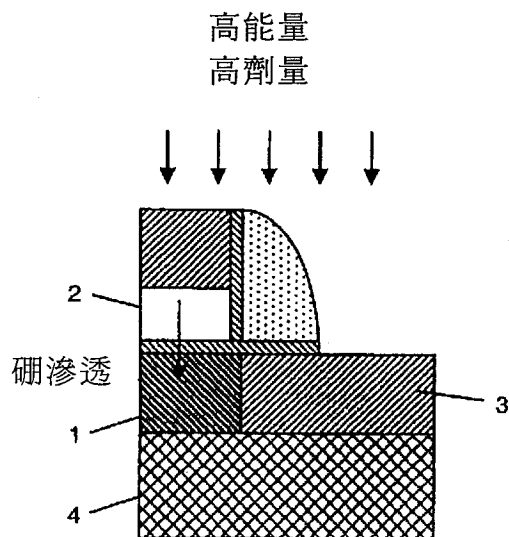


圖 2

(先前技術)

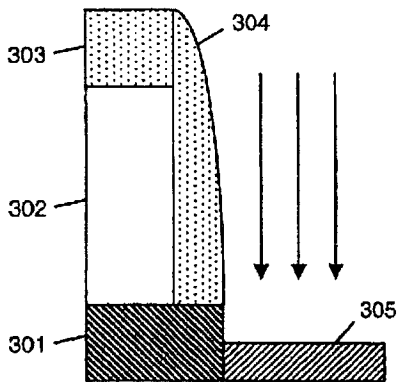


圖 3

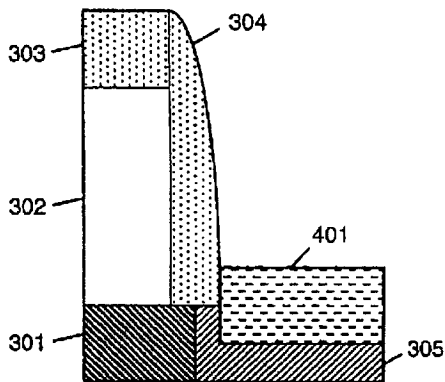


圖 4

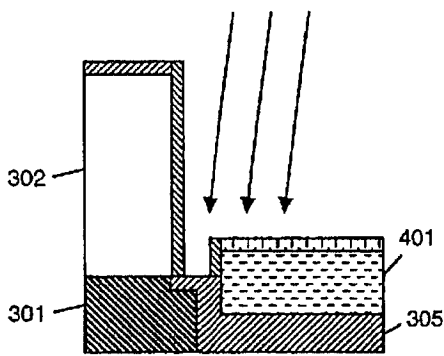


圖 5

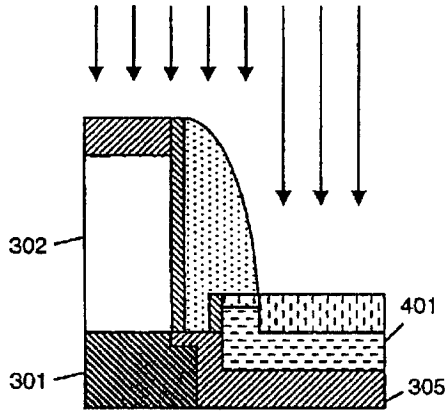


圖 6

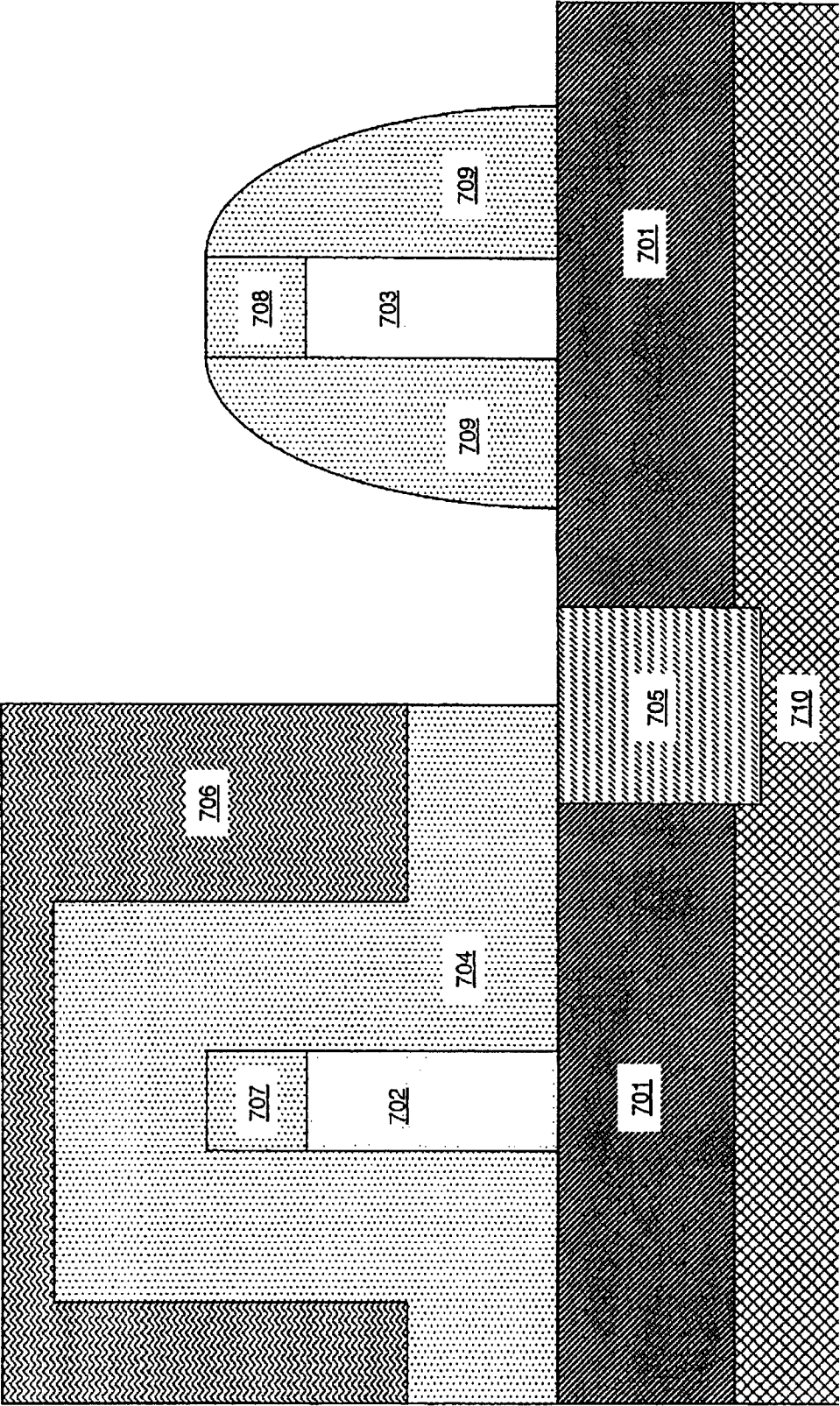


圖 7

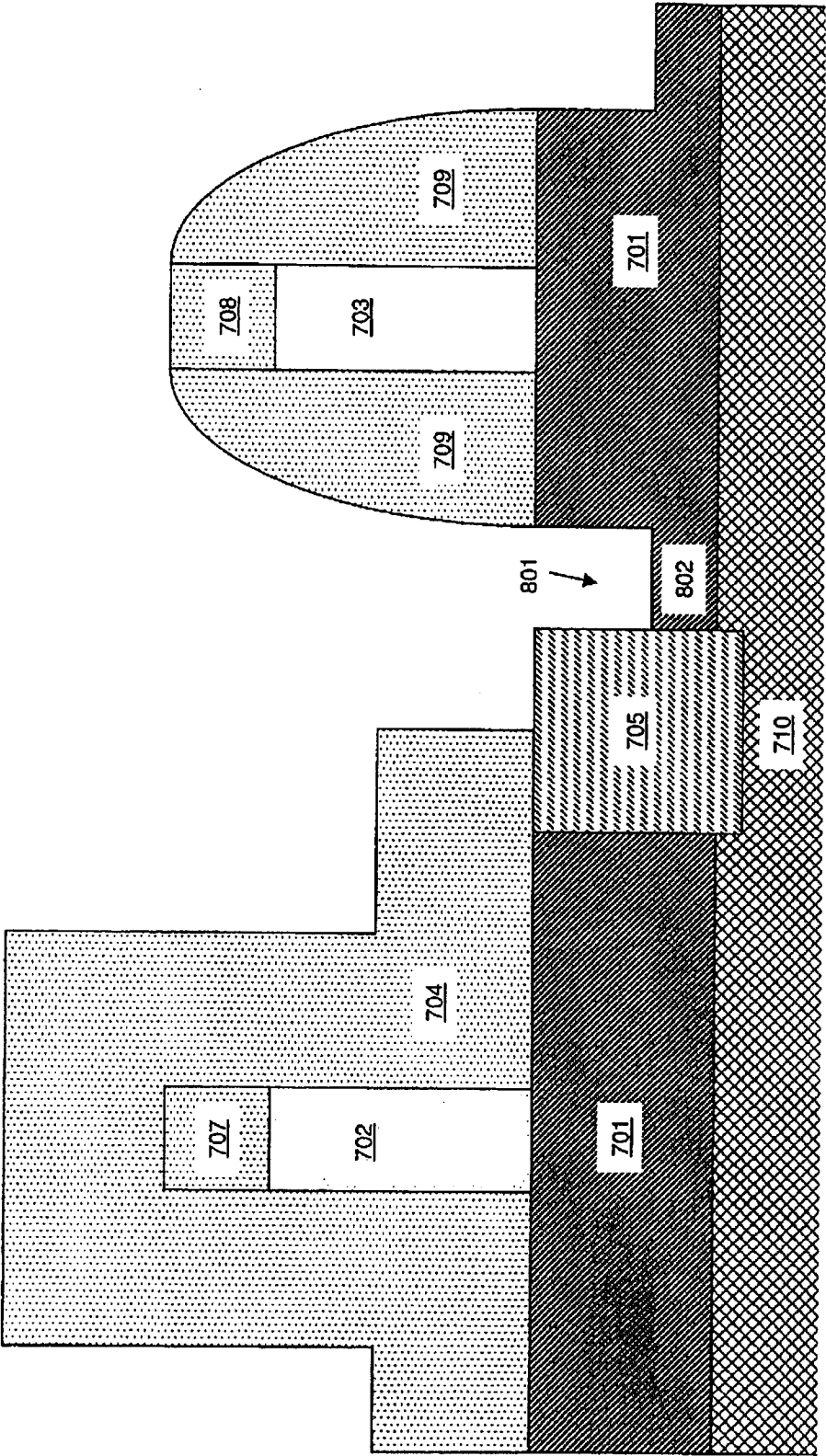


圖 8

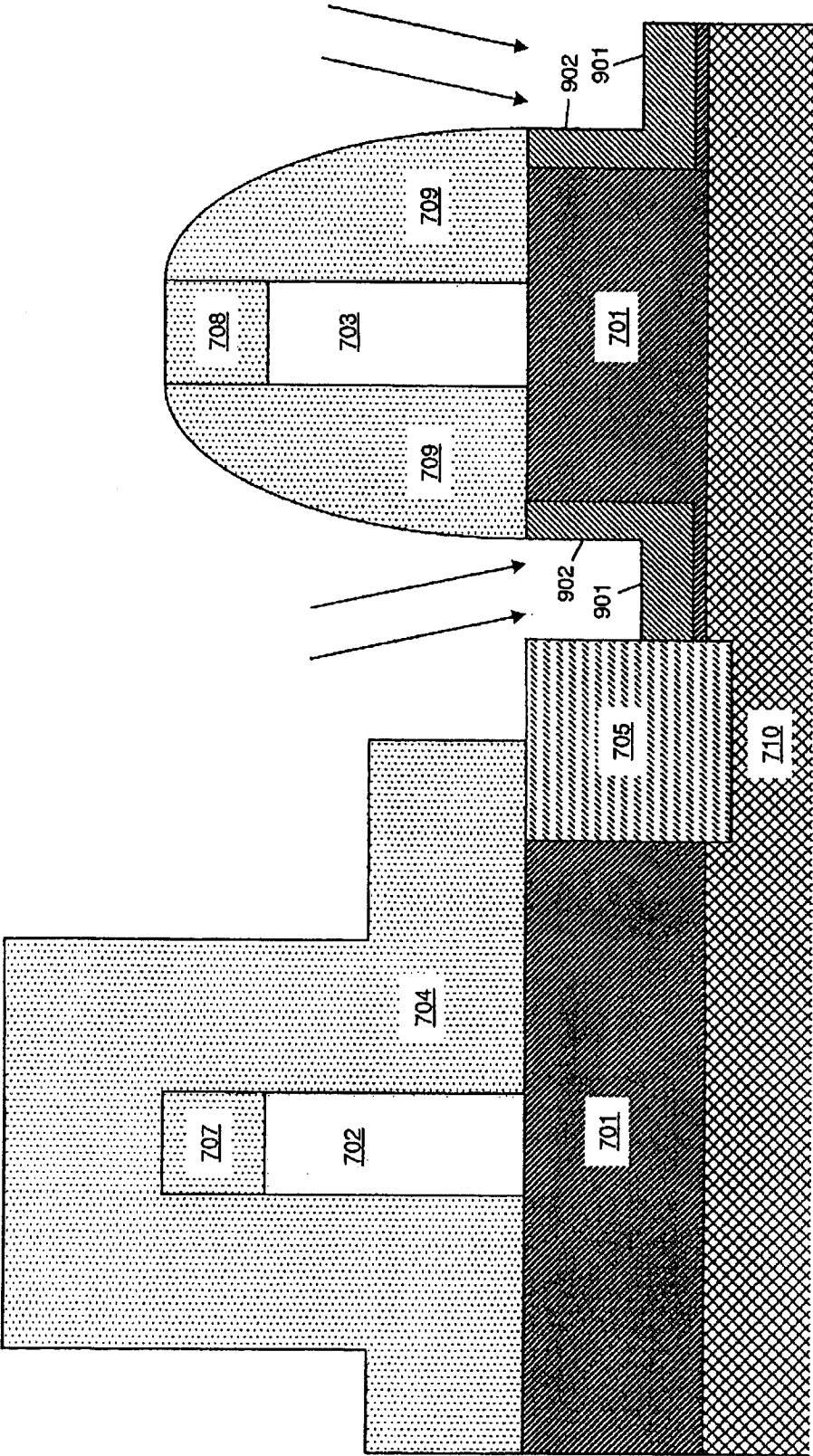


圖 9

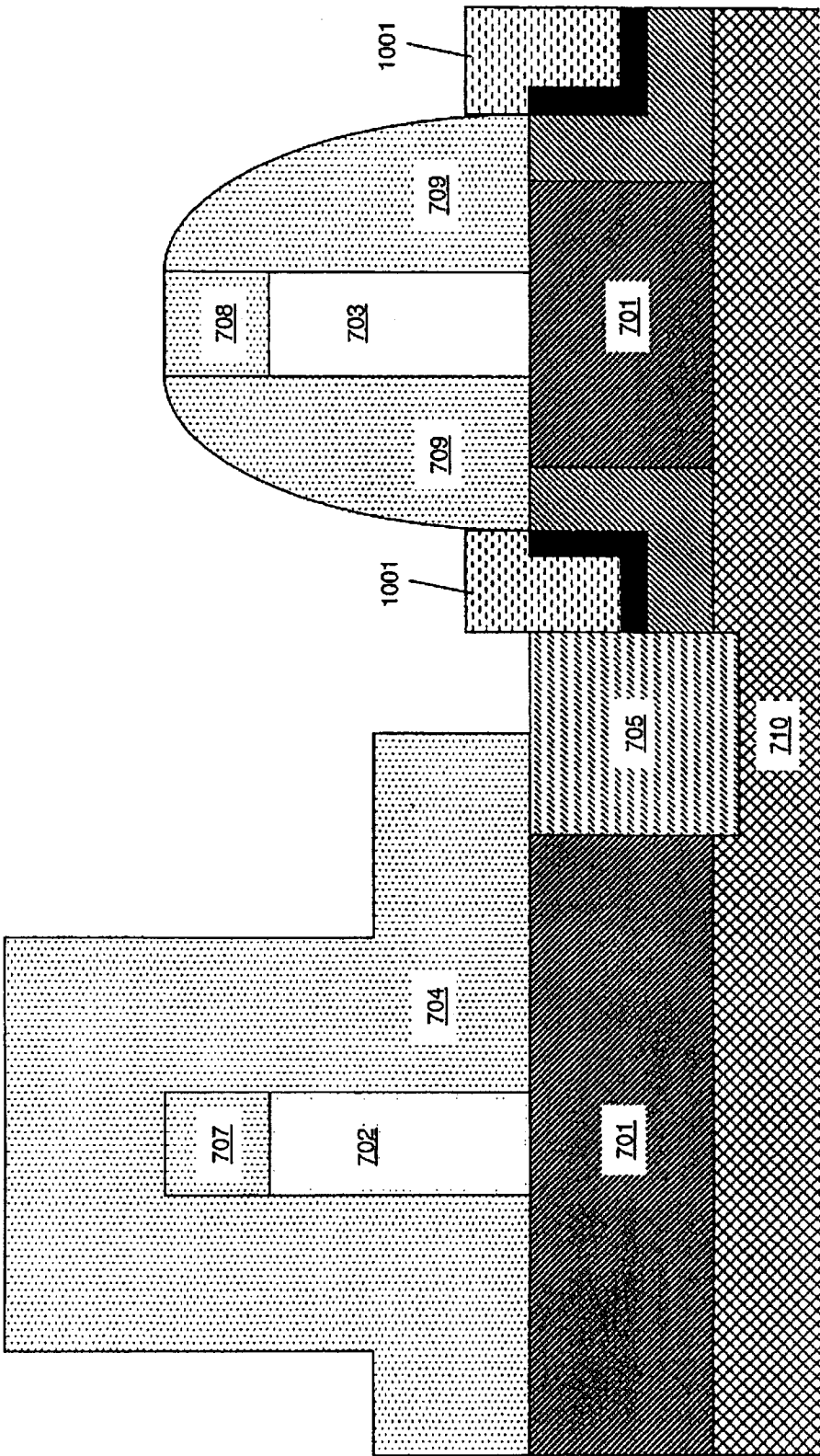


圖 10

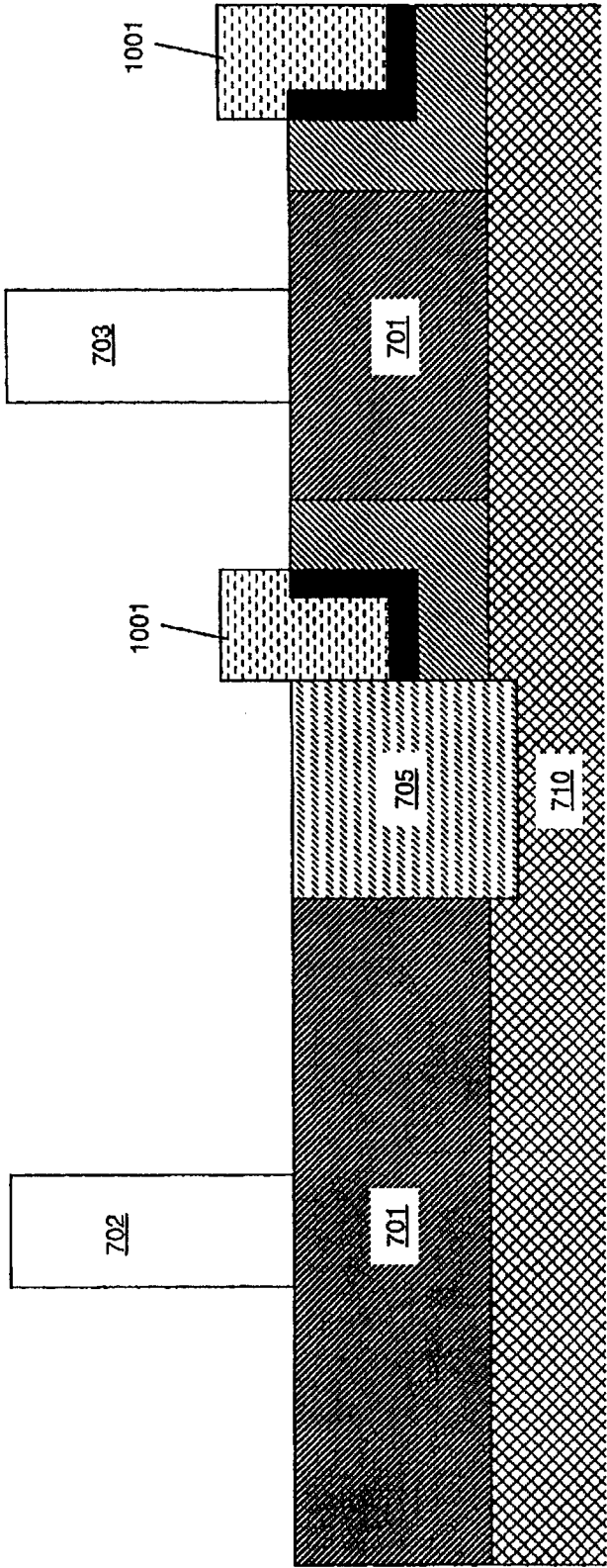


圖 11

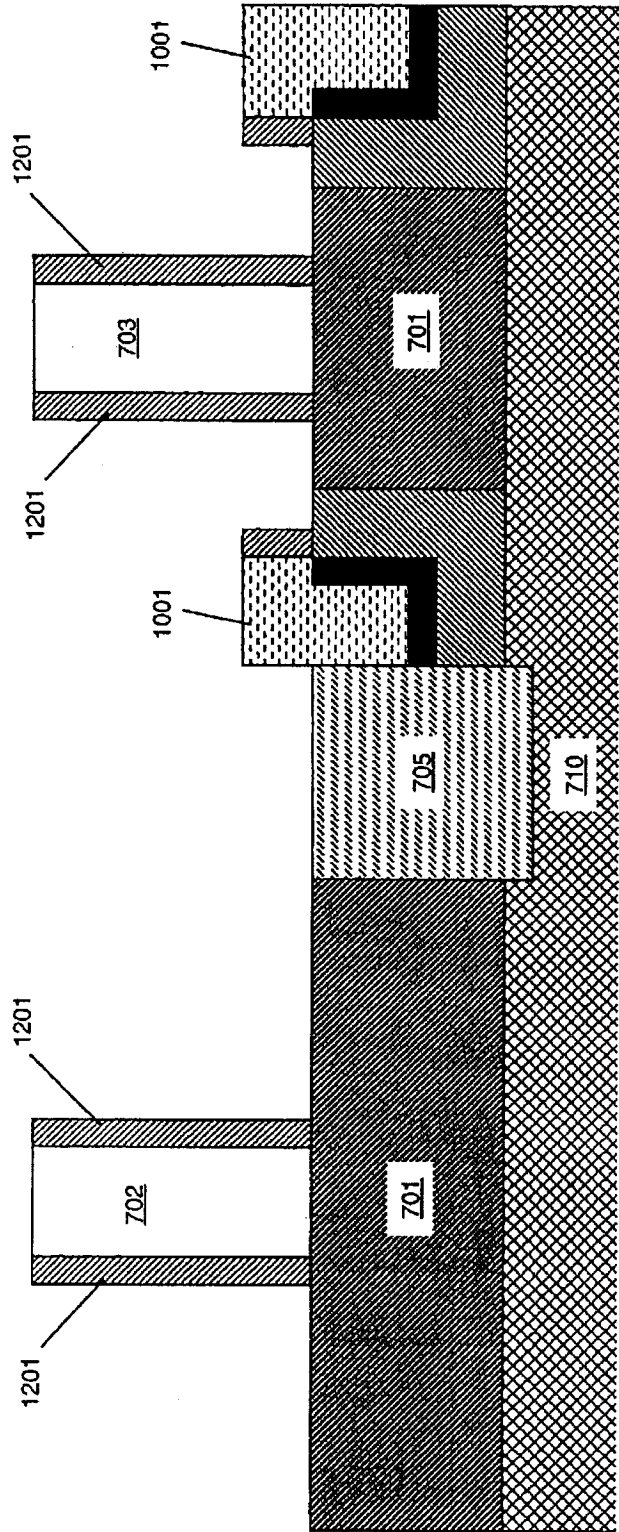


圖 12

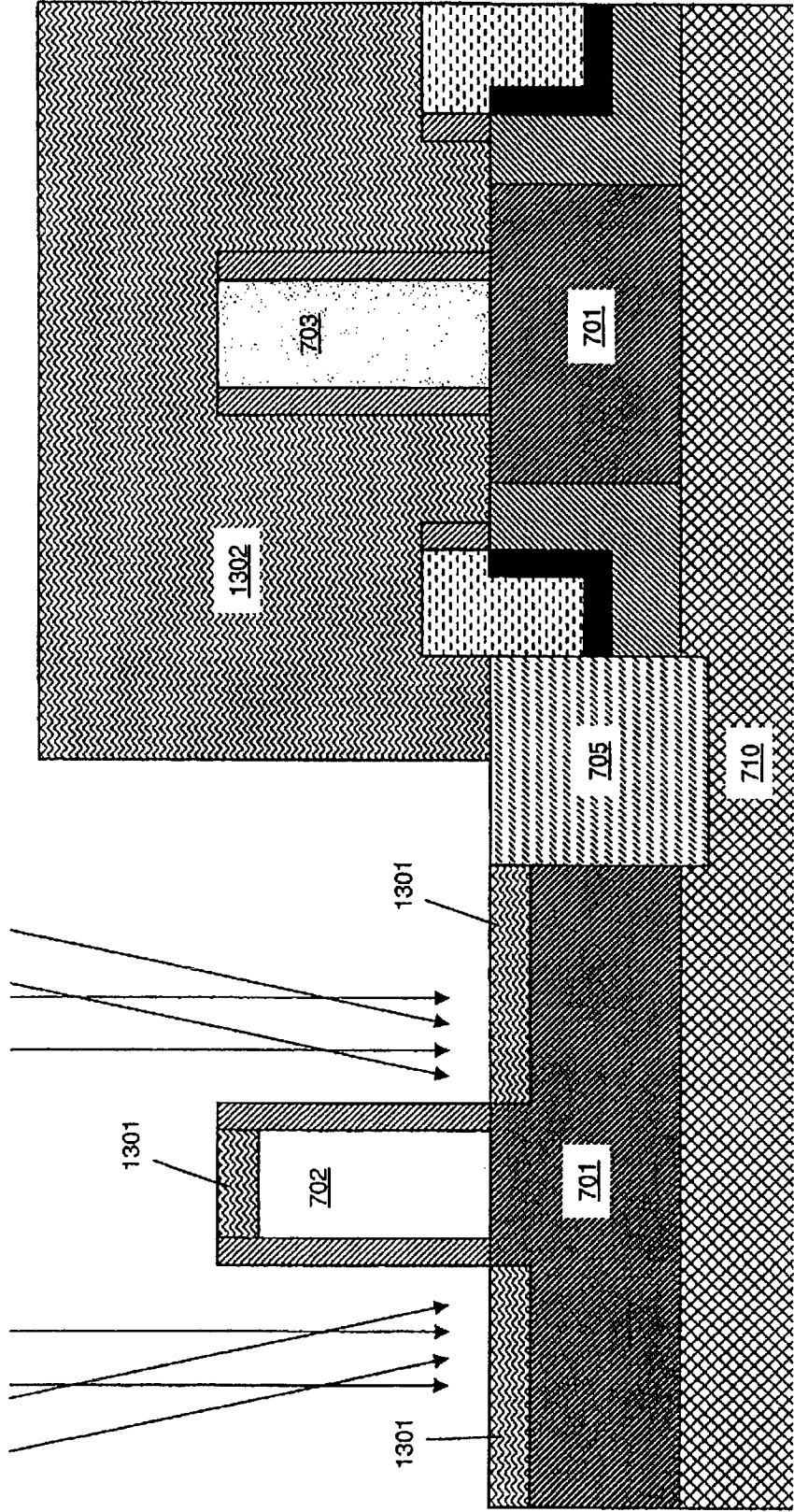


圖 13

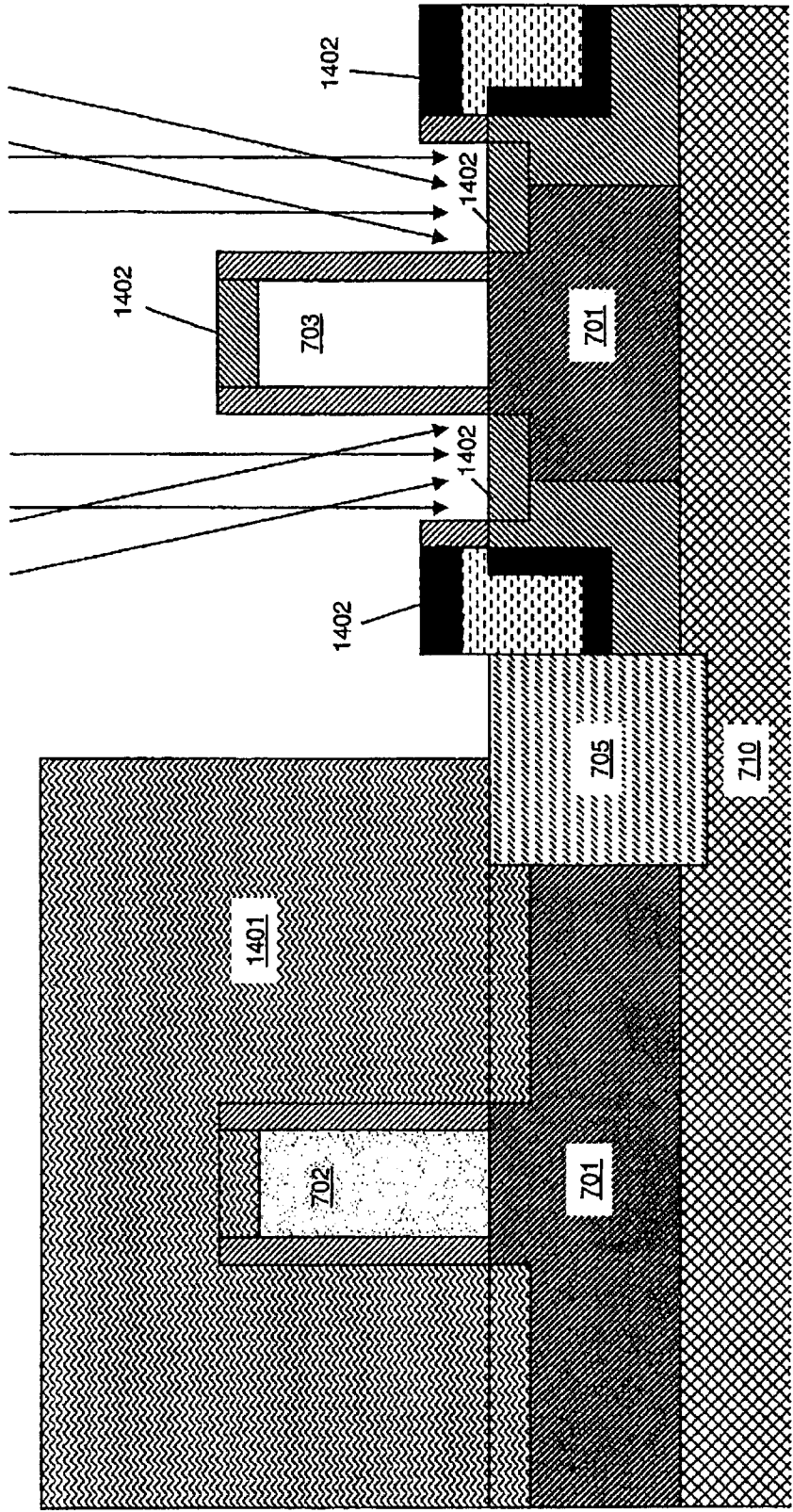
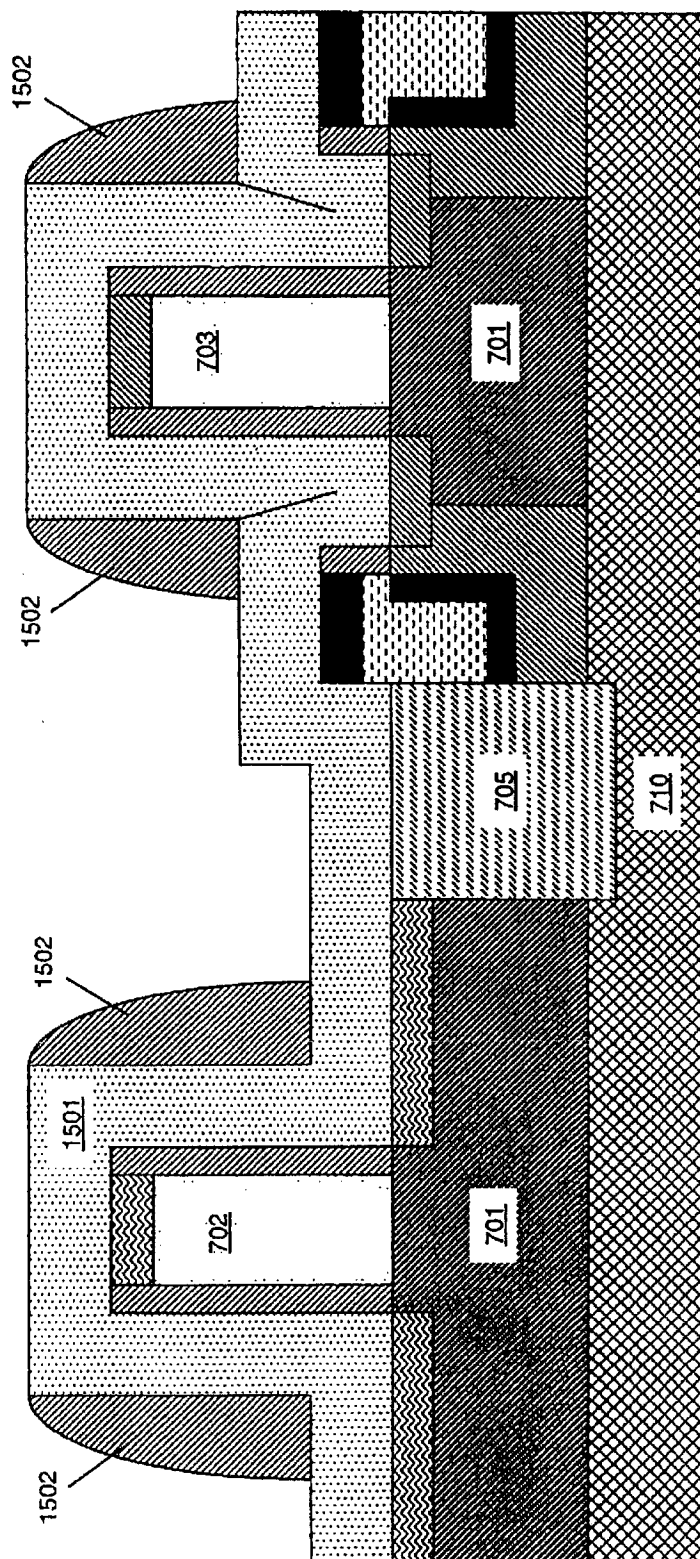


圖 14



15

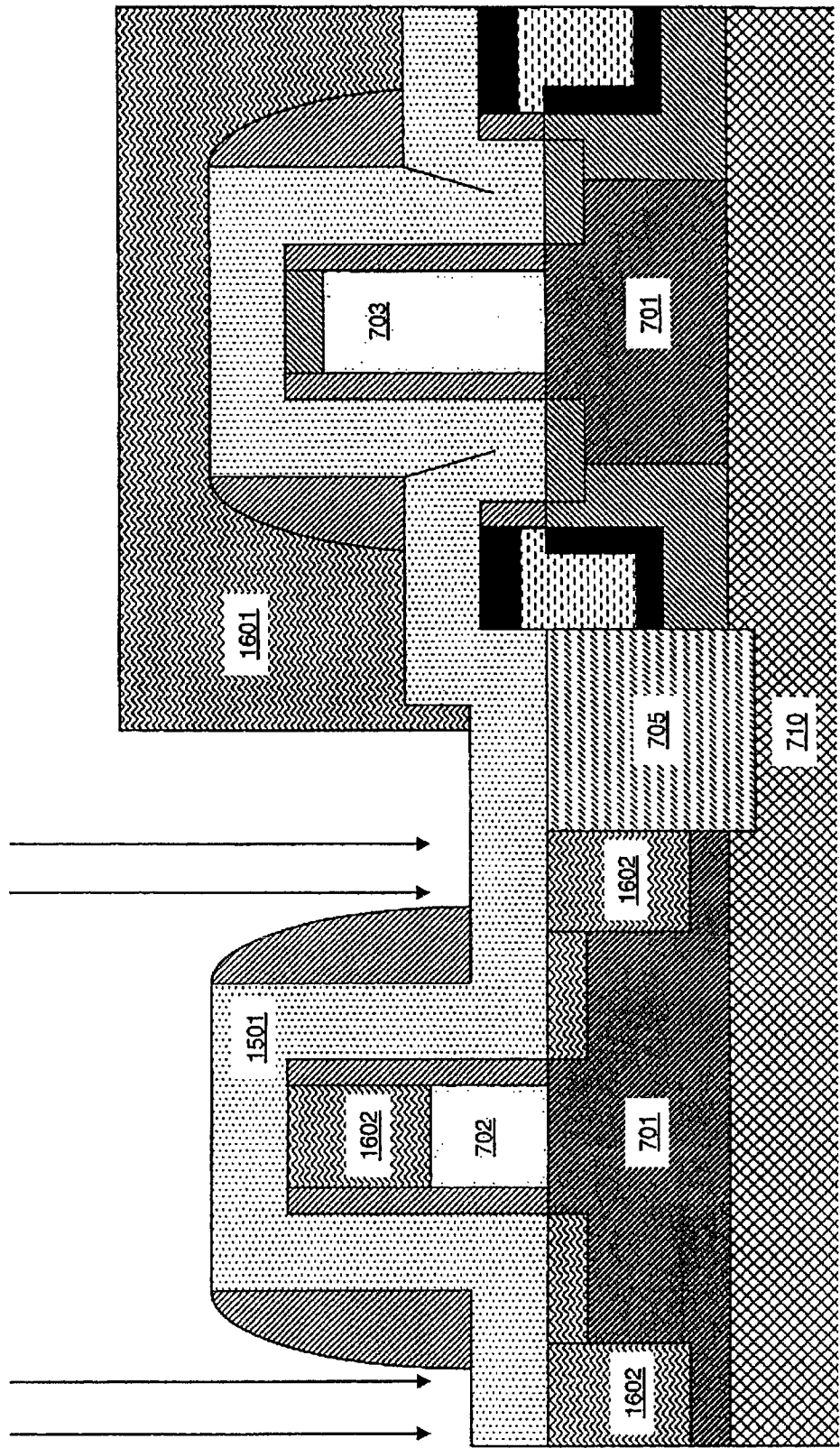


圖 16

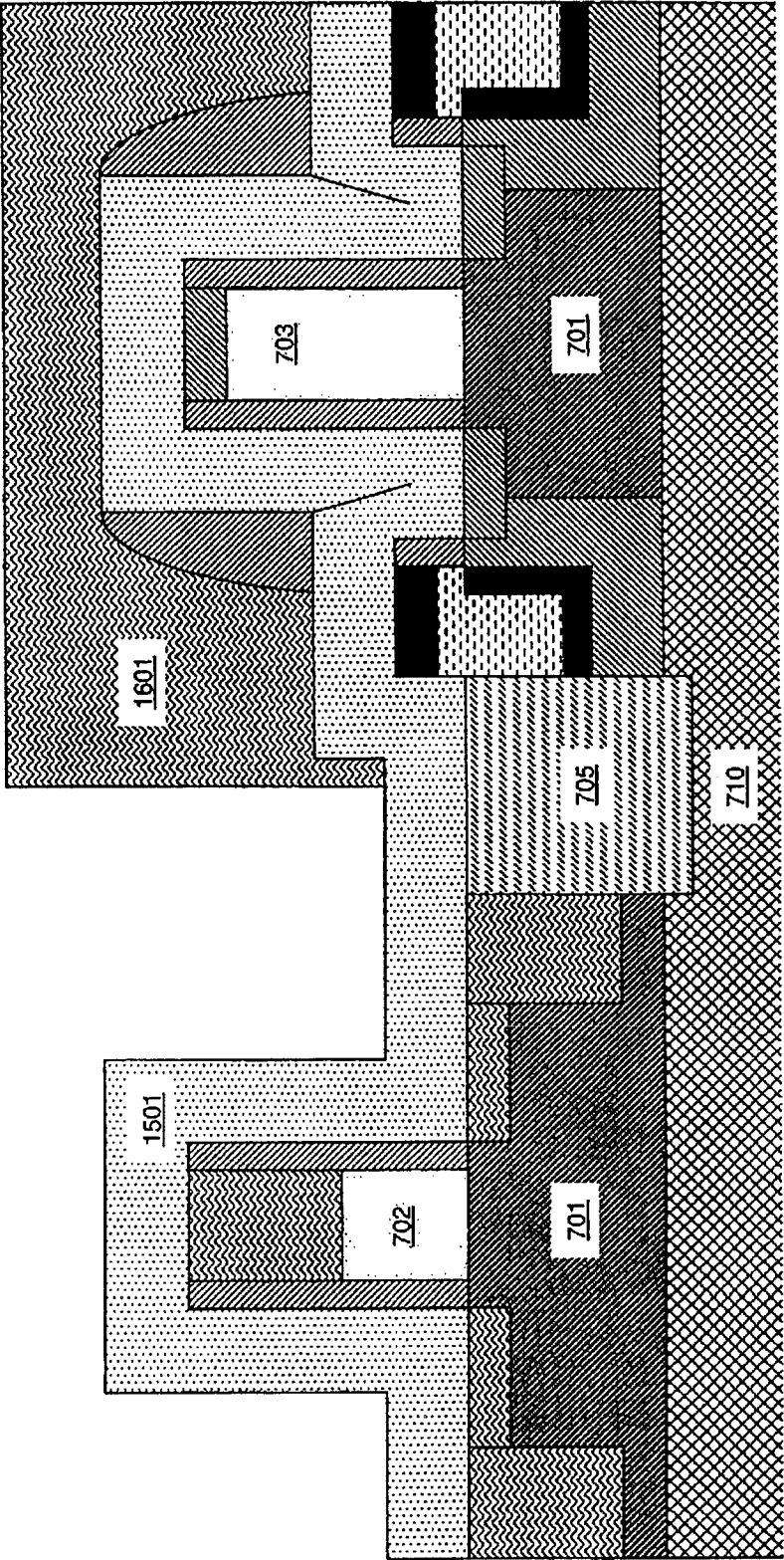


圖 17

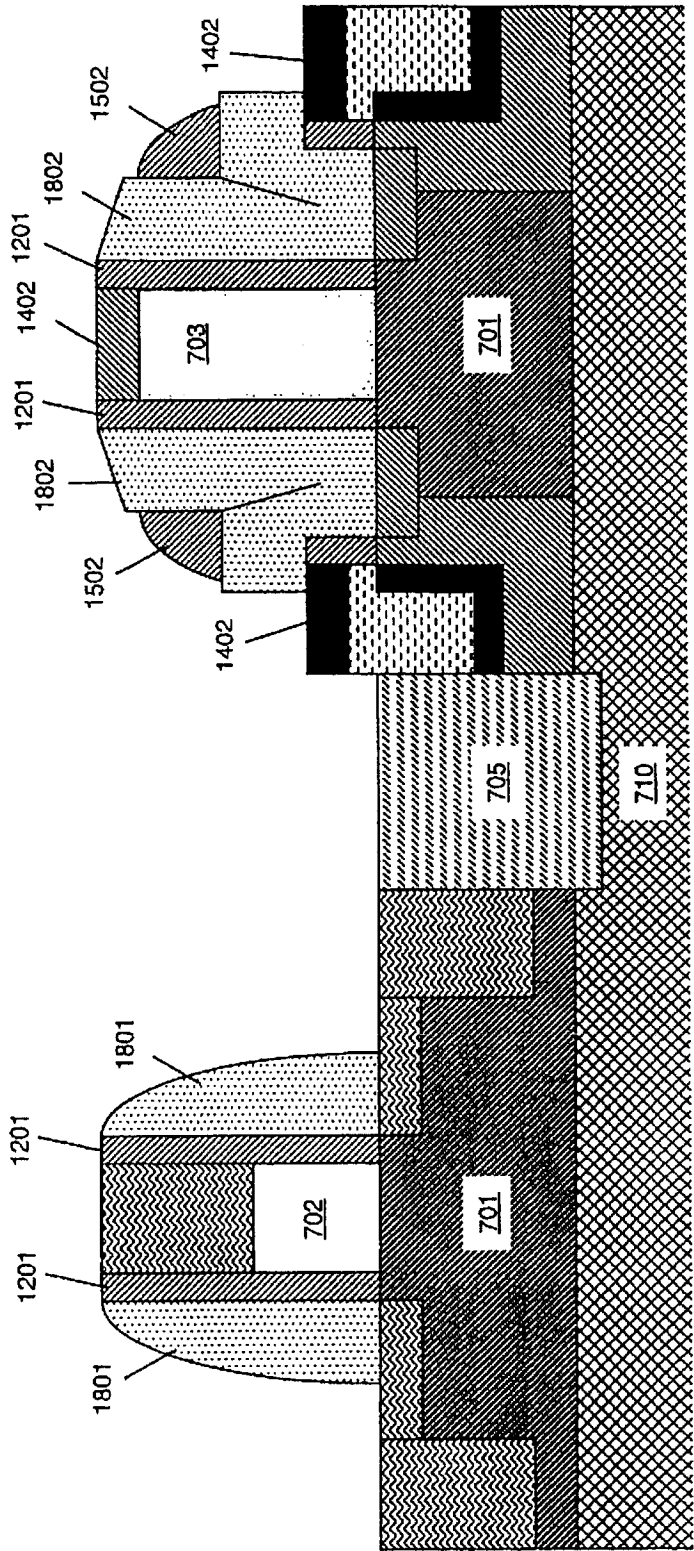


圖 18

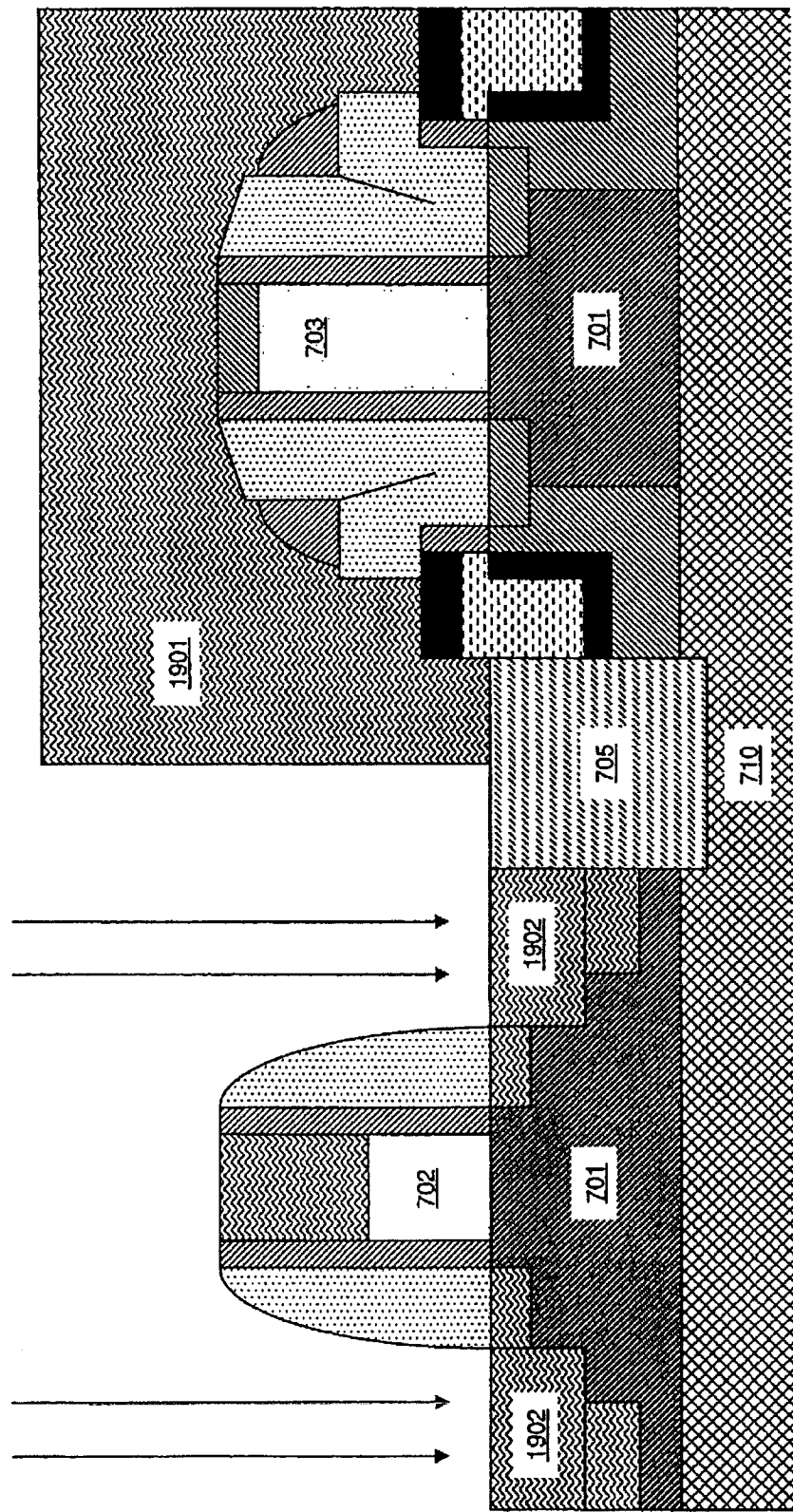


圖 19

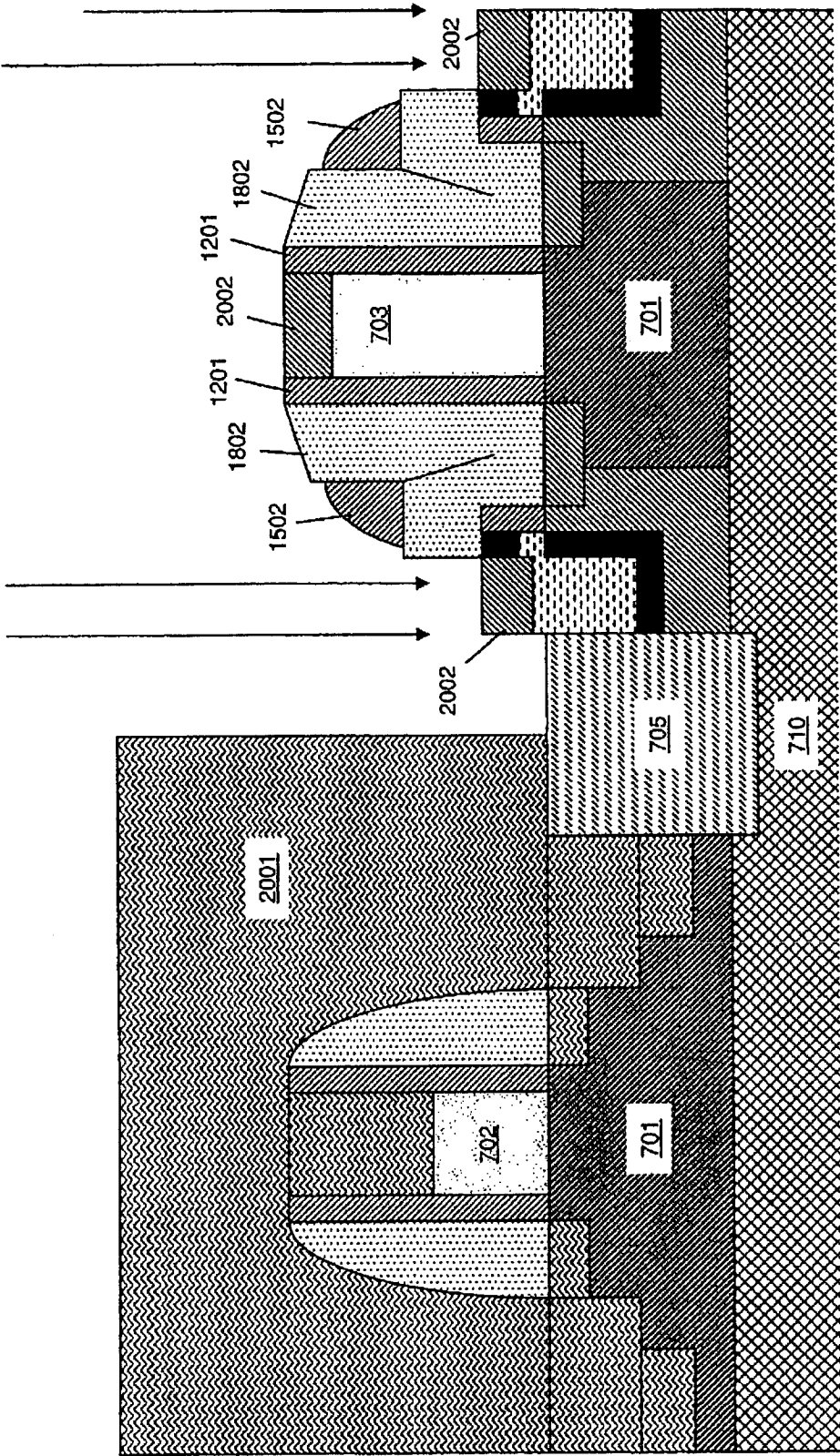


圖 20

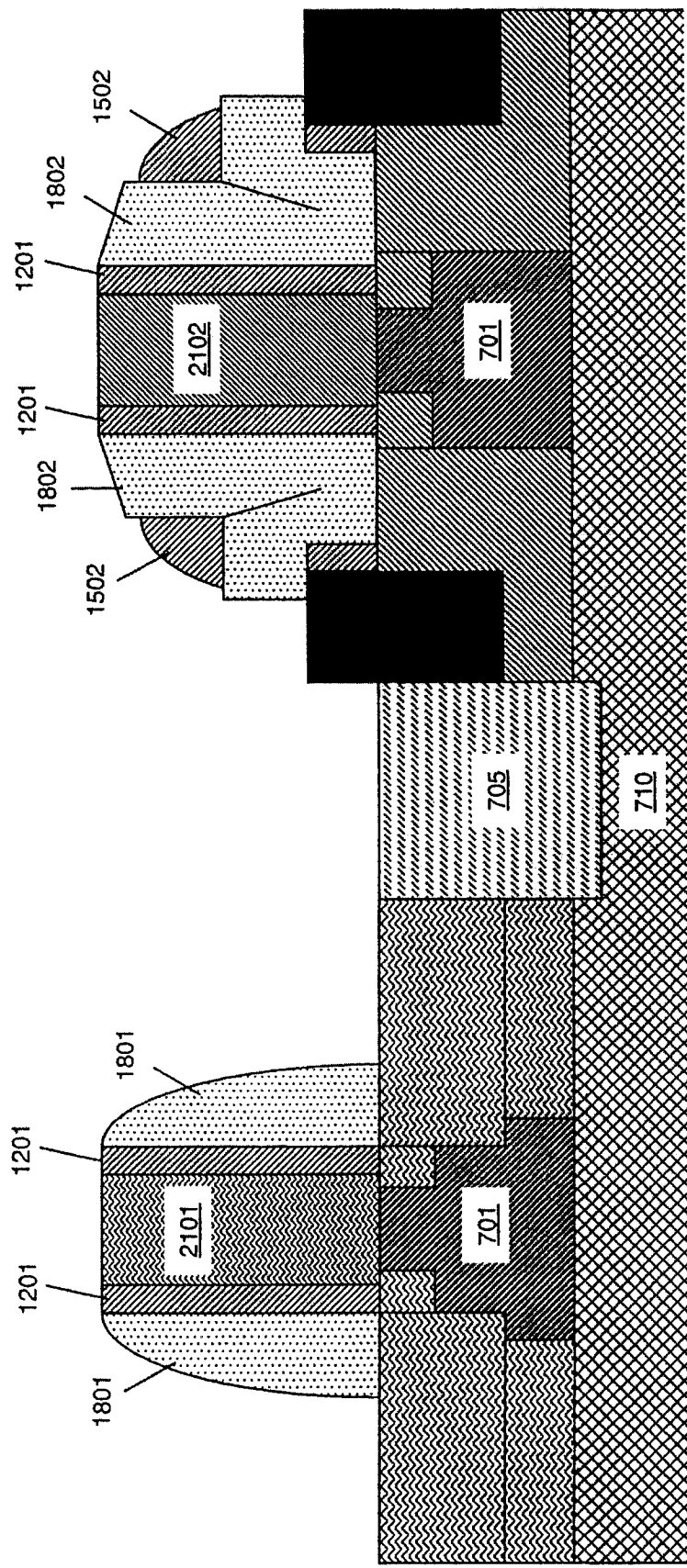


圖 21

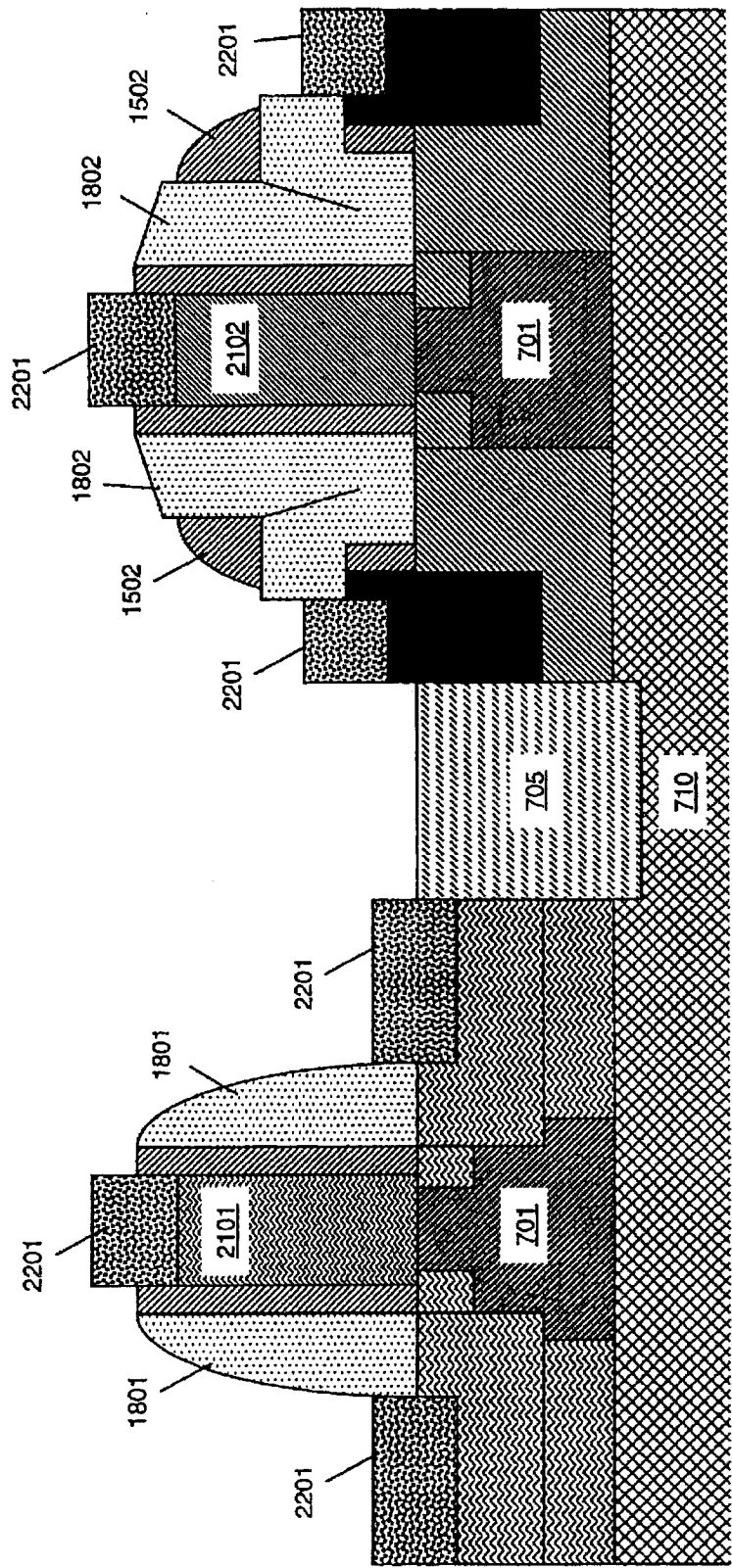


圖 22

七、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

301	矽本體
302	p-型場效電晶體(PFET)多晶矽
305	凹陷部分
401	SiGe層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種用於形成一半導體裝置之方法，其包括：

在一矽本體上形成一電晶體閘極；

在該閘極對置側上形成該矽本體之凹陷部分；

實施該等凹陷部分之第一摻雜；

在實施該第一摻雜步驟後在該等凹陷部分上形成一 SiGe 層；及

在形成該 SiGe 層後實施該閘極之第二摻雜。

2. 如請求項 1 之方法，其中實施第一摻雜之該步驟包括以約 3 KeV， $1 \times 10^{15} \text{ cm}^{-2}$ 在該等凹陷部分上之 BF₂ 植入。

3. 如請求項 2 之方法，其中實施第二摻雜之該步驟包括以約 5 KeV， $2.5 \times 10^{15} \text{ cm}^{-2}$ 之 BF₂ 植入。

4. 如請求項 1 之方法，其中實施第一摻雜之該步驟包括摻雜該等凹陷部分中之每一個的一下表面及一側壁兩者。

5. 如請求項 1 之方法，其進一步包括：

在該閘極之該等對置側之每一個上形成一側壁間隔件 (spacer)；及

移除該等側壁間隔件之每一個；及

實施延伸形成，

其中實施第一摻雜及形成該等凹陷部分之該等步驟係在移除該等側壁間隔件前所實施。

6. 如請求項 1 之方法，其中在實施第一摻雜及第二摻雜兩者之該等步驟中，該閘極下方的該矽本體內之一電晶體通道區域未被硼滲透。

7. 如請求項6之方法，其中該電晶體閘極包括多晶矽且在該矽本體上方延伸不多於100奈米。
8. 如請求項6之方法，其中實施第二摻雜之該步驟包括實施該閘極之第二摻雜。
9. 如請求項1之方法，其中將該矽本體設置於一隱埋式氧化物層上，且其中實施第一摻雜之步驟導致在該矽本體內形成一對源極/汲極區域，該對源極/汲極區域之每一個皆鄰接該隱埋式氧化物層。