

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4647304号
(P4647304)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/32 (2006.01)

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/00 5 6 4 A

G 0 6 F 12/00 5 7 1 A

G 0 6 F 9/30 3 3 0 C

G 0 6 F 9/32 3 1 0 J

G 0 6 F 12/06 5 5 0 A

請求項の数 14 外国語出願 (全 21 頁)

(21) 出願番号 特願2004-372069 (P2004-372069)
 (22) 出願日 平成16年12月22日(2004.12.22)
 (65) 公開番号 特開2005-182832 (P2005-182832A)
 (43) 公開日 平成17年7月7日(2005.7.7)
 審査請求日 平成18年1月27日(2006.1.27)
 (31) 優先権主張番号 10361059.6
 (32) 優先日 平成15年12月22日(2003.12.22)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 501409670
 マイクロナス ゲーエムペーハー
 Micronas GmbH
 ドイツ連邦共和国、79108 フライブルグ、ハンス・ブンテ・ストラーセ 19
 (74) 代理人 100095315
 弁理士 中川 裕幸
 (74) 代理人 100130270
 弁理士 反町 行良
 (72) 発明者 ジョエルグ フランク
 ドイツ国 フライブルグ D-79117
 ディルガホッフ ストラッセ 25

審査官 ▲高▼橋 正▲徳▼

最終頁に続く

(54) 【発明の名称】 メモリアクセスを制御するための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

メモリ装置（FLASH / ROM、RAM、IOモジュール）にメモリアクセスするために、中央制御装置（CPU）についてある数の待ち状態が決定される、メモリアクセスを制御するための方法であって、

- (a) 前記中央制御装置（CPU）の現在の状態（status）および、
- (b) 前記アクセスされるべきメモリ装置（FLASH / ROM、RAM、IOモジュール）の様式および、
- (c) アドレス（addr）

の解析に依存して前記メモリアクセスについての前記待ち状態の数が各メモリアクセス毎に個別に決定され、

前記必要な待ち状態の数を解析しおよび決定する際に、前記メモリアクセスの前記様式についておよびアクセスされるべき前記メモリ装置の前記様式についての最大数（limit）の少なくとも一方が必要な待ち状態により決定され、および待ち状態計数器（WC）において使用され、

アドレス比較器（AC）が、届くアドレス（A2, A3, A0+1, A0+2）を、より早い時刻、特に直前に届くアドレス（A1, A0）と、同一メモリページ上のアドレス（A1, A2, A3）で関係づけられるか、増分されたアドレス（A0, A0+1, A0+2）で関係づけられるかまたは同一アドレスで関係づけられるかに関して比較する方法であって、そのような場合に必要な待ち状態の前記数が他の場合に対して減少されること

10

20

を特徴とする方法。

【請求項 2】

前記中央制御装置 (CPU) に対して分離されたメモリ制御装置 (aMC) において必要な前記待ち状態の数の固定が実行され、前記中央制御装置 (CPU) の前記待ち状態が待ち状態信号 (wait) を介して信号化される、請求項 1 に記載の方法。

【請求項 3】

少なくとも一つのメモリ装置をアドレス指定するために前記中央制御装置 (CPU) によりアドレスバス (AB) 上に置かれるアドレス (adr) が前記解析のために使用される、請求項 1 又は 2 に記載の方法。

【請求項 4】

アドレス比較器 (AC) が届くアドレス (RAM, EX + 1, EX + 2) を、より早い時刻、特に直前に届くアドレス (EX) と、現在届くメモリ装置 (RAM) のアドレスが必要な待ち状態なしで割り当てられているか、およびそれに先行および後続するアドレス (EX, EX + 1)、メモリ装置 (FLASH/ROM) のアドレスが必要な待ち状態により割り当てられているかに関して比較する方法であって、そのような場合に必要な待ち状態の前記数が他の場合に対して減少され、必要な待ち状態を有する前記メモリ装置への前記メモリアクセスが、増分しているアドレス、同一アドレスまたはメモリページのアドレスに関連する場合に、特に必要な待ち状態を有する前記メモリアクセスについての前期待ち状態の前記数が減少される、請求項 1 乃至請求項 3 のいずれか一つに記載の方法。

【請求項 5】

メモリ制御装置 (aMC) が前記メモリ装置 (RAM) への前記メモリアクセスのサイクルにおいて、すでに自明に別のアドレス (EX + 1) を発生させ、および前記外部メモリ装置が利用状態となる、請求項 4 に記載の方法。

【請求項 6】

前記中央制御装置 (CPU) の内部サイクルの場合において、すでに届いている将来使用すべきアドレス (A0) へのメモリアクセスが、内部サイクルの終わりまで待ち状態なしに対応するデータを伝送するために、前記中央制御装置 (CPU) に依存せず実施される、請求項 1 乃至請求項 5 のいずれか一つに記載の方法。

【請求項 7】

前記メモリ装置へのバス (DB) の幅が前記中央制御装置により要求される前記メモリ装置による前記データの幅より広く、およびこの場合に前記待ち状態の前記数が狭くクロックされたデータ伝送に対応して減少される、請求項 1 乃至請求項 6 のいずれか一つに記載の方法。

【請求項 8】

データバス (DB) と前記メモリ装置 (I/O モジュール) との間のブリッジ装置 (BR) が相前後するアドレス (A0, A0 + 2, A0 + 4) を届けさせ、それらの中間アドレスが出力されており、および前記出力されたアドレスをアドレス指定するために付加的に信号化 (byte - adr) を届けさせる、請求項 7 に記載の方法。

【請求項 9】

さまざまなアクセスタイムが割り当てられているページ型およびバースト型の少なくとも一方のさまざまな平面を有するメモリ装置へのメモリアクセスの場合に、対応して個別のメモリアクセスについての最大必要な待ち状態が決定される、請求項 1 乃至請求項 8 のいずれか一つに記載の方法。

【請求項 10】

開いているページへのメモリアクセスの場合に、前記待ち状態の前記数が開いていないページへのアクセスに比較して減少される、請求項 1 乃至請求項 9 のいずれか一つに記載の方法。

【請求項 11】

前記方法を実行するためにメモリ制御装置 (aMC) のメモリ装置 (M) において必要な待ち状態の前記数を決定するため、アクセス可能なメモリ装置またはアクセス可能なアド

10

20

30

40

50

レスの特性がそれぞれに割り当てられた必要な待ち状態と共に記憶される、請求項 1 乃至請求項 10 のいずれか一つに記載の方法。

【請求項 12】

第 1 のデータおよび信号 (s t a t u s , w a i t) の少なくとも一方を伝送するための中央制御装置 (C P U) への第 1 の接続と、

アクセスされるべきメモリ装置 (F L A S H / R O M 、 R A M 、 I O モジュール) に関して第 2 のデータまたは信号 (a d r) を伝送するための第 2 の接続 (A B) と、

前記メモリ装置へのメモリアクセスを制御するため、および前記中央制御装置 (C P U) についての待ち状態を決定するための制御装置とを有するメモリアクセスを制御するための装置 (a M C) であって、

前記制御装置 (A D , A C , M D , C L , W C , B C) は、

前記中央制御装置 (C P U) の現在の状態に関して前記第 1 のデータ (s t a t u s) または前記メモリアクセスが行われるべき前記メモリ装置に関する前記第 2 のデータ (a d r) を解析し、

前記中央制御装置 (C P U) への対応する前記待ち状態および待ち状態信号 (w a i t) を形成することを特徴とする装置。

【請求項 13】

メモリ装置および待ち状態を記憶させるためのメモリ装置への接続を有する装置であって、アドレスおよびそのようなメモリアクセスの少なくとも一方が行われることができるメモリ装置が割り当てられている、請求項 12 に記載の装置。

【請求項 14】

必要なメモリアクセスに対応する極限值 (l i m i t) の一つまで数え上げるための待ち状態計数器 (W C) と、前記待ち状態計数器 (W C) 内で前記極限值 (l i m i t) に到達することに依存して、およびアクセスされるべきアドレスの解析に依存せず待ち状態信号 (w a i t) を信号化するための構築ロジック (C L) とを有する、請求項 12 または 13 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特許請求項 1 の上位概念特徴を有するメモリアクセスを制御するための方法、もしくは特許請求項 14 の上位概念特徴を有するメモリアクセスを制御するための装置に関する。

【背景技術】

【0002】

コンピュータ、たとえばいわゆるエンベデッド・コントローラまたは一般商品のパーソナルコンピュータ (P C) は、制御目的のため中央制御装置 (C P U) を有する。これらの制御装置には、制御プログラムまたは最も広義に信号化としても理解できるデータを一時的または永久的に記憶するために、メモリ装置が割り当てられている。メモリ装置はコンピュータの内部構成要素として、または外部装置として構成することができる。特にメモリ装置は、中央制御装置が配置されている回路白金上に配置することができる。中央制御装置を 1 基または数基のメモリ装置と接続するのは主としてバスを通じて、特にアドレスもしくはアドレスデータを伝送するためのアドレスバスおよびアプリケーションデータとユーティリティデータを伝送するためのデータバスを通じて行われる。

【0003】

一般的には、中央制御装置をメモリアクセス制御の際の消費に関して負荷軽減するため、一方で中央制御装置またはこれに割り当てられたキャッシュ直接アクセスメモリ (C R A M) と、他方で動的直接アクセスメモリ (D R A M) との間に接続されているメモリ管理装置が知られている。たとえばフラッシュメモリへメモリアクセスするには、さまざまなアクセス法がある。偶然の (R A N D O M) アクセスの場合、どのメモリアクセスも同様に遅い。ページアクセス (P a g e M o d e) の場合、アドレスの順序によらずペー

10

20

30

40

50

ジ (P a g e) 内部で検証が行われる。いわゆるバーストモード (データブロックアクセス運用法) の場合、決まったアドレス順序でメモリのデータ領域へアクセスされる。特別な問題を提起しているのが、アクセス法に応じ、またアクセスされるべき使用メモリ型に応じ、中央制御装置からそれぞれのメモリへのメモリアクセスに接続するのに考慮すべきさまざまな待ち時間もしくは待ち状態である。

【 0 0 0 4 】

一般的には、単純な偶然のアクセスのほか、静的メモリ、たとえば R O M、フラッシュまたは S R A M 上へのページおよびバーストモードアクセスをも支援し、その際アクセス法および使用するメモリ型に応じてさまざまな待ち時間を挿入するメモリ制御装置、たとえば A R M P r i m e C e l l S y n c h r o n o u s S t a t i c M e m o r y C o n t r o l l e r が知られている。

10

【 0 0 0 5 】

短所として、順次アクセスのみ、すなわち 1 枚のページまたは一個のバースト内部でのメモリアクセスのみが速く実行される。すべて順次でないアクセスは追加の待ち状態、たとえば待ちクロックとして 2 ~ 3 クロックを要し、しかもメモリへの可能なアクセス速度に依存しない。ほかに短所は、順次アクセスの割合を高めるため別の最適化を備えていないことである。そのほか、中央制御装置がメモリアクセスなしの内部サイクルで次のメモリアクセスを示す、もしくはメモリ制御装置がすでに自身で次の有意のアドレスをメモリに入れる、いわゆる「マージド I S サイクルズ」の利用法を備えていない。同様に短所は、C P U が広いメモリへ狭いアクセスを要求することにより、たとえば 3 2 ビットの広いメモリへの 1 6 ビットアクセスにより処理能力を向上させることが可能でないことである。

20

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明の課題は、メモリアクセスを効率的に制御できるようにするために、メモリアクセスを制御する方法および装置を代替的な構成で提案することにある。特に、必要な待ち状態の数を減らすべきことである。

【 課題を解決するための手段 】

【 0 0 0 7 】

この課題は、特許請求項 1 の特徴を有するメモリアクセスを制御するための方法によって、もしくは特許請求項 1 4 の特徴を有するメモリアクセスを制御するための装置によって解決される。

30

【 0 0 0 8 】

これに即して言えば、有利なのはメモリ装置へメモリアクセスするために中央制御装置について待ち状態の数が設定されるメモリアクセス制御のための方法であり、ここで中央制御装置の現在状態およびアクセスすべきメモリ装置の様式およびアドレスの解析に依存して、メモリアクセスについての待ち状態の数が個別に決定される。装置に即して言えば、対応してメモリアクセスを制御するための装置がすでに設定され、この装置が第 1 のデータまたは信号を伝送するため中央制御装置への第 1 の接続と、および第 2 のデータまたは信号を伝送するためメモリ装置に関するデータについての第 2 の接続と、並びにメモリ装置へのメモリアクセスを制御するためおよび中央制御装置の待ち状態を決定するための制御装置とを有する装置であり、このとき中央制御装置の現在状態に関して第 1 のデータを、およびメモリアクセスが行われるべきメモリ装置に関して第 2 のデータを解析するための、および待ち状態を決定するための制御装置が形成されている。対応して第 1 の接続は特にメモリアクセスについてのアドレスデータをメモリ装置に伝送するために、第 2 の接続は中央制御装置に状態データを伝送するために、特に待ち状態の数を伝送するために役立ち、こうしてメモリアクセスに関するデータについて決まったメモリ装置に伝送するために役立つ。

40

【 0 0 0 9 】

50

現在のCPU状態の認識またはアクセスすべきメモリ装置の様式もしくはアドレスの認識を見て、このCPUアクセスについての情報の少なくとも一部が選択の際に使用される。しかしキャッシュ・コントローラにアクセスする際はそうではない。ここでは常に、通常全キャッシュラインが読み込まれる。読み込まれるのはこのように、たとえば3つの待ち状態に必要なたとえば一つの32ビットRANDOMアクセスで、これに続くのはたとえばそれぞれ一つの待ち状態を有する3つの別の32ビットBURSTアクセスである。同じことがDAMアクセスの順番(バースト)についても成り立ち得る。

【0010】

従属請求項の主題はその好適な構成法が対象である。

【発明の効果】

10

【0011】

有利に、必要な待ち状態の数の決定が中央制御装置から切り離されたメモリ制御装置で実行され、中央制御装置の待ち状態が待ち状態信号を介して信号化される。これによって中央制御装置はこの種の管理作業から負荷軽減される。

【0012】

有利に、必要な待ち状態の数を解析し決定する際に、メモリアccessの様式およびアクセスすべきメモリ装置の様式の少なくとも一方について最大の必要な待ち状態の数が決定され、待ち状態カウンタで使用される。このとき、待ち状態カウンタは特にすでに利用された待ち状態およびなお必要な待ち状態を整合させるのに役立ち、このとき中央制御装置は並行して支障なく稼働することができる。

20

【0013】

有利に、解析のためアドレスが使用され、これは中央制御装置によりアドレスバス上で少なくとも一つのメモリ装置をアドレス指定するために設定される。メモリ装置に関する別々のアドレス引き渡しまたは他のデータが、中央制御装置にロードする必要なしにアクセスできる。

【0014】

有利に、アドレス比較器が届いたアドレスを以前の時刻、特に直前に届いたアドレスと、それが同じメモリページ上のアドレスなのか、増分されたアドレスなのか、および同じアドレスの少なくとも一方なのかについて比較し、そのような場合には他の場合より必要な待ち状態の数が減じられる。

30

【0015】

有利に、アドレス比較器が届いたアドレスを以前の時刻、特に直前に届いたアドレスと、今届いた特に内部メモリ装置のアドレスが必要な待ち状態なしに割り当てられているか、それより以前および以後のアドレスが必要な待ち状態を有する特に外部メモリ装置のアドレスを割り当てられているかについて比較し、そのような場合には他の場合より必要な待ち状態の数が減じられる。特に外部メモリアccessについて待ち状態の数は、外部メモリアccessを増分したアドレス、同じアドレスまたは一つのメモリページのアドレスが関係する場合には減じられる。このような方法で有利なのは、メモリ装置へのメモリアccessのサイクルですでに自明なように別のアドレスを発生させて外部メモリ装置を利用状態にするメモリ制御装置である。これは待ち状態を節約する。

40

【0016】

有利に、中央制御装置の内部サイクルの場合、内部サイクル終了後待ち状態なしに対応するデータを伝送するため、メモリアccessがすでに届いた今後使用すべきアドレスへ中央制御装置に依存せず実行される。続いて待機すべき中央制御装置アクセスのためのアドレスは、中央制御装置により供給されるかメモリ制御装置により自ら作り出されることができる。

【0017】

有利なのは、メモリ装置へのバスの幅が中央制御装置により要求されるメモリ装置からのデータの幅より広いことで、この場合待ち状態の数は狭くクロックされたデータ伝送に対応して少なくなる。要求されるデータ幅はそれゆえ存在するデータ幅より狭い。このた

50

めRANDOMアクセスは速められ、しかしページアクセスおよびバーストアクセスも速められる。有利なのはこのときブリッジ装置がデータバスとメモリ装置との間に相前後するアドレスを設定し、それらの中間アドレスが出力され、追加して、出力されたアドレスをアドレス指定するために信号化が設定される。

【0018】

有利に、さまざまなアクセスページが割り当てられているさまざまなレベルのページアクセス型およびバーストアクセス型の少なくとも一方を有するメモリ装置にメモリアクセスする場合、対応して個別のメモリアクセスについて最大必要な待ち状態が決定される。

【0019】

有利に、公開ページ上にメモリアクセスする場合、待ち状態の数が非公開ページ上へのアクセスに比較して少なくなる。

10

【0020】

有利に、メモリ装置に必要な待ち状態の数を決定するため、方法を実行するためのメモリ制御装置に、アクセス可能なメモリ装置の特性およびそれぞれ割り当てられた必要な待ち状態を有するアクセス可能なアドレスの特性の少なくとも一方が記憶される。

【0021】

有利なのは、メモリ装置または待ち状態を記憶するためのメモリ装置への接続により装置された、アドレスおよびメモリ装置の少なくとも一方が割り当てられそのようなメモリアクセスが可能な装置である。

【0022】

20

前記装置は、必要なメモリアクセスに必要な対応する極限值まで累積算するための待ち状態計数器により、および待ち状態計数器における極限值到達に依存し、アクセスすべきアドレスの解析に依存しない待ち状態信号を信号化するための構築ロジックにより、有利に装置されている。

【0023】

有利に、順次アクセスおよび非順次アクセスについての待ち状態の数が、それぞれのメモリ装置の対応するアクセス時間のみにより決定される。特に有利なのは、このとき対応しないメモリをアドレス指定するアクセスすべてのマスキングであり、これによってメモリ装置内部の順次アクセス列が乱されない。これは順次アクセスの割合を向上させることができる。

30

【0024】

よく知られた「マージドISサイクルズ」の場合、順次メモリアクセスのときも非順次メモリアクセスのときも、それぞれ待ち状態が儉約できる。

【0025】

また有利なのは、広いメモリ装置への狭いアクセスの際、たとえば32ビットの広いメモリ上へ16ビットのアクセスをする場合、2回のメモリアクセスごとに各待ち状態がなしで済ませる。

【0026】

さらに、メモリ制御装置はアドレスを比較するためにアドレス比較器を使用する。フラッシュにはそれゆえ、場合によってはアドレス変更がないように見える。さらに、よく知られた「マージドISサイクルズ」の場合、メモリ制御装置は有利に利用されることができる。

40

【発明を実施するための最良の形態】

【0027】

図1に見られるように、優遇されるメモリ制御装置aMCがコンピュータ環境中に中央制御装置CPU、アドレスバスおよびデータバスAB、DBおよび一個または数個のメモリ装置FLASH/ROM、RAM(RAM:ランダム・アクセス・メモリ/直接アクセスのメモリ)、IOMジュールと共に装入されている。ここで中央制御装置CPUとメモリ装置との間でデータがデータバスDBを通じて、およびオプションとして、データバスDBとメモリ装置FLASH/ROM、RAMもしくはIOMジュールとの間に接続され

50

ている各一個のブリッジ装置 B R を通じて伝送される。メモリ装置 F L A S H / R O M , R A M , I O モジュール内の対応するメモリアドレス a d r を指向させるため、提起中のメモリアクセスについてのアドレスデータもしくはそれぞれのアドレス a d r がアドレスバス A B および必要な場合ブリッジ装置 B R を通じて伝送される。

【 0 0 2 8 】

そのほか、メモリ制御装置 a M C は対応するバスを通じてアドレスバス A B に接続されているから、中央制御装置 C P U からアドレスバス A B に渡されたアドレス a d r はメモリ制御装置 a M C によっても受信される。メモリ制御装置 a M C はそのほか、中央制御装置 C P U から出発する接続が届く入口を有する。この特にバスとして形成された接続を通じて、現在および今後の中央制御装置 C P U の状態情報、すなわちステータスインフォメーション s t a t u s がメモリ制御装置 a M C へ伝送される。そのほかメモリ制御装置 a M C は、メモリ制御装置 a M C に適する提起中のメモリアクセスの制御に関するデータを伝送するために、中央制御装置 C P U への接続が成立する出口を有する。このデータは特に待ち状態であり、すなわち待ち状態信号 w a i t である。

10

【 0 0 2 9 】

メモリアクセスを制御するためのメモリ制御装置 a M C を形成するための装置が、それゆえ特に、第 1 のデータまたは信号を伝送するために中央制御装置 C P U への第 1 の接続を装置されており、ここで第 1 のデータ (s t a t u s) として中央制御装置 C P U の現在の状態に関するデータ、並びに反対方向に待ち状態信号 w a i t を伝送するための制御信号が伝送される。構成に応じてこれらのまたは別の接続を通じて付加データおよび制御信号も伝送される。さらにメモリ制御装置は、第 2 のデータ a d r または信号を伝送するためメモリ装置 F L A S H / R O M , R A M , I O モジュールに関するデータについて第 2 の接続を装置され、ここで第 2 のデータは特に、メモリアクセスが行われるべきメモリ装置 F L A S H / R O M , R A M , I O モジュールに関するアドレスを形成する。第 2 の接続は、優遇される実施形では、アドレスバス A B が接続されている入口に対応する。

20

【 0 0 3 0 】

代替的にアドレスは直接中央制御装置 C P U からメモリ制御装置 a M C へ伝送することもできるから、第 2 の接続はアドレスバス A B を接続するための入口の代わりに中央制御装置 C P U からアドレスデータを伝送するための接続についての入口を形成する。接続下では代替的に接続装置の個別の論理的または物理的な接続とも理解することができる。

30

【 0 0 3 1 】

第 2 の接続または別の接続は、メモリ制御装置 a M C からデータおよび信号を直接メモリ装置 F L A S H / R O M , R A M , I O モジュールへ伝送するために、両方向に形成されることもできる。メモリ制御装置 a M C は、システム内でキャッシュ・メモリ装置およびキャッシュ・メモリ制御装置を有する中央制御装置 C P U の基盤で運用されるように、またはシステム内で直接メモリに接続されている中央制御装置 C P U の基盤で運用されるように、特別に設計されている。

【 0 0 3 2 】

メモリ制御装置 a M C の主任務は、中央制御装置 C P U のためにプロセッサとして、たとえばさまざまな速度で運用され、および / またはデータ伝送をさまざまなバス幅を有するデータバス D B を通じて可能とする、さまざまな環境へのインターフェースを提供することにある。たとえば I O モジュール内のレジスタフィールドが 8 M H z で、中央制御装置 C P U は 5 0 M H z で運用されることができ、その上たとえば I O モジュールのデータの入出力用データバス D B は 8 ビットの幅を持ち、一方中央制御装置 C P U はデータを 8 , 1 6 または 3 2 ビットモードで読み込みまたは読み出す状況にある。対応して待ち状態が導入されねばならない。

40

【 0 0 3 3 】

メモリ制御装置 a M C は、有利にブリッジ B R を制御するために必要な信号をも作り出し供給する。そのほかメモリ制御装置 a M C は有利に、外部メモリ装置 F L A S H / R O M , R A M , I O モジュールがバーストモードまたはページモードに接続されたとき、待

50

ち状態の設定を最適化するように有利に形成されている。メモリアクセスが行われるべきメモリ装置の型に関する情報は、メモリ制御装置 a M C は有利に直接、中央制御装置 C P U からアドレスバス A B を通じて伝送されたアドレス a d r から入手する。プロセッサすなわち中央制御装置 C P U の状態すなわちステータスを信号化している一つかいくつかの信号または伝送されたデータ (s t a t u s) と共に、メモリ制御装置は、待ち状態の数を設定しもしくは中央制御装置 C P U 内で考慮される受信されたアドレスおよび現在の中央制御装置 C P U の状態を解析した後、有利に数クロックサイクル以内で決定する。

【 0 0 3 4 】

図 2 はメモリ制御装置 a M C の個別成分を示し、これらは記述中の概念を置換することについて、個別構成成分としてまたは統合された制御装置およびメモリ装置の全体成分として置換可能である。構成に応じてメモリ制御装置 a M C は別の構成および / または機能ユニットおよび装置を有する。バスは図 1 と同様太い線で示されている。

【 0 0 3 5 】

第 2 の接続すなわちアドレスバス A B の入口から、バスがアドレスデコーダ A D へおよびアドレス比較器 A C へ導く。アドレスデコーダ A D はこの示された実施例では、運用様式デコーダすなわちモードデコーダ M D へ導く三つの出口を有する。アドレスデコーダ A D は受信された、すなわちその入口に届くアドレス a d r を解析し、どのメモリ装置 F L A S H / R O M , R A M , I O モジュールにアクセスされるか、もしくはされるべきかを決定する。アドレスデコーダ A D の第 1 の出口では、設定されたアドレス a d r がメモリ装置として R O M および / または F L A S H へのメモリアクセスを指示していることを解析で決定される場合、信号 (e x t e r n) が設定される。これによってモードデコーダ M D に外部メモリアクセスが信号化される。アドレス a d r がメモリ装置として R A M へのメモリアクセスを指示する場合、アドレスデコーダ A D の第 2 の出口を通じてモードデコーダ M D に内部メモリ装置 R A M へのアクセスが信号化される (i n t e r n) 。アドレスデコーダ A D に設定されたアドレス a d r がメモリ装置として I O モジュールのレジスタフィールドへのメモリアクセスを指示する場合、アドレスデコーダ A D の第 3 の出口を通じて対応する信号 (I O - r e g) を介してモードデコーダ M D に I O レジスタフィールドへのアクセス、すなわち対応するメモリチップのレジスタの制御が信号化される。別の電線を通じて、対応して別のメモリアクセス様式に関する信号化がなされることができる。アドレスデコーダの唯一の出口で唯一の電線を使用するのもまた可能で、ここでは電線を通じてコード化形式で、たとえばさまざまな電圧レベルにより、各アドレス型 e x t e r n , i n t e r n または I O レジスタアクセスの信号化がモードデコーダ M D へ信号化される。

【 0 0 3 6 】

アドレス比較器 A C はアドレス a d r を設定するための入口と並んでクロック信号 c l k を設定するためのクロック入口を有する。アドレス比較器 A C は中央制御装置 C P U の現在および先行するサイクルのアドレスを比較する。結果は三つの異なる状態であり、それらはここでもコード化されて一つの、またはいくつかの出口または電線のうちただ一つを通じてアドレス比較器 A C から出力される。第 1 の信号 i n c r が増分アドレスの列を信号化し、第 2 の信号 e q u a l が不変の、すなわち同一のままのアドレスを信号化し、第 3 の信号 s p が同一のままのページを信号化し、これの下では二つの相前後するアドレスがページモードの場合外部メモリ装置にアクセスする際に同じページを参照すると理解できる。特に同一のままのアドレスを信号化するための第 2 の信号 e q u a l は、モードデコーダ M D にも構築ロジック C L にも導かれる。残りの増分アドレスおよび同一ページ内部のアドレスへのアクセスを信号化するための信号 i n c r , s p は、同様に構築ロジック C L に導かれる。

【 0 0 3 7 】

モードデコーダ M D は導かれた信号用の入口と並んで、中央制御装置 C P U の状態に関連するデータおよび / または信号 (s t a t u s) を導くための入口、特にバス入口を有する。これはたとえばメモリ要求感知器 (メモリ・リクエスト・フラッグ)、必要なデー

10

20

30

40

50

タ幅または順次アクセス用感知器（シーケンシャル・フラッグ）である。中央制御装置CPUの状態を記述する信号 *s t a t u s*、およびアドレスデコーダADおよびアドレス比較器ACにより設定されるデータもしくは信号に基づいて、モードデコーダMDが待ち状態設定モードを記述する変数 *W S I M* を作り出す。この変数 *W S I M* は待ち状態計数器およびバイト計数器WC、BC用の主制御についての基盤を作る。この変数 *W S I M* は、待ち状態設定モードを信号化するものであり、構築ロジックCLのモードデコーダMDの出口を通じて導かれ、このとき伝送は主としてバスを通じて行われる。

【0038】

構築ロジックCLは、待ち状態計数器WCおよびバイト計数器BCを制御する信号を定義する。そのほか構築ロジックCLは待ち状態信号 *w a i t* を作り出し、これは中央制御装置CPUの対応する出口を通じてそれが待ち状態を制御するために導かれる。そのほか構築ロジックCLは信号 *f l a s h - c t l* を作り出し、これは指向すべきフラッシュメモリ装置FLASHの対応する出口を通じてフラッシュメモリ装置を制御するために導かれる。

10

【0039】

構築ロジックCLは本質的に結合的な機能を実行するために作られており、待ち状態設定モードを信号化するために、さまざまな入口からのデータおよび信号を変数 *W S I M* の状態に依存してそれらの出口におけるデータもしくは信号上に写す。この変数 *W S I M* のどんな値についても両計数器、すなわち待ち状態計数器WCおよびバイト計数器BCについての決まった構築がある。それゆえこれらの構成成分および機能成分について構築ロジックの概念が使用される。

20

【0040】

有利に、メモリ制御装置aMCがたとえば外部の同期動的直接アクセスメモリ（SDRAM：シンクロナス・ダイナミック・ランダム・アクセス・メモリ）接続のためのインターフェースをより多く必要とする場合、根底にある機能は容易に修正でき、または拡張できる。

【0041】

目的に即して、たとえば中央制御装置CPUの現在の状態を記述するための信号およびデータ *s t a t u s* を導入するために、同期信号 *i o - s y n c* を導入するためおよびバーストアクセスまたはページアクセスを決定するための信号 *b u r s t - n p a g e* を導入するために、構築ロジックCLは別の入口を有する。

30

【0042】

構築ロジックCLは計数器WC、BCのいずれにも二つの出口を、解除信号 *e n* を設定するための各一つの出口、および各計数器WC、BCに極限值 *l i m i t* を設定するための一つの出口を有する。待ち状態計数器WCおよびバイト計数器BCはそれぞれの解除信号 *e n* およびそれぞれの極限值 *l i m i t* を設定するための入口と並んでクロック *c l k* を設定するための入口を有する。待ち状態計数器WCおよびバイト計数器BCは単純な順方向計数器であり、届いているクロック *c l k* が変わるときのほか、対応する解除信号 *e n* が届くときに、それぞれ計数値が増加する。計数器WC、BCがそれぞれ割り当てられた極限值に到達するとき、それぞれの出口を通じて確認信号 *d o n e* が構築ロジックCLの対応する入口に設定される。バイト計数器BCの現在の値はアドレスデータ *B y t e - a d r* を出力するために別の出口を通じて出力され、バイトを選択するためにブリッジBRで使用される。対応して伝送接続がバイト計数器BCすなわちメモリ制御装置aMCと個別のまたはすべてのブリッジBRとの間に成立する。待ち計数器WC、バイト計数器BCおよび構築ロジックCLは原理的に全体として二重連結有限状態マシンを作り出し、両者、一方では計数器WC、BC、他方では構築ロジックCLは並行して運用されることができる。

40

【0043】

メモリ制御装置aMCはとりわけこのほかに待ち状態レジスタWZRを有しており、これは値を保ち、待ち状態の数を決定し、外部メモリ装置上にさまざまな運用状態でアクセ

50

スされるときは装入される。値は構築ロジックCLへ導かれる。階層ページ/バースト運用状態をも支援するためには二対のレジスタが使用可能である。

【0044】

運用様式を評価する場合、モードデコードMDはさまざまなプライオリティを考慮しており、これは図3からわかるとおりである。中央制御装置CPU（ステップS1）の新しいサイクルの場合、まずメモリアクセスが外部メモリ装置へのものであるかどうかを試験される（ステップS2）。はいの場合、続いて（S3）変数WSIMが待ち状態設定モードを信号化するため外部メモリアクセスの一つを信号化する値EXTERNで占有される。外部メモリアクセスに、すなわちたとえば、中央制御装置CPUが外部メモリ装置FLASH/ROM上にアクセスする場合、優先的に最高プライオリティの運用様式が割り当てられる。この運用様式での待ち状態の数は外部メモリ装置FLASH/ROMの構築に依存し、特にこれがバーストモードであるかどうか、ページモードであるかどうかまたは非同期運用されるかどうかに依存する。対応する待ち状態計数器値がメモリ制御装置aMCの構築レジスタM内にプログラムされており、ここで対応する成分、特に構築ロジックCLはこの待ち状態計数値で、届けられ解析されたアドレスadr並びに届けられた中央制御装置CPUの状態信号statusに対応してアクセスする。

10

【0045】

次に高いプライオリティは、とりわけメモリ装置としてIOMジュール上へのメモリアクセスが持つ。これに関しては、IOREジスタの遅いバスとの同期のため待機が行われる。このとき中央制御装置CPUは、クロックジェネレータCから発生する同期信号iosyncの助けにより同期される。同期信号iosyncは構築ロジックCLの入口に対応して届けられる。

20

【0046】

モードデコードMDでの解析経過において外部メモリ装置へのアクセスが行われないことが決定された場合、次のステップS4において、IOMジュール上へ外部メモリ装置と同様のアクセスが行われるかどうかを決定する。はいの場合、次に（ステップS5）待ち状態設定モードを信号化するための変数WSIMが対応する値IOで占有される。

【0047】

そのようなIOMジュールにメモリアクセスが行われない場合、次に（ステップS6）中央制御装置CPUの現在使用されているデータアクセス幅がデータバスDBのバス幅より広いかどうかを試験する。はいの場合、待ち状態が設定されねばならないなら、待ち状態設定モードについての変数WSIMは対応する値BS（ステップS7）に設定される。これによってバイト選択運用様式が信号化される。

30

【0048】

バス幅とアクセス幅とが異なっていない場合、待ち状態設定モードについての変数WSIMは、待ち状態が必要ないことを示す対応値に置かれる（ステップS8）。中央制御装置CPUは対応して全速で運用できる。これは典型的に、中央制御装置CPUが内部サイクルを実行するか、または同一チップ上のメモリ装置に、たとえばRAMにアクセスする場合であり、すなわち中央制御装置CPUがたとえばデータバスを通じてデータを必要としない場合である。

40

【0049】

クロックclkおよび必要な場合別のクロック信号および同期信号iosyncを準備するためには、有利に、システムの対応する別の装置と接続されているクロックジェネレータが役立つ。

【0050】

中央制御装置CPUと外部メモリ装置FLASH/ROMとの間の通信でより高いデータ率を得るためには、メモリ制御装置aMCが有利にページアクセスモードおよびバーストアクセスモードを構成的かつ機能的に支援する。

【0051】

図4はページモードにおけるメモリアクセスについてのさまざまな信号およびデータの

50

状態の典型的な時間経過を説明している。FLASHまたはROMメモリ装置（ROM：リード・オンリー・メモリ）がページ内である決まった大きさに分割されている。二つの相前後するメモリアクセスが同じページで起こる場合、アクセスタイムははっきりと短縮される。それゆえメモリ制御装置aMCは、さまざまなページにアクセスするのに比較して、相前後する同じページへのメモリアクセスではより少ない待ち状態を設定する。対応する情報は、アドレス比較器ACによってアドレスadrを解析した後、対応する信号spによって準備される。図4は時間経過で、最初にさまざまなメモリページへのアクセスの場合に対応する三つの待ち状態で示し、その後同じメモリページへのアクセスを一つの待ち状態のみで示す。

【0052】

図4の上の行は連続的なクロックclkを提示している。次の行は、中央制御装置CPUによりアドレスバスABに、およびそれを通じてメモリ制御装置aMCに設定されるアドレス(adr)を説明している。第1の四つのクロックを通じて第1のアドレスA1がアドレスバスABに届く。後続の各二つのクロックを通じて第2のもしくは第3のアドレスA2, A3がアドレスバスABに届く。アドレス解析によってアドレス比較器ACが、第1の四つのクロックの間に第1に届くアドレスA1を用いてさまざまなメモリページにアクセスされることを決定する。対応して同じページへの相前後するアクセスを信号化するための信号spは、この期間については低い状態に置かれている。提示されたサイクルの初めデータが伝送された後、第4行に見られるように、低い状態に置かれた信号spに基づき後続の二つのクロックにわたりデータバスDBを通じて伝送は行われない。中央制御装置CPUはデータ伝送に関して二つのクロックにわたり待ち状態にあり、このことはこの期間にわたり低く置かれている待ち状態信号waitを示す第5行から受け取ることができる。続いて待ち状態信号waitは高く置かれるから、第1のデータD1が伝送される。続いて待ち状態信号waitは一つのクロックサイクルの間低い状態に変えられ、その間に第2に届くアドレスA2が解析される。このアドレスについては待ち状態の必要がないから、待ち状態信号waitは一つのクロックの後、第2のデータD2の伝送をメモリアクセスを通じて第2のアドレスA2へ実行するため再び高く置かれる。待ち状態信号waitおよび他の信号に関して同じ経過が、第3のデータD3を第3のアドレスA3に伝送するために行われる。第2および第3のアドレスA2, A3は同じページに割り当てられているから、対応するクロックの間信号spは同じアドレスを信号化するために一貫して高く置かれる。第6行は待ち状態計数器WCの各状態を示す。第1のアドレスA1への第1のメモリアクセスの間同じでないメモリページにアクセスするから、待ち状態計数器WCは3の値まで数え、この値は待ち状態計数器WCへ対応する信号limitを通じて信号化された待ち状態極限3に相当する。待ち状態計数器極限は第7行に提示されている。第1のアドレスA1のページに割り当てられている第2および第3のアドレスに三つのクロックの後に行われたアクセスでは、待ち状態計数器極限として1の値が設定されるから、待ち状態計数器WCは0から1までを数える。

【0053】

図5はバーストモードにおけるメモリアクセスの場合を提示している。バーストモードフラッシュメモリ装置FLASHは、アドレスが前のアドレスに対して増分されているのみである限り、データへのより速いアクセスを可能とする組み込みメカニズムを有する。それゆえバーストモードではそれぞれ相前後するアドレスA0, A0+1, A0+2を有するデータのグループにアクセスされ、これは図5の第2行に見られるとおりである。アドレス比較器ACに届くアドレスが前のアドレスに関係がないか、またはバーストシーケンスの終わりに到達した場合、非同期アクセスタイムが利用される。アドレス比較器ACは対応して信号incrを、低い状態にある増分アドレスを信号化するために供給する。増分アドレスであればこの信号incrは高い状態へ置かれる。バーストの信号化の終わりはたとえば対応する信号burst-npageを準備するためのフラッシュメモリ装置の特別な出口を通じて、またはメモリ制御装置aMC内に組み込まれているバースト計数器を通じて準備することができる。図5は典型的に、最初の四つのクロックにわたり第

10

20

30

40

50

1 のアドレス A_0 が第 1 のデータ D_0 に関して届く場合を提示しており、このデータは非同期モードでは三つの待ち状態の設定下で伝送することができる。続いて第 2 および第 3 のアドレス $A_0 + 1$, $A_0 + 2$ がアクセスされ、これらは第 1 のアドレスに対してそれぞれ一つの増分アドレス値を有する。対応して増分アドレスを信号化するための信号 $incr$ は、第 1 の四つのクロックにわたり非同期メモリアクセスを信号化するために低い状態へ置かれ、続いて同期メモリアクセスを信号化するために高い状態へ置かれる。データ D_1 , D_2 , D_3 、待ち状態信号 $wait$ の信号化、待ち状態計数器 WC の状態および待ち状態計数器極限は図 4 の例のものに対応し、それゆえ個別の状態記述はこれに参照される。有利に、メモリ制御装置 aMC は特別特徴をも考慮する。

【0054】

アドレス比較器が増分アドレス、同一アドレスおよび同一ページ上のアドレスを信号化するための信号 $incr$, $equal$, sp を出力するとき、これらは外部メモリアクセスのみについて待ち状態の正しい数を設定するのに役立ち、それゆえこれらの場合メモリ制御装置 aMC によっておよび中央制御装置 CPU によって外部メモリアクセスのみを考慮することができる。たとえばバーストシーケンスが途中のメモリアクセスによって直接アクセスメモリ RAM 上で中断された場合、これはバーストモードでのメモリアクセスに設定されたもしくは設定されるべき待ち状態に影響を及ぼさず、これは図 6 に基づき説明されているとおりである。第 2 行には再び中央制御装置 CPU によってアドレスバス AB に設定されたアドレスが説明されている。第 1 の四つのクロック clk の間外部メモリ装置 $FLASH$ にアクセスするためのアドレス EX がアドレスバス AB に届く。続くクロックについては中央制御装置 CPU は直接アクセスメモリ、すなわち内部メモリ装置 RAM をアクセスし、対応するアドレス RAM を設定することによってこれを信号化する。それぞれ二つの後続クロック clk にわたり中央制御装置 CPU は再び外部メモリ装置 $FLASH$ にアクセスし、しかも第 1 のアドレス EX に対して増分する外部アドレス $EX + 1$, $EX + 2$ にアクセスする。対応して第 1 の四つのクロックの間、増分するアドレスを信号化するための信号 $incr$ は低い状態に変えられる。内部メモリ装置 RAM にアクセスする間はこの信号 $incr$ は低い状態にとどまる。メモリ制御装置はアドレスデコード AD を通じて、このアクセスでは内部メモリ装置へのメモリアクセスが問題であることを認識し、これをモードデコード MD で信号化する。後続の増分アドレス $EX + 1$ 、 $EX + 2$ が届くときメモリ制御装置 aMC は、外部メモリ装置 $FLASH$ への新たなアクセスが問題であることおよびそのほか届くアドレスが増分する外部アドレス $EX + 1$ 、 $EX + 2$ であることを認識するから、増分するアドレスを信号化する信号 $incr$ は高い状態へ置かれる。対応して外部メモリアドレス EX が外部メモリアクセスについて最初の五つのクロックにわたり、および後続の外部メモリアドレス $EX + 1$, $EX + 2$ がそれぞれ二つの後続クロック clk について保たれる。対応して四つのクロック clk ののち第 1 の外部メモリデータ D_1 の伝送が行われ、およびそれぞれ二つのクロック clk だけ第 2 もしくは第 3 の外部データ D_2 , D_3 の伝送が行われる。対応する待ち状態信号 $wait$ は、中央制御装置 CPU に外部メモリアクセスに関して必要な待ち状態を信号化するため、対応して第 1 から第 4 までのクロック clk に低い状態へ置かれ、そのほか待ち状態信号 $wait$ は、データ D_1 、 D_2 、 D_3 の伝送を実施するため、後に交互に一つのクロック clk ごとに高いもしくは低い状態へ移行させられる。それゆえ図 6 に基づき、様式を絞ったメモリアクセスが内部アドレス RAM で説明されている。

【0055】

図 7 は分類された (マージド) 内部メモリアクセスおよび対応する待ち状態サイクルの場合を説明している。内部サイクルの場合中央制御装置 CPU はデータアクセスなしに処理ステップを実施する。命令文の様式に依存して内部で行われるサイクルについてのアドレスは、すでに内部サイクルの内部でアドレスバス AB 上に現れる。この未来に使用されるべきアドレスをアドレスバス AB 上に置くことは、必要なメモリアクセスに先立ちまたは数サイクル前に実行されることができる。このことはサイクルの間、中央制御装置 CPU が内部サイクルの中にある間、メモリ制御装置 aMC がすでに後続の外部メモリ FL

10

20

30

40

50

A S H / R O M , I O モジュールにアクセスでき、待ち状態を内部サイクルと並行して数えることができるという有利な点を提供する。図 7 に基づき典型的な場合が提示され、ここでは二つの内部サイクルから三つの待ち状態を必要とする一つの非同期外部メモリアクセスに続く。外部メモリ F L A S H へのアクセスはすでに第 1 の内部サイクル開始と共にスタートするが、それは必要な第 1 のアドレス A 0 がすでにアドレスバス A B で利用できるからである。内部サイクルの間メモリ制御装置 a M C に状態信号 s t a t u s を通じて中央制御装置 C P U から出発する信号 c p u - i n t e r n が高い状態に設定される。二つの内部サイクルが終わった後、この信号は中央制御装置 C P U により再び低い状態に変えられる。提示のように、最初の四つのクロック c l k を通じて非同期メモリアクセスのためのアドレス A 0 がアドレスバス A B に届く。この時間の間に待ち状態計数器がクロック c l k ごとに数える。これが待ち状態信号 w a i t に基づき説明されるように、メモリ制御装置 a M C は内部サイクルの間すでに外部メモリ装置 F L A S H へのアクセスを準備できるから、中央制御装置 C P U にとってさもなくば通例の待ち状態がなしで済ませる。第 1 の外部アドレス A 0 およびそれから続く増分する外部アドレス A 0 + 1 , A 0 + 2 へのアクセスを実行するため、待ち状態信号 w a i t は対応して最初の二つのクロック c l k の間でのみ高い状態に変えられ、それから二つのクロック c l k ごとに高いもしくは低い状態に変えられるようにする。必要な場合には中間記憶すべきデータがオプションとしてメモリ制御装置 a M C 内の付加メモリ装置に、中央制御装置 C P U にまたはこれらに前置されたメモリに中間記憶されることができ、このことは他の実施例にも当てはまる。

【 0 0 5 6 】

図 8 は中央制御装置 C P U と外部メモリ装置との間のデータ伝送の際にデータ率を高めるための他の様式および方法についての実施例を提示しており、ここではオーバーサンプリングとしても特徴づけられる。観察されるのは典型的に外部メモリ装置 I O モジュールの場合で、これはシステムもしくは特に中央制御装置 C P U と共にバス、特にデータバス D B を通じてデータを伝送するためにこれらの間に接続されており、ここでバスの幅は必要なデータ幅の N 倍広い。その結果計算上は N 倍小さい外部メモリへのアクセスが必要で、したがってかなりの数の待ち状態が節約できる。

【 0 0 5 7 】

提示された例は、中央制御装置 C P U が 1 6 ビットの幅で命令コード (O P コード / オペレーティングコード) を取り出し、外部メモリ装置が 3 2 ビット幅のバスを通じて中央制御装置 C P U に接続されている場合を示す。第 1 のアドレス A 0 への第 1 のアクセスについてはよく知られた様式および方法で三つの待ち状態が必要で、のち第 1 のデータ D 0 が伝送される。後続のアドレスにアクセスするにはオーバーサンプリングなしで別のデータ D 1 - D 5 を伝送する前に一つずつの待ち状態が必要である。しかし現前の提示されたオーバーサンプリングが可能とするのは連続的なデータ流であり、すなわちバーストシーケンスまたはページの内部のアドレスにメモリアクセスが行われる限り、以下のデータ D 1 - D 5 は相前後して待ち状態なしでデータバス D B を通じて伝送されることができる。図に見られるように、アドレスバス A B に第 1 のクロック c l k と共にアドレス A 0 が、第 5 のクロック c l k と共にアドレス A 0 + 2 が、および第 7 のクロック c l k と共にアドレス A 0 + 4 が届き、すなわちデータ伝送開始後引き続き二つのクロックごとに一つのアドレスが放出される。待ち状態計数器 W C は最初の四つのクロック c l k の間 1 から 2 を通り極限值 3 まで数え、再び値 0 にリセットされる。これに、待ち状態計数器 W C は伝送の続く間留まる。待ち状態計数器 W C が数えている間、バイト計数器 B C は値 0 に留まる。データ伝送の開始と共にオーバーサンプリングの概念に即してバイト計数器 B C は新しいアドレス A 0 + 2 , A 0 + 4 が届いたとき、そのたび値 1 を設定し、その後一つのクロック c l k のとき値 0 にリセットされるようにする。この期間中データ D 1 , D 3 , D 5 は二クロックごと第 1 のクロックのとき、データ D 2 , D 4 は二クロックごと第 2 のクロックのとき伝送される。第 2 のデータ D 2 , D 4 は外部アドレス A 0 + 2 , A 0 + 4 が届いたとき放出されるアドレスである。待ち状態信号 w a i t は第 1 の四つのクロックのとき、第 1 のアドレス A 0 が届いたとき、待ち状態を信号化するために低い状態に設定さ

れる。続いて待ち状態信号 `w a i t` は連続的に高く設定された状態に置かれる。可能なのはまた代替的に、バイト計数器が考慮されない実施変形である。

【 0 0 5 8 】

続いて図 9 に基づき、メモリ装置へのページおよび/またはバーストモードアクセスによる階層アクセスが実行される実施例が説明される。それゆえ外部メモリ装置は、ページメモリアクセス型および/またはバーストメモリアクセス型の数枚の階層面が存在する用に組織されている。これらのどの面にも別々のメモリアクセスタイムが割り当てられることができる。現前の典型的な優遇されるメモリ制御装置 `a M C` のバージョンは、ページ・サブページ・モードかページ・バースト・モードかの二平面を有する階層を支援する。図 9 に基づき提示された時間経過図は最下層平面上のオーバーサンプリングを有するページ・バースト・モードの階層例を示す。最上(トップ)平面への偶然の直接(`R A N D O M`)メモリアクセスが三つの待ち状態を要求するのであり、このことは三つのクロック `c l k` にわたり低い状態に置かれる待ち状態信号 `w a i t` を伴う最初に届くアドレス `A 0` に基づき説明される。同一ページ内のメモリアクセスの際および非バーストメモリアクセスの際は二つの待ち状態が必要であり、このことは低く置かれる待ち状態信号 `w a i t` の対応してより短い継続時間を伴う続いて届く第 2 のアドレス `A 1` に基づき説明される。第 2 のアドレス `A 1` が届く前に待ち状態信号 `w a i t` が一クロックだけ高い状態にあるから、第 1 のデータ `D 0` が伝送される。第 2 のアドレス `A 1` がアドレスバス `A B` に届くことに基づき待ち状態信号 `w a i t` が低く置かれる二クロック `c l k` 後に待ち状態信号 `w a i t` が再び高く置かれるから、データ `D 1` , `D 2` , `D 3` の新たな伝送が実行されることができ 10
20
30
40
50

【 0 0 5 9 】

第 2 のアドレス `A 1` が届くことにより、同一のメモリページへのアクセスを信号化するための信号 `s p` は低い状態から高い状態に移される。第 3 のアドレス `A 1 + 1` が届くとき、増分を信号化するための信号 `i n c r` は低い状態から高い状態に移される。

【 0 0 6 0 】

図 10 は、一つのページまたは一つのバンクに速いメモリアクセスを可能とするメカニズムを有する外部メモリ装置の場合を説明しており、以前からすでに開かれており、すなわち開いている。この種のメカニズムは `S D R A M` 並びにあるタイプのフラッシュメモリ装置 `F R A S H` を提供する。それゆえ、開いているページへのアクセスもしくはメモリバンクへのフォローアップが関心事である。アドレス比較器 `A C` は、待ち状態計数器 `W C` を制御する構築ロジック `C L` へ対応する情報を導く。提示されている実施例では第 1 のページの第 1 のアドレス `A 0` およびさまざまなページの第 2 に届けられたアドレス `A 1` が割り当てられている。提示のように、待ち状態計数器 `W C` は第 1 のアドレス `A 0` が届けられた後に状態 0 から状態 3 まで数え上げられ、その間に待ち状態信号 `w a i t` は低く置かれた状態にある。待ち状態計数器 `W C` が極限值 3 に到達したとき待ち状態信号 `w a i t` は一クロック高い状態に置かれ、待ち状態計数器 `W C` は基底値 0 にリセットされる。外部メモリ装置内のページが開かれているから、そのほか開いているページを信号化するための対応する信号が高く設定される。代替的にメモリ制御装置 `a M C` のメモリ装置 `M` 内にフラッグまたは値も置かれることができる。この時点まで、第 1 のアドレス `A 0` が割り当てられている特に第 1 のデータ `D 0` は伝送される。続いて、第 1 のページにさまざまなページが割り当てられている第 2 のアドレス `A 1` は届けられる。このアクセスに二つの待ち状態が割り当てられ、このことは待ち状態計数器 `W C` に信号化される。その結果、待ち状態計数器 `W C` は値 2 までのみ数え上げ、その間に待ち状態信号 `w a i t` は低い状態へ置かれる。待ち状態計数器 `W C` で計数值 2 に達した後、待ち状態信号 `w a i t` は第 2 のデータ `D 1` を第 2 のアドレス `A 1` に対応してデータバス `D B` を通じて伝送するため、一クロック `c l k` 高く置かれる。

【 0 0 6 1 】

以下に第1のアドレスA0を有するまだ開いている第1のページに新規にアクセスする。ページはすでに開いているから、さもなくば3のところ、代わりにページに第1にアクセスするのに必要な待ち状態としては、一つの待ち状態のみが考慮されねばならない。これは極限值 *limit* によって待ち状態計数器WCについて考慮されるから、待ち状態計数器WCは値1までのみ数え上げ、対応してクロック *clk* の間のみ待ち状態信号 *wait* が低く置かれる。対応して第2のデータを伝送した後クロック *clk* で、別のデータD0の伝送が今届く第1のアドレスA0に対応してデータバスDBを通じて実行されることができる。第1のアドレスA0を有するまだ公開の第1のページに後続のアクセスをする代わり、他のアドレスに、たとえば単純に増分するアドレスA0 + 1にアクセスすることもできる。

10

【 0 0 6 2 】

図11は、中央制御装置CPUが内部サイクル内にあるかまたは内部メモリアドレスをアクセスしている間に、以前に取り出したアドレスを用意するために用意されるアドレス増分の場合を示す。この特徴は、外部メモリアccessは一サイクルか数サイクル前にスタートしていることができるから、待ち状態を節約する。次の命令文が増分アドレスに関することでないとき受け取った場合には、たとえば飛び越し文の場合には、新しいアドレスを新たにロードする。

【 0 0 6 3 】

第1行はここでもクロック *clk* を示す。第2行は中央制御装置CPUに届けられるアドレス(CPU - Address)を提示している。後続の二つのクロック *clk* のときには直接アクセスメモリアドレスRAMおよび外部メモリ装置の1だけ増分されたアドレスEX + 1が届けられる。後続して、二つのクロックにわたりまた1増分されたアドレスEX + 2、およびその後一つのクロック継続にわたり直接アクセスメモリアドレスRAMのアドレスが届けられる。最後に二つの後続クロックにわたり外部メモリ装置のまた増分されたアドレスEX + nが届けられる。第3行はメモリ制御装置aMCにより出力されるアドレス(aMC - auser - Address)を表示している。直接アクセスメモリ装置RAMのアドレスが届けられている間、メモリ制御装置aMCによりそれぞれ対応する増分された外部アドレスEX + 1もしくはEX + 3が出力される。第4行は、次に届けられるべき外部アドレスEX, EX + 1, EX + 2, EX + 3, EX + nにそれぞれ現在のまたはほかのメモリアccessを参照するそれぞれの外部アドレスを示す。第5行はそれぞれ伝送されるべき外部メモリデータ(ext mem Data) D0, D1, D2, Dnを示す。最後の行はここでも待ち信号の状態waitを示す。これはそれぞれ、内部メモリ装置または別の外部メモリ装置のアドレスが届けられたときに低い状態から高い状態に変わり、並びに外部メモリ装置の増分されたアドレスが届けられたときに低い状態に変わる。

20

30

【 0 0 6 4 】

図12は非同期に入れ子にした運用様式(asynchronous interleaved mode)の例を示す。この実施例は非同期の外部メモリ装置を効率的に使用するのに役立つ。原理的にメモリ制御装置aMCはバースト運用様式近似をn個のメモリ装置の下で実行し、これはデータもしくはデータ伝送をn倍速める。提示された経過ダイヤグラムは、非同期アクセスタイムがクロックサイクルに相当する、二つの装置を有する例を示す。それゆえバーストアクセスの場合待ち状態が必要ない。

40

【 0 0 6 5 】

第1行はここでもクロック信号 *clk* である。第2行は中央制御装置CPUに届くアドレス(CPU - Address)を提示し、二クロックにわたり第1のアドレスA0および1ずつ増加する後続アドレスA1, A2, . . . A6がある。第3行は第1の外部アドレスを示し、各二クロックサイクルにわたり一アドレスの交替がなされる。クロック *clk* の二つの第1クロックサイクルにわたり第1のアドレスA0が届き、続く各二つのクロックサイクルにわたり二つずつ増加するアドレスA2, A4, A6が届く。次の行は第

50

2の使用される装置の状態を示し、第2の外部アドレスを信号化する。クロックc l kの三サイクル後もしくは第3サイクルに第2のアドレスA 1が届く。続いてクロックc l kの各二サイクルにわたり二つずつ増加するアドレスA 3, A 5, A 7が届けられる。より相応の装置による実施形では増加数は使用可能な自立の外部アドレス回線に対応して高められる。提示された実施例では第5行は対応する第1のデータD 0, D 2, D 4, D 6の第1の外部アドレスに即した伝送を示す。続く行は第2の外部アドレスに対応して伝送される第2のデータD 1, D 3, D 5の伝送を示す。第7行は対応して中央制御装置C P Uで使用可能なデータD 0, D 1, D 2, . . . D 6を示す。続く二行は別々のメモリ装置の対応する信号化状態O E 1, O E 2を示す。これらはそれぞれ逆向きの状態で、それぞれ二クロックc l kのサイクルで変わる。待ち状態信号w a i tは方法の開始後、すなわちすでに一サイクルの後に低い状態から高い状態へ変わり、待ち状態が挿入されないからこの状態に留まる。

10

【0066】

図13は、n倍速い外部メモリアクセスがnバーストモード装置の使用下で可能とする、同期入れ子運用様式の場合についての実施形を説明している。経過図はここで二つのバーストモード装置による入れ子(i n t e r l e a v i n g)データの例を示す。各メモリについて開始アクセスのための二つの待ち状態および一つのイン・バースト・アクセスが必要である。入れ子モードではそれゆえイン・バースト・アクセスについて待ち状態は必要がない。

【0067】

20

第1行はここでもクロック信号c l kの経過を示す。第2行はここでも届けられたC P Uアドレスを示し、ここでは最初の三クロックc l kにわたり第1アドレスA 0が届いている。続いて各一クロックc l k後続のアドレスA 1, A 2 - A 5が届けられる。

【0068】

第3行および第4行は第1もしくは第2外部アドレスの状態を示す。これらには第1クロックから対応して第1もしくは第2アドレスA 0, A 1が届いている。第5行は、アドレスロード信号L a d e - A d r . - 1の状態を示し、これは第1クロックの継続中高い状態に、のち再び低い状態に置かれている。後続の行は第1の補助クロックc l k 1を示し、これはクロックc l kの約1.5サイクルずつの継続中高いもしくは低い状態に置かれる。第7行は伝送される第1データ(D a t e n - 1)を示し、現前の場合では第3クロックc l kから第1データD 0、第5クロックc l kから第3データD 2、および第7クロックc l kから第5データD 4、これらはそれぞれ一クロックc l kの継続時間である。続く三つの行は、第2アドレスのロードを信号化するための信号の状態(L a d e - A d r . - 2)、第2の補助クロックc l k 2並びに別の伝送されるデータ(D a t e n - 2)を示し、ここで信号は前記三行の対応する信号グループに対してそれぞれ一クロックc l k変位している。伝送されるのは第2, 第4, 第6データD 1, D 3, D 5である。図12の経過に対応して、両方のデータフローを秩序づけるためにはここでも信号化信号O E 1, O E 2が役立ち、それらのそれぞれ高い状態の間、第1もしくは第2グループのデータが中央制御装置C P Uのために対応するデータ回線もしくはバスの上でC P Uデータとして用意される。待ち状態信号w a i tはこの経過では、対応して最初の二クロックc l kの間のみで低く、のち通して高い状態に置かれる。

30

40

【図面の簡単な説明】

【0069】

一つの実施例および本発明のさまざまな構築の利用が、以下に図面に基づきより詳しく説明される。示すのは：

【図1】本発明によるアドレスバスおよびデータバスを通じて多数のさまざまな種類のメモリ装置に、並びに別の接続を通じてメモリ制御装置に接続されている、コンピュータ内の中央制御装置の図である。

【図2】本発明による図1のメモリ制御装置の個別部品の図である。

【図3】本発明による必要な待ち状態の観点からメモリアクセスを制御するための方法の

50

典型的な流れ図である。

【図４】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図５】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図６】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図７】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図８】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

10

【図９】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図１０】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図１１】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図１２】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

【図１３】本発明によるさまざまな運用様式時の時間経過に対するさまざまな信号状態およびデータ状態を対置させた図である。

20

【図１】

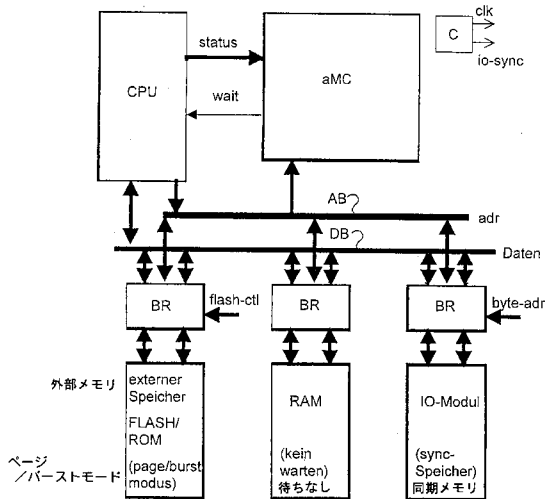


Fig. 1

【図２】

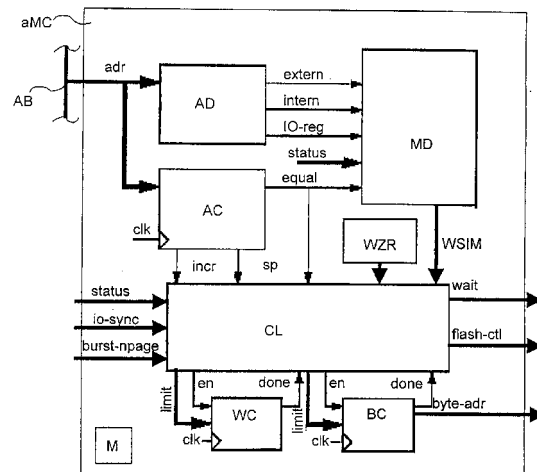


Fig. 2

【図 7】

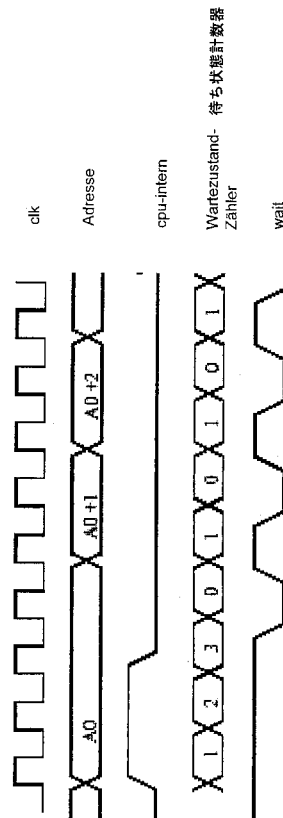


Fig. 7

【図 8】

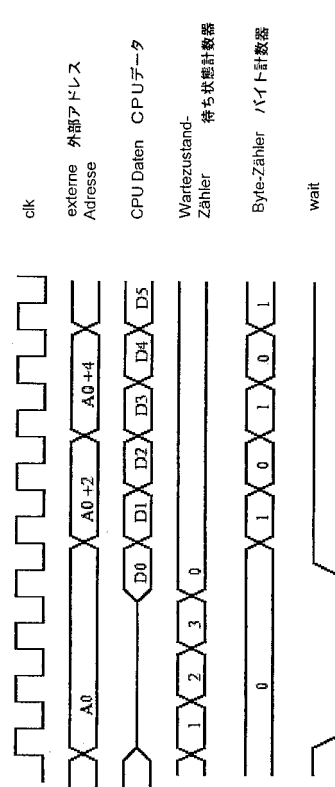


Fig. 8

【図 9】

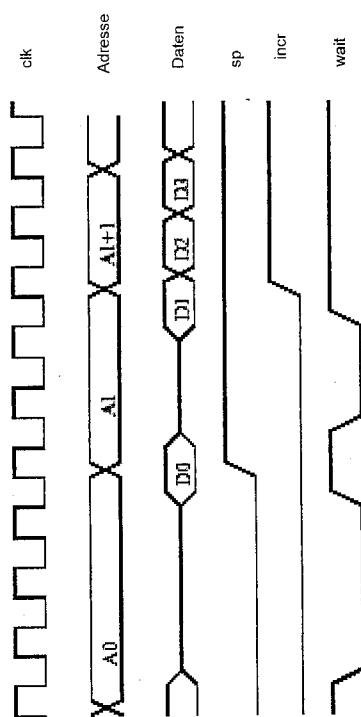


Fig. 9

【図 10】

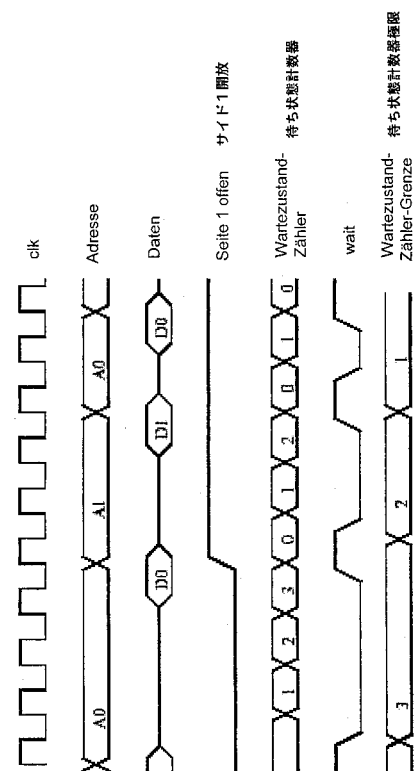


Fig. 10

フロントページの続き

(56)参考文献 米国特許第05155812(US,A)
特開平10-083343(JP,A)
特開平08-166902(JP,A)
米国特許第05813041(US,A)
米国特許第06079001(US,A)
米国特許出願公開第2002/0032829(US,A1)
米国特許第05696917(US,A)
特開2002-366428(JP,A)
米国特許第05649161(US,A)
特開平06-250914(JP,A)
特開平02-311943(JP,A)
特開平07-248960(JP,A)
特開平07-049780(JP,A)
特開2003-044354(JP,A)
特開平06-301641(JP,A)
特開平10-283255(JP,A)
特開平01-195552(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06,
G06F 13/16 - 13/18