

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7640696号
(P7640696)

(45)発行日 令和7年3月5日(2025.3.5)

(24)登録日 令和7年2月25日(2025.2.25)

(51)国際特許分類	F I
H 0 2 M 3/155(2006.01)	H 0 2 M 3/155 W
H 0 2 M 3/07 (2006.01)	H 0 2 M 3/155 H
	H 0 2 M 3/07

請求項の数 13 (全87頁)

(21)出願番号	特願2023-532622(P2023-532622)	(73)特許権者	503433420 華為技術有限公司 HUAWEI TECHNOLOGIES CO., LTD. 中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍崗区坂田 華為総部 ベ ン 公楼 Huawei Administrat ion Building, Banti an, Longgang Distri ct, Shenzhen, Guang dong 5 1 8 1 2 9, P. R. C hina
(86)(22)出願日	令和3年7月19日(2021.7.19)	(74)代理人	100110364 弁理士 実広 信哉
(65)公表番号	特表2023-551052(P2023-551052 A)		
(43)公表日	令和5年12月6日(2023.12.6)		
(86)国際出願番号	PCT/CN2021/107097		
(87)国際公開番号	WO2022/110838		
(87)国際公開日	令和4年6月2日(2022.6.2)		
審査請求日	令和5年7月10日(2023.7.10)		
(31)優先権主張番号	202011383113.6		
(32)優先日	令和2年11月30日(2020.11.30)		
(33)優先権主張国・地域又は機関	中国(CN)		

最終頁に続く

(54)【発明の名称】 変換回路、スイッチモード電源および電子デバイス

(57)【特許請求の範囲】

【請求項1】

第1の分岐回路および第2の分岐回路を備える変換回路であって、前記第1の分岐回路は、第1の接続端と、第1の入力端と、第1の出力端と、第2の出力端とを備え、前記第2の分岐回路は、第2の接続端と、第2の入力端と、第3の出力端と、第4の出力端とを備え、前記第1の分岐回路の前記第1の接続端は、前記第2の分岐回路の前記第2の接続端に接続され、

前記第1の分岐回路は、前記第1の入力端および前記第1の接続端を介して受信した第1の入力電圧を前記変換回路の出力電圧に変換し、前記変換回路の前記出力電圧を前記第1の出力端および前記第2の出力端を介して出力するように構成され、

前記第2の分岐回路は、前記第2の入力端および前記第2の接続端を介して受信した第2の入力電圧を前記変換回路の出力電圧に変換し、前記変換回路の前記出力電圧を前記第3の出力端および前記第4の出力端を介して出力するように構成され、前記変換回路の総入力電圧は、前記第1の入力電圧および前記第2の入力電圧を含み、

前記第1の分岐回路の効率が前記第2の分岐回路の効率よりも大きい場合、前記第1の入力電圧は、前記第2の入力電圧よりも大きく、前記第1の分岐回路の効率は、前記第1の分岐回路の入力電力に対する前記第1の分岐回路の出力電力の比であり、前記第2の分岐回路の効率は、前記第2の分岐回路の入力電力に対する前記第2の分岐回路の出力電力の比であり、または、

前記第1の分岐回路の効率が前記第2の分岐回路の効率よりも小さい場合、前記第1の入

力電圧は、前記第2の入力電圧よりも小さい、変換回路。

【請求項2】

前記第1の分岐回路は、 $n + 1$ 個の入力スイッチングトランジスタと、 n 個の絶縁キャパシタと、 n 個の出力組み合わせとを備え、各出力組み合わせは、2つの出力スイッチングトランジスタを備え、 n は、1以上の整数であり、

前記 $n + 1$ 個の入力スイッチングトランジスタは、順次直列接続され、1番目の入力スイッチングトランジスタの第1の電極は、前記第1の入力端に接続され、 i 番目の入力スイッチングトランジスタの第2の電極は、第1の直列接続ノードを介して $(i + 1)$ 番目の入力スイッチングトランジスタの第1の電極に接続され、前記 i 番目の入力スイッチングトランジスタの第1の電極は、別の第1の直列接続ノードを介して $(i - 1)$ 番目の入力スイッチングトランジスタの第2の電極に接続され、 i は、1より大きく n 以下の整数であり、 $(n + 1)$ 番目の入力スイッチングトランジスタの第2の電極は、前記第1の接続端として前記第2の接続端に接続され、

10

前記 n 個の出力組み合わせは、並列に接続され、各出力組み合わせにおいて、1つの出力スイッチングトランジスタの第1の電極は、前記第1の出力端に接続され、前記出力スイッチングトランジスタの第2の電極は、第2の直列接続ノードを介して他の出力スイッチングトランジスタの第1の電極に接続され、前記他の出力スイッチングトランジスタの第2の電極は、前記第2の出力端に接続され、

前記 n 個の出力組み合わせにおける前記 $n + 1$ 個の入力スイッチングトランジスタの n 個の第1の直列接続ノードと、前記 n 個の絶縁キャパシタと、 n 個の第2の直列接続ノードとは、1対1の対応関係でそれぞれ接続され、各絶縁キャパシタの一端は、各絶縁キャパシタに対応する第1の直列接続ノードに接続され、各絶縁キャパシタの他端は、各絶縁キャパシタに対応する第2の直列接続ノードに接続される、請求項1に記載の変換回路。

20

【請求項3】

前記第1の分岐回路は、 n 個の共振インダクタをさらに備え、前記 n 個の共振インダクタは、1対1の対応関係で前記 n 個の絶縁キャパシタに直列にそれぞれ接続され、かつ各共振インダクタおよび各共振インダクタに対応する絶縁キャパシタは、各共振インダクタに対応する第1の直列接続ノードと各共振インダクタに対応する第2の直列接続ノードとの間に直列に接続される、請求項2に記載の変換回路。

【請求項4】

30

前記第1の分岐回路は、絶縁ユニットおよび変換ユニットを備え、前記変換ユニットの高電位入力端は、前記絶縁ユニットの高電位出力端に接続され、前記変換ユニットの低電位入力端および前記絶縁ユニットの低電位出力端は、接地され、前記絶縁ユニットの高電位入力端は、前記第1の入力端に接続され、前記絶縁ユニットの低電位入力端は、前記第1の接続端として前記第2の接続端に接続され、

前記絶縁ユニットは、前記第1の入力電圧を受信し、前記第1の入力電圧を前記変換ユニットに提供するように構成され、

前記変換ユニットは、前記第1の入力電圧を前記変換回路の前記出力電圧に変換するように構成される、請求項1に記載の変換回路。

【請求項5】

40

前記絶縁ユニットは、第1の絶縁スイッチングトランジスタと、第2の絶縁スイッチングトランジスタと、第3の絶縁スイッチングトランジスタと、第4の絶縁スイッチングトランジスタと、絶縁キャパシタとを備え、

前記第1の絶縁スイッチングトランジスタの第1の電極は、前記第1の入力端に接続され、前記第1の絶縁スイッチングトランジスタの第2の電極は、前記第2の絶縁スイッチングトランジスタの第1の電極および前記絶縁キャパシタの一端に別々に接続され、

前記第2の絶縁スイッチングトランジスタの第2の電極は、前記変換ユニットの前記高電位入力端に接続され、

前記絶縁キャパシタの他端は、前記第3の絶縁スイッチングトランジスタの第2の電極および前記第4の絶縁スイッチングトランジスタの第1の電極に別々に接続され、

50

前記第3の絶縁スイッチングトランジスタの第1の電極は、前記第1の接続端として前記第2の接続端に接続され、

前記第4の絶縁スイッチングトランジスタの第2の電極は、接地される、請求項4に記載の変換回路。

【請求項6】

前記変換ユニットは、K個の変換キャパシタと、K個の第1の変換スイッチングトランジスタと、K-1個の第2の変換スイッチングトランジスタと、K-1個の第3の変換スイッチングトランジスタとを備え、Kは、1より大きい整数であり、

1番目～(K-1)番目の変換キャパシタは、前記K個の第1の変換スイッチングトランジスタに順次交互に接続され、1番目の第1の変換スイッチングトランジスタの第1の電極は、前記絶縁ユニットの前記高電位出力端に接続され、j番目の変換キャパシタの一端は、j番目の第1の変換スイッチングトランジスタの第2の電極に接続され、前記j番目の変換キャパシタの他端は、(j+1)番目の第1の変換スイッチングトランジスタの第1の電極に接続され、jは、1以上Kより小さい整数であり、

10

前記1番目～(K-1)番目の変換キャパシタは、前記K-1個の第2の変換スイッチングトランジスタおよび前記K-1個の第3の変換スイッチングトランジスタにそれぞれ1対1の対応関係でさらにそれぞれ接続され、前記j番目の変換キャパシタの一端は、前記j番目の変換キャパシタに対応する第2の変換スイッチングトランジスタの第2の電極に接続され、前記j番目の変換キャパシタの前記他端は、前記j番目の変換キャパシタに対応する第3の変換スイッチングトランジスタの第1の電極に接続され、

20

前記K-1個の第2の変換スイッチングトランジスタの第1の電極は、前記第1の出力端に接続され、前記K-1個の第3の変換スイッチングトランジスタの第2の電極は、接地される、請求項4または5に記載の変換回路。

【請求項7】

前記変換ユニットは、K個の第1の変換キャパシタと、K個の第2の変換キャパシタと、K個の第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタとを備え、Kは、1より大きい整数であり、

前記K個の第1の変換キャパシタの一端は、前記K個の第1の変換スイッチングトランジスタの第2の電極および前記K個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、前記K個の第1の変換キャパシタの他端は、前記K個の第3の変換スイッチングトランジスタの第2の電極および前記K個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、

30

前記K個の第2の変換キャパシタの一端は、前記K個の第2の変換スイッチングトランジスタの第2の電極および前記K個の第3の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、前記K個の第2の変換キャパシタの他端は、前記K個の第4の変換スイッチングトランジスタの第2の電極に1対1の対応関係でそれぞれ接続され、

1番目～(K-1)番目の第4の変換スイッチングトランジスタの第2の電極は、2番目～K番目の第1の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K番目の第4の変換スイッチングトランジスタの第2の電極は、接地され、1番目の第1の変換スイッチングトランジスタの第1の電極は、前記絶縁ユニットの前記高電位出力端に接続される、請求項4または5に記載の変換回路。

40

【請求項8】

前記変換ユニットは、K個の第1の変換キャパシタと、K個の第2の変換キャパシタと、K個の第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタとを備え、Kは、1より大きい整数であり、

前記K個の第1の変換キャパシタの一端は、前記K個の第1の変換スイッチングトランジスタの第2の電極および前記K個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、前記K個の第1の変換キャパシタの他端は、前記K個の

50

第3の変換スイッチングトランジスタの第2の電極および前記K個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、

前記K個の第2の変換キャパシタの一端は、前記K個の第2の変換スイッチングトランジスタの第2の電極および前記K個の第3の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、前記K個の第2の変換キャパシタの他端は、前記K個の第4の変換スイッチングトランジスタの第2の電極に1対1の対応関係でそれぞれ接続され、

前記K個の第4の変換スイッチングトランジスタの前記第2の電極は、接地され、1番目～(K-1)番目の第2の変換スイッチングトランジスタの第2の電極は、2番目～K番目の第1の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K番目の第2の変換スイッチングトランジスタの第2の電極は、前記第1の出力端に接続され、1番目の第1の変換スイッチングトランジスタの第1の電極は、前記絶縁ユニットの前記高電位出力端に接続される、請求項4または5に記載の変換回路。

【請求項9】

前記変換ユニットは、K個の第1の変換キャパシタと、第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタと、第2の変換キャパシタとを備え、Kは、1より大きい整数であり、

前記K個の第1の変換キャパシタの一端は、前記K個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、前記K個の第1の変換キャパシタの他端は、前記K個の第3の変換スイッチングトランジスタの第2の電極および前記K個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、

前記K個の第4の変換スイッチングトランジスタの第2の電極は、前記K個の第2の変換スイッチングトランジスタに順次接続され、1番目の第2の変換スイッチングトランジスタの第1の電極は、前記第1の変換スイッチングトランジスタの第2の電極に接続され、K番目の第2の変換スイッチングトランジスタの第2の電極は、前記第1の出力端に接続され、前記第1の変換スイッチングトランジスタの第1の電極は、前記絶縁ユニットの高電位出力端に接続され、

前記第2の変換キャパシタの一端は、前記第1の出力端に接続され、前記第2の変換キャパシタの他端は、接地される、請求項4または5に記載の変換回路。

【請求項10】

変換回路およびコントローラを備えるスイッチモード電源であって、

前記変換回路は、第1の分岐回路および第2の分岐回路を備え、前記第1の分岐回路は、第1の接続端と、第1の入力端と、第1の出力端と、第2の出力端とを備え、前記第2の分岐回路は、第2の接続端と、第2の入力端と、第3の出力端と、第4の出力端とを備え、前記第1の分岐回路の前記第1の接続端は、前記第2の分岐回路の前記第2の接続端に接続され、

前記コントローラは、前記第1の分岐回路および前記第2の分岐回路に別々に接続され、前記コントローラは、

前記第1の分岐回路を制御して、前記第1の入力端および前記第1の接続端を介して受信した第1の入力電圧を前記変換回路の出力電圧に変換し、前記変換回路の前記出力電圧を前記第1の出力端および前記第2の出力端を介して出力し、

前記第2の分岐回路を制御して、前記第2の入力端および前記第2の接続端を介して受信した第2の入力電圧を前記変換回路の出力電圧に変換し、前記変換回路の前記出力電圧を前記第3の出力端および前記第4の出力端を介して出力し、前記変換回路の総入力電圧は、前記第1の入力電圧および前記第2の入力電圧を含むように構成され、

前記コントローラは、

前記第1の分岐回路の効率が前記第2の分岐回路の効率よりも大きい場合、前記第1の入力電圧を前記第2の入力電圧よりも大きくなるように制御し、または

前記第1の分岐回路の効率が前記第2の分岐回路の効率よりも小さい場合、前記第1の入力電圧を前記第2の入力電圧よりも小さくなるように制御するようにさらに構成される、スイッチモード電源。

10

20

30

40

50

【請求項 1 1】

前記コントローラは、

前記変換回路の前記出力電圧が目標出力電圧に等しくない場合、前記変換回路の前記出力電圧が前記目標出力電圧に達するように、前記変換回路の前記総入力電圧および前記目標出力電圧に基づいて、前記第1の分岐回路の第1の変圧比および前記第2の分岐回路の第2の変圧比を別々に調整するようにさらに構成される、請求項10に記載のスイッチモード電源。

【請求項 1 2】

前記コントローラは、

前記第1の分岐回路の目標変圧比および最大変圧比に基づいて前記第1の変圧比の値範囲を決定し、前記第1の変圧比は、前記目標変圧比より小さく、前記第1の分岐回路の前記最大変圧比以下であり、前記目標変圧比は、前記総入力電圧と前記目標出力電圧との比であり、

前記第1の変圧比の前記値範囲内で前記第1の変圧比を設定し、

前記第2の分岐回路が調整された第2の入力電圧を前記目標出力電圧に変換するように、前記総入力電圧および前記設定された第1の変圧比に基づいて前記第2の変圧比を調整し、前記調整された第2の入力電圧は、前記総入力電圧から調整された第1の入力電圧を減算することによって取得される差であり、前記調整された第1の入力電圧は、前記設定された第1の変圧比と前記目標出力電圧との積であるように特に構成される、請求項11に記載のスイッチモード電源。

【請求項 1 3】

前記第1の分岐回路は、複数の調整可能な変圧比を有し、前記第1の分岐回路の効率は、前記第2の分岐回路の効率よりも大きく、前記コントローラは、

前記第1の変圧比を、前記複数の調整可能な変圧比のうちの、前記目標変圧比よりも小さく、前記目標変圧比に最も近い調整可能な変圧比に設定するように特に構成される、請求項12に記載のスイッチモード電源。

【発明の詳細な説明】

【技術分野】

【0002】

本出願は、電子科学技術の分野に関し、特に、変換回路、スイッチモード電源、および電子デバイスに関する。

【背景技術】

【0003】

近年、家庭用電化製品などの電子デバイスが大きく開発され普及されてきており、電子デバイスのハードウェア仕様および性能が徐々に改善されてきている。したがって、電子デバイスの電力消費を最適化することは、電子デバイス研究分野の研究の優先事項の1つとなっている。

【0004】

具体的には、端子バッテリー、複数の電力管理ユニット (PMU)、および複数の負荷 (チップ、カメラ、およびディスプレイなど) が、電子デバイス内に通常、配置されている。複数のPMUは、複数の負荷に1対1の対応関係でそれぞれ接続され、各PMUの入力端は、端子バッテリーに接続され、各PMUの出力端は、PMUに対応する負荷に接続される。各PMUは、端子バッテリーによって出力されたバッテリー電圧を受信し、バッテリー電圧をPMUに対応する負荷によって必要とされる動作電圧に変換して、PMUに対応する負荷に電力を供給することができる。

【0005】

電子デバイスのハードウェア仕様および性能が徐々に改善されるにつれて、電子デバイス内のバッテリー電圧は徐々に増加するが、負荷によって必要とされる動作電圧は徐々に減少する。したがって、PMUは、より大きな変圧比を実装する必要がある。しかし、PMUの変圧比が大きくなると、PMUの損失が大きくなる。さらに、ほとんどの電子デバイスに

10

20

30

40

50

は大量のPMUが存在するため、PMUの損失問題は、電子デバイスの全体的な電力消費に大きく影響する。

【0006】

したがって、現在のPMUはさらに検討される必要がある。

【発明の概要】

【課題を解決するための手段】

【0007】

本出願は、変換回路、スイッチング電源、および電子デバイスを提供して、電子デバイスの電力消費を低減し、電子デバイスの集積度を改善するものである。

【0008】

本出願は、変換回路、スイッチモード電源、および電子デバイスを提供して、電子デバイスの電力消費を低減し、電子デバイスの集積度を改善するものである。

【0009】

この変換回路では、第1の分岐回路および第2の分岐回路の入力側が直列に接続され、第1の分岐回路および第2の分岐回路の出力側が並列に接続される。第1の分岐回路の効率がa%であり、第2の分岐回路の効率がb%であると仮定される。第1の分岐回路の効率は、第1の分岐回路の入力電力に対する第1の分岐回路の出力電力の比であり、第2の分岐回路の効率は、第2の分岐回路の入力電力に対する第2の分岐回路の出力電力の比である。本出願のこの実施形態において提供される変換回路の効率は、

【数1】

$$(a\% - b\%) * \frac{N1 * Vo}{Vi} + b\%$$

として表されることができ、または、

【数2】

$$(b\% - a\%) * \frac{Vi - N1 * Vo}{Vi} + a\%$$

として表されることができ、変換回路の効率は、変換回路の入力電力に対する変換回路の出力電力の比として理解され得る。前述の2つの表現から、第1の分岐回路の効率が第2の分岐回路の効率よりも大きい場合、変換回路の効率は、第2の分岐回路の効率よりも大きく、または、第2の分岐回路の効率が第1の分岐回路の効率よりも大きい場合、変換回路の効率は、第1の分岐回路の効率よりも大きいことが知見され得る。2つの分岐回路が直列に接続される実装形態（効率はa% * b%であり、効率の値は明らかにa%およびb%より小さい）と比較して、本出願のこの実施形態は、変換回路の効率を改善するのに役立つ。変換回路がPMUに適用される場合、PMUの効率も改善される。

【0010】

加えて、本出願のこの実施形態では、第1の分岐回路および第2の分岐回路の出力側は並列に接続され、第2の分岐回路の入力は第1の分岐回路の出力によって干渉されず、逆もまた同様である。したがって、第1の分岐回路および第2の分岐回路は、異なる動作周波数を使用することができる。第2の分岐回路はインダクタを有し、第2の分岐回路は、インダクタのサイズ要件を低減するために、より高い動作周波数を使用し得ると仮定される。インダクタは、PMU集積を制限する主な要因である。したがって、本出願のこの実施形態において提供される変換回路は、PMU集積の改善にさらに役立つ。

【0011】

第1の分岐回路および第2の分岐回路の入力側は直列に接続されているため、第1の分岐回路および第2の分岐回路の入力電流は等しく、第1の分岐回路および第2の分岐回路によって伝達される電力は、第1の分岐回路の第1の入力電圧および第2の分岐回路の第2の入

10

20

30

40

50

力電圧によって主に決定される。可能な実装形態では、第1の分岐回路の効率が第2の分岐回路の効率よりも大きい場合、第1の入力電圧は、第2の入力電圧よりも大きく、または第1の分岐回路の効率が第2の分岐回路の効率よりも小さい場合、第1の入力電圧は、第2の入力電圧よりも小さい。

【0012】

この実装形態では、大量の電力が分岐回路によって高効率で伝達されて、変換回路全体の損失を低減するのに役立ち、変換回路の効率をさらに改善することができる。

【0013】

入力電圧および目標出力電圧の変化に適応するために、本出願のこの実施形態における第1の分岐回路の第1の変圧比は調整可能であり得る。例えば、第1の分岐回路は、少なくとも以下の可能な実装形態を有する。

10

【0014】

第1の分岐回路の実装形態1

第1の分岐回路は、 $n + 1$ 個の入力スイッチングトランジスタと、 n 個の絶縁キャパシタと、 n 個の出力組み合わせとを含み、各出力組み合わせは、2つの出力スイッチングトランジスタを含み、 n は、1以上の整数である。 $n + 1$ 個の入力スイッチングトランジスタは、順次直列接続され、1番目の入力スイッチングトランジスタの第1の電極は、第1の入力端に接続され、 i 番目の入力スイッチングトランジスタの第2の電極は、第1の直列接続ノードを介して $(i + 1)$ 番目の入力スイッチングトランジスタの第1の電極に接続され、 i 番目の入力スイッチングトランジスタの第1の電極は、別の第1の直列接続ノードを介して $(i - 1)$ 番目の入力スイッチングトランジスタの第2の電極に接続され、 i は、1より大きく n 以下の整数であり、 $(n + 1)$ 番目の入力スイッチングトランジスタの第2の電極は、第1の接続端として第2の接続端に接続される。 n 個の出力組み合わせは、並列に接続され、各出力組み合わせにおいて、出力スイッチングトランジスタの第1の電極は、第1の出力端に接続され、出力スイッチングトランジスタの第2の電極は、第2の直列接続ノードを介して他の出力スイッチングトランジスタの第1の電極に接続され、他の出力スイッチングトランジスタの第2の電極は、第2の出力端に接続される。 n 個の出力組み合わせにおける $n + 1$ 個の入力スイッチングトランジスタの n 個の第1の直列接続ノードと、 n 個の絶縁キャパシタと、 n 個の第2の直列接続ノードとは、1対1の対応関係でそれぞれ接続され、各絶縁キャパシタの一端は、各絶縁キャパシタに対応する第1の直列接続ノードに接続され、各絶縁キャパシタの他端は、各絶縁キャパシタに対応する第2の直列接続ノードに接続される。

20

30

【0015】

実装形態1において提供される第1の分岐回路は、 n 個の整数変圧比を実装することができ、最大変圧比は n である。すなわち、第1の分岐回路の第1の変圧比は、 n 、 $n - 1$ 、...、および1のうちのいずれか1つに設定され得る。 n は、第1の分岐回路内の絶縁キャパシタの数である。第1の分岐回路が3つの絶縁キャパシタを含む場合、第1の分岐回路の第1の変圧比は、3、2、および1のうちのいずれか1つに設定され得る。

【0016】

変換回路の効率をさらに改善するために、第1の分岐回路は、 n 個の共振インダクタをさらに含み、 n 個の共振インダクタは、1対1の対応関係で n 個の絶縁キャパシタに直列にそれぞれ接続され、かつ各共振インダクタおよび各共振インダクタに対応する絶縁キャパシタは、各共振インダクタに対応する第1の直列接続ノードと各共振インダクタに対応する第2の直列接続ノードとの間に直列に接続される。 n 個の共振インダクタを配置することは、第1の分岐回路内の $n + 1$ 個の入力スイッチングトランジスタおよび $2n$ 個の出力スイッチングトランジスタのゼロ電圧スイッチオンを実装し、各スイッチングトランジスタのスイッチング損失を低減し、変換回路の効率をさらに改善するのに役立つ。

40

【0017】

第1の分岐回路の実装形態2

第1の分岐回路は、絶縁ユニットおよび変換ユニットを含み、変換ユニットの高電位入力端は、絶縁ユニットの高電位出力端に接続され、変換ユニットの低電位入力端および絶

50

縁ユニットの低電位出力端は、接地され、絶縁ユニットの高電位入力端は、第1の入力端に接続され、絶縁ユニットの低電位入力端は、第1の接続端として第2の接続端に接続される。絶縁ユニットは、第1の入力電圧を受信し、第1の入力電圧を変換ユニットに提供することができる。変換ユニットは、第1の入力電圧を変換回路の出力電圧に変換することができる。

【0018】

例えば、絶縁ユニットは、第1の絶縁スイッチングトランジスタと、第2の絶縁スイッチングトランジスタと、第3の絶縁スイッチングトランジスタと、第4の絶縁スイッチングトランジスタと、絶縁キャパシタとを含む。第1の絶縁スイッチングトランジスタの第1の電極は、第1の入力端に接続され、第1の絶縁スイッチングトランジスタの第2の電極は、第2の絶縁スイッチングトランジスタの第1の電極および絶縁キャパシタの一端に別々に接続される。第2の絶縁スイッチングトランジスタの第2の電極は、変換ユニットの高電位入力端に接続される。絶縁キャパシタの他端は、第3の絶縁スイッチングトランジスタの第2の電極および第4の絶縁スイッチングトランジスタの第1の電極に別々に接続される。第3の絶縁スイッチングトランジスタの第1の電極は、第1の接続端として第2の接続端に接続される。第4の絶縁スイッチングトランジスタの第2の電極は、接地される。

10

【0019】

本出願のこの実施形態では、第1の分岐回路の入力側および第2の分岐回路の入力側は直列に接続されるため、第1の分岐回路の低電位入力端は、接地されることができない。このため、低電位入力端が接地された変換ユニットは、そのまま使用されることはできない。そこで、第1の分岐回路に絶縁ユニットが配置される。絶縁ユニットの低電位入力端は接地されなくてもよく、絶縁ユニットの低電位出力端は接地されてもよいため、絶縁ユニットは、低電位入力端が接地された変換ユニットに電力を供給してもよく、その結果、第1の分岐回路は、低電位入力端が接地された変換ユニットを使用することによって電圧変換を実行してもよい。

20

【0020】

本出願のこの実施形態における変換ユニットは、複数の可能な実装形態を有する。実施例が以下に提供される。

【0021】

変換ユニットの実施例1

30

変換ユニットは、K個の変換キャパシタと、K個の第1の変換スイッチングトランジスタと、K-1個の第2の変換スイッチングトランジスタと、K-1個の第3の変換スイッチングトランジスタとを含み得、Kは、1より大きい整数である。1番目～(K-1)番目の変換キャパシタは、K個の第1の変換スイッチングトランジスタに順次交互に接続され、1番目の第1の変換スイッチングトランジスタの第1の電極は、絶縁ユニットの高電位出力端に接続され、j番目の変換キャパシタの一端は、j番目の第1の変換スイッチングトランジスタの第2の電極に接続され、j番目の変換キャパシタの他端は、(j+1)番目の第1の変換スイッチングトランジスタの第1の電極に接続され、jは、1以上Kより小さい整数であり、1番目～(K-1)番目の変換キャパシタは、K-1個の第2の変換スイッチングトランジスタおよびK-1個の第3の変換スイッチングトランジスタに1対1の対応関係でさらにそれぞれ接続され、j番目の変換キャパシタの一端は、j番目の変換キャパシタに対応する第2の変換スイッチングトランジスタの第2の電極に接続され、j番目の変換キャパシタの他端は、j番目の変換キャパシタに対応する第3の変換スイッチングトランジスタの第1の電極に接続され、K-1個の第2の変換スイッチングトランジスタの第1の電極は、第1の出力端に接続され、K-1個の第3の変換スイッチングトランジスタの第2の電極は、接地される。

40

【0022】

変換ユニットの変圧比は、第1の分岐回路の第1の変圧比と同等であり得る。変換ユニットに基づいて、K個の整数変圧比が実装され得、最大変圧比はKである。すなわち、第1の分岐回路の第1の変圧比は、K、K-1、...、および1のうちのいずれか1つに設定され得る。Kは、第1の分岐回路における変換キャパシタの数である。第1の分岐回路が5つの変換

50

キャパシタを含む場合、第1の分岐回路の第1の変圧比は、5、4、3、2、および1のうちのいずれか1つに設定され得る。

【0023】

変換ユニットの実施例2

変換ユニットは、K個の第1の変換キャパシタと、K個の第2の変換キャパシタと、K-1個の第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタとを含み、Kは、1より大きい整数である。K個の第1の変換キャパシタの一端は、K個の第1の変換スイッチングトランジスタの第2の電極およびK個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第1の変換キャパシタの他端は、K個の第3の変換スイッチングトランジスタの第2の電極およびK個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続される。K個の第2の変換キャパシタの一端は、K個の第2の変換スイッチングトランジスタの第2の電極とK個の第3の変換スイッチングトランジスタの第1の電極とに1対1の対応関係でそれぞれ接続され、K個の第2の変換キャパシタの他端は、K個の第4の変換スイッチングトランジスタの第2の電極に1対1の対応関係でそれぞれ接続される。1番目～(K-1)番目の第4の変換スイッチングトランジスタの第2の電極は、2番目～K番目の第1の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K番目の第4の変換スイッチングトランジスタの第2の電極は、接地され、1番目の第1の変換スイッチングトランジスタの第1の電極は、絶縁ユニットの高電位出力端に接続される。

10

20

【0024】

変換ユニットに基づいて、第1の分岐回路の最大の第1の変圧比は、2Kであり得る。すなわち、第1の分岐回路の変圧比は、2K、2(K-1)、...、2、1のうちのいずれか1つに設定され得る。Kは、第1の変換キャパシタの数である。変換ユニットが2つの第1の変換キャパシタを含む場合、第1の分岐回路の変圧比は、4、2、1のうちのいずれか1つに設定され得る。

【0025】

変換ユニットの実施例3

変換ユニットは、K個の第1の変換キャパシタと、K個の第2の変換キャパシタと、K-1個の第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタとを含み、Kは、1より大きい整数である。K個の第1の変換キャパシタの一端は、K個の第1の変換スイッチングトランジスタの第2の電極およびK個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第1の変換キャパシタの他端は、K個の第3の変換スイッチングトランジスタの第2の電極およびK個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続される。K個の第2の変換キャパシタの一端は、K個の第2の変換スイッチングトランジスタの第2の電極とK個の第3の変換スイッチングトランジスタの第1の電極とに1対1の対応関係でそれぞれ接続され、K個の第2の変換キャパシタの他端は、K個の第4の変換スイッチングトランジスタの第2の電極に1対1の対応関係でそれぞれ接続される。K個の第4の変換スイッチングトランジスタの第2の電極は、接地され、1番目～(K-1)番目の第2の変換スイッチングトランジスタの第2の電極は、2番目～K番目の第1の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K番目の第2の変換スイッチングトランジスタの第2の電極は、第1の出力端に接続され、1番目の第1の変換スイッチングトランジスタの第1の電極は、絶縁ユニットの高電位出力端に接続される。

30

40

【0026】

変換ユニットに基づいて、実施例2と同じ変圧比が実装され得る。詳細は再度説明されない。

【0027】

変換ユニットの実施例4

50

変換ユニットは、K個の第1の変換キャパシタと、第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタと、第2の変換キャパシタとを含み、Kは、1より大きい整数であり、K個の第1の変換キャパシタの一端は、K個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第1の変換キャパシタの他端は、K個の第3の変換スイッチングトランジスタの第2の電極およびK個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第4の変換スイッチングトランジスタの第2の電極は、K個の第2の変換スイッチングトランジスタに順次接続され、1番目の第2の変換スイッチングトランジスタの第1の電極は、第1の変換スイッチングトランジスタの第2の電極に接続され、K番目の第2の変換スイッチングトランジスタの第2の電極は、第1の出力端に接続され、第1の変換スイッチングトランジスタの第1の電極は、絶縁ユニットの高電位出力端に接続され、第2の変換キャパシタの一端は、第1の出力端に接続され、第2の変換キャパシタの他端は、接地される。

10

【0028】

変換ユニットに基づいて、第1の分岐回路の最大の第1の変圧比は、 $K + 1$ であり得る。第1の分岐回路の変圧比は、 $K + 1$ 、 K 、 \dots 、1のうちのいずれか1つに設定され得る。Kは、第1の変換キャパシタの数である。変換ユニットが2つの第1の変換キャパシタを含む場合、第1の分岐回路の変圧比は、3、2、1のうちのいずれか1つに設定され得る。

【0029】

前述の実施例では、第1の分岐回路は、整数変圧比を主に実装することができる。可能な実装形態では、第1の分岐回路は、第1の調整可能インダクタをさらに含み、第1の調整可能インダクタは、第1の出力端に接続され、第1の分岐回路による変換を通じて取得される変換回路の出力電圧を出力するように構成される。第1の調整可能インダクタが配置され、その結果、第1の分岐回路は、第1の調整可能インダクタを使用することによって、出力電圧に対してより細かい調整を実行することができる。すなわち、第1の変圧比は、特定の範囲内で連続的に変化してもよく、第1の変圧比の値は、非整数であってもよい。

20

【0030】

上述したように、第2の調整可能インダクタは、第2の分岐回路に配置され得る。この場合、第2の調整可能インダクタは、第1の調整可能インダクタに電磁的に結合され得る。2つの別個のインダクタと比較して、第1の調整可能インダクタおよび第2の調整可能インダクタは、結合されたインダクタであり、これは、第1の調整可能インダクタおよび第2の調整可能インダクタの体積を低減するのに役立つ。加えて、第1の調整可能インダクタおよび第2の調整可能インダクタにおける出力電流のリプルがさらに低減されて、変換回路の効率をさらに改善する。

30

【0031】

例えば、本出願のこの実施形態における第2の分岐回路は、少なくとも以下の可能な実装形態を有する。

【0032】

第2の分岐回路の実装形態1

第2の分岐回路は、第1のスイッチングトランジスタ、第2のスイッチングトランジスタ、および第2の調整可能インダクタを含み、第1のスイッチングトランジスタの第1の電極は、第2の接続端として第1の接続端に接続され、第1のスイッチングトランジスタの第2の電極は、第2の調整可能インダクタの一端および第2のスイッチングトランジスタの第1の電極に別々に接続され、第2のスイッチングトランジスタの第2の電極は、接地され、第2の調整可能インダクタの他端は、第3の出力端に接続される。

40

【0033】

第2の分岐回路の実装形態2

第2の分岐回路は、第1のスイッチングトランジスタと、第2のスイッチングトランジスタと、第2の調整可能インダクタと、調整可能キャパシタとを含み、第2の調整可能インダ

50

クタの一端は、第2の接続端として第1の接続端に接続され、第2の調整可能インダクタの他端は、第1のスイッチングトランジスタの第1の電極および第2のスイッチングトランジスタの第1の電極に別々に接続され、第1のスイッチングトランジスタの第2の電極は、調整可能キャパシタの一端および第3の出力端に別々に接続され、第2のスイッチングトランジスタの第2の電極および調整可能キャパシタの他端は、接地される。

【0034】

第2の分岐回路の実装形態3

第2の分岐回路は、第1のスイッチングトランジスタ、第2のスイッチングトランジスタ、第3のスイッチングトランジスタ、第4のスイッチングトランジスタ、および第2の調整可能インダクタを含み、第1のスイッチングトランジスタの第1の電極は、第2の接続端として第1の接続端に接続され、第1のスイッチングトランジスタの第2の電極は、第2のスイッチングトランジスタの第1の電極および第2の調整可能インダクタの一端に別々に接続され、第2の調整可能インダクタの他端は、第3のスイッチングトランジスタの第2の電極および第4のスイッチングトランジスタの第1の電極に別々に接続され、第3のスイッチングトランジスタの第1の電極は、第3の出力端に接続され、第2のスイッチングトランジスタの第2の電極および第4のスイッチングトランジスタの第2の電極は、接地される。

10

【0035】

第2の分岐回路の実装形態4

第2の分岐回路は、第1のスイッチングトランジスタと、第2のスイッチングトランジスタと、第1の調整可能キャパシタと、第2の調整可能キャパシタと、第2の調整可能インダクタと、第3の調整可能インダクタとを含み、第3の調整可能インダクタの一端は、第2の接続端として第1の接続端に接続され、第3の調整可能インダクタの他端は、第1のスイッチングトランジスタの第1の電極および第2の調整可能キャパシタの一端に別々に接続され、第2の調整可能キャパシタの他端は、第2の調整可能インダクタの一端および第2のスイッチングトランジスタの第1の電極に別々に接続され、第2の調整可能インダクタの他端は、第1の調整可能キャパシタの一端および第3の出力端に別々に接続され、第1のスイッチングトランジスタの第2の電極、第2のスイッチングトランジスタの第2の電極、および第1の調整可能キャパシタの他端は、接地される。

20

【0036】

第2の分岐回路の実装形態5

第2の分岐回路は、第1のスイッチングトランジスタと、第2のスイッチングトランジスタと、第1の調整可能キャパシタと、第2の調整可能キャパシタと、第2の調整可能インダクタと、第3の調整可能インダクタとを含み、第3の調整可能インダクタの一端は、第2の接続端として第1の接続端に別々に接続され、第3の調整可能インダクタの他端は、第2の調整可能キャパシタの一端および第1のスイッチングトランジスタの第1の電極に別々に接続され、第2の調整可能キャパシタの他端は、第2のスイッチングトランジスタの第1の電極および第2の調整可能インダクタの一端に別々に接続され、第2のスイッチングトランジスタの第2の電極は、第1の調整可能キャパシタの一端および第3の出力端に別々に接続され、第1のスイッチングトランジスタの第2の電極、第2の調整可能インダクタの他端、および第1の調整可能キャパシタの他端は、接地される。

30

【0037】

第2の分岐回路の実装形態6

第2の分岐回路は、第1のスイッチングトランジスタと、第2のスイッチングトランジスタと、第1の調整可能キャパシタと、第2の調整可能キャパシタと、第2の調整可能インダクタと、第3の調整可能インダクタとを含み、第1のスイッチングトランジスタの第1の電極は、第2の接続端として第1の接続端に接続され、第1のスイッチングトランジスタの第2の電極は、第2の調整可能キャパシタの一端および第3の調整可能インダクタの一端に別々に接続され、第2の調整可能キャパシタの他端は、第2の調整可能インダクタの一端および第2のスイッチングトランジスタの第1の電極に別々に接続され、第2の調整可能インダクタの他端は、第1の調整可能キャパシタの一端および第3の出力端に別々に接続され、第

40

50

3の調整可能インダクタの他端、第2のスイッチングトランジスタの第2の電極、および第1の調整可能インダクタの第2の端は、接続される。

【0038】

本出願のこの実施形態では、変換回路は、第1の入力キャパシタおよび第2の入力キャパシタをさらに含む。第1の入力キャパシタの一端は、第1の入力端に接続され、第1の入力キャパシタの他端は、第1の接続端に接続される。第2の入力キャパシタの一端は、第2の接続端に接続され、第2の入力キャパシタの他端は、第2の入力端に接続される。第1の入力キャパシタは、第1の入力電圧をフィルタリングすることができ、第2の入力キャパシタは、第2の入力電圧をフィルタリングすることができる。

【0039】

変換回路は、出力キャパシタをさらに備え、出力キャパシタの一端が第1の出力端に接続され、出力キャパシタの他端が第2の出力端に接続される。出力キャパシタは、変換回路の出力電圧をフィルタリングすることができる。

【0040】

第2の態様によれば、本出願の一実施形態は、スイッチモード電源を提供し、スイッチモード電源は、変換回路およびコントローラを主に含む。変換回路は、第1の態様のいずれか1つによる変換回路であり得る。第2の態様における対応する解決策の技術的效果については、第1の態様における対応する解決策に従って取得され得る技術的效果を参照されたい。繰り返しの部分は、詳細に説明されない。

【0041】

変換回路は、第1の分岐回路と第2の分岐回路とを主に含み、第1の分岐回路は、第1の接続端、第1の入力端、第1の出力端、および第2の出力端を含み、第2の分岐回路は、第2の接続端、第2の入力端、第3の出力端、および第4の出力端を含み、第1の分岐回路の第1の接続端は、第2の分岐回路の第2の接続端に接続される。

【0042】

コントローラは、第1の分岐回路および第2の分岐回路に別々に接続される。コントローラは、第1の分岐回路を制御して、第1の入力端および第1の接続端を介して受信した第1の入力電圧を変換回路の出力電圧に変換し、変換回路の出力電圧を第1の出力端および第2の出力端を介して出力し、第2の分岐回路を制御して、第2の入力端および第2の接続端を介して受信した第2の入力電圧を変換回路の出力電圧に変換し、変換回路の出力電圧を第3の出力端および第4の出力端を介して出力し得、変換回路の総入力電圧は、第1の入力電圧および第2の入力電圧を含む。

【0043】

スイッチモード電源の効率をさらに改善するために、コントローラは、第1の分岐回路の効率が第2の分岐回路の効率よりも大きい場合、第1の入力電圧を第2の入力電圧よりも大きくなるようにさらに制御してもよく、または、第1の分岐回路の効率が第2の分岐回路の効率よりも小さい場合、第1の入力電圧を第2の入力電圧よりも小さくなるようにさらに制御してもよい。

【0044】

本出願のこの実施形態では、第1の分岐回路の第1の変圧比と第2の分岐回路の第2の変圧比の両方が調整可能である。コントローラは、変換回路の出力電圧が目標出力電圧に等しくない場合、変換回路の出力電圧が目標出力電圧に達するように、変換回路の総入力電圧および目標出力電圧に基づいて、第1の分岐回路の第1の変圧比および第2の分岐回路の第2の変圧比を別々にさらに調整することができる。

【0045】

スイッチモード電源は、第1の分岐回路の第1の変圧比および第2の分岐回路の第2の変圧比を動的に調整することにより、総入力電圧および目標出力電圧の変化に柔軟に適應することができる。

【0046】

例えば、第1の分岐回路の第1の変圧比および第2の分岐回路の第2の変圧比を調整する

10

20

30

40

50

とき、コントローラは、第1の分岐回路の目標変圧比および最大変圧比に基づいて第1の変圧比の値範囲を決定してもよく、第1の変圧比は、目標変圧比より小さく、第1の分岐回路の最大変圧比以下であり、目標変圧比は、総入力電圧と目標出力電圧との比であってもよい。コントローラは、第1の変圧比の値の範囲内で第1の変圧比を設定する。コントローラは、第2の分岐回路が調整された第2の入力電圧を目標出力電圧に変換するように、総入力電圧および設定された第1の変圧比に基づいて第2の変圧比をさらに調整してもよく、調整された第2の入力電圧は、総入力電圧から調整された第1の入力電圧を減算することによって取得される差であり、調整された第1の入力電圧は、設定された第1の変圧比と目標出力電圧との積である。

【0047】

可能な実装形態では、第1の分岐回路は、複数の調整可能な変圧比を有し、第1の分岐回路の効率は、第2の分岐回路の効率よりも大きく、コントローラは、第1の変圧比を、複数の調整可能な変圧比の中にあり、目標変圧比よりも小さく、目標変圧比に最も近い調整可能な変圧比に設定し得る。この実装形態では、第1の分岐回路の第1の変圧比は、総入力電圧および目標出力電圧が満たされるときに可能な限り増加されてもよく、すなわち、第1の分岐回路によって伝達される電力は、可能な限り増加され得る。第1の分岐回路の効率が高いため、第1の分岐回路によって伝達される電力を可能な限り増加させることは、スイッチモード電源の効率をさらに改善するのに役立つ。

【0048】

別の可能な実装形態では、コントローラは、第1の電圧差と目標出力電圧との基準変圧比を計算し、第1の電圧差は、総入力電圧から基準電圧を減算することによって取得される電圧差であり、基準電圧は、総入力電圧より小さく、目標出力電圧以上であり、かつ基準変圧比が第1の分岐回路の最大変圧比以下である場合、第1の変圧比を基準変圧比に設定し、または基準変圧比が第1の分岐回路の最大変圧比よりも大きい場合、第1の変圧比を第1の分岐回路の最大変圧比に設定することができる。

【0049】

例えば、基準電圧は、総入力電圧が2で除算された後に取得される電圧以下であってもよい。基準電圧の値は $V_i/2$ 以下であるため、基準電圧が第2の入力電圧として使用されるとき、第2の入力電圧は第1の入力電圧以下である。したがって、ほとんどの場合、第1の分岐回路は、大きな電力を伝達することができ、これは、変換回路の効率をさらに改善するのに役立つ。

【0050】

第3の態様によれば、本出願の一実施形態は、第1の分岐回路および第2の分岐回路を主に含む変換回路をさらに提供する。第1の分岐回路は、第1の接続端、第1の出力端、第1の入力端、および第2の入力端を含み、第2の分岐回路は、第2の接続端、第2の出力端、第3の入力端、および第4の入力端を含み、第1の分岐回路の第1の接続端は、第2の分岐回路の第2の接続端に接続される。第1の分岐回路は、第1の入力端および第2の入力端を介して受信した変換回路の入力電圧を第1の出力電圧に変換し、第1の出力端および第1の接続端を介して第1の出力電圧を出力し、第2の分岐回路は、第3の入力端および第4の入力端を介して受信した変換回路の入力電圧を第2の出力電圧に変換し、第2の出力端および第2の接続端を介して第2の出力電圧を出力し得、変換回路の総出力電圧は、第1の出力電圧および第2の出力電圧を含む。

【0051】

この変換回路では、第1の分岐回路および第2の分岐回路の入力側が並列に接続され、第1の分岐回路および第2の分岐回路の出力側が直列に接続されており、第1の態様と同様の技術的效果が取得される。第3の態様における対応する解決策の技術的效果については、第1の態様における対応する解決策に従って取得され得る技術的效果を参照されたい。繰り返しの部分は、詳細に説明されない。

【0052】

変換回路の効率をさらに改善するために、可能な実装形態では、第1の分岐回路の効率

10

20

30

40

50

が第2の分岐回路の効率よりも大きい場合、第1の出力電圧は、第2の出力電圧よりも大きく、または、第1の分岐回路の効率が第2の分岐回路の効率よりも小さい場合、第1の出力電圧は、第2の出力電圧よりも小さい。

【0053】

第1の分岐回路は、第1の調整可能インダクタをさらに含み、第1の調整可能インダクタは、第1の入力端に接続され、入力電圧を受信するように構成される。第1の調整可能インダクタは、第1の分岐回路が連続的な変圧比を実装することができるように配置される。第2の分岐回路が第2の調整可能インダクタを含むとき、第2の調整可能インダクタは、第1の調整可能インダクタに電磁的に結合され得る。

【0054】

本出願のこの実施形態では、変換回路は、第1の出力キャパシタおよび第2の出力キャパシタをさらに含み得る。第1の出力キャパシタの一端は、第1の出力端に接続され、第1の出力キャパシタの他端は、第1の接続端に接続され、第2の出力キャパシタの一端は、第2の接続端に接続され、第2の出力キャパシタの他端は、第2の出力端に接続される。第1の出力キャパシタは、第1の出力電圧をフィルタリングすることができ、第2の出力キャパシタは、第2の出力電圧をフィルタリングすることができる。

【0055】

変換回路は、入力キャパシタをさらに含み得、入力キャパシタの一端は、第1の入力端に接続され、入力キャパシタの他端は、第2の入力端に接続される。入力キャパシタは、変換回路の入力電圧をフィルタリングすることができる。

【0056】

第4の態様によれば、本出願の一実施形態は、変換回路およびコントローラを主に含むスイッチモード電源を提供する。変換回路は、第3の態様のいずれか1つによる変換回路であり得る。第4の態様における対応する解決策の技術的効果については、第3の態様における対応する解決策に従って取得され得る技術的効果を参照されたい。繰り返しの部分は、詳細に説明されない。

【0057】

例えば、変換回路は、第1の分岐回路および第2の分岐回路を含む。第1の分岐回路は、第1の接続端、第1の出力端、第1の入力端、および第2の入力端を含み、第2の分岐回路は、第2の接続端、第2の出力端、第3の入力端、および第4の入力端を含み、第1の分岐回路の第1の接続端は、第2の分岐回路の第2の接続端に接続される。

【0058】

コントローラは、第1の分岐回路を制御して、第1の入力端および第2の入力端を介して受信した変換回路の入力電圧を第1の出力電圧に変換し、第1の出力端および第1の接続端を介して第1の出力電圧を出力し、第2の分岐回路を制御して、第3の入力端および第4の入力端を介して受信した変換回路の入力電圧を第2の出力電圧に変換し、第2の出力端および第2の接続端を介して第2の出力電圧を出力し得、変換回路の総出力電圧は、第1の出力電圧および第2の出力電圧を含む。

【0059】

スイッチモード電源の効率をさらに改善するために、可能な実装形態では、コントローラは、第1の分岐回路の効率が第2の分岐回路の効率よりも大きい場合、第1の出力電圧が第2の出力電圧よりも大きくなるように制御してもよく、または、第1の分岐回路の効率が第2の分岐回路の効率よりも小さい場合、第1の出力電圧が第2の出力電圧よりも小さくなるように制御してもよい。

【0060】

例えば、コントローラは、変換回路の総出力電圧が目標出力電圧に等しくない場合、変換回路の総出力電圧が目標出力電圧に達するように、変換回路の入力電圧および目標出力電圧に基づいて、第1の分岐回路の第1の変圧比および第2の分岐回路の第2の変圧比を別々に調整することができる。

【0061】

10

20

30

40

50

具体的には、コントローラは、第1の分岐回路の目標変圧比および最大変圧比に基づいて第1の変圧比の値範囲を決定し得、第1の変圧比は、目標変圧比より小さく、第1の分岐回路の最大変圧比以下であり、目標変圧比は、目標出力電圧と入力電圧との比であり、第1の変圧比の値範囲内で第1の変圧比を設定し、第2の分岐回路が変換回路の入力電圧を調整された第2の出力電圧に変換するように、目標出力電圧および設定された第1の変圧比に基づいて第2の変圧比を調整し、調整された第2の出力電圧は、目標出力電圧から調整された第1の出力電圧を減算することによって取得される差であり、調整された第1の出力電圧は、設定された第1の変圧比と入力電圧との積である。

【0062】

可能な実装形態では、第1の分岐回路は、複数の調整可能な変圧比を有し、第1の分岐回路の効率は、第2の分岐回路の効率よりも大きく、コントローラは、第1の変圧比を、複数の調整可能な変圧比の中にあり、目標変圧比よりも小さく、目標変圧比に最も近い調整可能な変圧比に設定し得る。

10

【0063】

別の可能な実装形態では、コントローラは、第1の電圧差と入力電圧との基準変圧比を計算することができ、第1の電圧差は、目標出力電圧から基準電圧を減算することによって取得される電圧差であり、基準電圧は、目標出力電圧よりも小さく、入力電圧以上であり、かつ基準変圧比が第1の分岐回路の最大変圧比以下である場合、第1の変圧比を基準変圧比に設定し、または基準変圧比が第1の分岐回路の最大変圧比よりも大きい場合、第1の変圧比を第1の分岐回路の最大変圧比に設定する。

20

【0064】

例えば、基準電圧は、目標出力電圧を2で除算した後に取得される電圧以下であってもよい。

【0065】

第5の態様によれば、本出願の一実施形態は、バッテリーと、負荷と、第2の態様または第4の態様のいずれかによるスイッチモード電源とを主に含む電子デバイスを提供し、スイッチモード電源は、バッテリーおよび負荷に別々に接続される。スイッチモード電源は、バッテリーによって提供されるバッテリー電圧を受信し、バッテリー電圧を負荷の動作電圧に変換し、動作電圧を負荷に出力することができる。

【0066】

本出願のこれらの態様または他の態様は、以下の実施形態の説明においてより簡潔で理解しやすいものである。

【図面の簡単な説明】

【0067】

【図1】電子デバイスの構造の概略図である。

【図2】PMUの構造の概略図である。

【図3】変換回路の構造の概略図である。

【図4】本出願の一実施形態による変換回路の構造の概略図である。

【図5】本出願の一実施形態による、変換回路の変圧比を調整するための方法の概略フローチャートである。

40

【図6】本出願の一実施形態による、変換回路の変圧比を調整するための具体的な方法の概略フローチャートである。

【図7a】本出願の一実施形態による変圧比の変化の概略図である。

【図7b】本出願の一実施形態による変圧比の変化の概略図である。

【図7c】本出願の一実施形態による変圧比の変化の概略図である。

【図8】本出願の一実施形態による、変換回路の変圧比を調整するための具体的な方法の概略フローチャートである。

【図9】本出願の一実施形態による第1の分岐回路の構造の概略図である。

【図10a】本出願の一実施形態による特定の変換回路の構造の概略図である。

【図10b】本出願の一実施形態による特定の変換回路の構造の概略図である。

50

- 【図 2 3 b】本出願の一実施形態による変圧比の変化の概略図である。
- 【図 2 3 c】本出願の一実施形態による変圧比の変化の概略図である。
- 【図 2 4 a】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 4 b】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 5】本出願の一実施形態による駆動信号の概略図である。
- 【図 2 6 a】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 6 b】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。 10
- 【図 2 6 c】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 6 d】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 7 a】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 7 b】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 2 8】本出願の一実施形態による駆動信号の概略図である。 20
- 【図 2 9 a】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 2 9 b】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 2 9 c】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 2 9 d】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 3 0 a】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 3 0 b】本出願の一実施形態による第1の分岐回路におけるオン/オフ状態の概略図である。
- 【図 3 1】本出願の一実施形態による駆動信号の概略図である。
- 【図 3 2 a】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。 30
- 【図 3 2 b】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 3 2 c】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 3 2 d】本出願の一実施形態による第1の分岐回路のオン/オフ状態の概略図である。
- 【図 3 3】本出願の一実施形態による特定の変換回路の構造の概略図である。
- 【図 3 4】本出願の一実施形態による特定の変換回路の構造の概略図である。
- 【図 3 5】本出願の一実施形態による特定の変換回路の構造の概略図である。
- 【図 3 6 a】本出願の一実施形態によるBuck回路のインダクタ電流の変化の概略図である。
- 。 【図 3 6 b】本出願の一実施形態によるBuck回路のインダクタ電流の変化の概略図である。 40
- 。 【図 3 6 c】本出願の一実施形態によるBuck回路のインダクタ電流の変化の概略図である。
- 。 【図 3 7 a】本出願の一実施形態による第2の分岐回路におけるオン/オフ状態の概略図である。
- 【図 3 7 b】本出願の一実施形態による第2の分岐回路におけるオン/オフ状態の概略図である。
- 【図 3 7 c】本出願の一実施形態による第2の分岐回路におけるオン/オフ状態の概略図である。
- 【図 3 8】本出願の一実施形態による特定の変換回路の構造の概略図である。
- 【図 3 9】本出願の一実施形態による特定の変換回路の構造の概略図である。 50

【図40】本出願の一実施形態による特定の変換回路の構造の概略図である。

【図41】本出願の一実施形態による特定の変換回路の構造の概略図である。

【図42】本出願の一実施形態による特定の変換回路の構造の概略図である。

【図43a】Buck回路の効率の概略図である。

【図43b】スイッチトキャパシタ回路とBuck回路が直列に接続された後に取得される効率の概略図である。

【図43c】本出願の一実施形態による変換回路の効率の概略図である。

【図44】本出願の一実施形態による変換回路の構造の概略図である。

【発明を実施するための形態】

【0068】

本出願の目的、技術的解決策、および利点をより明確にするために、以下では、添付の図面を参照して本出願を詳細にさらに説明する。方法の実施形態における特定の動作方法は、装置の実施形態またはシステムの実施形態に適用されてもよい。本出願の説明において、「少なくとも1つの」は1つ以上を意味し、「複数の」は2つ以上を意味することに留意されたい。これを考慮して、本発明の実施形態では、「複数の」は、「少なくとも2つの」としても理解され得る。「および/または」という用語は、関連付けられた対象間の関連付け関係を説明し、3つの関係が存在し得ることを示す。例えば、Aおよび/またはBは、Aのみが存在する、AとBの両方が存在する、Bのみが存在する、という3つの場合を示し得る。加えて、文字「/」は、別段の指定がない限り、関連する対象間の「または」の関係を、概して示す。加えて、本出願の説明では、「第1の」および「第2の」などの用語は、単に区別および説明のために使用されるにすぎず、相対的な重要性を示すもしくは暗示するものとして理解されるべきではなく、またはシーケンスを示すもしくは暗示するものとして理解されるべきではないことを理解されたい。

【0069】

本出願の一実施形態では、「接続」は電気的接続であり、2つの電気要素間の接続は、2つの電気要素間の直接接続または間接接続であり得ることに留意されたい。例えば、AとBとの間の接続は、AとBとが互いに直接接続されていること、または、AとBとが1つ以上の他の電気要素を使用することによって互いに間接的に接続されていることを表し得る。例えば、AとBとの間の接続はまた、AがCに直接接続され、CがBに直接接続され、AとBとがCを介して互いに接続されることを表し得る。

【0070】

本出願の実施形態における変換回路の「変圧比」は、変換回路の入力電圧および出力電圧のうちより小さい電圧に対する入力電圧および出力電圧のうちより大きい電圧の比を指すことに留意されたい。変換回路が降圧変換を実行する場合、変換回路の出力電圧は、変換回路の入力電圧より小さく、変換回路の変圧比は、入力電圧/出力電圧である。変換回路が昇圧変換を行う場合、変換回路の出力電圧は、変換回路の入力電圧より大きく、変換回路の変圧比は、出力電圧/入力電圧である。

【0071】

電子デバイスのハードウェア仕様および性能が徐々に向上するにつれて、電子デバイスは、深刻な電力消費および集積の問題に直面している。電子デバイスの電力消費は、単位時間あたりに電子デバイスによって消費される電気エネルギーとして理解され得る。電力消費は、電子デバイスに電力を供給する有効な電気エネルギーだけでなく、電子デバイス内で失われる無効な電気エネルギーも含み、熱損失または伝達損失などの損失と称されることもある。電子デバイスの集積度は、電子デバイスの単位空間あたりに配置されることができる構成要素の量として理解され得る。

【0072】

図1は、電子デバイスの構造の概略図の一例である。図1に示されるように、電子デバイス10は、N個のPMU11 (PMU11-1~PMU11-N)と、端子バッテリー12と、負荷13 (負荷13-1~負荷13-N)とを主に含み、Nは、1以上の整数である。例えば、電子デバイス10は、スマートフォン、タブレットコンピュータ、スマートウォッチのような電子デバ

10

20

30

40

50

イスであってもよく、5G、折り畳み式スクリーンのような最先端技術をサポートすることができる。

【0073】

端子バッテリー12は、N個のPMU11の入力端に別々に接続され、N個のPMU11に入力電圧を提供することができる。各PMU11の入力電圧は、端子バッテリー12の内部抵抗などの誤差要因が無視されれば、端子バッテリー12のバッテリー電圧である。

【0074】

端子バッテリー12は、通常、蓄電池であり、少なくとも2つの動作状態、すなわち充電および放電を有する。端子バッテリー12が充電状態にあるとき、端子バッテリー12は、外部から入力された電気エネルギーを受け取って貯蔵することができる。通常、端子バッテリー12は、充電状態の間に放電しないか、または放電電力が充電電力より小さいため、端子バッテリー12のバッテリー電圧は徐々に増加する。

【0075】

端子バッテリー12が放電状態にあるとき、端子バッテリー12は、バッテリー電圧をN個のPMU11に出力することができる。この間、端子バッテリー12のバッテリー電圧は徐々に低下する。例えば、電子デバイス10は、スマートフォンである。端子バッテリー12が放電状態にあるとき、バッテリー電圧は4.4V~3Vの範囲で変化し得る。

【0076】

図1に示されるように、N個のPMU11の出力端は、N個の負荷13に1対1の対応関係でそれぞれ接続される。負荷13は複数種類あってもよく、異なる負荷13の種類は同じであってもよいし、異なってもよい。例えば、負荷13は、電子デバイス10内のチップ（例えば、ベースバンドチップ、グラフィクス処理ユニット（GPU）、メモリチップなど）、カメラ、ディスプレイなどであってもよい。電子デバイス10の異なる特定の実装形態に対応する負荷13の他のタイプの実装形態もあり得ることが理解され得る。このことは、本出願のこの実施形態において1つずつ説明されない。

【0077】

電子デバイス10において、異なるタイプの負荷13は、異なる動作電圧を必要とし得る。例えば、GPUは、1.05Vの動作電圧を通常、必要とし、一方、メモリチップは、1.2Vまたは1.1Vの動作電圧を通常、必要とする。これを考慮して、電子デバイス10内の各PMU11は、端子バッテリー12によって提供されるバッテリー電圧を変換して、PMU11に対応する負荷13に適応された動作電圧を取得することができる。

【0078】

例えば、図1において、負荷13-1は、GPUであり、PMU11-1は、バッテリー電圧を1.05Vに変換して、変換されたバッテリー電圧を負荷13-1に出力してもよい。他の例として、図1において、負荷13-2は、メモリチップであり、PMU11-2は、バッテリー電圧を1.2Vまたは1.1Vに変換し、変換されたバッテリー電圧を負荷13-2に出力することができる。

【0079】

説明を容易にするために、本出願の実施形態では、PMU11および負荷13が、以下の説明のための例として使用される。PMU11は、PMU11-1~PMU11-Nのうちのいずれか1つであってもよく、負荷13は、PMU11に対応して接続された負荷であることが理解されてもよく、詳細は続いて説明されない。

【0080】

電子デバイス10のハードウェア仕様および性能が徐々に向上するにつれて、PMU11の入力電圧は徐々に増加するが、出力電圧は徐々に減少する。

【0081】

例えば、現在の折り畳み式携帯電話において、端子バッテリー12は、直列に接続されたデュアルバッテリー構造を、通常、使用し、その結果、端子バッテリー12のバッテリー電圧は、PMU11の入力電圧を増加させるために、従来のシングルバッテリー構造における端子バッテリー12のバッテリー電圧の2倍である。別の例として、負荷性能の継続的な最適化に伴って、

10

20

30

40

50

ほとんどの負荷13の動作電圧は徐々に低下する傾向があり、その結果、PMU11は、それに応じて出力電圧を低減する必要がある。

【0082】

PMU11の入力電圧は徐々に増加し、出力電圧は徐々に減少するため、PMU11の出力電圧に対する入力電圧の比は徐々に増加する。PMU11の出力電圧に対する入力電圧の比は、PMU11の変圧比と称されてもよく、すなわち、変圧比 = 入力電圧 / 出力電圧である。

【0083】

PMU11の変圧比の増加は、PMU11の損失をさらに増加させ、PMU11の効率を低下させる。PMU11の効率は、PMU11の入力電力に対するPMU11の出力電力の比として理解され得る。しかしながら、ほとんどの電子デバイス10は、大量のPMU11を含み、大量のPMU11の損失蓄積は、電子デバイス10の全体的な電力消費に悪影響を及ぼす。したがって、PMU11の損失を低減し、PMU11の効率を改善することは、電子デバイス10全体の電力消費を低減するのに役立つ。

10

【0084】

加えて、PMU11は、電子デバイス10内の大空間をさらに占有する。例えば、電子デバイス10がスマートフォンである場合、N個のPMU11は、スマートフォンのメインボードの面積の約1/4を占有し、メインボードに垂直な方向におけるPMU11の高さも、スマートフォンの厚さのさらなる低減を制限する。したがって、PMU11の体積を低減することは、メインボードの面積に対するPMU11の割合を低減して、電子デバイス10の集積度を改善するのにも役立つ。

20

【0085】

PMU11は、例を使用することによって以下でさらに説明される。

【0086】

図2に示されるように、PMU11は、変換回路111と、コントローラ112とを主に含む。変換回路111は、端子バッテリー12および負荷13に別々に接続される。変換回路111は、端子バッテリー12のバッテリー電圧を入力電圧として使用し、バッテリー電圧を負荷13によって必要とされる動作電圧に変換し、動作電圧を出力して、負荷13に電力を供給することができる。

【0087】

コントローラ112は、変換回路111の制御端に接続され、変換回路111を制御して電圧変換を実行することができる。通常、スイッチングトランジスタおよびエネルギー蓄積要素は、変換回路111内に通常、配置される。コントローラ112は、変換回路111が負荷13に電力を供給するために電圧変換を実装することができるように、スイッチングトランジスタのスイッチオンおよびスイッチオフを制御することによって、エネルギー貯蔵要素のエネルギー貯蔵状態を変更することができる。

30

【0088】

一般的なエネルギー蓄積要素は、インダクタ、キャパシタなどである。現在のインダクタ製造プロセスによって制限されるため、インダクタのサイズは、キャパシタのサイズおよびスイッチングトランジスタのサイズよりもはるかに大きい。したがって、インダクタのサイズは、PMU11の体積を決定する主な要因である。

40

【0089】

通常、電流変換回路111は、高い変圧比および出力電圧の微調整の適用要件を満たす必要がある。高変圧比の応用要求を満たすことは、キャパシタに主に依存し、出力電圧の微調整の応用要求を満たすことは、インダクタに主に依存する。したがって、電流変換回路111は、直列に接続されたスイッチトキャパシタ回路とスイッチトインダクタ回路とを使用することによって実装され得る。スイッチトキャパシタ回路は、キャパシタを主エネルギー蓄積要素として使用する変換回路であり、スイッチトインダクタ回路は、インダクタを主エネルギー蓄積要素として使用する変換回路である。

【0090】

図3に示されるように、スイッチトキャパシタ回路は、入力電圧を受信し、入力電圧を

50

変換し、変換された電圧をスイッチトインダクタ回路に出力し得る。例えば、図3において、スイッチトキャパシタ回路の出力電圧は、変換された電圧である。スイッチトインダクタ回路は、スイッチトキャパシタ回路の出力電圧を受信し、出力電圧 V_o を取得するために、出力電圧に対してより細かい調整を実行し得る。

【0091】

スイッチトキャパシタ回路は、キャパシタを主エネルギー蓄積要素として使用し、高い変圧比および高い効率の特性を、通常、有する。スイッチトキャパシタ回路の効率は高く、通常は約96%~99%である。スイッチトインダクタ回路は、インダクタを主エネルギー蓄積要素として使用し、出力電圧に対して微調整を行う特性を、通常、有する。しかしながら、インダクタ製造プロセスおよび電子デバイスの空間の制限により、ほとんどの電子デバイスにおけるインダクタは制限される。その結果、インダクタの損失は大きく、さらに、スイッチトインダクタ回路の効率は理想的ではなく、通常は約85~95%である。

10

【0092】

図3のスイッチトキャパシタ回路およびスイッチトインダクタ回路は、順次変換を実行するが、高い変圧比および出力電圧 V_o の微調整の適用要件が満たされることができ。しかしながら、変換回路111内のスイッチトキャパシタ回路およびスイッチトインダクタ回路は直列に接続されているため、変換回路の全体的な効率は低く、変換回路111の効率は、ほぼスイッチトキャパシタ回路の効率とスイッチトインダクタ回路の効率との積である。変換回路111の効率は、変換回路111の入力電力に対する変換回路111の出力電力の比として理解され得る。

20

【0093】

例えば、変換回路111内のスイッチトインダクタ回路の効率が88%であり、スイッチトキャパシタ回路の効率が97%である場合、変換回路111の効率は、約88%×97% 85%である。したがって、図3に示される構造は、PMU11の効率を改善することに貢献しない。

【0094】

これを考慮して、本出願の一実施形態は、変換回路を提供する。変換回路は、スイッチモード電源に適用されてもよく、高変圧比および出力電圧 V_o の微調整の適用要件を満たすのに役立つだけでなく、スイッチモード電源の効率を改善し、スイッチモード電源の体積を低減するのにも役立つ。

30

【0095】

スイッチモード電源は、スイッチモード電源(SMPS)とも称され得る。スイッチモード電源は、入力電圧を変換して負荷に適用された出力電圧を出力することができる。例えば、PMU11は、スイッチモード電源の具体的な実装形態である。本出願のこの実施形態で提供される変換回路がPMU11に適用される場合、高い変圧比および出力電圧 V_o の微調整の適用要件が満たされるだけでなく、PMU11の効率が改善され、PMU11の体積が低減され、その結果、電子デバイス10の集積度が改善され、電子デバイス10の電力消費が最適化される。

【0096】

本出願のこの実施形態において提供される変換回路は、図2に示されるPMU11内の変換回路111として使用され得るだけでなく、別のタイプのスイッチモード電源にも適用され得ることに留意されたい。例えば、本出願のこの実施形態は、電子デバイス10の充電チップにさらに適用されてよい。充電チップは、電子デバイス10用のアダプタによって提供される充電電圧を受信し、充電電圧を変換して、端子バッテリー12に適用された電圧を取得して、端子バッテリー12を充電することができる。

40

【0097】

理解を容易にするために、本出願のこの実施形態では、本出願のこの実施形態において提供される変換回路は、一例としてPMU11内の変換回路111を使用することによって以下でさらに説明される。

【0098】

50

図4に示されるように、本出願のこの実施形態において提供される変換回路111は、第1の分岐回路1111および第2の分岐回路1112を主に含む。第1の分岐回路1111は、入力端11と、接続端13と、出力端12と、出力端14とを含む。第2の分岐回路1112は、接続端21と、入力端23と、出力端22と、出力端24とを含む。

【0099】

第1の分岐回路1111の入力端11および第2の分岐回路1112の入力端23は、変換回路111の総入力電圧 V_i を受信するように構成され、すなわち、入力端11と入力端23との間の電圧は、総入力電圧 V_i である。第1の分岐回路1111の接続端13は、第2の分岐回路1112の接続端21に接続され、すなわち、第1の分岐回路1111の入力側（入力端11および接続端13）は、第2の分岐回路1112の入力側（接続端21および入力端23）に直列に接続される。

10

【0100】

第1の分岐回路1111の入力側と第2の分岐回路1112の入力側とは直列に接続されているため、第1の分岐回路1111と第2の分岐回路1112との入力電流は同じである。また、図4に示されるように、入力端11と接続端13との間の電圧は V_{i1} であり、接続端21と入力端23との間の電圧は V_{i2} であり、入力電圧 V_{i1} と入力電圧 V_{i2} との和は、変換回路111の総入力電圧 V_i である。

【0101】

本出願のこの実施形態では、第1の分岐回路1111と第2の分岐回路1112の両方が、電圧変換機能を実装し得る。第1の分岐回路1111は、入力電圧 V_{i1} を変換し、変換された電圧を出力端12および出力端14を介して出力することができる。第2の分岐回路1112は、入力電圧 V_{i2} を変換し、変換された電圧を出力端22および出力端24を介して出力することができる。

20

【0102】

図4に示されるように、第1の分岐回路1111の出力端12は第2の分岐回路1112の出力端22に接続され、第1の分岐回路1111の出力端14は第2の分岐回路1112の出力端24に接続されている。すなわち、第1の分岐回路1111の出力側（出力端12および出力端14）は、第2の分岐回路1112の出力側（出力端22および出力端24）に並列に接続されている。したがって、第1の分岐回路1111および第2の分岐回路1112は、同じ出力電圧 V_o を有し、出力電圧 V_o は、変換回路111の出力電圧である。

30

【0103】

本出願のこの実施形態において提供される変換回路111は、PMU11の効率を改善し、PMU11の体積を低減するのに役立つ。例えば、変換回路111の入力電流が I_i であり、変換回路111の出力電流が I_o であり、第1の分岐回路1111の出力電流が I_{o1} であり、第2の分岐回路1112の出力電流が I_{o2} であると仮定される。第1の分岐回路1111の出力側と第2の分岐回路1112の出力側とは並列に接続されているため、第1の分岐回路1111の出力電流 I_{o1} と第2の分岐回路1112の出力電流 I_{o2} との和は、変換回路111の出力電流 I_o であり、すなわち、 $I_{o1} + I_{o2} = I_o$ である。

【0104】

第1の分岐回路1111の効率が $a\%$ であると仮定されると、第1の分岐回路1111の効率 $a\%$ は、第1の分岐回路1111の入力電力に対する第1の分岐回路1111の出力電力の比（ほとんどの場合、パーセンテージの形式で表される）として理解されてよく、 a は、0以上100以下の任意の値である。第1の分岐回路1111の効率は、以下の式1を満たす。

40

$$(N1 * V_o) * I_i * a\% = V_o * I_{o1} \quad (\text{式1})$$

【0105】

$N1$ は、第1の分岐回路1111の変圧比であり、以下では第1の変圧比 $N1$ と簡単に称され、 $N1 * V_o = V_{i1}$ である。

【0106】

第2の分岐回路1112の効率が $b\%$ であると仮定され、第2の分岐回路1112の効率 $b\%$ は、第2の分岐回路1112の入力電力に対する第2の分岐回路1112の出力電力の比（ほとん

50

どの場合、パーセンテージの形式で表される)として理解されてよく、bは、0以上かつ100以下の任意の値である。第2の分岐回路1112の効率ηは、以下の式2を満たす。

$$(V_i - N1 * V_o) * I_i * b\% = V_o * I_o2 \quad (\text{式2})$$

【0107】

式1および式2を参照すると、変換回路111の効率ηは以下の式3を満たすことが知見され得る。

【数3】

$$\eta = \frac{V_o * I_o}{V_i * I_i}$$

$$= \frac{V_o * (I_o1 + I_o2)}{V_i * I_i}$$

$$= a\% * \frac{N1 * V_o}{V_i} + b\% * \frac{V_i - N1 * V_o}{V_i} \quad (\text{式3})$$

10

【0108】

ηは、変換回路111の効率を表す。式3から、下記の式4、

【数4】

$$\eta = (a\% - b\%) * \frac{N1 * V_o}{V_i} + b\% \quad (\text{式4})$$

20

および式5がさらに得られる。

【数5】

$$\eta = (b\% - a\%) * \frac{V_i - N1 * V_o}{V_i} + a\% \quad (\text{式5})$$

【0109】

式4から、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも大きい場合、

【数6】

$$(a\% - b\%) * \frac{N1 * V_o}{V_i}$$

30

は正の値であり、変換回路111の効率ηは第2の分岐回路1112の効率b%よりも大きいことが知見され得る。図3に示される変換回路111の効率はa% * b%であり、図3に示される変換回路111の効率はb%以下である。図3に示される変換回路111と比較して、本出願における図4に示される変換回路111は、より高い効率を有することが知見され得る。

【0110】

式5から、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも小さい場合、

【数7】

$$(b\% - a\%) * \frac{V_i - N1 * V_o}{V_i}$$

40

は正の値であり、変換回路111の効率ηは第1の分岐回路1111の効率a%よりも大きいことが知見され得る。図3に示される変換回路111の効率はa% * b%であり、図3に示される変換回路111の効率はa%以下である。図3に示される変換回路111と比較して、本出願における図4に示される変換回路111は、より高い効率を有することが知見され得る。

50

【0111】

加えて、第1の分岐回路1111および第2の分岐回路1112は、本出願のこの実施形態において電圧変換を別々に実行するため、第1の分岐回路1111および第2の分岐回路1112のスイッチング周波数は、一致している必要はない。この場合、インダクタを有し、第1の分岐回路1111および第2の分岐回路1112内にある分岐回路は、より高いスイッチング周波数を使用することができる。第2の分岐回路1112がインダクタを有すると仮定されると、第2の分岐回路1112は、より高いスイッチング周波数を使用することができ、その結果、スイッチングサイクルにおける第2の分岐回路1112内のインダクタのエネルギー蓄積要件が低減され、第2の分岐回路1112内のインダクタは、より小さいサイズに適用可能である。

10

【0112】

本出願のこの実施形態で提供される変換回路111がPMU11に適用される場合、PMU11の体積は、変換回路111内のインダクタのサイズ低減により低減される。特に、スイッチング周波数が将来10MHzの高周波数に達し得るとき、第2の分岐回路1112内のインダクタは、プリント回路基板(PCB)内の寄生インダクタを使用することによって実装されることが予想され、したがって、物理的なインダクタ要素は、第2の分岐回路1112から省略されることが予想される。

【0113】

式4から、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも大きい場合、N1のよりも大きい値は、変換回路111のより高い効率を示すことが知見され得る。出力電圧Voが一定の場合、N1の値が大きいほど、第1の分岐回路1111の入力電圧Vi1 ($V_{i1} = N1 \times V_o$) が大きいことを示す。したがって、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも大きい場合、コントローラ112は、第1の分岐回路1111がより大きい変圧比を有するように、第1の分岐回路1111がより大きい入力電圧Vi1を有することを可能にし得る。

20

【0114】

また、コントローラ112は、第2の分岐回路1112がより小さい入力電圧Vi2を有するように、第2の分岐回路1112がより小さい変圧比を有することを可能にし得る。第2の分岐回路1112の変圧比は、以下では第2の変圧比N2と簡単に称される。

【0115】

理想的には、第2の変圧比N2は1であってもよく、第2の分岐回路1112の入力電圧Vi2は出力電圧Voに等しい。すなわち、第2の分岐回路1112は、電圧伝達のみを行い、電圧変換を行わない。しかし、第2の分岐回路1112の損失は、主に電圧変換過程で発生される。したがって、第2の変圧比N2が1である場合、第2の分岐回路1112の損失が最も小さいと考えられ得る。

30

【0116】

また、インダクタは、効率の低い分岐回路に、通常、配置される。第2の分岐回路1112の入力電圧Vi2を低減することは、第2の分岐回路1112内のインダクタに対する要件を低減するのにさらに役立つ。より低いインダクタンス値を有するインダクタが、第2の分岐回路1112において使用され得る。インダクタのより低いインダクタンス値は、インダクタのより小さい体積を示すことが理解され得る。したがって、本出願のこの実施形態において提供される変換回路111に基づいて、PMU11の体積がさらに低減される。

40

【0117】

同様に、式5から、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%より小さい場合、N1のより小さい値は、変換回路111のより高い効率を示すことが知見され得る。したがって、コントローラ112は、第1の分岐回路1111がより小さい入力電圧Vi1を有するように、第1の分岐回路1111がより小さい変圧比を有することを可能にし得る。また、コントローラ112は、第2の分岐回路1112がより大きい入力電圧Vi2を有するように、第2の分岐回路1112がより大きい変圧比を有することを可能にし得る。この場合、変換回路111の効率もさらに改善されることができ、PMU11の体積が低減されることができ

50

る。具体的な分析については再度説明されない。

【0118】

上述したように、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも大きい場合、第1の分岐回路1111に対して大きい変圧比を構成することは、変換回路111の効率をさらに改善するのに役立つ。しかしながら、PMU11の適用シナリオはあまり安定しておらず、例えば、バッテリー電圧が変動し、負荷13の動作電圧が変化するため、第1の分岐回路1111の変圧比は、適用シナリオの変化に伴って動的に変化する必要がある、通常ある。

【0119】

可能な実装形態では、本出願のこの実施形態では、第1の変圧比N1および第2の変圧比N2は調整可能である。本出願のこの実施形態では、コントローラ112は、変換回路111の現在の総入力電圧Viおよび目標出力電圧Vaをさらに検出することができる。現在の総入力電圧Viは、端子バッテリー12のバッテリー電圧であり得る。上述したように、端子バッテリー12の放電処理では、端子バッテリー12のバッテリー電圧が徐々に低下する。変換回路111の目標出力電圧Vaは、負荷13によって現在必要とされる動作電圧であり得る。具体的には、負荷13は複数の動作状態を有することができ、異なる動作状態において必要とされる動作電圧は異なる。負荷13は、例えば、GPUである。GPUがマルチスレッドモードで動作するとき、GPUによって必要とされる動作電圧は大きく、GPUがシングルスレッドモードで動作するとき、GPUによって必要とされる動作電圧は小さい。

【0120】

変換回路111の出力電圧Voは、目標出力電圧Vaと同じであってもよく、または目標出力電圧Vaと異なってもよいことを理解されたい。変換回路111の出力電圧Voが目標出力電圧Vaと異なる場合、コントローラ112は、変換回路111の変圧比を調整して、変換回路111の出力電圧Voを必要な目標出力電圧Vaに調整することができる。

【0121】

例えば、コントローラ112は、現在の出力電圧Voおよび現在の総入力電圧Viを検出してもよい。現在の出力電圧Voが変換回路111の目標出力電圧Vaと異なる場合、コントローラ112は、総入力電圧Viに基づいて第1の分岐回路の変圧比および第2の分岐回路の変圧比を調整して、変換回路111の出力電圧Voを目標出力電圧Vaに調整することができる。

【0122】

具体的には、コントローラ112は、図5に示される制御方法を実行して、第1の分岐回路の変圧比および第2の分岐回路の変圧比を調整してよく、方法は、以下のステップを主に含む。

【0123】

S501: コントローラ112は、第1の分岐回路1111の目標変圧比Naおよび最大変圧比Nmaxに基づいて、第1の分岐回路1111の第1の変圧比N1の値範囲を決定する。第1の変圧比N1は、総入力電圧Viと目標出力電圧Vaとの間の目標変圧比Naよりも小さく、第1の分岐回路1111の最大変圧比Nmax以下である。目標変圧比は、 $Na = Vi / Va$ である。

【0124】

S502: コントローラ112は、第1の変圧比N1を値範囲内の任意の値に設定する。通常、コントローラ112は、第1の分岐回路1111内のスイッチングトランジスタのスイッチオンまたはスイッチオフの時間シーケンスを制御することによって、第1の変圧比N1を設定することができる。コントローラ112によって第1の変圧比N1を設定する具体的な実装形態プロセスは、第1の分岐回路1111の構造に関連される。コントローラ112は、第1の分岐回路1111の具体的な構造に基づいて、第1の分岐回路1111の変圧比を設定する実装形態を柔軟に選択することができる。

【0125】

S503: コントローラ112は、第2の分岐回路1112の出力電圧が目標出力電圧Vaになるように、現在の総入力電圧Viと設定された第1の変圧比N1とに基づいて第2の変圧比N2を調整する。

10

20

30

40

50

【 0 1 2 6 】

具体的には、コントローラ112は、設定された第1の変圧比N1に基づいて調整入力電圧Vi1を決定することができ、すなわち、調整入力電圧Vi1は、設定された第1の変圧比N1と目標出力電圧Vaとの積 ($Vi1 = N1 \times Va$) である。

【 0 1 2 7 】

コントローラ112は、現在の総入力電圧Viに基づいて、第2の分岐回路1112の調整された入力電圧Vi2をさらに決定することができ、すなわち、 $Vi2 = Vi - Vi1 = Vi - N1 \times Va$ である。すなわち、第2の変圧比N2は、 $N2 = (Vi - N1 \times Va) / Va$ に設定すればよい。コントローラ112は、第2の分岐回路1112の具体的な構造に基づいて、第2の分岐回路1112の変圧比を設定する実装形態を柔軟に選択することができる。

10

【 0 1 2 8 】

理解を容易にするために、本出願のこの実施形態では、以下は、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも大きい例を使用することによって、図5に示される制御方法を説明する。第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%より小さい場合も、本出願のこの実施形態に含まれるべきであることを理解されたい。

【 0 1 2 9 】

本出願のこの実施形態では、第1の変圧比N1は、連続的に調整可能であり得る。例えば、第1の変圧比の調整可能な範囲は [1 , 6] である。すなわち、第1の変圧比N1は、1 ~ 6のいずれかの値であり得る。第1の変圧比N1はまた、不連続に調整可能であってもよく、すなわち、第1の分岐回路1111は、複数の不連続に調整可能な変圧比を有する。通常、この場合、第1の分岐回路1111の複数の調整可能な変圧比の値は全て整数である。以下では、異なるケースに基づいて詳細を説明する。

20

【 0 1 3 0 】

ケース1：第1の分岐回路1111は、複数の調整可能な変圧比を有する。

【 0 1 3 1 】

上述したように、第1の分岐回路1111の効率a%が第2の分岐回路1112の効率b%よりも大きい場合には、第1の分岐回路1111の入力電圧Vi1はできるだけ大きくされる必要がある。したがって、第1の分岐回路1111が複数の不連続に調整可能な変圧比を有する場合、第1の変圧比N1は、第1の分岐回路1111の複数の調整可能な変圧比のうち、目標変圧比Naよりも小さく、目標変圧比Naに最も近い調整可能な変圧比であり得る。

30

【 0 1 3 2 】

例えば、第1の分岐回路1111の複数の調整可能な変圧比の値は、連続する整数 (例えば、4、3、2、および1の調整可能な変圧比) である。コントローラ112は、図6に示される方法を用いて第1の変圧比N1および第2の変圧比N2を調整することができる。図6に示されるように、方法は、以下のステップを主に含む。

【 0 1 3 3 】

S601：コントローラ112は、現在の総入力電圧Viおよび目標出力電圧Vaを検出する。

【 0 1 3 4 】

S602：コントローラ112は、目標変圧比Naを計算する。目標変圧比Naは、目標出力電圧Vaに対する総入力電圧Viの比であり、 $Na = Vi / Va$ である。

40

【 0 1 3 5 】

S603：目標変圧比Naマイナス1が第1の分岐回路1111の最大変圧比Nmaxより小さい場合、S605を実行して、第1の変圧比N1が目標変圧比Naマイナス1が丸められた後に取得される値であると決定する。

【 0 1 3 6 】

例えば、目標変圧比Naが2.8である場合、第1の変圧比N1は [1 . 8] = 1であると決定されてもよい。目標変圧比Naマイナス1が第1の分岐回路1111の最大変圧比Nmaxよりも大きい場合、S604を実行して、第1の変圧比N1が最大変圧比Nmaxであると決定する。

【 0 1 3 7 】

50

上述したように、理想的には、第2の変圧比 $N2$ は1に達し得る。この場合、 $V_{i2} = V_a$ であり、第1の変圧比は、 $N1 = (V_i - V_{i2}) / V_a = N_a - 1$ である。すなわち、理想的な場合、第1の変圧比 $N1 = N_a - 1$ である。したがって、 $N_a - 1$ が N_{max} よりも大きい場合、第1の変圧比 $N1$ は N_{max} に設定されてもよく、 $N_a - 1$ が N_{max} 以下である場合、第1の変圧比 $N1$ は、 $N_a - 1$ が丸められた後に取得される値に設定されてもよい。したがって、第1の変圧比 $N1$ は、 $N_a - 1$ により近くてもよく、これは、第1の分岐回路1111の入力電圧を可能な限り増加させて、変換回路111の効率を可能な限り改善するのに役立つ。

【0138】

S606：コントローラ112は、総入力電圧 V_i と第1の変圧比 $N1$ とに基づいて第2の変圧比 $N2$ を設定する。具体的な実装形態については、S503を参照されたい。詳細は再度説明されない。

10

【0139】

コントローラ112は、図6に示す調整方法を複数回繰り返し実行してもよいことが理解され得る。すなわち、S606を実行した後、コントローラ112は、S601に戻り、前述のプロセスを実行し続けることができる。

【0140】

例えば、第1の分岐回路1111が、3、2、および1の3つの調整可能な変圧比を有すると仮定される。図7aに示されるように、総入力電圧 V_i は4.4Vであり、目標出力電圧 N_a は0.75Vである。この場合、目標変圧比 N_a は5.87であり、 $N_a - 1 = 4.87$ であり、4.87は調整可能な最大変圧比 N_{max} より大きく、 $N_{max} = 3$ である。したがって、コントローラ112は、第1の変圧比 $N1$ を3に設定することができる。また、入力電圧 V_{i1} は2.25Vであり、入力電圧 V_{i2} は2.15Vである。

20

【0141】

端子バッテリー12が一定時間放電した後、端子バッテリー12のバッテリー電圧が低下し、すなわち、総入力電圧 V_i が低下する。例えば、図7bに示されるように、総入力電圧 V_i は3Vに減少し、目標出力電圧 V_a は依然として0.75Vである。この場合、目標変圧比 N_a は4であり、 $N_a - 1 = 3.3$ は3に丸められる。したがって、コントローラ112は、第1の変圧比 $N1$ を3に維持することができる。また、入力電圧 V_{i1} は2.25Vであり、入力電圧 V_{i2} は0.75Vである。

【0142】

別の例として、図7cに示されるように、総入力電圧 V_i が3Vである場合、負荷13によって必要とされる動作電圧は1.25Vに増加し、すなわち、変換回路111の目標出力電圧 V_a は1.25Vに増加する。この場合、目標変圧比 N_a は2.4であり、 $N_a - 1 = 1.4$ であり、1.4は1に丸められる。したがって、コントローラ112は、第1の変圧比 $N1$ を1に設定することができる。また、入力電圧 V_{i1} は1.25Vであり、入力電圧 V_{i2} は1.75Vである。

30

【0143】

ケース2：第1の変圧比 $N1$ は連続的に調整可能である。

【0144】

例えば、図8に示されるように、方法は、以下のステップを主に含む。

【0145】

S801：コントローラ112は、現在の総入力電圧 V_i および目標出力電圧 V_a を検出する。

40

【0146】

S802：コントローラ112は、基準変圧比 N_b を計算する。基準変圧比 N_b は、総入力電圧 V_i と基準電圧 V_c との間の第1の電圧差の目標出力電圧に対する比であり、すなわち、 $N_b = (V_i - V_c) / V_a$ である。基準電圧 V_c は、総入力電圧 V_i よりも小さく、目標出力電圧 V_a 以上である。

【0147】

可能な実装形態では、基準電圧 V_c の値は $V_i / 2$ 以下であり、基準電圧 V_c の値は目標出力電圧 V_a 以上である。

【0148】

50

具体的には、基準電圧 V_c は、第2の分岐回路1112の予め設定された第2の入力電圧 V_{i2} として理解され得る。基準電圧 V_c の値は $V_i/2$ 以下であるため、基準電圧 V_c が第2の入力電圧 V_{i2} として使用された場合、第2の入力電圧 V_{i2} は第1の入力電圧 V_{i1} 以下となる。したがって、ほとんどの場合、第1の分岐回路1111は、大きな電力を伝達することができ、これは、変換回路111の効率をさらに改善するのに役立つ。この場合、入力電圧 V_{i1} は、 $V_i - V_c$ となる。第1の分岐回路1111が入力電圧 $V_{i1} = V_i - V_c$ を目標出力電圧 V_a に変換することができれば、第1の変圧比 N_1 は基準変圧比 N_b となるはずである。

【0149】

S803：基準変圧比 N_b が第1の分岐回路1111の最大変圧比 N_{max} 以下である場合、S805を実行して、第1の分岐回路1111の第1の変圧比 N_1 が基準変圧比 N_b であると決定する。基準変圧比 N_b が第1の分岐回路1111の最大変圧比 N_{max} よりも大きい場合、第1の分岐回路1111の第1の変圧比 N_1 が第1の分岐回路1111の最大変圧比 N_{max} であると決定する。

10

【0150】

S806：コントローラ112は、第1の変圧比 N_1 および現在の総入力電圧 V_i に基づいて第2の変圧比 N_2 を設定する。具体的な実装形態については、S503を参照されたい。詳細は再度説明されない。

【0151】

コントローラ112は、図8に示す調整方法を複数回繰り返し実行してもよいことが理解され得る。すなわち、S806を実行した後、コントローラ112は、S801に戻り、前述のプロセスを実行し続けることができる。

20

【0152】

ケース1およびケース2から、本出願のこの実施形態において提供される変換回路111に基づいて、コントローラ112は、変換回路111の総入力電圧 V_i および目標出力電圧 V_a に基づいて、第1の分岐回路1111の変圧比および第2の分岐回路1112の変圧比を柔軟に調整し得ることが知見され得る。このようにして、異なる総入力電圧 V_i および目標出力電圧 V_a の適用シナリオにおいて、第1の分岐回路1111は、適用シナリオに適應しながら、可能な限り大きい入力電圧 V_{i1} を受信することができる。式4を参照すると、第1の分岐回路1111の効率 $a\%$ 、第2の分岐回路1112の効率 $b\%$ 、および出力電圧 V_o が固定され、かつ第1の分岐回路1111の入力電圧 $V_{i1} = N_1 \times V_o$ が増加すると、変換回路111の効率もそれに応じて増加することが知見され得る。したがって、本出願のこの実施形態において図6および図8に示される第1の変圧比 N_1 および第2の変圧比 N_2 を設定するための方法は、変換回路111の効率をさらに改善するのに役立つ。

30

【0153】

本出願のこの実施形態で開示されるように、第1の分岐回路1111は、複数の可能な実装形態を有する。次に、本出願のこの実施形態では、本出願のこの実施形態において提供される第1の分岐回路1111が、以下の実施例を使用することによってさらに説明される。

【0154】

第1の分岐回路1111の実施例1：

本出願の一実施形態は、図9に示されるような変換回路111を提供する。第1の分岐回路1111は、 $n+1$ 個の入力スイッチングトランジスタ（入力スイッチングトランジスタ $S_{11} \sim$ 入力スイッチングトランジスタ $S_1(n+1)$ ）と、 n 個の絶縁キャパシタ（絶縁キャパシタ $C_1 \sim$ 絶縁キャパシタ C_n ）と、 n 個の出力組み合わせとを主に含み得、 n は、1以上の整数である。

40

【0155】

入力スイッチングトランジスタ $S_{11} \sim$ 入力スイッチングトランジスタ $S_1(n+1)$ は、入力端11と接続端13との間に順次直列に接続されている。すなわち、 i 番目の入力スイッチングトランジスタの第2の電極は $(i+1)$ 番目の入力スイッチングトランジスタの第1の電極に接続され、 i 番目の入力スイッチングトランジスタの第1の電極は $(i-1)$ 番目の入力スイッチングトランジスタの第2の電極に接続され、 i の値は2から n まで順次取得される。具体的には、入力スイッチングトランジスタ S_{11} の第1の電極は入力端11に接続され、入

50

カスイッチングトランジスタS11の第2の電極は入力スイッチングトランジスタS12の第1の電極に接続され、入力スイッチングトランジスタS12の第2の電極は入力スイッチングトランジスタS13の第1の電極に接続され、...、入力スイッチングトランジスタS1nの第2の電極は入力スイッチングトランジスタS1(n+1)の第1の電極に接続され、入力スイッチングトランジスタS1(n+1)の第2の電極は第2の分岐回路1112の接続端21に接続するための接続端13として使用され得る。

【0156】

隣接する2つの入力スイッチングトランジスタは、第1の直列接続ノードを介して接続される。第1の直列接続ノードは、単に説明を簡単にするためのものであることに留意されたい。具体的な実装形態において、第1の直列接続ノードは、2つの接続された入力スイッチングトランジスタの間の接続点であってもよく、また、i番目の入力スイッチングトランジスタの第2の電極と(i+1)番目の入力スイッチングトランジスタの第1の電極との間の電気接続ライン上の任意の位置として理解されてもよい。図9に示されるように、n+1個の入力スイッチングトランジスタからなる直列構造は、n個の第1の直列接続ノードを含む。

10

【0157】

第1の分岐回路1111は、n個の出力組み合わせを含み、各出力組み合わせは、2つの出力スイッチングトランジスタを含み、異なる出力組み合わせは、異なる出力スイッチングトランジスタを含む。例えば、図9において、出力スイッチングトランジスタS21と出力スイッチングトランジスタS22とは、同じ出力組み合わせに属し、出力スイッチングトランジスタS23と出力スイッチングトランジスタS24とは、同じ出力組み合わせに属し、出力スイッチングトランジスタS25と出力スイッチングトランジスタS26とは、同じ出力組み合わせに属し、出力スイッチングトランジスタS27と出力スイッチングトランジスタS28とは、同じ出力組み合わせに属し、...、出力スイッチングトランジスタS2(2n-1)と出力スイッチングトランジスタS2(2n)とは、同じ出力組み合わせに属する。

20

【0158】

第1の分岐回路1111におけるn個の出力組み合わせは、出力端12と出力端14との間に並列に接続され、各出力組み合わせにおける2つの出力スイッチングトランジスタは、第2の直列接続ノードを介して接続される。図9に示されるように、出力スイッチングトランジスタS21と出力スイッチングトランジスタS22とは第2の直列接続ノードを介して接続され、出力スイッチングトランジスタS23と出力スイッチングトランジスタS24とは第2の直列接続ノードを介して接続され、...、出力スイッチングトランジスタS2(2n-1)と出力スイッチングトランジスタS2(2n)とは第2の直列接続ノードを介して接続され、第1の分岐回路1111におけるn個の出力組み合わせは、合計n個の第2の直列接続ノードを含む。

30

【0159】

第2の直列接続ノードは、単に説明を簡単にするためのものであることに留意されたい。具体的な実装形態において、第2の直列接続ノードは、2つの接続された出力スイッチングトランジスタ間の接続点であってもよく、また、一方の出力スイッチングトランジスタの第1の電極と他方の出力スイッチングトランジスタの第2の電極との間の電気接続ライン上の任意の位置として理解されてもよい。

40

【0160】

図9に示されるように、第1の分岐回路1111内のn個の第1の直列接続ノード、n個の絶縁キャパシタ、およびn個の第2の直列接続ノードは、1対1の対応関係でそれぞれ接続され、各絶縁キャパシタの一端は、各絶縁キャパシタに対応する第1の直列接続ノードに接続され、各絶縁キャパシタの他端は、各絶縁キャパシタに対応する第2の直列接続ノードに接続される。

【0161】

例えば、図9において、絶縁キャパシタC1の一端は、入力スイッチングトランジスタS11と入力スイッチングトランジスタS12との間の第1の直列接続ノードに接続され、絶縁キャパシタC1の他端は、出力スイッチングトランジスタS21と出力スイッチングトランジスタ

50

タS22との間の第2の直列接続ノードに接続され、絶縁キャパシタC2の一端は、入力スイッチングトランジスタS12と入力スイッチングトランジスタS13との間の第1の直列接続ノードに接続され、絶縁キャパシタC2の他端は、出力スイッチングトランジスタS23と出力スイッチングトランジスタS24との間の第2の直列接続ノードに接続され、絶縁キャパシタC3の一端は、入力スイッチングトランジスタS13と入力スイッチングトランジスタS14との間の第1の直列接続ノードに接続され、絶縁キャパシタC3の他端は、出力スイッチングトランジスタS25と出力スイッチングトランジスタS26との間の第2の直列接続ノードに接続され、絶縁キャパシタC4の一端は、入力スイッチングトランジスタS14と入力スイッチングトランジスタS15との間の第1の直列接続ノードに接続され、絶縁キャパシタC4の他端は、出力スイッチングトランジスタS27と出力スイッチングトランジスタS28との間の第2の直列接続ノードに接続され、...、絶縁キャパシタCnの一端は、入力スイッチングトランジスタS1nと入力スイッチングトランジスタS1(n+1)との間の第1の直列接続ノードに接続され、絶縁キャパシタCnの他端は、出力スイッチングトランジスタS2(2n-1)と出力スイッチングトランジスタS2(2n)との間の第2の直列接続ノードに接続される。

【0162】

10

可能な実装形態では、図9に示されるように、変換回路111は、入力キャパシタCin1および入力キャパシタCin2をさらに含み得る。入力キャパシタCin1の一端は入力端11に接続され、入力キャパシタCin1の他端は接続端13に接続されている。入力キャパシタCin1は、第1の入力キャパシタVin1をフィルタリングすることができる。

【0163】

20

可能な実装形態では、図9に示されるように、変換回路111は、出力キャパシタCoutをさらに含み得る。出力キャパシタCoutの一端は、第1の分岐回路1111の出力端12に接続され、出力キャパシタCoutの他端は、第1の分岐回路1111の出力端14に接続されている。出力キャパシタCoutは、負荷13への出力電圧Voの変動によって引き起こされる損失を低減するために、出力電圧Voをフィルタリングすることができる。

【0164】

実施例1において提供される第1の分岐回路1111では、第1の分岐回路1111によって実装され得る最大変圧比はnである。次に、第1の分岐回路1111においてn=3であると仮定され、実施例1において提供される第1の分岐回路1111の原理が説明される。この場合、第1の分岐回路1111の構造は図10aに示されることができ、具体的な回路構造は再び説明されない。

30

【0165】

図10aに示される第1の分岐回路1111は、3、2、および1の3つの調整可能な変圧比を有する。調整可能な変圧比は、第1の分岐回路1111によって理論的に達成され得る変圧比であることに留意されたい。寄生抵抗、寄生インダクタ、および別の理由によって制限されて、第1の分岐回路1111の実際の変圧比は、調整可能な変圧比からわずかに逸脱し得る。しかしながら、本出願の技術的解決策の実装形態は影響されない。

【0166】

第1の実装形態：第1の変圧比N1は3である。

【0167】

40

第1の分岐回路1111内の全てのスイッチングトランジスタは、高電圧でオンに切り替えられ、低電圧でオフに切り替えられると仮定される。コントローラ112が図11に示される駆動信号を第1の分岐回路1111内のスイッチングトランジスタに提供する場合、第1の変圧比N1は3である。図11に示されるように、駆動信号の期間はTである。入力スイッチングトランジスタS11と、入力スイッチングトランジスタS13と、出力スイッチングトランジスタS21と、出力スイッチングトランジスタS24と、出力スイッチングトランジスタS25とは、同じ駆動信号に対応する。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23および出力スイッチングトランジスタS26は、同じ駆動信号に対応する。

【0168】

50

0からT/2までの期間において、スイッチングトランジスタの状態は、図12aに示される。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、および出力スイッチングトランジスタS25がオンに切り替えられる。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0169】

この場合、入力スイッチングトランジスタS11、絶縁キャパシタC1、出力スイッチングトランジスタS21、出力スイッチングトランジスタS25、絶縁キャパシタC3、入力スイッチングトランジスタS13、絶縁キャパシタC2、および出力スイッチングトランジスタS24が経路を形成する。等価回路は図12a-1に示され得、図12aの回路要素は以下の関係を満たす。

$$V_i = V_{C1} + V_o \quad (\text{式6})$$

$$V_o = V_{C2} + V_{C3} \quad (\text{式7})$$

【0170】

V_{C1} は絶縁キャパシタC1の電圧を表し、 V_{C2} は絶縁キャパシタC2の電圧を表し、 V_{C3} は絶縁キャパシタC3の電圧を表す。

【0171】

T/2からTまでの期間において、スイッチングトランジスタの状態は、図12bに示される。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、および出力スイッチングトランジスタS25がオフに切り替えられる。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、および出力スイッチングトランジスタS26がオンに切り替えられる。

【0172】

ほとんどのスイッチングトランジスタはスイッチング遅延を有するため、一方の駆動信号の立ち下がりエッジと他方の駆動信号の立ち上がりエッジとの間に特定の時間間隔があることに留意されたい。理想的には、一方の駆動信号の立ち下がりエッジと、他方の駆動信号の立ち上がりエッジとが揃えられる必要がある。以下の駆動信号は同様であり、詳細は、本明細書では再度説明されない。

【0173】

図12bに示す場合、出力スイッチングトランジスタS23、絶縁キャパシタC2、入力スイッチングトランジスタS12、および絶縁キャパシタC1が経路を形成する。絶縁キャパシタC3の一端は、出力スイッチングトランジスタS26を介して接地され、絶縁キャパシタC3の他端は、入力スイッチングトランジスタS14を介して接続端13に接続される。等価回路は図12b-1に示され得、図12bの回路要素は以下の関係を満たす。

$$V_{C1} - V_{C2} = V_o \quad (\text{式8})$$

$$V_{C3} + V_{i2} = 0 \quad (\text{式9})$$

【0174】

式9によれば、 $V_i = V_{i1} + V_{i2}$ であるため、以下がさらに取得されることができる。

$$V_{i1} = V_i + V_{C3} \quad (\text{式10})$$

【0175】

式10に基づき、式6を参照して、以下が取得されることができる。

$$V_{i1} = V_{C1} + V_o + V_{C3} \quad (\text{式11})$$

【0176】

式11に基づき、式8を参照して、以下が取得されることができる。

$$V_{i1} = 2V_o + V_{C2} + V_{C3} \quad (\text{式12})$$

【0177】

式12に基づき、式7を参照すると、以下が取得されることができる。

$$V_{i1} = 3V_o \quad (\text{式13})$$

10

20

30

40

50

【 0 1 7 8 】

式13から、コントローラ112が第1の分岐回路1111内のスイッチングトランジスタに対して図11に示される駆動信号を提供する場合、第1の変圧比N1は3であることが知見され得る。

【 0 1 7 9 】

可能な実装形態では、図12cに示されるように、絶縁キャパシタC1の他端は、絶縁キャパシタC3の他端にさらに接続される。この場合、コントローラ112は、負荷13の動作状態に基づいて、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26の駆動信号をさらに柔軟に調整することができる。

【 0 1 8 0 】

具体的には、負荷13が軽負荷である場合、負荷13の動作電流は小さい。この場合、コントローラ112は、図12dに示されるように、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26をオフ状態に維持することができる。0からT/2までの期間において、絶縁キャパシタC3の他端は、出力スイッチングトランジスタS21を介して絶縁キャパシタC3と出力端12との間の伝達経路を導通させることができる。T/2からTまでの期間において、絶縁キャパシタC3の他端は、出力スイッチングトランジスタS22を介して、絶縁キャパシタC3と出力端14との間の伝達経路を導通させることができる。図12cに開示された第1の分岐回路1111を使用することによって、3の変圧比が依然として実装され得ることが知見され得る。また、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26のオンオフを切り替える必要がないため、スイッチングトランジスタの駆動損失が低減される。

【 0 1 8 1 】

負荷13が重負荷または全負荷である場合、負荷13の動作電流は大きい。この場合、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26は、図12aおよび図12bに示されるオン/オフ状態に基づいて制御されてもよく、特定のプロセスは再び説明されない。負荷13の動作電流は大きいため、電流伝達損失の影響がスイッチングトランジスタの駆動損失を上回る。出力スイッチングトランジスタS25および出力スイッチングトランジスタS26の両方が電流を伝達することができるため、出力スイッチングトランジスタS21および出力スイッチングトランジスタS22における電流伝達損失は低減されることができ、電流伝達損失を低減するのに役立つ。

【 0 1 8 2 】

第2の実装形態：第1の変圧比N1は2である。

【 0 1 8 3 】

第1の分岐回路1111内の全てのスイッチングトランジスタは、高電圧でオンに切り替えられ、低電圧でオフに切り替えられると仮定される。コントローラ112が図13に示される駆動信号を第1の分岐回路1111内のスイッチングトランジスタに提供する場合、第1の変圧比N1は2である。図13に示されるように、駆動信号の期間はTである。入力スイッチングトランジスタS11、出力スイッチングトランジスタS21および出力スイッチングトランジスタS24は、同じ駆動信号に対応する。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、および出力スイッチングトランジスタS23は、同じ駆動信号に対応する。入力スイッチングトランジスタS13と入力スイッチングトランジスタS14とは同じ駆動信号に対応し、出力スイッチングトランジスタS25と出力スイッチングトランジスタS26とは同じ駆動信号に対応する。

【 0 1 8 4 】

入力スイッチングトランジスタS13および入力スイッチングトランジスタS14に対応する駆動信号は、連続するハイレベル信号であり、すなわち、入力スイッチングトランジスタS13および入力スイッチングトランジスタS14は、期間Tにおいてオン状態を維持する。出力スイッチングトランジスタS25および出力スイッチングトランジスタS26に対応する駆動信号は、連続するローレベル信号であり、すなわち、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26は、オフ状態を維持する。

10

20

30

40

50

【 0 1 8 5 】

0からT/2までの期間において、スイッチングトランジスタの状態は、図14aに示される。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、および出力スイッチングトランジスタS24がオンに切り替えられる。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【 0 1 8 6 】

この場合、入力スイッチングトランジスタS11、絶縁キャパシタC1、および出力スイッチングトランジスタS21が経路を形成する。入力スイッチングトランジスタS14、入力スイッチングトランジスタS13、絶縁キャパシタC2、および出力スイッチングトランジスタS24は、経路を形成する。等価回路は図14a - 1に示され得、図14aの回路要素は以下の関係を満たす。

$$V_{C1} = V_i - V_o \quad (\text{式14})$$

$$V_{C2} = V_i \quad (\text{式15})$$

【 0 1 8 7 】

T/2からTまでの期間において、スイッチングトランジスタの状態は、図14bに示される。入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、および出力スイッチングトランジスタS23がオンに切り替えられる。入力スイッチングトランジスタS11、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【 0 1 8 8 】

この場合、出力スイッチングトランジスタS23、絶縁キャパシタC2、入力スイッチングトランジスタS12、絶縁キャパシタC1、および出力スイッチングトランジスタS22が経路を形成する。等価回路は図14b - 1に示され得、図14bの回路要素は以下の関係を満たす。

$$V_{C1} - V_{C2} = V_o \quad (\text{式16})$$

【 0 1 8 9 】

式16に基づき、式15および $V_i = V_{i1} + V_{i2}$ を参照して、以下が取得されることができる。

$$V_{C1} - V_i + V_{i1} = V_o \quad (\text{式17})$$

【 0 1 9 0 】

式17に基づき、式14を参照して、以下が取得されることができる。

$$V_{i1} = 2V_o \quad (\text{式18})$$

【 0 1 9 1 】

式18から、コントローラ112が第1の分岐回路1111内のスイッチングトランジスタに対して図13に示される駆動信号を提供する場合、第1の変圧比N1は2であることが知見され得る。

【 0 1 9 2 】

第3の実装形態：第1の変圧比N1は1である。

【 0 1 9 3 】

第1の分岐回路1111内の全てのスイッチングトランジスタは、高電圧でオンに切り替えられ、低電圧でオフに切り替えられると仮定される。コントローラ112が図15に示される駆動信号を第1の分岐回路1111のスイッチングトランジスタに提供する場合、第1の変圧比N1は1である。図15に示されるように、駆動信号の期間はTである。入力スイッチングトランジスタS11および出力スイッチングトランジスタS21は、同じ駆動信号に対応する。入力スイッチングトランジスタS12および出力スイッチングトランジスタS22は、同じ駆動信号に対応する。入力スイッチングトランジスタS13および入力スイッチングトランジスタS14は、同じ駆動信号に対応する。出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチン

10

20

30

40

50

グトランジスタS26は、同じ駆動信号に対応する。

【0194】

入力スイッチングトランジスタS13および入力スイッチングトランジスタS14に対応する駆動信号は、連続するハイレベル信号であり、すなわち、入力スイッチングトランジスタS13および入力スイッチングトランジスタS14は、期間Tにおいてオン状態を維持する。出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26に対応する駆動信号は、連続するローレベル信号であり、すなわち、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26は、オフ状態を維持する。

10

【0195】

0からT/2までの期間において、スイッチングトランジスタの状態は、図16aに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、および出力スイッチングトランジスタS21がオンに切り替えられる。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0196】

この場合、入力スイッチングトランジスタS11、絶縁キャパシタC1、および出力スイッチングトランジスタS21が経路を形成する。等価回路は図16a - 1に示され得、図16aの回路要素は以下の関係を満たす。

20

$$V_i = V_{C1} + V_o \quad (\text{式19})$$

【0197】

T/2からTまでの期間において、スイッチングトランジスタの状態は、図16bに示され得る。入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、および出力スイッチングトランジスタS22がオンに切り替えられる。入力スイッチングトランジスタS11、出力スイッチングトランジスタS21、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0198】

30

この場合、入力スイッチングトランジスタS14、入力スイッチングトランジスタS13、入力スイッチングトランジスタS12、絶縁キャパシタC1、および出力スイッチングトランジスタS22が経路を形成する。等価回路は図16b - 1に示され得、図16bの回路要素は以下の関係を満たす。

$$V_{i2} - V_{C1} = 0 \quad (\text{式20})$$

【0199】

$V_i = V_{i1} + V_{i2}$ に基づき、式19および式20を参照すると、以下が取得されることができ

$$V_{i1} = V_o \quad (\text{式21})$$

【0200】

40

式21から、コントローラ112が第1の分岐回路1111内のスイッチングトランジスタに対して図15に示される駆動信号を提供する場合、第1の変圧比N1は1であることが知見され得る。

【0201】

結論として、本出願のこの実施形態において提供される第1の分岐回路1111は、整数値のn個の調整可能な変圧比を有し、最大の調整可能な変圧比はnである。この場合、コントローラ112は、図6に示される方法に従って、第1の分岐回路1111の変圧比および第2の分岐回路1112の変圧比を調整することができる。

【0202】

例えば、以下の通りである。

50

【0203】

図17aに示されるように、総入力電圧 $V_i = 4.4V$ であり、目標出力電圧 $V_a = 0.75V$ である。この場合、図6に示される方法によれば、コントローラ112は、第1の変圧比 N_1 を4に設定し、第2の変圧比 N_2 を1.87に設定することができる。

【0204】

図17bに示されるように、端子バッテリー12が一定時間作動した後、バッテリー電圧は低下し、総入力電圧 V_i は $3V$ に変化し、この場合、目標出力電圧 V_a は依然として $0.75V$ である。この場合、図6に示される方法によれば、コントローラ112は、第1の変圧比 N_1 を3に設定し、第2の変圧比 N_2 を1に設定することができる。

【0205】

図17cに示されるように、総入力電圧 V_i は $3V$ であるが、目標出力電圧 V_a は $1.25V$ に変化する。この場合、図6に示される方法によれば、コントローラ112は、第1の変圧比 N_1 を1に設定し、第2の変圧比 N_2 を1.4に設定することができる。

【0206】

上述したように、リアルタイムの総入力電圧 V_i および目標出力電圧 V_a に基づいて第1の変圧比 N_1 を設定することにより、変換回路111の効率をさらに向上させることができる。しかしながら、実際の適用プロセスでは、第1の変圧比 N_1 と総入力電圧との間の対応関係は、総入力電圧 V_i の変化範囲に基づいて予め設定されてもよい。例えば、対応関係は表1に示され得る。

【0207】

【表1】

表1

V_i	V_a	N_1	$V_{i1} = N_1 \times V_o$	$V_{i2} = V_i - N_1 \times V_o$
3.75~4.4	0.75	4	3	0.75~1.4
3~3.75	0.75	3	2.25	0.75~1.5
2.7~3	0.75	2	1.5	1.2~1.5

【0208】

表1に示す対応関係は、目標出力電圧 V_a が $0.75V$ であり、端子バッテリー12のバッテリー電圧の変化範囲が $2.7V \sim 4.4V$ である場合に適用可能である。具体的には、バッテリー電圧が $[3.75, 4.4]$ の間にあるとき、第1の変圧比 N_1 は4に設定されてもよく、第1の分岐回路1111の入力電圧 V_{i1} は $3V$ であり、第2の分岐回路1112の入力電圧 V_{i2} の範囲は $[0.75, 1.4]$ である。一定時間の後、バッテリー電圧が $[3, 3.75]$ に低下したとき、第1の変圧比 N_1 は3に設定されてもよく、第1の分岐回路1111の入力電圧 V_{i1} は $2.25V$ であり、第2の分岐回路1112の入力電圧 V_{i2} の範囲は $[0.75, 1.5]$ である。一定時間の後、バッテリー電圧が $[2.7, 3)$ に低下したとき、第1の変圧比 N_1 は2に設定されてもよく、第1の分岐回路1111の入力電圧 V_{i1} は $1.5V$ であり、第2の分岐回路1112の入力電圧 V_{i2} の範囲は $[1.2, 1.5]$ である。

【0209】

可能な実装形態では、第1の分岐回路1111は、 n 個の共振インダクタをさらに含んでもよく、 n 個の共振インダクタは、 n 個の絶縁キャパシタに1対1の対応関係で直列にそれぞれ接続される。図10bに示されるように、 n が3である場合、第1の分岐回路1111は、共振インダクタ $L_{31} \sim L_{33}$ をさらに含む。共振インダクタ L_{31} の一端は、絶縁キャパシタ C_1 の他端に接続され、共振インダクタ L_{31} の他端は、出力スイッチングトランジスタ S_{21} と出力スイッチングトランジスタ S_{22} との間の第2の直列接続ノードに接続される。共振インダクタ L_{32} の一端は、絶縁キャパシタ C_2 の他端に接続され、共振インダクタ L_{32} の他端は、出力スイッチングトランジスタ S_{23} と出力スイッチングトランジスタ S_{24} との間の第2の直列接続ノードに接続される。共振インダクタ L_{33} の一端は、絶縁キャパシタ C_3 の他端に接続され、共振インダクタ L_{33} の他端は、出力スイッチングトランジスタ S_{25} と出力スイッチングトランジスタ S_{26} との間の第2の直列接続ノードに接続される。

10

20

30

40

50

【0210】

第1の分岐回路1111内の絶縁キャパシタに直列に接続された共振インダクタを追加することは、第1の分岐回路1111内の $n+1$ 個の入力スイッチングトランジスタおよび $2n$ 個の出力スイッチングトランジスタのゼロ電圧スイッチオンを実装し、各スイッチングトランジスタのスイッチング損失を低減し、変換回路111の効率をさらに改善するのに役立つ。 n より小さい共振インダクタが第1の分岐回路1111に追加されてもよく、これらの共振インダクタは、一部の絶縁キャパシタに1対1の対応関係で直列にそれぞれ接続されることが理解され得る。例えば、絶縁キャパシタC1に直列に接続された共振インダクタL31のみが追加され、共振インダクタL32およびL33は追加されない。これは、本出願のこの実施形態では限定されない。

10

【0211】

第1の分岐回路1111の実施例2：

本出願の一実施形態は、図18に示されるような変換回路111を提供する。第1の分岐回路1111は、絶縁ユニット1-1と変換ユニット1-2とを主に含む。

【0212】

変換ユニット1-2は、直並列接続 (Series - Parallel) 構造である。具体的には、変換ユニット1-2は、 K 個の変換キャパシタと、 K 個の第1の変換スイッチングトランジスタと、 $K-1$ 個の第2の変換スイッチングトランジスタと、 $K-1$ 個の第3の変換スイッチングトランジスタとを主に含み、 K は、1より大きい整数である。図18において、 K の値が5である例が使用されている。変換ユニット1-2は、変換キャパシタC021～C025と、第1の変換スイッチングトランジスタS021、S024、S027、S0210、およびS0213と、第2の変換スイッチングトランジスタS022、S025、S028、およびS0211と、第3の変換スイッチングトランジスタS023、S026、S029、およびS0212とを主に含む。

20

【0213】

変換ユニット1-2における1番目～($K-1$)番目の変換キャパシタおよび K 個の第1の変換スイッチングトランジスタは、順次交互に接続され、 j 番目の変換キャパシタの一端は、 j 番目の第1の変換スイッチングトランジスタの第2の電極に接続され、 j 番目の変換キャパシタの他端は、($j+1$)番目の第1の変換スイッチングトランジスタの第1の電極に接続され、 j は、1以上 K より小さい整数であり、 K 番目の変換キャパシタの一端は、出力端12に接続され、 K 番目の変換キャパシタの他端および出力端14は、接地される。

30

【0214】

例えば、図18では、第1の変換スイッチングトランジスタS021、変換キャパシタC021、第1の変換スイッチングトランジスタS024、変換キャパシタC022、第1の変換スイッチングトランジスタS027、変換キャパシタC023、第1の変換スイッチングトランジスタS0210、変換キャパシタC024、第1の変換スイッチングトランジスタS0213が順次接続されている。変換キャパシタC025の一端は出力端12に接続され、変換キャパシタC025の他端は接地されている。

【0215】

変換ユニット1-2において、1番目～($K-1$)番目の変換キャパシタは、 $K-1$ 個の第2の変換スイッチングトランジスタおよび $K-1$ 個の第3の変換スイッチングトランジスタに1対1の対応関係でさらにそれぞれ接続されている。 j 番目の変換キャパシタの一端は、 j 番目の変換キャパシタに対応する第2の変換スイッチングトランジスタの第2の電極に接続され、 j 番目の変換キャパシタの他端は、 j 番目の変換キャパシタに対応する第3の変換スイッチングトランジスタの第1の電極に接続される。

40

【0216】

例えば、図18において、変換キャパシタC021の一端は、第2の変換スイッチングトランジスタS022の第2の電極に接続され、変換キャパシタC021の他端は、第3の変換スイッチングトランジスタS023の第1の電極に接続される。変換キャパシタC022の一端は、第2の変換スイッチングトランジスタS025の第2の電極に接続され、変換キャパシタC022の他端は、第3の変換スイッチングトランジスタS026の第1の電極に接続されている。変換

50

キャパシタC023の一端は、第2の変換スイッチングトランジスタS028の第2の電極に接続され、変換キャパシタC023の他端は、第3の変換スイッチングトランジスタS029の第1の電極に接続されている。変換キャパシタC024の一端は、第2の変換スイッチングトランジスタS0211の第2の電極に接続され、変換キャパシタC024の他端は、第3の変換スイッチングトランジスタS0212の第1の電極に接続されている。

【0217】

また、K - 1個の第2の変換スイッチングトランジスタの第1の電極は、変換回路111の出力端12に接続され、K - 1個の第3の変換スイッチングトランジスタの第2の電極は、変換回路111の出力端14とともに接地される。図18に示されるように、第2の変換スイッチングトランジスタS022、S025、S028、S0211の第1の電極は、出力端12に接続される。第3の変換スイッチングトランジスタS023、S026、S029、S0212の第2の電極は、出力端14とともに接地される。

10

【0218】

図18に示される変換ユニット1 - 2から知見され得るように、変換ユニット1 - 2の低電位入力端（スイッチングトランジスタS023の第2の電極）は接地され、その結果、変換ユニット1 - 2は、入力キャパシタCin1に直接並列に接続されることができず、したがって、入力電圧Vi1を直接受信することができない。そこで、第1の分岐回路1111は、絶縁ユニット1 - 1をさらに含み得る。絶縁ユニット1 - 1の第1の端部は、1番目の第1の変換スイッチングトランジスタ（図18の第1の変換スイッチングトランジスタS021）の第1の電極に接続され、絶縁ユニット1 - 1の第2の端部は接地される。絶縁ユニット1 - 1は、第1の端部および第2の端部を介して変換ユニット1 - 2に第1の入力電圧を提供することができる。

20

【0219】

例えば、図18に示されるように、絶縁ユニットは、第1の絶縁スイッチングトランジスタS011と、第2の絶縁スイッチングトランジスタS012と、第3の絶縁スイッチングトランジスタS013と、第4の絶縁スイッチングトランジスタS014と、絶縁キャパシタC011とを含む。

【0220】

第1の絶縁スイッチングトランジスタS011の第1の電極は、入力端11に接続され、第1の絶縁スイッチングトランジスタS011の第2の電極は、第2の絶縁スイッチングトランジスタS012の第1の電極および絶縁キャパシタC011の一端に別々に接続される。第2の絶縁スイッチングトランジスタS012の第2の電極は、絶縁ユニット1 - 1の第1の端部であり、1番目の第1の変換スイッチングトランジスタ（第1の変換スイッチングトランジスタS021）の第1の電極に接続される。絶縁キャパシタC011の他端は、第3の絶縁スイッチングトランジスタS013の第2の電極および第4の絶縁スイッチングトランジスタS014の第1の電極に別々に接続される。第3の絶縁スイッチングトランジスタS013の第1の電極は、接続端13であり、第2の分岐回路1112の接続端21に接続される。第4の絶縁スイッチングトランジスタS014の第1の電極は、絶縁ユニット1 - 1の第2の端部であり、第4の絶縁スイッチングトランジスタS014の第2の電極は、接地される。

30

【0221】

絶縁ユニット1 - 1は、入力電の絶縁スイッチングトランジスタS014をオンに切り替えることができ、等価回路が図18 - 1に示されている。図18 - 1から、第1の絶縁スイッチングトランジスタS011および第4の絶縁スイッチングトランジスタS014がオンに切り替えられ、その結果、絶縁キャパシタC011が充電されることができ、絶縁キャパシタC011の電圧がViであることが知見され得る。第2の絶縁スイッチングトランジスタS012および第3の絶縁スイッチングトランジスタS013は、この期間中にオフに切り替えられることが理解され得る。

40

【0222】

期間T1の第2の期間において、コントローラ112は、第2の絶縁スイッチングトランジスタS012および第3の絶縁スイッチングトランジスタS013をオンに切り替え、第1の絶縁

50

スイッチングトランジスタS011および第4の絶縁スイッチングトランジスタS014をオフに切り替えることができる。等価回路を図18 - 2に示す。図18 - 2から、第2の絶縁スイッチングトランジスタS012および第3の絶縁スイッチングトランジスタS013がオンに切り替えられ、その結果、絶縁キャパシタC011が放電することができることが知見され得る。絶縁キャパシタC011の電圧は入力電圧 V_i に等しく、接続端13に接続された絶縁キャパシタC011の一端の電圧は $V_i/2$ であるため、変換ユニット1 - 2に接続された絶縁キャパシタC011の他端の電圧は $V_i - V_i/2 = V_i/2$ である。したがって、絶縁キャパシタC011は、入力電圧 $V_i/2$ を変換ユニット1 - 2に提供することができる。

【0223】

変換ユニット1 - 2は、入力電圧 $V_i/2$ をさらに変換することができる。具体的には、期間T2の第1の期間において、コントローラ112は、第1の変換スイッチングトランジスタS021、S024、S027、S0210、およびS0213をオンに切り替えることができ、その結果、変換キャパシタC021 ~ C025が充電される。

10

【0224】

第1の期間において、変換ユニット1 - 2の等価回路は、図18 - 3に示され得る。キャパシタC021 ~ キャパシタC025は順次直列に接続されており、各変換キャパシタの電圧は $V_i/5$ である。第2の変換スイッチングトランジスタS022、S025、S028、およびS0211、ならびに第3の絶縁スイッチングトランジスタS023、S026、S029、およびS0212は、この期間中にオフに切り替えられたままであるべきであることが理解され得る。

【0225】

期間T2の第2の期間において、コントローラ112は、第1の変換スイッチングトランジスタS021、S024、S027、S0210、S0213をオフに切り替え、第2の変換スイッチングトランジスタS022、S025、S028、S0211をオンに切り替え、第3の変換スイッチングトランジスタS023、S026、S029、S0212をオンに切り替えることができる。

20

【0226】

第2の期間において、変換ユニット1 - 2の等価回路は、図18 - 4に示され得る。この場合、変換キャパシタC021 ~ 変換キャパシタC025は、並列に電圧を出力する。各変換キャパシタの電圧は $V_i/5$ であるため、変換キャパシタC021 ~ 変換キャパシタC025の各々の出力電圧 V_o は $V_i/5$ となる。

【0227】

絶縁ユニット1 - 1がT1期間の第1の期間にあるとき、変換ユニット1 - 2はT2期間の第2の期間にあってもよい。すなわち、絶縁キャパシタC011が充電されると、変換ユニット1 - 2内の変換キャパシタは放電する。絶縁ユニット1 - 1がT1期間の第2の期間にあるとき、変換ユニット1 - 2はT2期間の第1の期間にあってもよい。すなわち、絶縁キャパシタC011が放電すると、変換ユニット1 - 2内の変換キャパシタが充電される。

30

【0228】

上記の変換プロセスから、図18に示される第1の分岐回路1111の最大変圧比は5であり、これは、第1の分岐回路1111内の変換キャパシタの数に等しいことが知見され得る。すなわち、第1の分岐回路1111がK個の変換キャパシタを含む場合、第1の分岐回路1111の最大変圧比はKである。

40

【0229】

図18に示される第1の分岐回路1111はまた、4、3、2、および1の変圧比を実装し得る。詳細は以下の通りである。

【0230】

第1の変圧比 N_1 は4に設定される。

【0231】

コントローラ112は、期間T2の第1の期間において、第1の変換スイッチングトランジスタS021、第1の変換スイッチングトランジスタS024、第1の変換スイッチングトランジスタS027、第1の変換スイッチングトランジスタS0210、および第2の変換スイッチングトランジスタS0211をオンに切り替えることができる。等価回路は図18 - 5に示され得る

50

。図18 - 5に示されるように、変換キャパシタC021、変換キャパシタC022、変換キャパシタC023、変換キャパシタC025が直列に充電され、各変換キャパシタの電圧は $V_{i1}/4$ となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

【0232】

期間T2の第2の期間において、コントローラ112は、第2の変換スイッチングトランジスタS022、S025、S028をオンに切り替え、第3の変換スイッチングトランジスタS023、S026、S029をオンに切り替えることができる。等価回路は図18 - 6に示され得る。図18 - 6に示されるように、変換キャパシタC021、変換キャパシタC022、変換キャパシタC023、変換キャパシタC025は、並列に放電する。変換キャパシタC021、変換キャパシタC022、変換キャパシタC023、変換キャパシタC025の各々の電圧は $V_{i1}/4$ であるため、変換キャパシタC021~変換キャパシタC025の各々の出力電圧 V_o は $V_{i1}/4$ となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

10

【0233】

第1の変圧比 N_1 は3に設定される。

【0234】

コントローラ112は、期間T2の第1の期間において、第1の変換スイッチングトランジスタS021、第1の変換スイッチングトランジスタS024、第1の変換スイッチングトランジスタS027、および第2の変換スイッチングトランジスタS028をオンに切り替えることができる。等価回路は図18 - 7に示され得る。図18 - 7に示されるように、変換キャパシタC021、変換キャパシタC022、変換キャパシタC025が直列に充電され、各変換キャパシタの電圧は $V_{i1}/3$ となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

20

【0235】

期間T2の第2の期間において、コントローラ112は、第2の変換スイッチングトランジスタS022、S025をオンに切り替え、第3の変換スイッチングトランジスタS023、S026をオンに切り替えることができる。等価回路は図18 - 8に示され得る。図18 - 8に示されるように、変換キャパシタC021、変換キャパシタC022および変換キャパシタC025は、並列に放電する。変換キャパシタC021、変換キャパシタC022、変換キャパシタC025の各々の電圧は $V_{i1}/3$ であるため、変換キャパシタC021、変換キャパシタC022、変換キャパシタC025の各々の出力電圧 V_o は $V_{i1}/3$ となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

30

【0236】

第1の変圧比 N_1 は2に設定される。

【0237】

コントローラ112は、期間T2の第1の期間に第1の変換スイッチングトランジスタS021、第1の変換スイッチングトランジスタS024、および第2の変換スイッチングトランジスタS025をオンに切り替えることができ、等価回路は、図18 - 9のように示され得る。図18 - 9に示されるように、変換キャパシタC021と変換キャパシタC025は直列に充電されており、各変換キャパシタの電圧は $V_{i1}/2$ である。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

40

【0238】

期間T2の第2の期間において、コントローラ112は、第2の変換スイッチングトランジスタS022および第3の変換スイッチングトランジスタS023をオンに切り替えることができる。等価回路は図18 - 10に示され得る。図18 - 10に示されるように、変換キャパシタC021および変換キャパシタC025は、並列に放電する。変換キャパシタC021および変換キャパシタC025の各々の電圧は $V_{i1}/2$ であるため、変換キャパシタC021および変換キャパシタC025の各々の出力電圧 V_o は $V_{i1}/2$ となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

50

【 0 2 3 9 】

第1の変圧比 N_1 は1に設定される。

【 0 2 4 0 】

コントローラ112は、期間T2において、第1の変換スイッチングトランジスタS021および第2の変換スイッチングトランジスタS022をオンに切り替えたままにすることができ、等価回路は図18 - 11に示され得る。入力電圧 V_{i1} はそのまま出力端12から出力されるため、出力電圧 $V_o = V_{i1}$ となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされ得ることが理解され得る。

【 0 2 4 1 】

第1の分岐回路1111の実施例3：

本出願の一実施形態は、図19に示されるような変換回路111を提供する。第1の分岐回路1111は、絶縁ユニット1 - 1と変換ユニット1 - 2とを主に含む。

10

【 0 2 4 2 】

具体的には、変換ユニット1 - 2は、K個の第1の変換キャパシタと、K個の第2の変換キャパシタと、K個の第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタとを主に含み、Kは、1より大きい整数である。図19において、Kの値が2である例が使用されている。変換ユニット1 - 2は、第1の変換キャパシタC0211およびC0212と、第2の変換キャパシタC0221およびC0222と、第1の変換スイッチングトランジスタS0211およびS0212と、第2の変換スイッチングトランジスタS0221およびS0222と、第3の変換スイッチングトランジスタS0231およびS0232と、第4の変換スイッチングトランジスタS0241およびS0242とを主に含む。

20

【 0 2 4 3 】

変換ユニット1 - 2において、K個の第1の変換キャパシタの一端は、K個の第1の変換スイッチングトランジスタの第2の電極およびK個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第1の変換キャパシタの他端は、K個の第3の変換スイッチングトランジスタの第2の電極およびK個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続される。

【 0 2 4 4 】

図19に示されるように、第1の変換キャパシタC0211の一端は、第1の変換スイッチングトランジスタS0211の第2の電極および第2の変換スイッチングトランジスタS0221の第1の電極に別々に接続され、第1の変換キャパシタC0211の他端は、第3の変換スイッチングトランジスタS0231の第2の電極および第4の変換スイッチングトランジスタS0241の第1の電極に別々に接続される。

30

【 0 2 4 5 】

他の例として、図19において、第1の変換キャパシタC0212の一端は、第1の変換スイッチングトランジスタS0212の第2の電極および第2の変換スイッチングトランジスタS0222の第1の電極に別々に接続され、第1の変換キャパシタC0212の他端は、第3の変換スイッチングトランジスタS0232の第2の電極および第4の変換スイッチングトランジスタS0242の第1の電極に別々に接続される。

40

【 0 2 4 6 】

変換ユニット1 - 2において、K個の第2の変換キャパシタの一端は、K個の第2の変換スイッチングトランジスタの第2の電極とK個の第3の変換スイッチングトランジスタの第1の電極とに1対1の対応関係でそれぞれ接続され、K個の第2の変換キャパシタの他端は、K個の第4の変換スイッチングトランジスタの第2の電極に1対1の対応関係でそれぞれ接続される。

【 0 2 4 7 】

例えば、図19において、第2の変換キャパシタC0221の一端は、第2の変換スイッチングトランジスタS0221の第2の電極および第3の変換スイッチングトランジスタS0231の第1の電極に別々に接続され、第2の変換キャパシタC0221の他端は、第4の変換スイッチ

50

ングトランジスタS0241の第2の電極に別々に接続される。

【0248】

別の例として、図19において、第2の変換キャパシタC0222の一端は、第2の変換スイッチングトランジスタS0222の第2の電極および第3の変換スイッチングトランジスタS0232の第1の電極に別々に接続され、第2の変換キャパシタC0222の他端は、第4の変換スイッチングトランジスタS0242の第2の電極に別々に接続される。

【0249】

また、変換ユニット1-2において、1番目～(K-1)番目の第4の変換スイッチングトランジスタの第2の電極は、2番目～K番目の第1の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続されている。例えば、図19において、第4の変換スイッチングトランジスタS0241の第2の電極は、第1の変換スイッチングトランジスタS0212の第1の電極に接続され、第4の変換スイッチングトランジスタS0242の第2の電極は、出力端14とともに接地される。

【0250】

図19に示される変換ユニット1-2から、変換ユニット1-2は、入力キャパシタCin1に並列に接続されることができず、したがって、入力電圧Vi1を直接受信することができないことが知見され得る。そこで、第1の分岐回路1111は、絶縁ユニット1-1をさらに含み得る。絶縁ユニット1-1の具体的な実装形態については、第1の分岐回路1111の例2を参照されたい。詳細は、本明細書では再度説明されない。

【0251】

変換ユニット1-2は、入力電圧Vi1を変換することができる。具体的には、期間T2の第1の期間において、コントローラ112は、第1の変換スイッチングトランジスタS0211およびS0212をオンに切り替え、第3の変換スイッチングトランジスタS0231およびS0232をオンに切り替えることができ、等価回路は図19-1に示される。図19-1に示されるように、第1の変換キャパシタC0211、第2の変換キャパシタC0221、第1の変換キャパシタC0212、第2の変換キャパシタC0222が順次直列に充電され、各変換キャパシタの電圧はVi1/4となる。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされるべきであることが理解され得る。

【0252】

期間T2の第2の期間において、コントローラ112は、第2の変換スイッチングトランジスタS0221およびS0222をオンに切り替え、第4の変換スイッチングトランジスタS0241およびS0242をオンに切り替えることができ、等価回路は図19-2に示される。図19-2から、第1の変換キャパシタC0211、第2の変換キャパシタC0221、第1の変換キャパシタC0212、および第2の変換キャパシタC0222は並列に放電することが知見され得る。各変換キャパシタの電圧はVi1/4であるため、変換ユニット1-2の出力電圧VoはVi1/4である。コントローラ112は、この期間中、他のスイッチングトランジスタをオフに切り替えられたままにし得ることが理解され得る。

【0253】

上記の変換プロセスから、図19に示す第1の分岐回路1111の最大変圧比は4であり、これは、第1の分岐回路1111内の第1の変換キャパシタの数の2倍に等しいことが知見され得る。すなわち、第1の分岐回路1111がK個の第1の変換キャパシタを含む場合、第1の分岐回路1111の最大変圧比は2Kである。

【0254】

図19に示される第1の分岐回路1111はまた、2および1の変圧比を実装し得る。詳細は以下の通りである。

【0255】

第1の変圧比N1は2に設定される。

【0256】

コントローラ112は、期間T2の第1の期間に第1の変換スイッチングトランジスタS0211、第2の変換スイッチングトランジスタS0221、第3の変換スイッチングトランジスタS0

10

20

30

40

50

231、および第4の変換スイッチングトランジスタS0241をオンに切り替えることができ、等価回路は図19 - 3のように示され得る。図19 - 3から知見され得るように、第1の変換キャパシタC0211と第2の変換キャパシタC0221は短絡されている。コントローラ112は、第1の変換キャパシタC0212および第2の変換キャパシタC0222が直列に充電され、各変換キャパシタの電圧が $V_{i1}/2$ であるように、第1の変換スイッチングトランジスタS0212および第3の変換スイッチングトランジスタS0232をオンに切り替える必要がさらにある。コントローラ112は、この期間中、他のスイッチングトランジスタをオフに切り替えられたままにし得ることが理解され得る。

【0257】

期間T2の第2の期間において、コントローラ112は、第1の変換スイッチングトランジスタS0211、第2の変換スイッチングトランジスタS0221、第3の変換スイッチングトランジスタS0231、および第4の変換スイッチングトランジスタS0241をオンに切り替え、第1の変換スイッチングトランジスタS0212および第3の変換スイッチングトランジスタS0232をオフに切り替え、第2の変換スイッチングトランジスタS0222および第4の変換スイッチングトランジスタS0242をオンに切り替えることができる。等価回路が図19 - 4に示される。図19 - 4に示されるように、第1の変換キャパシタC0212および第2の変換キャパシタC0222は、並列に放電する。第1の変換キャパシタC0212の電圧と第2の変換キャパシタC0222の電圧はそれぞれ $V_{i1}/2$ であるため、変

【0258】

第1の変圧比 $N1$ は1に設定される。

【0259】

コントローラ112は、期間T2において、第1の変換スイッチングトランジスタS0211およびS0212、第2の変換スイッチングトランジスタS0221およびS0222、第3の変換スイッチングトランジスタS0231およびS0232、第4の変換スイッチングトランジスタS0241およびS0242をオンに切り替えられたままにすることができ、等価回路は図19 - 5に示され得る。入力電圧 V_{i1} はそのまま出力端12から出力されるため、出力電圧 $V_o = V_{i1}$ となる。

【0260】

第1の分岐回路1111の実施例4：

本出願の一実施形態は、図20に示されるような変換回路111を提供する。第1の分岐回路1111は、絶縁ユニット1 - 1と変換ユニット1 - 2とを主に含む。

【0261】

具体的には、変換ユニット1 - 2は、K個の第1の変換キャパシタと、K個の第2の変換キャパシタと、K個の第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタとを主に含む。図20において、Kの値が2である例が使用されている。変換ユニット1 - 2は、第1の変換キャパシタC0211およびC0212と、第2の変換キャパシタC0221およびC0222と、第1の変換スイッチングトランジスタS0211およびS0212と、第2の変換スイッチングトランジスタS0221およびS0222と、第3の変換スイッチングトランジスタS0231およびS0232と、第4の変換スイッチングトランジスタS0241およびS0242とを主に含む。

【0262】

変換ユニット1 - 2において、K個の第1の変換キャパシタの一端は、K個の第1の変換スイッチングトランジスタの第2の電極およびK個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第1の変換キャパシタの他端は、K個の第3の変換スイッチングトランジスタの第2の電極およびK個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続される。

【0263】

図20に示されるように、第1の変換キャパシタC0211の一端は、第1の変換スイッチングトランジスタS0211の第2の電極および第2の変換スイッチングトランジスタS0221の第1の電極に別々に接続され、第1の変換キャパシタC0211の他端は、第3の変換スイッチ

10

20

30

40

50

ングトランジスタS0231の第2の電極および第4の変換スイッチングトランジスタS0241の第1の電極に別々に接続される。

【0264】

他の例として、図20において、第1の変換キャパシタC0212の一端は、第1の変換スイッチングトランジスタS0212の第2の電極および第2の変換スイッチングトランジスタS0222の第1の電極に別々に接続され、第1の変換キャパシタC0212の他端は、第3の変換スイッチングトランジスタS0232の第2の電極および第4の変換スイッチングトランジスタS0242の第1の電極に別々に接続される。

【0265】

変換ユニット1-2において、K個の第2の変換キャパシタの一端は、K個の第2の変換スイッチングトランジスタの第2の電極とK個の第3の変換スイッチングトランジスタの第1の電極とに1対1の対応関係でそれぞれ接続され、K個の第2の変換キャパシタの他端は、K個の第4の変換スイッチングトランジスタの第2の電極に1対1の対応関係で接続される。

10

【0266】

例えば、図20において、第2の変換キャパシタC0221の一端は、第2の変換スイッチングトランジスタS0221の第2の電極および第3の変換スイッチングトランジスタS0231の第1の電極に別々に接続され、第2の変換キャパシタC0221の他端は、第4の変換スイッチングトランジスタS0241の第2の電極に別々に接続される。

【0267】

別の例として、図20において、第2の変換キャパシタC0222の一端は、第2の変換スイッチングトランジスタS0222の第2の電極および第3の変換スイッチングトランジスタS0232の第1の電極に別々に接続され、第2の変換キャパシタC0222の他端は、第4の変換スイッチングトランジスタS0242の第2の電極に別々に接続される。

20

【0268】

また、変換ユニット1-2において、K個の第4の変換スイッチングトランジスタの第2の電極は、出力端14とともに接地され、1番目～(K-1)番目の第2の変換スイッチングトランジスタの第2の電極は、2番目～K番目の第1の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K番目の第2の変換スイッチングトランジスタの第2の電極は、出力端12に接続される。

【0269】

例えば、図21において、第4の変換スイッチングトランジスタS0241、S0242の第2の電極は、接地され、第2の変換スイッチングトランジスタS0221の第2の電極は第1の変換スイッチングトランジスタS0211の第1の電極に接続され、第2の変換スイッチングトランジスタS0222の第2の電極は出力端12に接続される。

30

【0270】

図20に示される変換ユニット1-2から、変換ユニット1-2は、入力キャパシタCin1に並列に接続されることができず、したがって、入力電圧Vi1を直接受信することができないことが知見され得る。そこで、第1の分岐回路1111は、絶縁ユニット1-1をさらに含み得る。絶縁ユニット1-1の具体的な実装形態については、第1の分岐回路1111の例2を参照されたい。詳細は、本明細書では再度説明されない。

40

【0271】

変換ユニット1-2は、入力電圧Vi1を変換することができる。コントローラ112が第1の変圧比N1を4に設定する具体的な実装形態については、第1の分岐回路1111の例3を参照されたい。詳細は、本明細書では再度説明されない。

【0272】

第1の変圧比N1は2に設定される。

【0273】

コントローラ112は、期間T2の第1の期間において、第1の変換スイッチングトランジスタS0211および第2の変換スイッチングトランジスタS0221をオンに切り替え、第3の変換スイッチングトランジスタS0231および第4の変換スイッチングトランジスタS0241

50

をオフに切り替えることができる。コントローラ112はさらに、第1の変換スイッチングトランジスタS0212および第3の変換スイッチングトランジスタS0232をオンに切り替える必要があり、等価回路が図20 - 1に示されている。第1の変換キャパシタC0212および第2の変換キャパシタC0222は直列に充電され、各変換キャパシタの電圧は $V_{i1} / 2$ である。

【0274】

期間T2の第2の期間において、コントローラ112は、第1の変換スイッチングトランジスタS0211および第2の変換スイッチングトランジスタS0221をオンに切り替えたままにし、第3の変換スイッチングトランジスタS0231および第4の変換スイッチングトランジスタS0241をオフに切り替えたままにし得る。コントローラ112は、第1の変換スイッチングトランジスタS0212および第3の変換スイッチングトランジスタS0232をオフに切り替え、第2の変換スイッチングトランジスタS0222および第4の変換スイッチングトランジスタS0242をオンに切り替える。等価回路が図20 - 2に示される。第1の変換キャパシタC0212および第2の変換キャパシタC0222c。第1の変換キャパシタC0212の電圧と第2の変換キャパシタC0222の電圧はそれぞれ $V_{i1} / 2$ であるため、変換ユニット1 - 2の出力電圧 V_o は $V_{i1} / 2$ である。

10

【0275】

第1の変圧比 N_1 は1に設定される。

【0276】

期間T2において、コントローラ112は、第1の変換スイッチングトランジスタS0211、S0212および第2の変換スイッチングトランジスタS0221、S0222をオンに切り替えたままにし、第3の変換スイッチングトランジスタS0231、S0232および第4の変換スイッチングトランジスタS0241、S0242をオフに切り替えたままにすることができ、等価回路は図20 - 3に示される。したがって、出力電圧 $V_o = V_{i1}$ は実装されることができる。

20

【0277】

第1の分岐回路1111の実施例5：

本出願の一実施形態は、図21に示されるような変換回路111を提供する。第1の分岐回路1111は、絶縁ユニット1 - 1と変換ユニット1 - 2とを主に含む。

【0278】

具体的には、変換ユニット1 - 2は、K個の第1の変換キャパシタと、第1の変換スイッチングトランジスタと、K個の第2の変換スイッチングトランジスタと、K個の第3の変換スイッチングトランジスタと、K個の第4の変換スイッチングトランジスタと、第2の変換キャパシタとを主に含み、Kは、1より大きい整数である。図21において、Kの値が2である例が使用されている。変換ユニット1 - 2は、第1の変換キャパシタC0211およびC0212と、第1の変換スイッチングトランジスタS0211と、第2の変換スイッチングトランジスタS0221およびS0222と、第3の変換スイッチングトランジスタS0231およびS0232と、第4の変換スイッチングトランジスタS0241およびS0242と、第2の変換キャパシタC0222とを主に含む。

30

【0279】

変換ユニット1 - 2において、K個の第1の変換キャパシタの一端は、K個の第2の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続され、K個の第1の変換キャパシタの他端は、K個の第3の変換スイッチングトランジスタの第2の電極およびK個の第4の変換スイッチングトランジスタの第1の電極に1対1の対応関係でそれぞれ接続される。

40

【0280】

図21に示されるように、第1の変換キャパシタC0211の一端は、第2の変換スイッチングトランジスタS0221の第1の電極に接続され、第1の変換キャパシタC0211の他端は、第3の変換スイッチングトランジスタS0231の第2の電極および第4の変換スイッチングトランジスタS0241の第1の電極に別々に接続される。

【0281】

50

別の例として、図21において、第1の変換キャパシタC0212の一端は、第2の変換スイッチングトランジスタS0222の第1の電極に接続され、第1の変換キャパシタC0212の他端は、第3の変換スイッチングトランジスタS0232の第2の電極および第4の変換スイッチングトランジスタS0242の第1の電極に別々に接続される。

【0282】

変換ユニット1-2において、K個の第4の変換スイッチングトランジスタの第2の電極は出力端14とともに接地され、K個の第2の変換スイッチングトランジスタは順次接続され、1番目の第2の変換スイッチングトランジスタの第1の電極は第1の変換スイッチングトランジスタの第2の電極に接続され、K番目の第2の変換スイッチングトランジスタの第2の電極は出力端12に接続される。

10

【0283】

例えば、図21において、第4の変換スイッチングトランジスタS0241、S0242の第2の電極は、接地され、第2の変換スイッチングトランジスタS0221の第2の電極は第1の変換スイッチングトランジスタS212の第1の電極に接続され、第2の変換スイッチングトランジスタS0222の第2の電極は出力端12に接続される。

【0284】

図21に示される変換ユニット1-2から、変換ユニット1-2は、入力キャパシタCin1に並列に接続されることができず、したがって、入力電圧Vi1を直接受信することができないことが知見され得る。そこで、第1の分岐回路1111は、絶縁ユニット1-1をさらに含み得る。絶縁ユニット1-1の具体的な実装形態については、第1の分岐回路1111の例2を参照されたい。詳細は、本明細書では再度説明されない。

20

【0285】

変換ユニット1-2は、入力電圧Vi1を変換することができる。具体的には、期間T2の第1の期間において、コントローラ112は、第1の変換スイッチングトランジスタS0211をオンに切り替え、第3の変換スイッチングトランジスタS0231およびS0232をオンに切り替えることができ、等価回路は図21-1に示される。第1の変換キャパシタC0211、第1の変換キャパシタC0212、および第2の変換キャパシタC0222は、直列に接続されて充電され、各変換キャパシタの電圧はVi1/3である。他のスイッチングトランジスタは、この期間中にオフに切り替えられたままにされるべきであることが理解され得る。

【0286】

期間T2の第2の期間において、コントローラ112は、第2の変換スイッチングトランジスタS0221およびS0222をオンに切り替え、第4の変換スイッチングトランジスタS0241およびS0242をオンに切り替えることができ、等価回路が図21-2に示される。第1の変換キャパシタC0211、第1の変換キャパシタC0212、および第2の変換キャパシタC0222は、並列に放電する。各変換キャパシタの電圧はVi1/3であるため、変換ユニット1-2の出力電圧VoはVi1/3である。コントローラ112は、この期間中、他のスイッチングトランジスタをオフに切り替えられたままにし得ることが理解され得る。

30

【0287】

上記の変換プロセスから、図21に示される第1の分岐回路1111の最大変圧比は3であり、これは、第1の分岐回路1111内の第1の変換キャパシタの数に1を加えたものに等しいことが知見され得る。すなわち、第1の分岐回路1111がK個の第1の変換キャパシタを含む場合、第1の分岐回路1111の最大変圧比はK+1である。

40

【0288】

図21に示される第1の分岐回路1111はまた、2および1の変圧比を実装し得る。詳細は以下の通りである。

【0289】

第1の変圧比N1が2に設定された場合、

期間T2の第1の期間において、コントローラ112は、第1の変換スイッチングトランジスタS0211および第2の変換スイッチングトランジスタS0221をオンに切り替え、第3の変換スイッチングトランジスタS0231および第4の変換スイッチングトランジスタS0241

50

をオフに切り替える。コントローラ112は、第3の変換スイッチングトランジスタS0232をオンに切り替える必要がさらにあり、等価回路が図21 - 3に示され得る。第1の変換キャパシタC0212および第2の変換キャパシタC0222は直列に充電され、各変換キャパシタの電圧は $V_{i1} / 2$ である。

【0290】

期間T2の第2の期間において、コントローラ112は、第1の変換スイッチングトランジスタS0211および第2の変換スイッチングトランジスタS0221をオンに切り替えたままにし、第3の変換スイッチングトランジスタS0231および第4の変換スイッチングトランジスタS0241をオフに切り替えたままにし得る。コントローラ112は、第3の変換スイッチングトランジスタS0232をオフに切り替え、第2の変換スイッチングトランジスタS0222および第4の変換スイッチングトランジスタS0242をオンに切り替える。等価回路は図21 - 4に示され得る。第1の変換キャパシタC0212および第2の変換キャパシタC0222は、並列に放電する。第1の変換キャパシタC0212の電圧と第2の変換キャパシタC0222の電圧はそれぞれ $V_{i1} / 2$ であるため、変換ユニット1 - 2の出力電圧 V_o は $V_{i1} / 2$ である。

10

【0291】

第1の変圧比 N_1 が1に設定される場合、

コントローラ112は、期間T2において、第1の変換スイッチングトランジスタS0211、第2の変換スイッチングトランジスタS0221、S0222をオンに切り替えたままにし、第3の変換スイッチングトランジスタS0231、S0232、第4の変換スイッチングトランジスタS0241、S0242をオフに切り替えたままにすることができ、等価回路は図21 - 5に示され得る。入力電圧 V_{i1} はそのまま出力端12から出力されるため、出力電圧 $V_o = V_{i1}$ となる。

20

【0292】

第1の分岐回路1111の実施例6：

実施例1～実施例5において、第1の分岐回路1111は、整数値の変圧比のみに対応している。可能な実装形態では、第1の分岐回路1111は、第1の調整可能インダクタをさらに含み得、第1の調整可能インダクタは、第1の分岐回路による変換を介して取得された出力電圧 V_o を出力し得る。第1の調整可能インダクタが第1の分岐回路1111に配置されるため、第1の分岐回路1111は、第1の調整可能インダクタを使用することによって、出力電圧 V_o に対してより細かい調整を実行することができる。すなわち、第1の変圧比 N_1 は、特定の範囲内で連続的に変化してもよく、第1の変圧比 N_1 の値は、非整数であってもよい。

30

【0293】

例えば、図22に示されるように、第1の分岐回路1111の構造は、第1の分岐回路1111の例1における第1の分岐回路1111の構造と同様であり、類似点は再び説明されない。相違点は、図22の第1の分岐回路1111が第1の調整可能インダクタL2をさらに含み、第1の調整可能インダクタL2の一端が出力スイッチングトランジスタS23の第1の電極に接続され、第1の調整可能インダクタL2の他端が出力端12に接続されることにある。

【0294】

したがって、コントローラ112が第1の分岐回路1111を制御する方式はまた、第1の分岐回路1111の例1において開示される制御方式に基づいてさらに調整され得る。具体的には、第1の分岐回路1111の第1の変圧比 N_1 が非整数であると決定した後、コントローラ112は、第1の変圧比 N_1 を丸めることができ、丸め結果はAによって表される。例えば、 $N_1 = 4.3$ である場合、 $A = 4$ である。

40

【0295】

コントローラ112は、各期間のうちの第1の期間で一部のスイッチングトランジスタがオンに切り替えられるように制御し、各期間のうちの第2の期間で他の一部のスイッチングトランジスタがオンに切り替えられるように制御することができる。コントローラ112は、丸め結果Aに基づいて、実施例1と同様に、異なる期間にオンに切り替える必要があるスイッチングトランジスタを決定することができる。

【0296】

例えば、丸め結果 $A = 2$ の場合、コントローラ112は、第1の期間において、入力スイッ

50

チングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、および出力スイッチングトランジスタS24をオンに切り替え、入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26をオフに切り替える。コントローラ112は、第2の期間において、入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、および出力スイッチングトランジスタS23をオンに切り替え、入力スイッチングトランジスタS11、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26をオフに切り替える。

10

【0297】

相違点は、実施例1において、頻繁にオンに切り替えられないまたは頻繁にオフに切り替えられないスイッチングトランジスタのためにコントローラ112によって使用される駆動信号のデューティサイクルが50%である、すなわち、第1の期間の持続時間が第2の期間の持続時間と等しいことにある。しかしながら、実施例6において、第1の調整可能インダクタL1が第1の分岐回路1111に追加されるため、コントローラ112は、駆動信号のデューティサイクルを調整することによって、第1の調整可能インダクタL1の充電および放電時間を調整し得る。加えて、第1の調整可能インダクタL1の電圧は連続的に変化し得るため、コントローラ112は、駆動信号のデューティサイクルを調整することによって出力電圧Voを連続的に調整し得、さらに、第1の分岐回路1111のデューティサイクルを連続的に調整し得る。

20

【0298】

次に、端子バッテリー12の放電プロセスが、図8に示される方法手順に従って説明するための例として使用される。端子バッテリー12の放電プロセスにおいて、コントローラ112は、基準電圧Vcを不変に維持してもよく、または現在の入力電圧Viおよび目標出力電圧Vaに基づいて基準電圧Vcを動的に調整してもよいことに留意されたい。これは、本出願のこの実施形態では限定されない。

【0299】

詳細は以下の通りである。

【0300】

端子バッテリー12の放電の初期段階では、図23aに示されるように、変換回路111の入力電圧Viは4.4Vであり、目標出力電圧Vaは0.75Vである。基準電圧Vc = 1.5Vであると仮定されると、コントローラ112は、第1の分岐回路1111の第1の変圧比N1が3.86であり、第1の変圧比N1の丸め結果Aが3であり、第2の変圧比N2 = 2であると決定することができる。コントローラ112は、丸め結果A = 3に基づいて、各期間のうちの第1の期間および第2の期間において別々にオンまたはオフに切り替えられる必要があるスイッチングトランジスタを決定することができる。次いで、第1の変圧比N1が3.86に達するように、頻繁にオンに切り替えられないか、または頻繁にオフに切り替えられないスイッチングトランジスタの駆動信号のデューティサイクルが調整される。

30

【0301】

端子バッテリー12が一定時間放電した後、図23bに示されるように、バッテリー電圧は低下し、入力電圧Viは3.2Vまで低下し、この場合、目標出力電圧Vaは依然として0.75Vである。基準電圧Vcが依然として1.5Vであると仮定されると、コントローラ112は、第1の分岐回路1111の第1の変圧比N1が2.27に等しく、第1の変圧比N1の丸め結果Aが2に等しく、第2の変圧比N2が2に等しいと決定することができる。コントローラ112は、丸め結果A = 2に基づいて、各期間のうちの第1の期間および第2の期間において別々にオンまたはオフに切り替えられる必要があるスイッチングトランジスタを決定することができる。次いで、第1の変圧比N1が2.27に達するように、頻繁にオンに切り替えられないか、または頻繁にオフに切り替えられないスイッチングトランジスタの駆動信号のデューティサイクルが調整される。

40

50

【0302】

図23cに示されるように、入力電圧は4Vであり、目標出力電圧 V_a は1.25Vである。基準電圧 V_c が2Vであると仮定されると、コントローラ112は、第1の分岐回路1111の第1の変圧比 N_1 が1.6に等しく、第1の変圧比 N_1 の丸め結果 A が1に等しく、第2の変圧比 N_2 が1.6に等しいと決定することができる。コントローラ112は、丸め結果 $A=1$ に基づいて、各期間のうちの第1の期間および第2の期間において別々にオンまたはオフに切り替えられる必要があるスイッチングトランジスタを決定することができる。次いで、第1の変圧比 N_1 が1.6に達するように、頻繁にオンに切り替えられないか、または頻繁にオフに切り替えられないスイッチングトランジスタの駆動信号のデューティサイクルが調整される。

10

【0303】

次に、第1の変圧比 N_1 について、図22を例にしてさらに説明される。

【0304】

第1の変圧比 N_1 は3に設定される。

【0305】

例えば、第1の分岐回路1111内の全てのスイッチングトランジスタが高電圧でオンに切り替えられ、低電圧でオフに切り替えられると仮定されると、コントローラ112は、図11に示される駆動信号を使用することによって、第1の変圧比 N_1 を3に設定し得る。詳細は以下の通りである。

【0306】

0から $T/2$ までの期間において、スイッチングトランジスタの状態は、図24aに示され得る。入力スイッチングトランジスタ S_{11} 、入力スイッチングトランジスタ S_{13} 、出力スイッチングトランジスタ S_{21} 、出力スイッチングトランジスタ S_{24} 、および出力スイッチングトランジスタ S_{25} がオンに切り替えられる。入力スイッチングトランジスタ S_{12} 、入力スイッチングトランジスタ S_{14} 、出力スイッチングトランジスタ S_{22} 、出力スイッチングトランジスタ S_{23} 、および出力スイッチングトランジスタ S_{26} がオフに切り替えられる。

20

【0307】

$T/2$ から T までの期間において、スイッチングトランジスタの状態は、図24bに示され得る。入力スイッチングトランジスタ S_{11} 、入力スイッチングトランジスタ S_{13} 、出力スイッチングトランジスタ S_{21} 、出力スイッチングトランジスタ S_{24} 、および出力スイッチングトランジスタ S_{25} がオフに切り替えられる。入力スイッチングトランジスタ S_{12} 、入力スイッチングトランジスタ S_{14} 、出力スイッチングトランジスタ S_{22} 、出力スイッチングトランジスタ S_{23} 、および出力スイッチングトランジスタ S_{26} がオンに切り替えられる。

30

【0308】

図24aを図12aと比較し、図24bを図12bと比較することによって、コントローラ112が同じ方法でスイッチングトランジスタをオンまたはオフに切り替えることが知見され得る。第1の調整可能インダクタ L_1 上の電圧は、0から $T/2$ までの期間および $T/2$ から T までの期間において0であるため、出力電圧 V_o の値は変更されないことに留意されたい。

【0309】

第1の変圧比 N_1 は3.86に設定される。

40

【0310】

例えば、コントローラ112は、図25に示される駆動信号を用いて、第1の変圧比 N_1 を3.86に設定してもよい。図25に示されるように、駆動信号の期間は T である。入力スイッチングトランジスタ S_{11} と入力スイッチングトランジスタ S_{13} とは同じ駆動信号に対応し、入力スイッチングトランジスタ S_{12} と入力スイッチングトランジスタ S_{14} とは同じ駆動信号に対応し、出力スイッチングトランジスタ S_{21} と出力スイッチングトランジスタ S_{24} と出力スイッチングトランジスタ S_{25} とは同じ駆動信号に対応し、出力スイッチングトランジスタ S_{22} と出力スイッチングトランジスタ S_{23} と出力スイッチングトランジスタ S_{26} とは同じ駆動信号に対応する。

【0311】

50

0からt1までの期間において、スイッチングトランジスタの状態は、図26aに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、および出力スイッチングトランジスタS25がオンに切り替えられる。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0312】

t1からt2までの期間において、スイッチングトランジスタの状態は、図26bに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、および入力スイッチングトランジスタS14はオフに切り替えられる。出力スイッチングトランジスタS21、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオンに切り替えられる。

10

【0313】

t2からt3までの期間において、スイッチングトランジスタの状態は、図26cに示され得る。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、および出力スイッチングトランジスタS26がオンに切り替えられる。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、および出力スイッチングトランジスタS25がオフに切り替えられる。

20

【0314】

t3からTまでの期間において、スイッチングトランジスタの状態は、図26dに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、および入力スイッチングトランジスタS14はオフに切り替えられる。出力スイッチングトランジスタS21、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオンに切り替えられる。

【0315】

図25の駆動信号を図11の駆動信号と比較することによって、t2からt3までの期間およびt3からTまでの期間が、図25に示される駆動信号に追加され、t2からt3までの期間およびt3からTまでの期間が、図26bおよび図26dに示されるオン/オフ状態にそれぞれ対応することが知見され得る。t2からt3までの期間およびt3からTまでの期間は、第1の調整可能インダクタL1のフリーホイーリングのために使用され得る。

30

【0316】

D1は、期間Tにおける0からt1までの期間のデューティサイクルであり、D3は、期間Tにおけるt2からt3までの期間のデューティサイクルであると仮定される。本出願のこの実施形態では、0からt1までの期間の持続時間は、t2からt3までの期間の持続時間と同じであり、すなわち、

$$D1 = D3 = t1 / T = (t3 - t2) / T \text{ である。}$$

【0317】

40

コントローラ112は、第1の分岐回路1111が連続的に調整可能な変圧比を実装するように、D1を調整することによって出力電圧Voを調整し得る。例えば、図22に示す第1の分岐回路1111において、D1と第1の変圧比N1とは、

【数8】

$$\frac{2}{A} * D1 = \frac{1}{N1} \text{ (式 22)}$$

の関係を満たす。

【0318】

式22から、N1 = 3.86のとき、A = 3であり、D1 = 0.389であることが知見され得る

50

。したがって、コントローラ112は、D1を0.389に調整することにより、第1の変圧比N1を3.86に到達させることができる。

【0319】

コントローラ112は、第1の変圧比N1を2に設定する。

【0320】

例えば、コントローラ112は、図13に示される駆動信号を用いて、第1の変圧比N1を2に設定してもよい。詳細は以下の通りである。

【0321】

0からT/2までの期間において、スイッチングトランジスタの状態は、図27aに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、および出力スイッチングトランジスタS24がオンに切り替えられる。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

10

【0322】

T/2からTまでの期間において、スイッチングトランジスタの状態は、図27bに示され得る。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、および出力スイッチングトランジスタS23がオンに切り替えられる。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

20

【0323】

第1の変圧比N1は2.27に設定される。

【0324】

例えば、コントローラ112は、図28に示される駆動信号を用いて、第1の変圧比N1を2.27に設定してもよい。図28に示されるように、駆動信号の期間はTである。入力スイッチングトランジスタS11と入力スイッチングトランジスタS13とは同じ駆動信号に対応し、入力スイッチングトランジスタS12は同じ駆動信号に対応し、入力スイッチングトランジスタS14は同じ駆動信号に対応し、出力スイッチングトランジスタS21と出力スイッチングトランジスタS24とは同じ駆動信号に対応し、出力スイッチングトランジスタS22と出力スイッチングトランジスタS23とは同じ駆動信号に対応し、出力スイッチングトランジスタS25と出力スイッチングトランジスタS26とは同じ駆動信号に対応する。

30

【0325】

入力スイッチングトランジスタS14に対応する駆動信号は、連続するハイレベル信号であり、すなわち、入力スイッチングトランジスタS14は、期間Tにおいてオン状態を維持する。出力スイッチングトランジスタS25および出力スイッチングトランジスタS26に対応する駆動信号は、連続するローレベル信号であり、すなわち、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26は、オフ状態を維持する。

【0326】

0からt1までの期間において、スイッチングトランジスタの状態は、図29aに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、および出力スイッチングトランジスタS24がオンに切り替えられる。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

40

【0327】

t1からt2までの期間において、スイッチングトランジスタの状態は、図29bに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。入力スイッチングトランジスタS14、出力

50

スイッチングトランジスタS21、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、および出力スイッチングトランジスタS24がオンに切り替えられる。

【0328】

t2からt3までの期間において、スイッチングトランジスタの状態は、図29cに示され得る。入力スイッチングトランジスタS12、入力スイッチングトランジスタS14、出力スイッチングトランジスタS22、および出力スイッチングトランジスタS23がオンに切り替えられる。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、出力スイッチングトランジスタS21、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0329】

t3からTまでの期間において、スイッチングトランジスタの状態は、図29dに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、および出力スイッチングトランジスタS24がオンに切り替えられる。

【0330】

図28の駆動信号を図13の駆動信号と比較することによって、t2からt3までの期間およびt3からTまでの期間が図28に示される駆動信号に追加され、t2からt3までの期間およびt3からTまでの期間が図29bおよび図29dに示されるオン/オフ状態にそれぞれ対応することが知見され得る。t2からt3までの期間およびt3からTまでの期間は、第1の調整可能インダクタL1のフリーホイーリングのために使用され得る。

【0331】

式22によれば、 $N1 = 2.27$ のとき、 $A = 2$ 、 $D1 = 0.44$ である。したがって、コントローラ112は、 $D1$ を 0.44 に調整することにより、第1の変圧比 $N1$ を 2.27 に到達させることができる。

【0332】

コントローラ112は、第1の変圧比 $N1$ を1に設定する。

【0333】

例えば、コントローラ112は、図15に示される駆動信号を用いて、第1の変圧比 $N1$ を1に設定してもよい。詳細は以下の通りである。

【0334】

0から $T/2$ までの期間において、スイッチングトランジスタの状態は、図30aに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、および出力スイッチングトランジスタS21がオンに切り替えられる。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0335】

$T/2$ からTまでの期間において、スイッチングトランジスタの状態は、図30bに示され得る。入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、および出力スイッチングトランジスタS22がオンに切り替えられる。入力スイッチングトランジスタS11、出力スイッチングトランジスタS21、入力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

【0336】

コントローラ112は、第1の変圧比 $N1$ を1.6に設定する。

【0337】

例えば、コントローラ112は、図31に示される駆動信号を用いて、第1の変圧比 $N1$ を1.6に設定してもよい。図31に示されるように、駆動信号の期間はTである。入力スイッ

10

20

30

40

50

チングトランジスタS11は駆動信号に対応し、入力スイッチングトランジスタS12は駆動信号に対応し、入力スイッチングトランジスタS13と入力スイッチングトランジスタS14とは同じ駆動信号に対応し、出力スイッチングトランジスタS21は駆動信号に対応し、出力スイッチングトランジスタS22は駆動信号に対応し、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25および出力スイッチングトランジスタS26は同じ駆動信号に対応する。

【0338】

入力スイッチングトランジスタS13および入力スイッチングトランジスタS14に対応する駆動信号は、連続するハイレベル信号であり、すなわち、入力スイッチングトランジスタS13および入力スイッチングトランジスタS14は、期間Tにおいてオン状態を維持する。出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26に対応する駆動信号は、連続するローレベル信号であり、すなわち、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26は、期間Tにおいてオフ状態を維持する。

10

【0339】

0からt1までの期間において、スイッチングトランジスタの状態は、図32aに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、および出力スイッチングトランジスタS21がオンに切り替えられる。入力スイッチングトランジスタS12、出力スイッチングトランジスタS22、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

20

【0340】

t1からt2までの期間において、スイッチングトランジスタの状態は、図32bに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS12、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、および出力スイッチングトランジスタS22がオンに切り替えられる。

30

【0341】

t2からt3までの期間において、スイッチングトランジスタの状態は、図32cに示され得る。入力スイッチングトランジスタS12、入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、および出力スイッチングトランジスタS22がオンに切り替えられる。入力スイッチングトランジスタS11、出力スイッチングトランジスタS21、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。

40

【0342】

t3からTまでの期間において、スイッチングトランジスタの状態は、図32dに示され得る。入力スイッチングトランジスタS11、入力スイッチングトランジスタS12、出力スイッチングトランジスタS23、出力スイッチングトランジスタS24、出力スイッチングトランジスタS25、および出力スイッチングトランジスタS26がオフに切り替えられる。入力スイッチングトランジスタS13、入力スイッチングトランジスタS14、出力スイッチングトランジスタS21、および出力スイッチングトランジスタS22がオンに切り替えられる。

【0343】

図31の駆動信号を図15の駆動信号と比較することによって、t2からt3までの期間およびt3からTまでの期間が図31に示される駆動信号に追加され、t2からt3までの期間およびt3からTまでの期間が、図32bおよび図32dに示されるオン/オフ状態にそれぞれ対応することが知見され得る。t2からt3までの期間およびt3からTまでの期間は、第1の調整可能インダクタL1のフリーホイーリングのために使用され得る。

【0344】

50

式22によれば、 $N1 = 1.6$ のとき、 $A = 1$ 、 $D1 = 0.3125$ である。したがって、コントローラ112は、 $D1$ を 0.3125 に調整することにより、第1の変圧比 $N1$ を 1.6 に到達させることができる。

【0345】

上記の内容から、第1の調整可能インダクタ $L1$ を第1の分岐回路1111に配置することは、コントローラ112が第1の変圧比 $N1$ を連続的に調整するのに役立つことが知見され得る。可能な実装形態では、第2の分岐回路1112は、第2の調整可能インダクタ $L2$ をさらに含み、第2の調整可能インダクタ $L2$ は、出力電圧 V_o が目標出力電圧 V_a に達するように、第2の分岐回路1112の出力電圧 V_o を調整する（第2の変圧比 $N2$ を調整する）ように構成され得る。この場合、第1の分岐回路1111内の第1の調整可能インダクタ $L1$ は、第2の分岐回路1112内の第2の調整可能インダクタ $L2$ に電磁的に結合されてもよく、すなわち、第1の調整可能インダクタ $L1$ および第2の調整可能インダクタ $L2$ は結合インダクタである。

10

【0346】

例えば、図33に示されるように、第1の調整可能インダクタ $L1$ および第2の調整可能インダクタ $L2$ は結合インダクタであり、第1の調整可能インダクタ $L1$ と第2の調整可能インダクタ $L2$ との間の結合係数は k であり、第1の調整可能インダクタ $L1$ と第2の調整可能インダクタ $L2$ との間の結合は正結合または負結合であってもよい。2つの別個のインダクタと比較して、第1の調整可能インダクタ $L1$ および第2の調整可能インダクタ $L2$ は、結合されたインダクタであり、これは、第1の調整可能インダクタ $L1$ および第2の調整可能インダクタ $L2$ の体積を低減するのに役立つ。加えて、第1の調整可能インダクタ $L1$ および第2の調整可能インダクタ $L2$ における出力電流のリプルがさらに低減されて、変換回路111の効率をさらに改善させる。

20

【0347】

本出願のこの実施形態では、第1の分岐回路1111の可能な実装形態が、6つの例を使用することによって列挙される。基本的な物理的原理に違反することなく、新しい技術的解決策を得るために、異なる例の特徴の一部または全部が組み合わせられ、参照のために使用され得ることに留意されたい。

【0348】

例えば、図34に示す変換回路111は、実施例1に開示された共振インダクタを参照して、実施例6に基づいて取得されることができる。詳細は再度説明されない。

30

【0349】

別の例として、図35に示される変換回路111は、実施例6において開示される共振インダクタおよび第1の調整可能インダクタを参照して、例1に基づいて取得されてもよい。インダクタは、位置1、位置21～位置2n、位置31～位置3nのいずれか1つ以上に配置されてもよい。

【0350】

本出願のこの実施形態では、第2の分岐回路1112も複数の可能な実装形態を有する。通常、第2の分岐回路1112の効率が低いとき、第2の分岐回路1112は、出力電圧 V_o の微調整に集中してもよい。

【0351】

第2の分岐回路1112の実施例1：

第2の分岐回路1112は、降圧回路であり得る。例えば、図9に示されるように、第2の分岐回路1112は、スイッチングトランジスタ S_a と、スイッチングトランジスタ S_b と、第1の調整可能インダクタ $L1$ とを主に含む。スイッチングトランジスタ S_a の第1の電極は、第2の分岐回路1112の接続端21として、第1の分岐回路1111の接続端13に接続され得る。スイッチングトランジスタ S_a の第2の電極は、スイッチングトランジスタ S_b の第1の電極および第2の調整可能インダクタ $L2$ の一端に別々に接続される。スイッチングトランジスタ S_b の第2の電極は、出力端24として使用され得、入力端23に接続され、接地される。第2の調整可能インダクタ $L2$ の他端は、出力端22として第1の分岐回路1111の出力端14に接続され得る。

40

50

【 0 3 5 2 】

図9に示される降圧回路は、図36a、図36b、および図36cにそれぞれ示される少なくとも3つの動作状態を有する。詳細は以下の通りである。

【 0 3 5 3 】

図36aに示されるように、 I_L は、第2の調整可能インダクタ L_2 上のリップル電流を表し、 I_{Buck_out} は、第2の分岐回路1112の出力を表し、 D_a は、期間 T_s におけるスイッチングトランジスタ S_a のスイッチオン時間のデューティサイクルを表す。 $I_L / 2 < I_{Buck_out}$ の場合、第2の分岐回路1112は導通状態で動作し、第2の分岐回路1112の出力電流 I_{Buck_out} と時間 t との関係は図36aに示され得る。

【 0 3 5 4 】

$I_L / 2 = I_{Buck_out}$ の場合、第2の分岐回路1112は導通状態で動作し、第2の分岐回路1112の出力電流 I_{Buck_out} と時間 t との関係は図36bに示され得る。

【 0 3 5 5 】

$I_L / 2 > I_{Buck_out}$ である場合、第2の分岐回路1112は不連続状態で動作し、第2の分岐回路1112の出力電流 I_{Buck_out} と時間 t との間の関係は図36cに示され得る。

【 0 3 5 6 】

図36a～図36cから知見され得るように、第2の分岐回路1112が連続状態および臨界状態で動作するとき、第2の分岐回路1112の1つの期間には2つの状態のみが存在する。第2の調整可能インダクタ L_2 におけるインダクタ電流 $I_L(t)$ が徐々に増加するか、またはインダクタ電流 $I_L(t)$ が徐々に減少する。この場合、 $D_a + D_b = 1$ であり、第2の分岐回路1112の出力電圧 V_o が目標出力電圧 V_a に達するように、第2の分岐回路1112におけるデューティサイクル D_a を調整することによって出力電圧 V_o は調整されることができ、第2の変圧比 N_2 はさらに調整されることができる。

【 0 3 5 7 】

デューティサイクル D_a および第2の変圧比 N_2 は、以下の関係を満たす。

【 数 9 】

$$D_a = \frac{V_o}{V_i - N_1 * V_o} = \frac{1}{N_2} \quad (\text{式 23})$$

【 0 3 5 8 】

第2の分岐回路1112が不連続状態で動作するとき、1つの期間 T_s 内に3つの状態が存在する。インダクタ電流 $I_L(t)$ は徐々に増加し、インダクタ電流 $I_L(t)$ は徐々に減少し、インダクタ電流 $I_L(t)$ は0である。この場合、 $(D_a + D_b) < 1$ であり、出力電圧 V_o は、第2の分岐回路1112におけるデューティサイクル D_a および D_b を調整することによって調整され得る。デューティサイクル D_a 、出力電圧 V_o 、第1の変圧比 N_1 、および第2の変圧比 N_2 は、以下の関係を満たす。

【 数 1 0 】

$$V_o = \frac{2}{1 + \sqrt{1 + \frac{4 * \frac{2 * L}{R * T_s}}{D_a^2}}} (V_i - N_1 * V_o) \quad (\text{式 24})$$

【 0 3 5 9 】

式23および式24を参照すると、以下のことが知見され得る。

【 数 1 1 】

$$\frac{2}{1 + \sqrt{1 + \frac{4 * \frac{2 * L}{R * T_s}}{D_a^2}}} = \frac{1}{N_2}$$

【 0 3 6 0 】

Rは、負荷13の等価抵抗を表し、Lは、第2の調整可能インダクタL2のインダクタンスを表す。通常、負荷13の等価抵抗および第2の調整可能インダクタL2のインダクタンスは調整可能ではなく、したがって、コントローラ112は、デューティサイクルDaを調整することによって第2の変圧比N2を調整することができる。

【0361】

具体的には、0からDa × Tsまでの期間において、第2の分岐回路1112内のスイッチングトランジスタの状態は、図37aに示され得る。スイッチングトランジスタSaはオンに切り替えられ、スイッチングトランジスタSbはオフに切り替えられる。Da × Tsから (Da + Db) × Tsまでの期間において、第2の分岐回路1112内のスイッチングトランジスタの状態は、図37bに示され得る。スイッチングトランジスタSaはオフに切り替えられ、スイッチングトランジスタSbはオンに切り替える。(Da + Db) × TsからTsまでの期間において、第2の分岐回路1112内のスイッチングトランジスタの状態は、図37cに示され得る。スイッチングトランジスタSaおよびスイッチングトランジスタSbは、ともにオフに切り替えられる。コントローラ112は、第2の分岐回路1112の出力電圧Voが目標出力電圧Vaに達するように、各期間のうちの持続時間を調整することによって第2の変圧比N2を調整してもよい。

【0362】

第2の分岐回路1112の実施例2：

第2の分岐回路1112は、代替的に、電圧調整可能な昇圧回路であり得る。例えば、図38に示されるように、第2の分岐回路1112は、スイッチングトランジスタSaと、スイッチングトランジスタSbと、調整可能キャパシタCaと、第2の調整可能インダクタL2とを主に含む。第2の調整可能インダクタL2の一端は、第2の分岐回路1112の接続端21として第1の分岐回路1111の接続端13に接続され、第2の調整可能インダクタL2の他端は、スイッチングトランジスタSaの第1の電極およびスイッチングトランジスタSbの第1の電極に別々に接続される。スイッチングトランジスタSaの第2の電極は、調整可能キャパシタCaの一端に接続され、出力端22として第1の分岐回路1111の出力端12に接続され得る。スイッチングトランジスタSbの第2の電極および調整可能キャパシタCaの他端は、入力端23および出力端24として接地される。

【0363】

第2の分岐回路1112の実施例3：

第2の分岐回路1112は、代替的に、Buck - Boost回路であり得る。例えば、図39に示されるように、第2の分岐回路1112は、スイッチングトランジスタSaと、スイッチングトランジスタSbと、スイッチングトランジスタScと、スイッチングトランジスタSdと、第2の調整可能インダクタL2とを主に含む。スイッチングトランジスタSaの第1の電極は、第2の分岐回路1112の接続端21として、第1の分岐回路1111の接続端13に接続され得る。スイッチングトランジスタSaの第2の電極は、スイッチングトランジスタSbの第1の電極および第2の調整可能インダクタL2の一端に別々に接続されてもよい。第2の調整可能インダクタL2の他端は、スイッチングトランジスタScの第2の電極およびスイッチングトランジスタSdの第1の電極に別々に接続される。スイッチングトランジスタScの第1の電極は、出力端22として第1の分岐回路1111の出力端12に接続され得る。スイッチングトランジスタSbの第2の電極およびスイッチングトランジスタSdの第2の電極は、入力端23および出力端24として接地されている。

【0364】

第2の分岐回路1112の実施例4：

第2の分岐回路1112は、代替的に、チョップパ(cuk)回路であり得る。例えば、図40に示されるように、第2の分岐回路1112は、スイッチングトランジスタSaと、スイッチングトランジスタSbと、調整可能キャパシタCaと、調整可能キャパシタCbと、第2の調整可能インダクタL2と、第3の調整可能キャパシタL3とを主に含む。

【0365】

第3の調整可能インダクタL3の一端は、第2の分岐回路1112の接続端21として第1の分

10

20

30

40

50

岐回路1111の接続端13に接続され得る。第3の調整可能キャパシタL3の他端は、スイッチングトランジスタSaの第1の電極および調整可能キャパシタCbの一端に別々に接続される。調整可能キャパシタCbの他端は、第2の調整可能インダクタL2の一端およびスイッチングトランジスタSbの第1の電極に別々に接続される。第2の調整可能インダクタL2の他端は、調整可能キャパシタCaの一端に接続される。調整可能キャパシタCaの他端、スイッチングトランジスタSaの第2の電極およびスイッチングトランジスタSbの第2の電極は、接地される。

【0366】

第2の分岐回路1112の実施例5：

第2の分岐回路1112は、代替的に、シングルエンド一次インダクタコンバータ(single-ended primary-inductor converter、sepic)回路であり得る。例えば、図41に示されるように、第2の分岐回路1112は、スイッチングトランジスタSaと、スイッチングトランジスタSbと、第2の調整可能インダクタL2と、第3の調整可能インダクタL3と、第1の調整可能キャパシタCaと、第2の調整可能キャパシタCbとを主に含む。詳細は以下の通りである。

【0367】

第3の調整可能インダクタL3の一端は、接続端21として第1の分岐回路1111の接続端13に接続され、第3の調整可能インダクタL3の他端は、第2の調整可能キャパシタCbの一端およびスイッチングトランジスタSaの第1の電極に別々に接続される。第2の調整可能キャパシタCbの他端は、第2の調整可能インダクタL2の一端およびスイッチングトランジスタSbの第1の電極に別々に接続される。スイッチングトランジスタSbの第2の電極は、出力端22として第1の分岐回路1111の出力端12に接続され得る。スイッチングトランジスタSbの第2の電極は、第1の調整可能キャパシタCaの一端にさらに接続される。スイッチングトランジスタSaの第2の電極、第2の調整可能インダクタL2の他端、および第1の調整可能キャパシタCaの他端は接地される。

【0368】

第2の分岐回路1112の実施例6：

第2の分岐回路1112は、代替的に、ゼータ回路であってもよい。例えば、図42に示されるように、第2の分岐回路1112は、スイッチングトランジスタSaと、スイッチングトランジスタSbと、第2の調整可能インダクタL2と、第3の調整可能インダクタL3と、第1の調整可能キャパシタCaと、第2の調整可能キャパシタCbとを主に含む。詳細は以下の通りである。

【0369】

スイッチングトランジスタSaの第1の電極は、第2の分岐回路1112の接続端21として第1の分岐回路1111の接続端13に接続されてもよく、スイッチングトランジスタSaの第2の電極は、第2の調整可能キャパシタCbの一端および第3の調整可能インダクタL3の一端に別々に接続される。第2の調整可能キャパシタCbの他端は、第2の調整可能インダクタL2の一端およびスイッチングトランジスタSbの第1の電極に別々に接続される。第2の調整可能インダクタL2の他端は、出力端22として第1の分岐回路1111の出力端12に接続され得る。第2の調整可能インダクタL2の他端は、第1の調整可能キャパシタCaの一端に接続され得る。第3の調整可能インダクタL3の他端、スイッチングトランジスタSbの第2の電極および第1の調整可能キャパシタCaの他端は、接地される。

【0370】

上記の例は、変換回路111における第1の分岐回路1111および第2の分岐回路1112の可能な実装形態を示す。上述のように、本出願のこの実施形態において提供される変換回路111は、変換回路111の効率を改善し、変換回路111内のインダクタの体積を低減するのに役立つ。

【0371】

図43aに示されるように、Buck回路の入力電圧が2.7V~4.4Vの電圧範囲内にあり、Buck回路の出力電圧が1.25V~0.45Vの電圧範囲内にあるとき、Buck回路の効率は約

10

20

30

40

50

88%である。

【0372】

図43bに示されるように、スイッチトキャパシタ回路がBuck回路に直列に接続される場合、スイッチトキャパシタ回路の入力電圧は5.4V~8.8Vの電圧範囲内に入り、スイッチトキャパシタ回路の変圧比は2である。この場合、スイッチトキャパシタ回路の効率は約98%である。Buck回路の入力電圧は2.7V~4.4Vの電圧範囲内にあり、降圧回路の出力電圧は1.25V~0.45Vの電圧範囲内にあり、Buck回路の効率は約88%である。

【0373】

図43cに示されるように、本出願のこの実施形態において提供される変換回路111が使用される場合、第1の分岐回路1111は図10aに示される構造を有し、第2の分岐回路1112はBuck回路であると仮定される。入力電圧Vi1=2.25V、入力電圧Vi2=1.35V、第1の変圧比N1=3、出力電圧Vo=0.75Vである。この場合、第1の分岐回路1111の効率は約97%であり、第2の分岐回路1112の効率は約92%である。

10

【0374】

図43a~図43cに示される3つの回路構造の効率、高さ、および面積は、表2に示され得る。高さは、回路構造が位置される回路基板の方向に垂直な高さを指し、面積は、回路基板内の回路構造によって占有される面積を指し、回路構造内のインダクタの面積と、入力キャパシタおよび出力キャパシタを除くフライングキャパシタの面積とを主に含む。

【0375】

【表2】

20

表2

回路構造	効率	高さ	面積 (インダクタ+フライングキャパシタ、チップ、入力キャパシタ、出力キャパシタを除く)
図 43a に示される	88%	0.8 mm	2.4 mm ² /5A (2012 サイズのインダクタ 1 個) 110 nH
図 43b に示される	86%	0.8 mm	1.7 mm ² /5A (0402 サイズのキャパシタ 1 個+1210 サイズのインダクタ 1 個) 60 nH
図 43c に示される	95%	0.5 mm	2 mm ² /5A (0402 サイズのキャパシタ 3 個+0402 サイズのインダクタ 1 個) 30 nH

30

【0376】

図43aに示される回路構造の効率は88%であり、インダクタの高さは0.8mmであり、5Aの負荷電流が流れるたびに、2012サイズの1つのインダクタが必要とされ、占有面積は2.4mm²であり、インダクタンスは110nHである。図43bに示される回路構造の効率は86%であり、インダクタの高さは0.8mmであり、5Aの負荷電流が流れるたびに、0402サイズの1つのキャパシタおよび1210サイズの1つのインダクタが必要とされ、占有面積は1.7mm²であり、インダクタンスは60nHである。図43cに示される回路構造の効率は95%であり、インダクタの高さは0.5mmであり、5Aの負荷電流が流れるたびに、0402サイズの3つのキャパシタと0402サイズの1つのインダクタとが必要とされ、占有面積は2mm²であり、インダクタンスは30nHである。

40

【0377】

表2から、図43cに示される回路構造の効率は、他の回路構造の効率よりもはるかに高く、高さはわずか0.5mmであることが知見され得る。

【0378】

上述した例では、変換回路111は、第1の分岐回路1111および第2の分岐回路1112の入力側が直列に接続され、第1の分岐回路1111および第2の分岐回路1112の出力側が並列に接続されている。同じ技術的思想に基づいて、第1の分岐回路1111および第2の分岐回路1112の入力側は並列に接続され得、第1の分岐回路1111および第2の分岐回路1112の出力側は直列に接続され得る。

【0379】

50

この場合、図44に示されるように、第1の分岐回路1111の入力端11は出力端11として使用されてもよく、第1の分岐回路1111の出力端12は入力端12として使用されてもよく、第1の分岐回路1111の出力端14は入力端14として使用されてもよい。同様に、第2の分岐回路1112の入力端23は出力端23として使用されてもよく、第2の分岐回路1112の出力端22は入力端22として使用されてもよく、第2の分岐回路1112の出力端24は入力端24として使用されてもよい。

【0380】

すなわち、第1の分岐回路1111の入力側（入力端12および入力端14）は、第2の分岐回路1112の入力側（入力端22および入力端24）に並列に接続され、第1の分岐回路1111の出力側（出力端11および接続端13）は、第2の分岐回路1112の出力側（接続端21および出力端23）に直列に接続されている。

10

【0381】

第1の分岐回路1111の入力端12および入力端14は、入力電圧 V_i を受信することができ、第1の分岐回路1111の出力端11および接続端13は、第1の分岐回路1111の出力電圧 V_{o1} を出力することができる。第2の分岐回路1112の入力端22および入力端24は、変換回路111の入力電圧 V_i を受け取ることができ、第2の分岐回路1112の接続端21および出力端23は、第2の分岐回路1112の出力電圧 V_{o2} を出力することができる。出力端11と出力端23との間の電圧は、変換回路111の出力電圧 V_o であり、 $V_o = V_{o1} + V_{o2}$ である。

【0382】

変換回路111の入力側が並列に接続され、変換回路111の出力側が直列に接続される場合、変換回路111は昇圧回路であることに留意されたい。この場合、第1の変圧比 N_1 は、入力電圧 V_i に対する出力電圧 V_{o1} の比として理解されてもよく、すなわち、 $N_1 = V_{o1} / V_i$ である。同様に、第2の変圧比 N_2 は、 $N_2 = V_{o2} / V_i$ として表されることができる。

20

【0383】

本出願のこの実施形態において提供される変換回路111が昇圧回路である場合、本出願のこの実施形態において提供される前述の例のいずれかが1つが、第1の分岐回路1111および第2の分岐回路1112のために使用されてもよいことに留意されたい。詳細は再度説明されない。

【0384】

変換回路の効率をさらに改善するために、可能な実装形態では、第1の分岐回路1111の効率が第2の分岐回路1112の効率よりも大きい場合、第1の出力電圧 V_{o1} は第2の出力電圧 V_{o2} よりも高く、または第1の分岐回路1111の効率が第2の分岐回路1112の効率よりも低いとき、第1の出力電圧 V_{o1} は第2の出力電圧 V_{o2} よりも低い。具体的な分析は、図4に示される変換回路111の分析と同様であり、詳細は、本明細書では再度説明されない。

30

【0385】

第1の分岐回路1111はまた、第1の分岐回路1111の第1の変圧比 N_1 が連続的に調整可能であるように、第1の調整可能インダクタを含み得る。第1の調整可能インダクタは、第1の入力端12に接続され、入力電圧 V_i を受信するように構成される。第1の調整可能インダクタは、第1の分岐回路1111が連続的な変圧比を実装することができるように配置される。第2の分岐回路1112が第2の調整可能インダクタを含むとき、第2の調整可能インダクタは、第1の調整可能インダクタに電磁的に結合され得る。

40

【0386】

本出願のこの実施形態では、変換回路111は、第1の出力キャパシタおよび第2の出力キャパシタをさらに含み得る。第1の出力キャパシタの一端は、第1の出力端に接続され、第1の出力キャパシタの他端は、第1の接続端に接続され、第2の出力キャパシタの一端は、第2の接続端に接続され、第2の出力キャパシタの他端は、第2の出力端に接続される。第1の出力キャパシタは、第1の出力電圧をフィルタリングすることができ、第2の出力キャパシタは、第2の出力電圧をフィルタリングすることができる。

【0387】

変換回路111は、入力キャパシタをさらに含んでもよく、入力キャパシタの一端は、第

50

1の入力端に接続され、入力キャパシタの他端は、第2の入力端に接続される。入力キャパシタは、変換回路111の入力電圧をフィルタリングすることができる。

【0388】

具体的には、コントローラ112は、以下のステップを通じて第1の変圧比N1および第2の変圧比N2を設定することができる。

【0389】

ステップ1：コントローラ112は、目標変圧比Naおよび第1の分岐回路1111の最大変圧比に基づいて第1の変圧比N1の値範囲を決定し、第1の変圧比N1は、目標変圧比Naより小さく、第1の分岐回路1111の最大変圧比Nmax以下であり、目標変圧比Naは、目標出力電圧Vaと入力電圧Viとの比であり、すなわち、 $N_a = V_a / V_i$ である。

10

【0390】

ステップ2：コントローラ112は、第1の変圧比N1の値の範囲内で第1の変圧比N1を設定する。

【0391】

ステップ3：コントローラは、目標出力電圧Vaおよび設定された第1の変圧比N1に基づいて第2の変圧比N2を調整し、その結果、第2の分岐回路1112は、変換回路111の入力電圧Viを調整された第2の出力電圧Vo2に変換し、調整された第2の出力電圧Vo2は、目標出力電圧Vaから調整された第1の出力電圧Vo1を減算することによって取得される差であり、すなわち、 $V_{o2} = V_a - V_{o1}$ である。調整後の第1の出力電圧Vo1は、設定された第1の変圧比N1と入力電圧Viとの積であり、 $V_{o1} = N1 \times V_i$ と表すことができる。

20

【0392】

可能な実装形態では、第1の分岐回路1111は、複数の調整可能な変圧比を有し、第1の分岐回路1111の効率は、第2の分岐回路1112の効率よりも高く、コントローラ112は、第1の変圧比N1を、複数の調整可能な変圧比のうちの、目標変圧比よりも小さく、目標変圧比に最も近い調整可能な変圧比に設定してもよい。

【0393】

別の可能な実装形態では、コントローラ112は、第1の電圧差と入力電圧Viとの基準変圧比を計算することができ、第1の電圧差は、目標出力電圧Vaから基準電圧Vbを減算することによって取得される電圧差であり、基準電圧Vbは、目標出力電圧Vaよりも小さく、入力電圧Vi以上である。基準変圧比は、 $(V_a - V_b) / V_i$ として表されることができる。基準変圧比が第1の分岐回路1111の最大変圧比Nmax以下である場合、コントローラ112は、第1の変圧比N1を基準変圧比として設定してもよく、または、基準変圧比が第1の分岐回路1111の最大変圧比Nmaxよりも大きい場合、コントローラ112は、第1の変圧比N1を第1の分岐回路1111の最大変圧比Nmaxとして設定してもよい。

30

【0394】

例えば、基準電圧Vbは、目標出力電圧Vaが2で除算された後に取得された電圧以下であってもよい。したがって、ほとんどの場合、第1の分岐回路は、大きな電力を伝達することができ、これは、変換回路の効率を改善するのにさらに役立つ。

【0395】

同じ技術的概念に基づいて、本出願の一実施形態は、電子デバイスをさらに提供する。電子デバイスは、スマートフォン、タブレットコンピュータ、インテリジェントウェアラブルデバイスなどであり得る。電子デバイスは、バッテリーと、負荷と、前述の実施形態のいずれか1つにおいて提供されるスイッチモード電源とを主に含み、スイッチモード電源は、バッテリーおよび負荷に別々に接続される。スイッチモード電源は、バッテリーによって提供されるバッテリー電圧を受信し、バッテリー電圧を負荷の動作電圧に変換し、動作電圧を負荷に出力することができる。

40

【0396】

当業者は、本出願の範囲から逸脱することなく、本出願に様々な修正および変形を行うことができることは明らかである。本出願は、以下の特許請求の範囲およびそれらの同等の技術によって定義される保護の範囲内に入るという条件で、本出願のこれらの修正およ

50

び変形を包含することが意図される。

【符号の説明】

【0397】

1 - 1	絶縁電源、絶縁ユニット	
1 - 2	変換ユニット	
10	電子デバイス	
11	入力端、PMU	
11 - 1 ~ 11 - N	PMU	
12	出力端、端末バッテリー	
12 - 2	負荷	10
13	接続端、負荷	
13 - 1 ~ 13 - N	負荷	
14	出力端	
21	接続端	
22	出力端	
23	入力端	
24	出力端	
111	電流変換回路、コントローラ	
112	コントローラ	
1111	第1の分岐回路、スイッチトキャパシタ電流、変換回路	20
1112	第2の分岐回路	
C011	分離キャパシタ	
C021 ~ C025	変換キャパシタ	
C0211	第1の変換キャパシタ	
C0212	第1の変換キャパシタ	
C0221	第2の変換キャパシタ	
C0222	第2の変換キャパシタ	
C1 ~ C4	絶縁キャパシタ	
Ca	調整可能キャパシタ	
Cb	調整可能キャパシタ	30
Cin1	入力キャパシタ	
Cin2	入力キャパシタ	
Cn	絶縁キャパシタ	
Cout	出力キャパシタ	
Io	出力電流	
Io1	出力電流	
Io2	出力電流	
L1	第1の調整可能インダクタ	
L2	第2の調整可能インダクタ	
L3	第3の調整可能インダクタ	40
L31 ~ L33	共振インダクタ	
N1 ~ N2	変圧比	
Na	目標出力電圧、目標変圧比	
Nb	基準変圧比	
Nmax	最大変圧比	
S011	第1の絶縁スイッチングトランジスタ	
S012	第2の絶縁スイッチングトランジスタ	
S013	第3の絶縁スイッチングトランジスタ	
S014	第4の絶縁スイッチングトランジスタ	
S021、S024、S027、S0210、S0213	第1の変換スイッチングトランジスタ	50

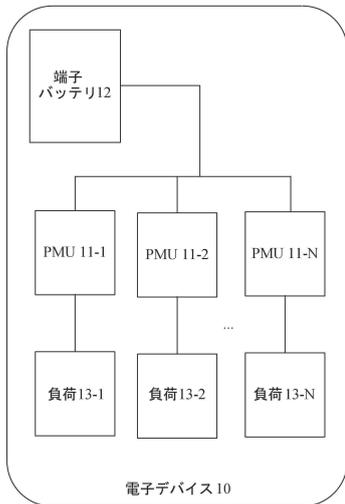
- S022、S025、S028、S0211 第2の変換スイッチングトランジスタ
- S023、S026、S029、S0212 第3の変換スイッチングトランジスタ
- S0231、S0232 第3の変換スイッチングトランジスタ
- S0241、S0242 第4の変換スイッチングトランジスタ
- S1 (n + 1) 入力スイッチングトランジスタ
- S11 ~ S15 入力スイッチングトランジスタ
- S1n 入力スイッチングトランジスタ
- S2 (2n - 1) 出力スイッチングトランジスタ
- S2 (2n) 出力スイッチングトランジスタ
- S21 ~ S28 出力スイッチングトランジスタ
- Sa ~ Sd スwitchングトランジスタ
- T 期間
- T1 期間
- T2 期間
- Va 目標出力電圧
- Vc 基準電圧
- Vi 総入力電圧
- Vi1 調整入力電圧
- Vi2 入力電圧
- Vin1 第1の入力キャパシタ
- Vo 出力電圧

10

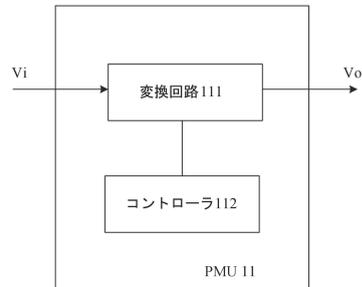
20

【図面】

【図 1】



【図 2】

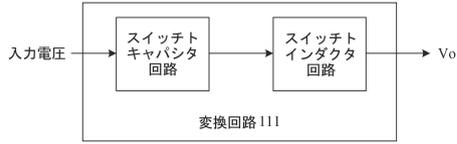


30

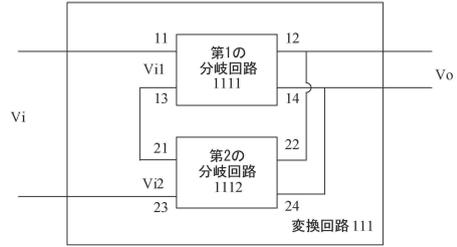
40

50

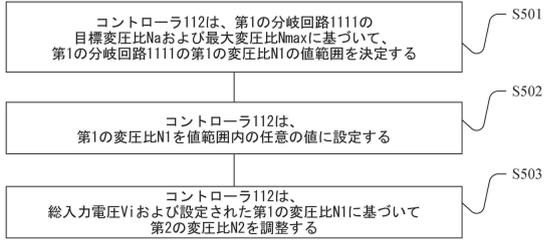
【図 3】



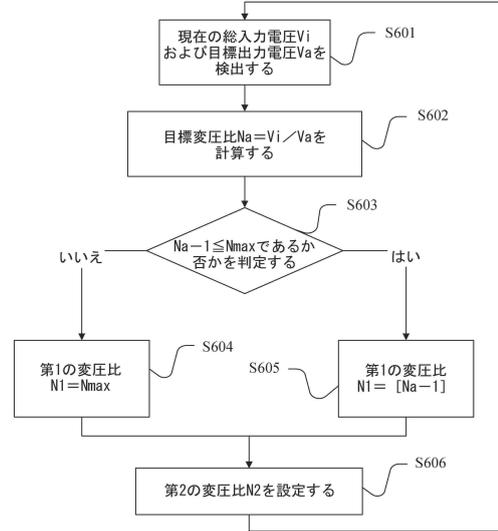
【図 4】



【図 5】



【図 6】



【図 7 a】

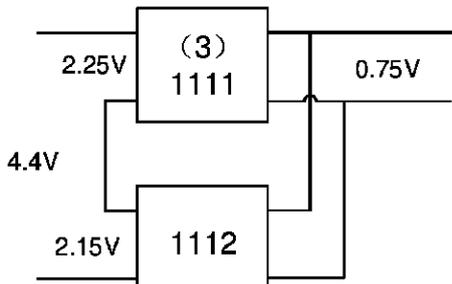


図 7a

【図 7 b】

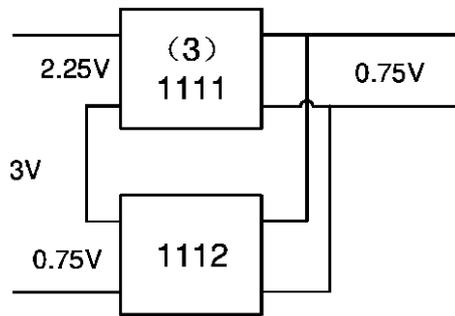


図 7b

10

20

30

40

50

【図7c】

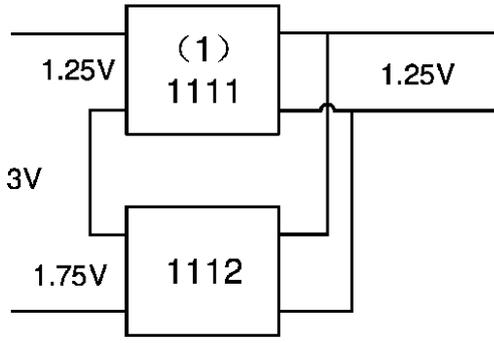
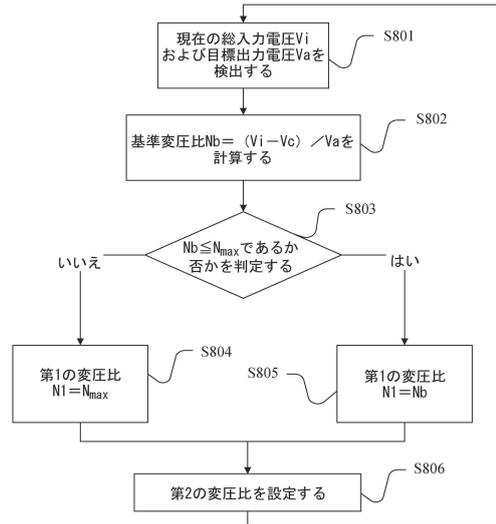


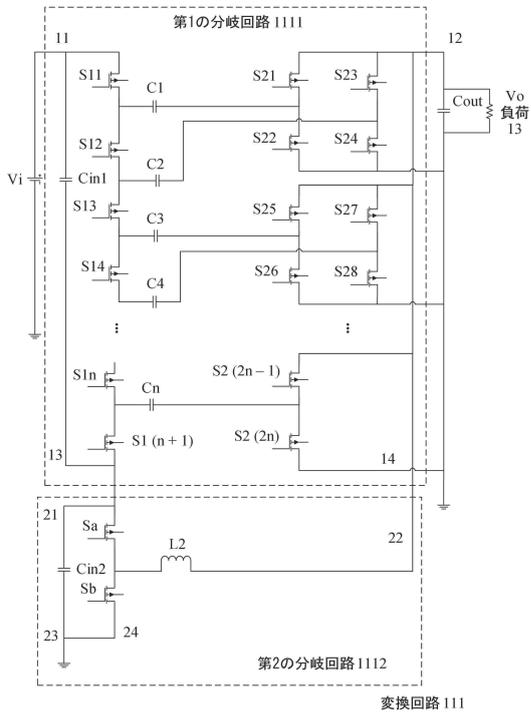
図7c

【図8】

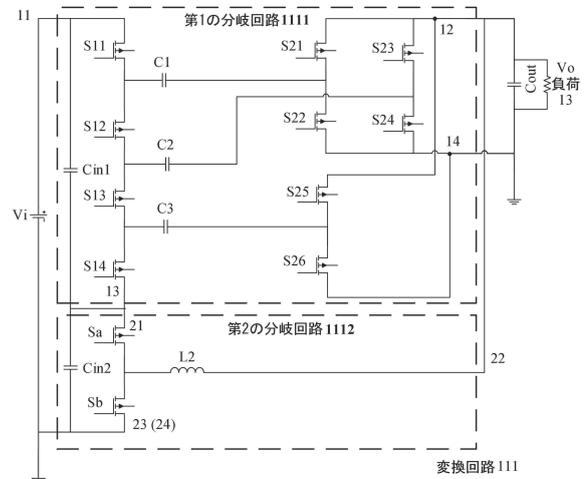


10

【図9】



【図10a】



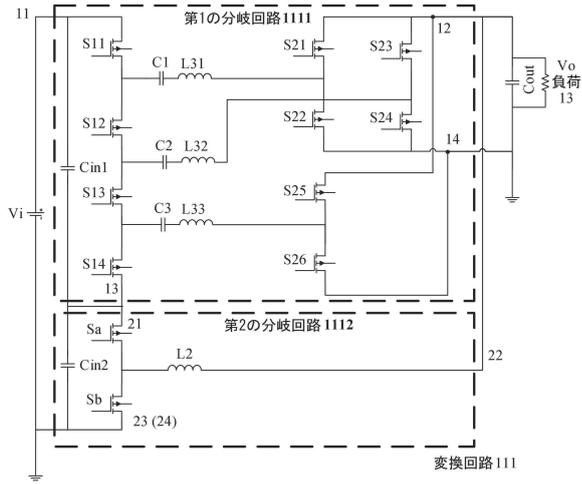
20

30

40

50

【図10b】



【図11】

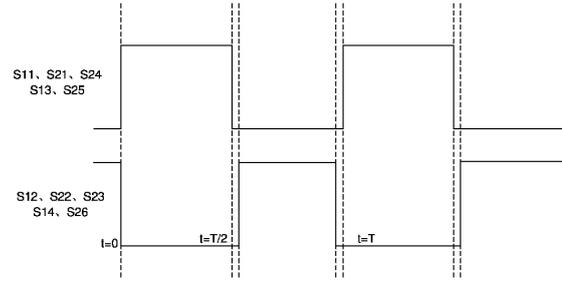
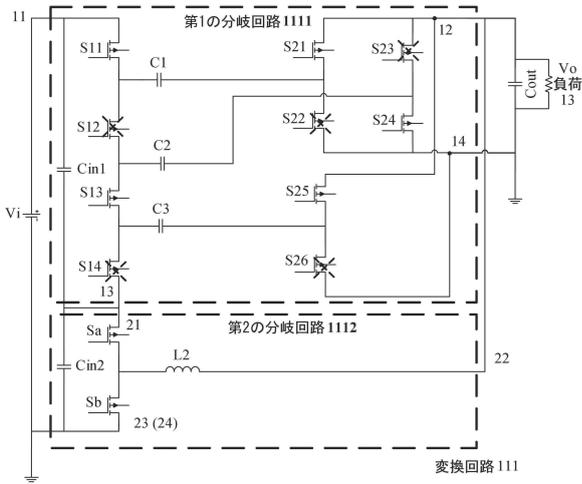


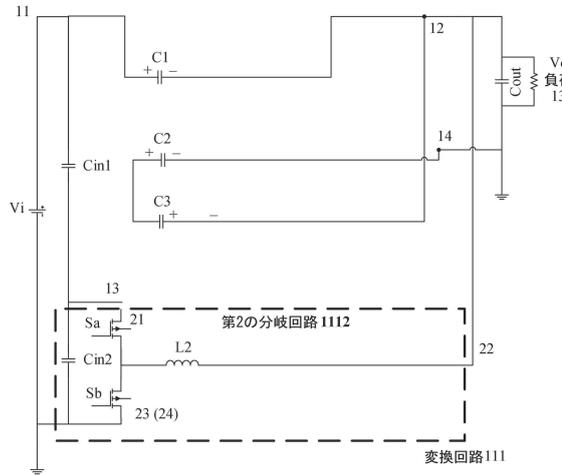
図 11

10

【図12a】



【図12a-1】



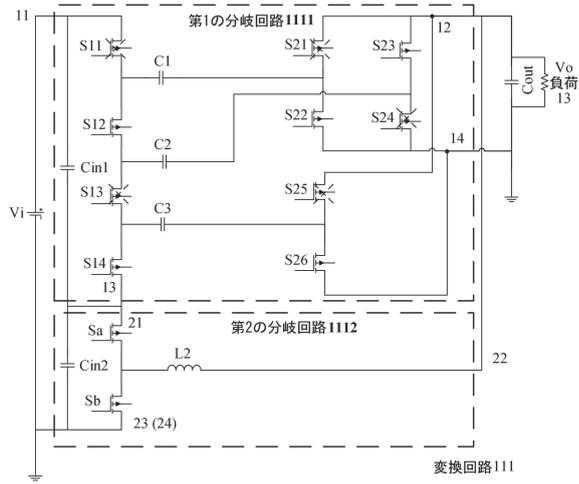
20

30

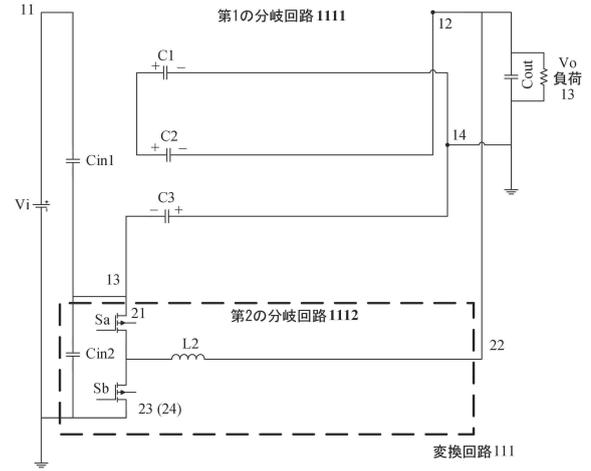
40

50

【図 1 2 b】

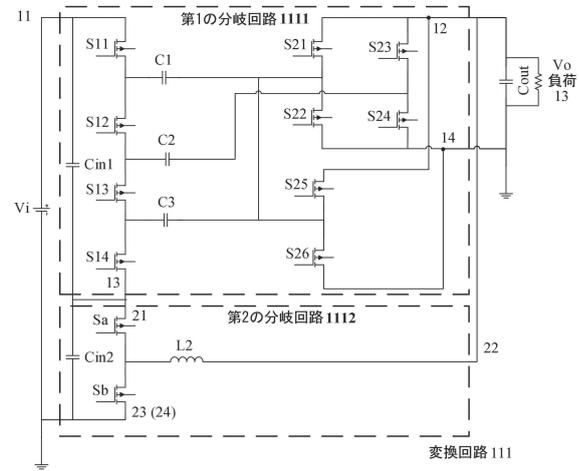


【図 1 2 b - 1】

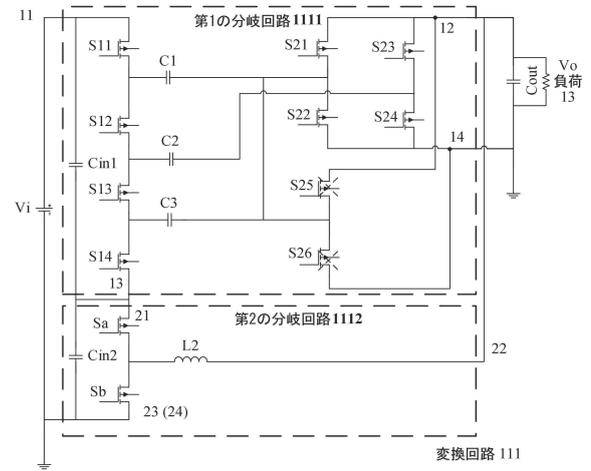


10

【図 1 2 c】



【図 1 2 d】



20

30

40

50

【図 1 3】

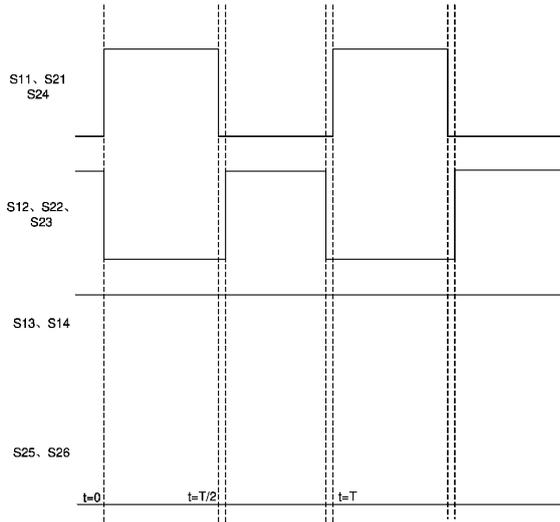
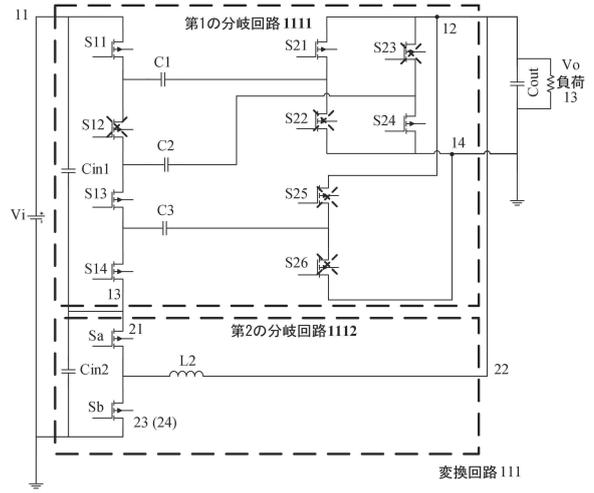


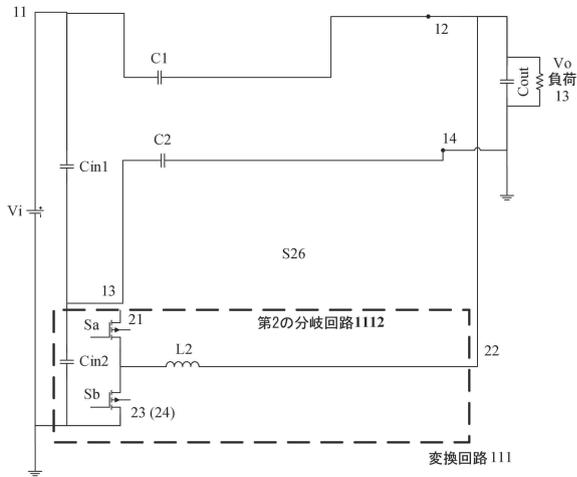
図 13

【図 1 4 a】

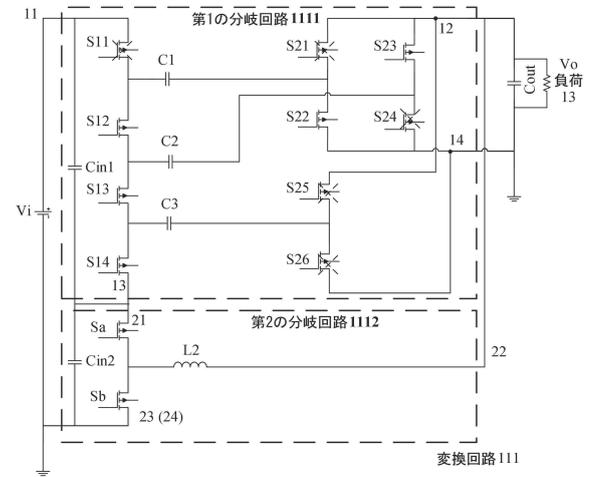


10

【図 1 4 a - 1】



【図 1 4 b】



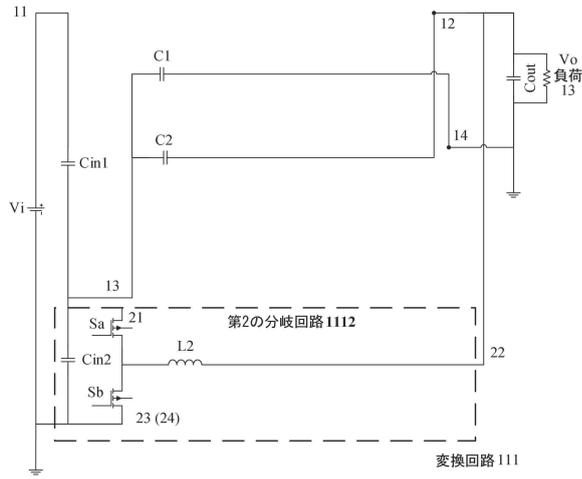
20

30

40

50

【図 14 b - 1】



【図 15】

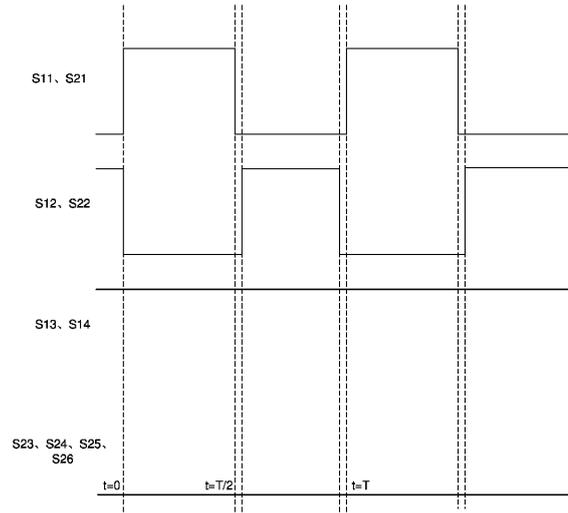
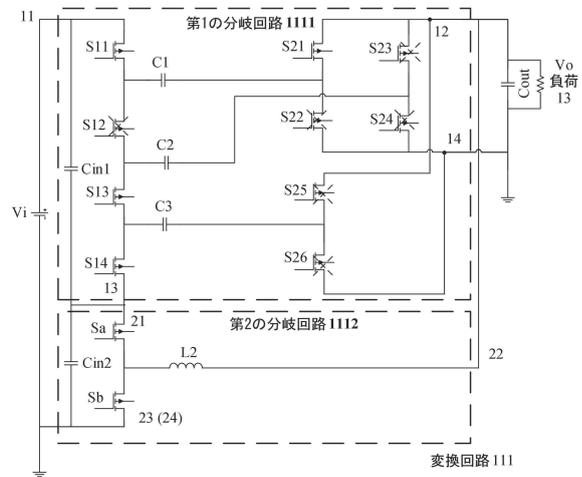


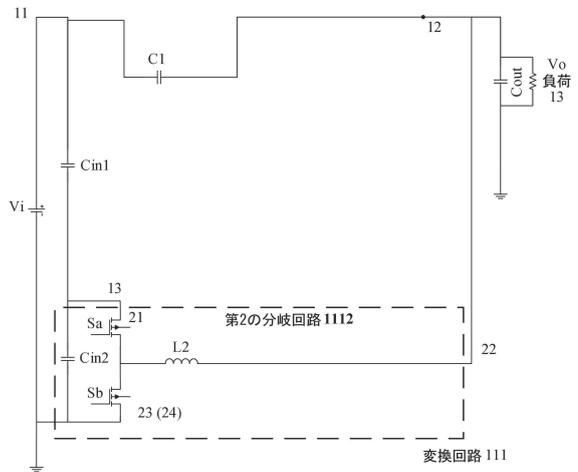
図 15

10

【図 16 a】



【図 16 a - 1】



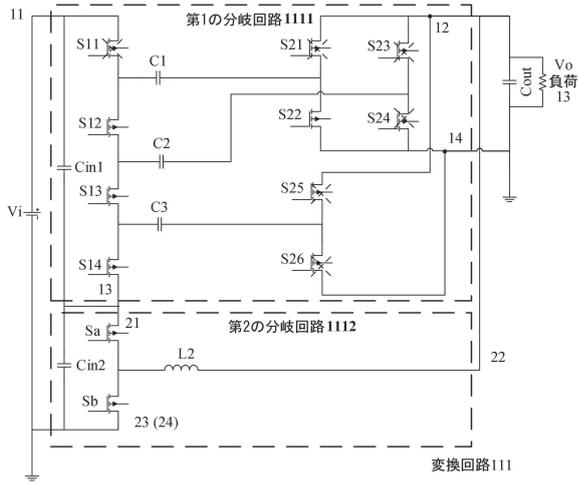
20

30

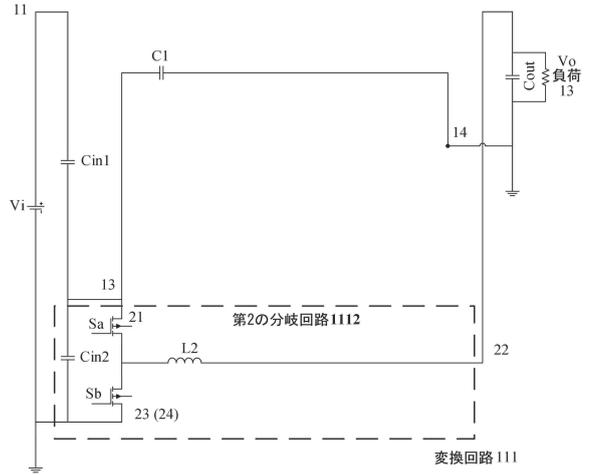
40

50

【図 16 b】



【図 16 b - 1】



10

【図 17 a】

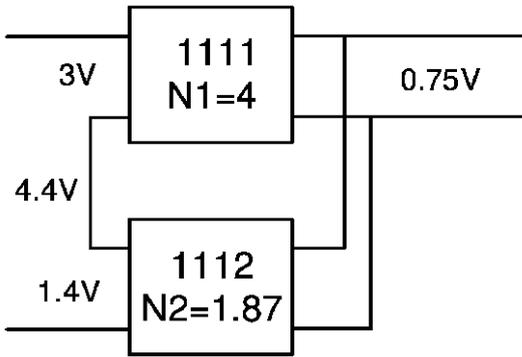


图 17a

【图 17 b】

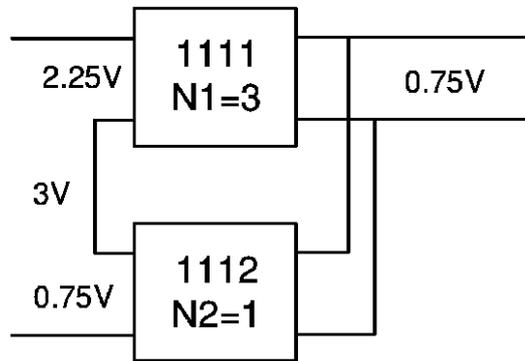


图 17b

20

30

40

50

【 17c 】

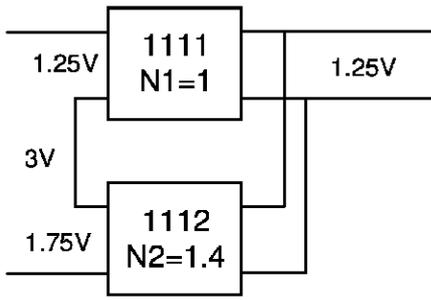
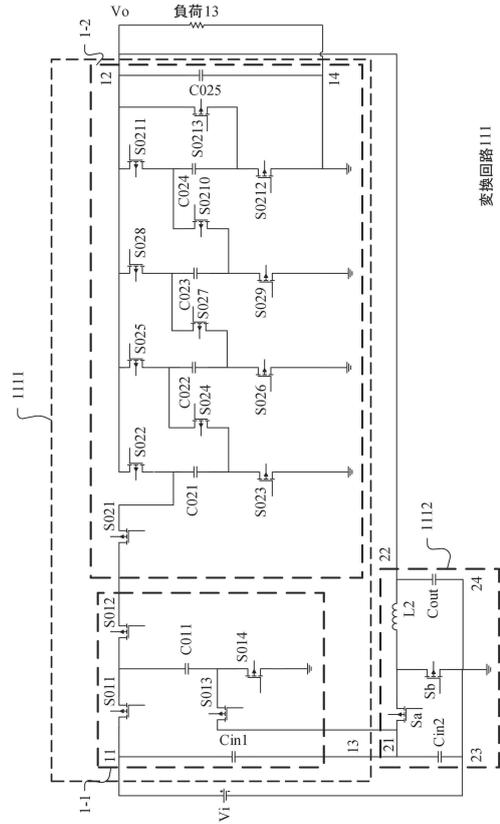


图 17c

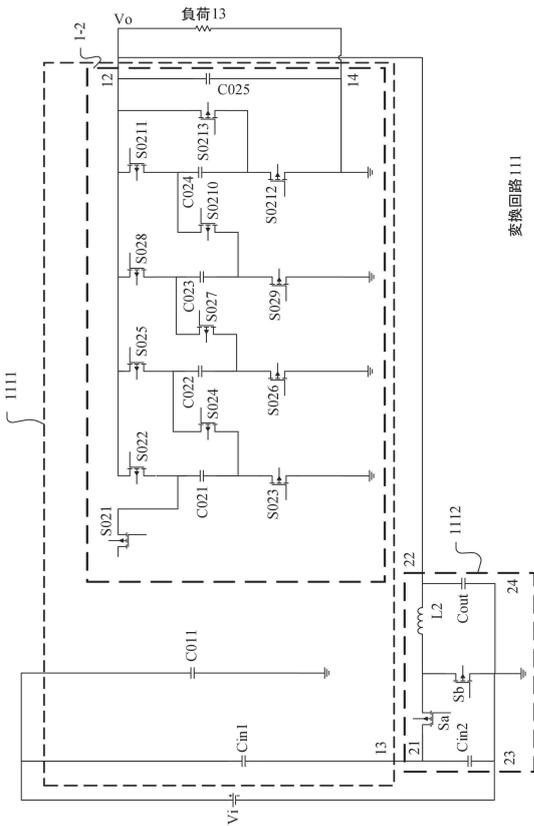
【 18 】



10

20

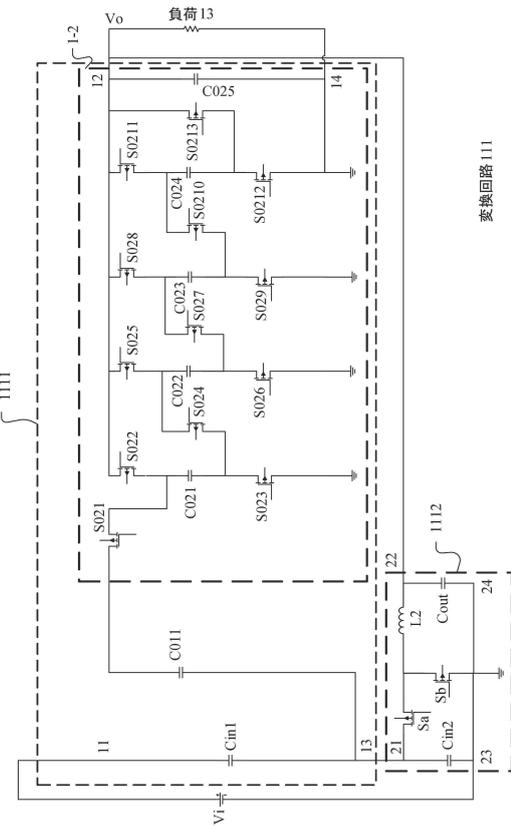
【 18 - 1 】



30

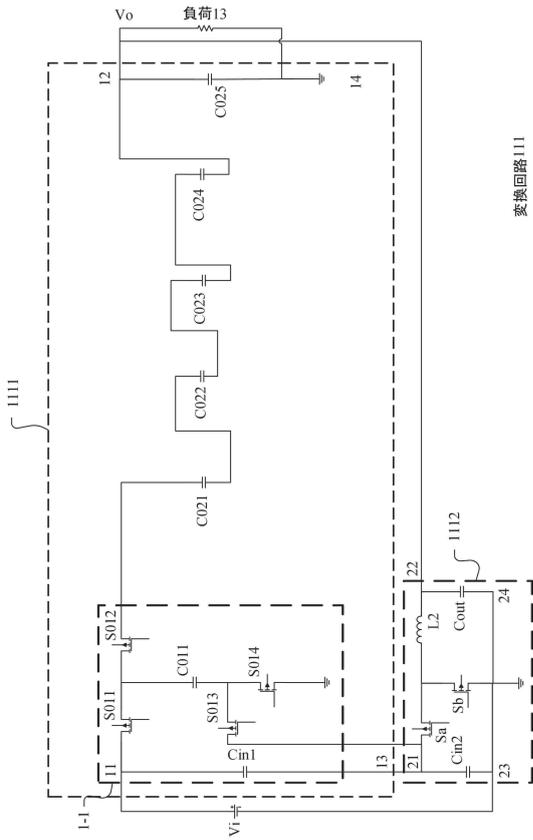
40

【 18 - 2 】

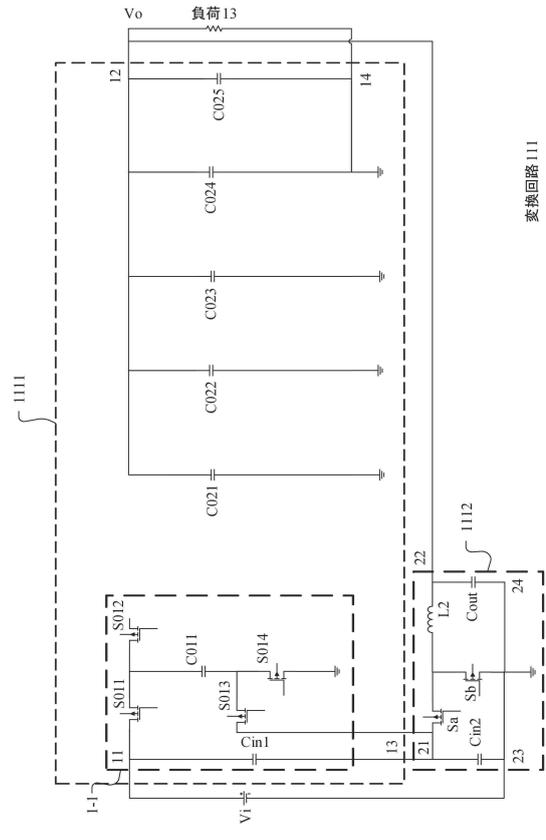


50

【図 18 - 3】



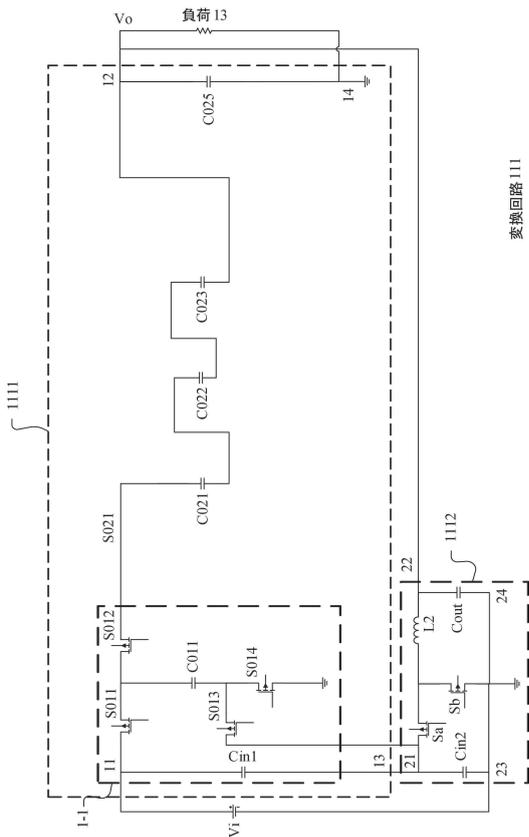
【図 18 - 4】



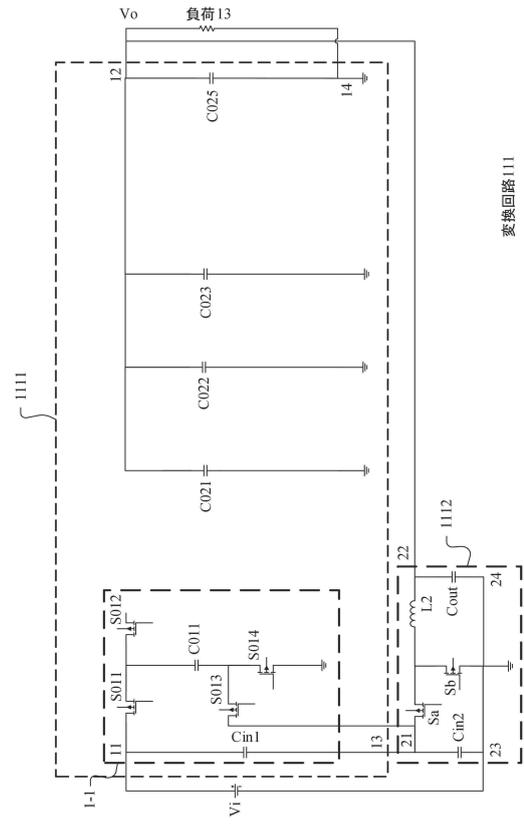
10

20

【図 18 - 5】



【図 18 - 6】

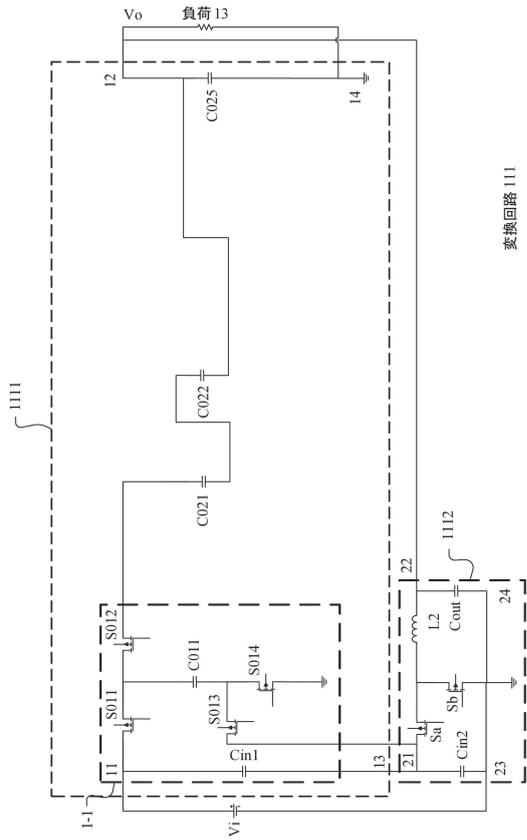


30

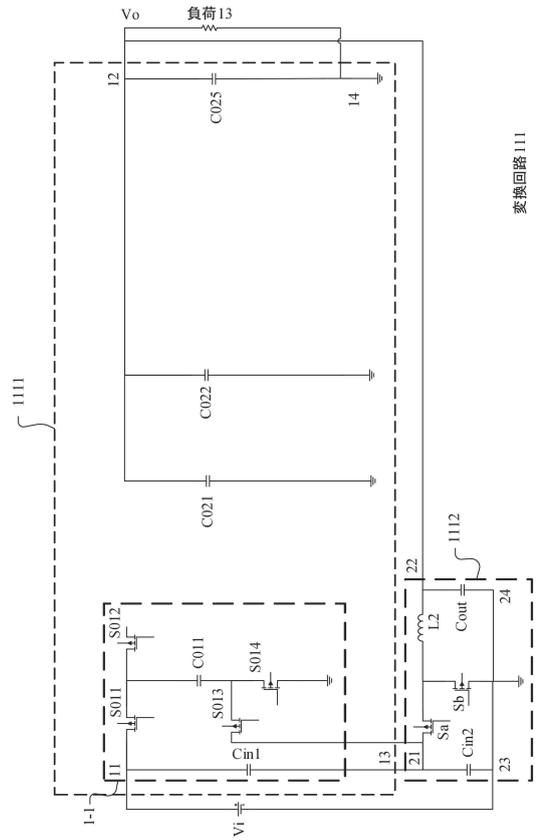
40

50

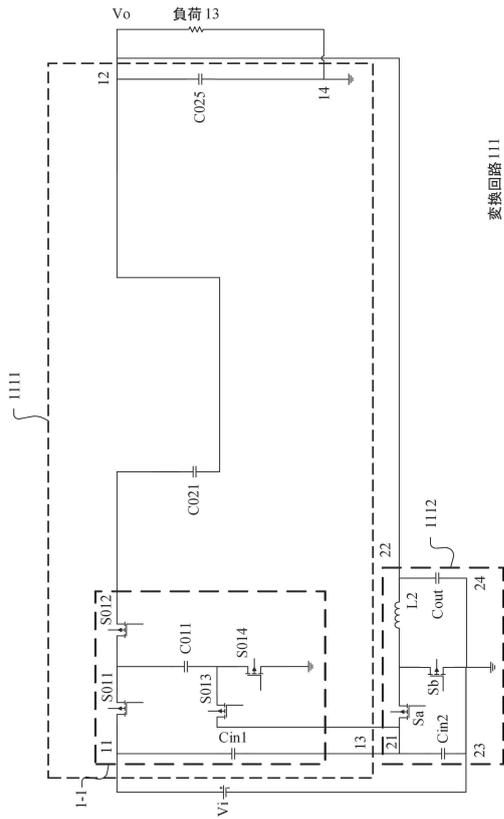
【図 18 - 7】



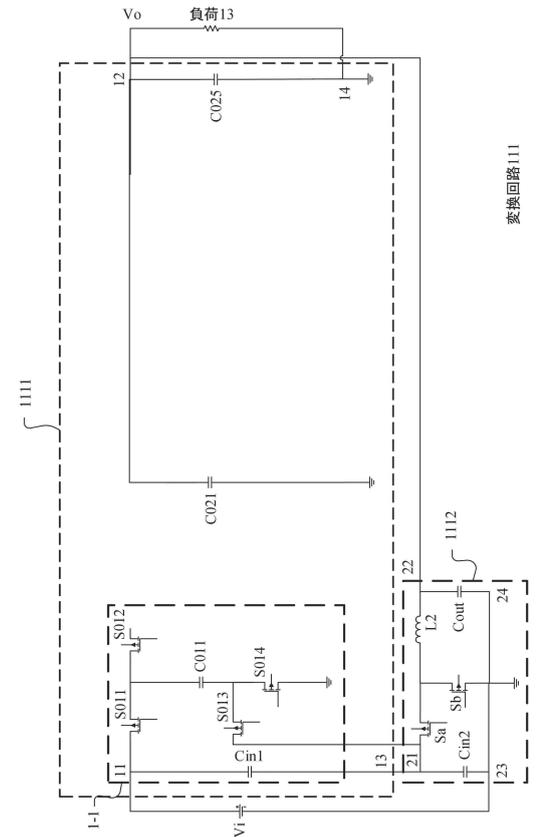
【図 18 - 8】



【図 18 - 9】



【図 18 - 10】



10

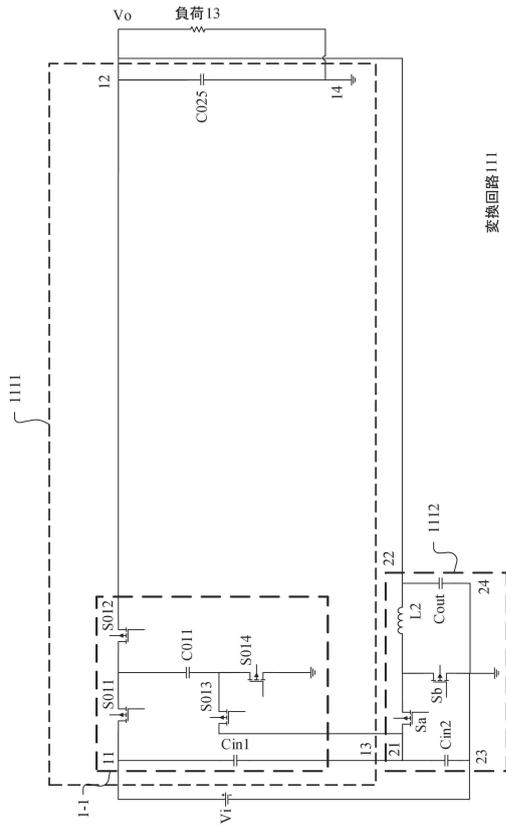
20

30

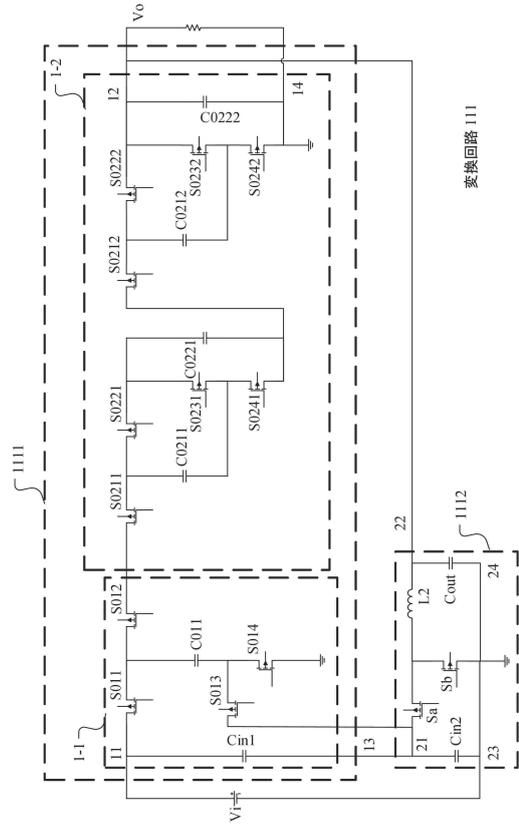
40

50

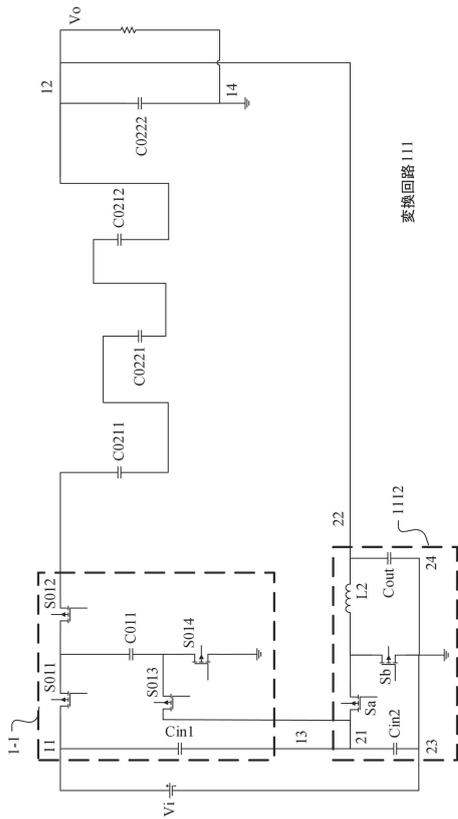
【図 18 - 11】



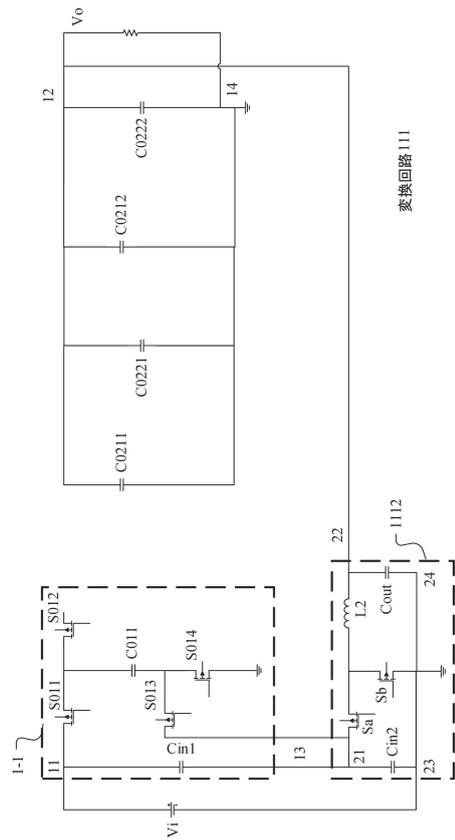
【図 19】



【図 19 - 1】



【図 19 - 2】



10

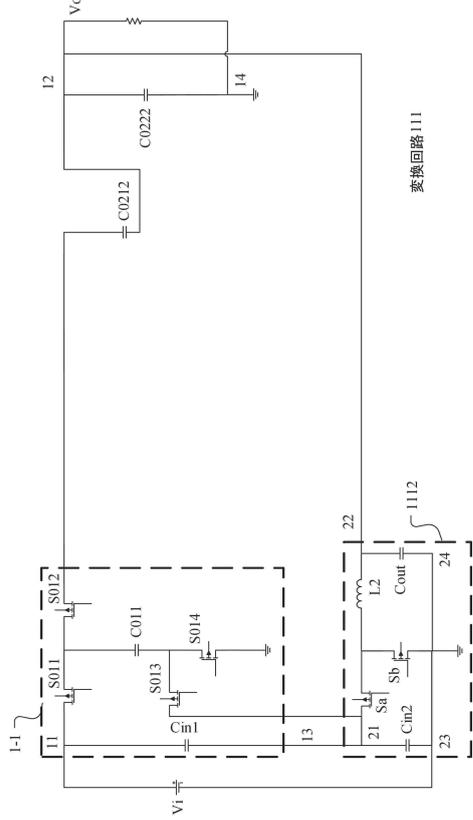
20

30

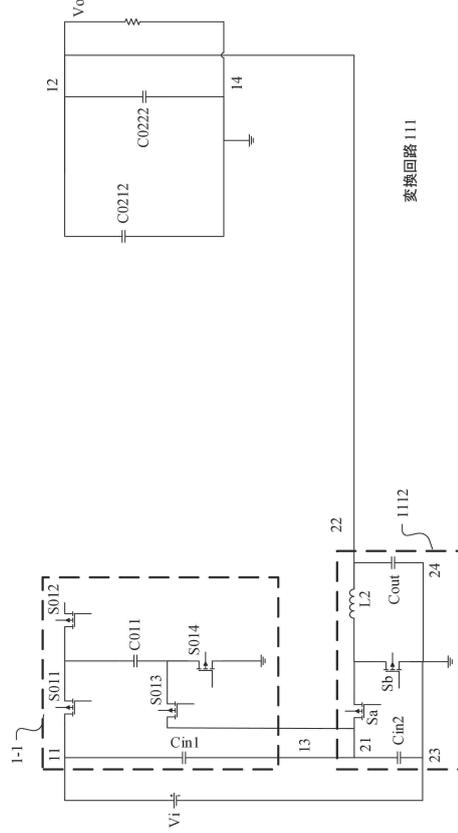
40

50

【図 19 - 3】



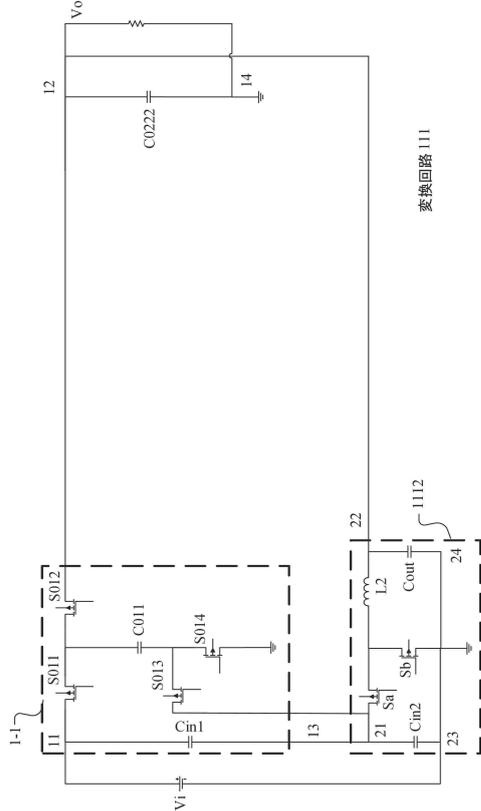
【図 19 - 4】



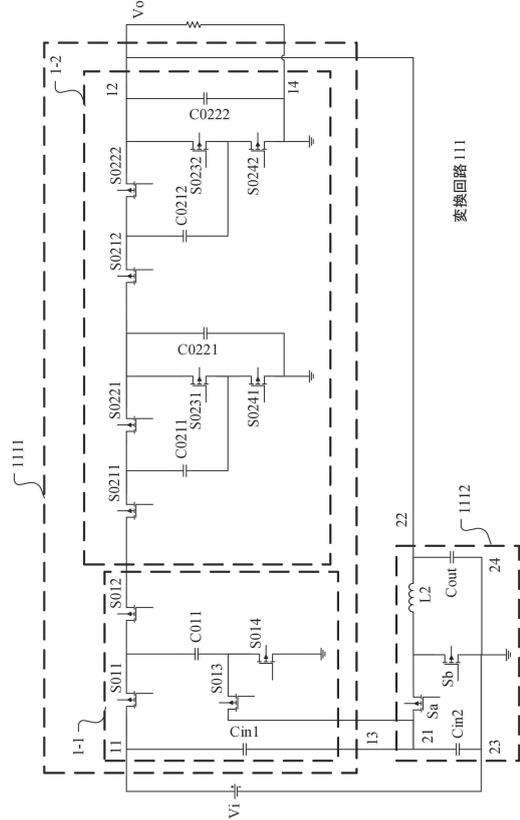
10

20

【図 19 - 5】



【図 20】

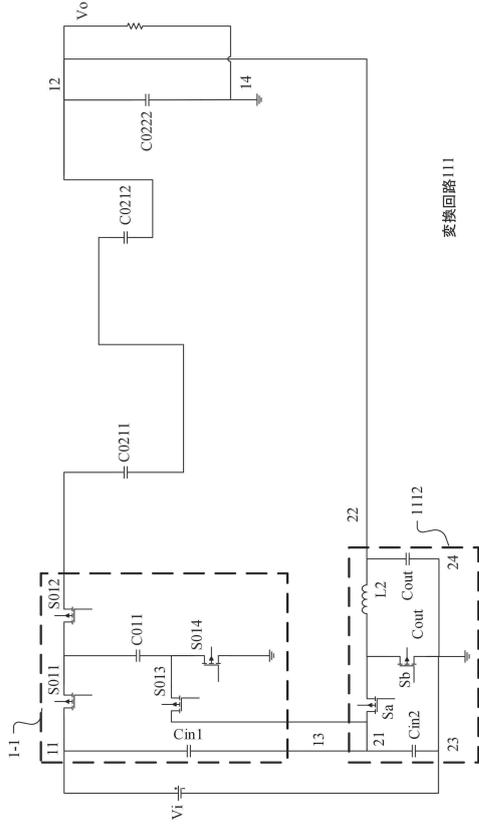


30

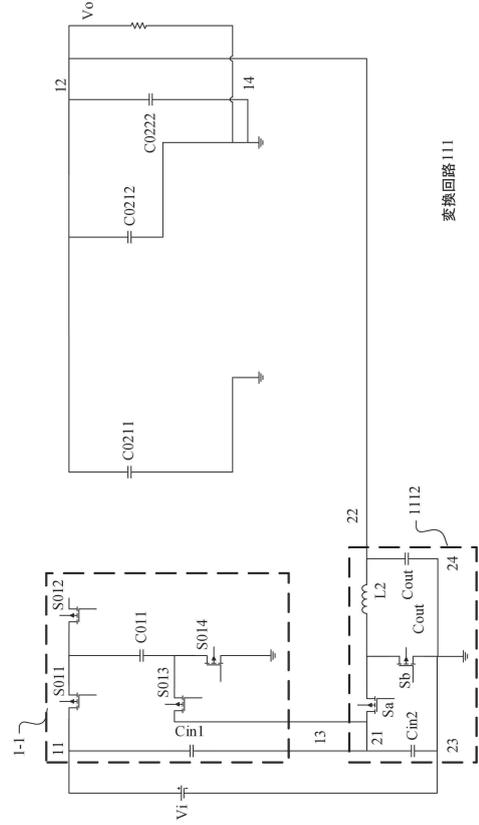
40

50

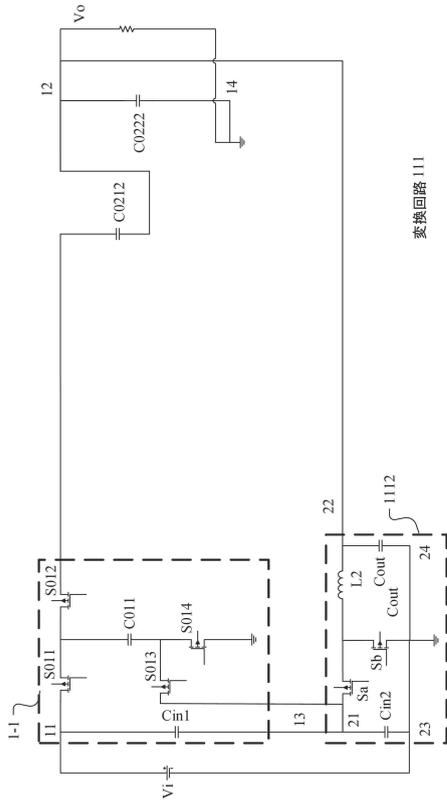
【図 2 1 - 1】



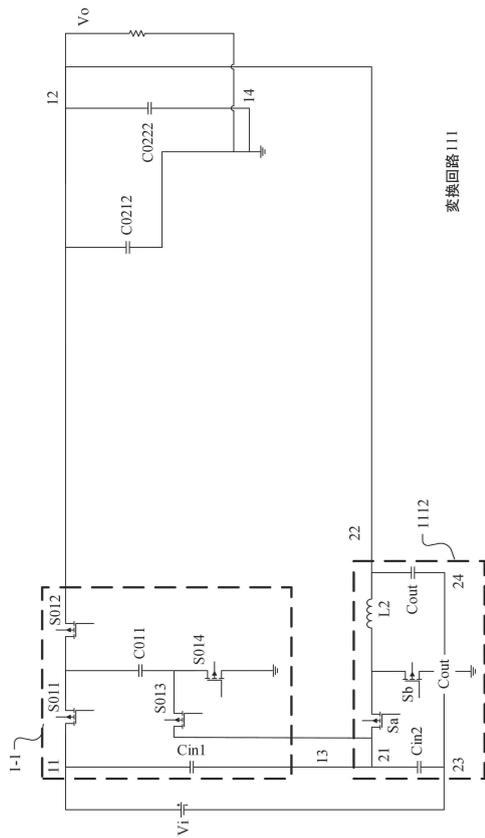
【図 2 1 - 2】



【図 2 1 - 3】



【図 2 1 - 4】



10

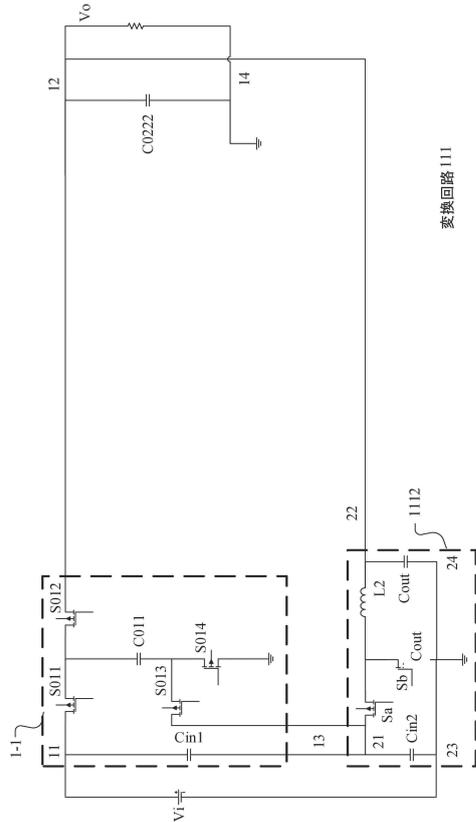
20

30

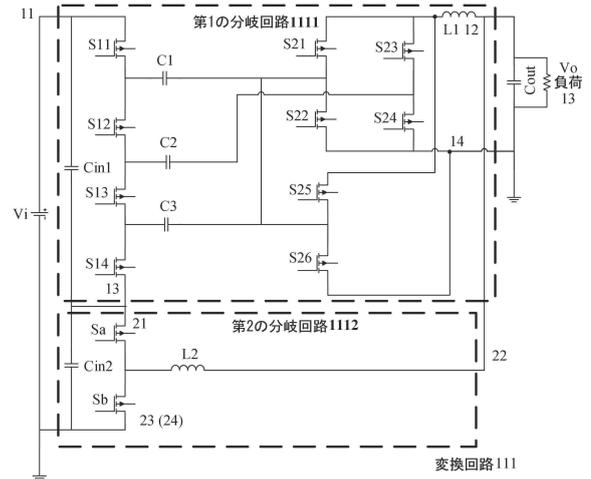
40

50

【図 2 1 - 5】



【図 2 2】



10

20

【図 2 3 a】

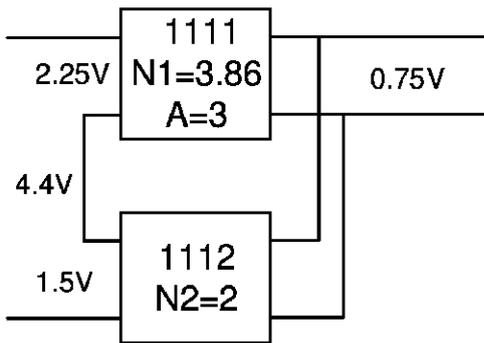


图 23a

【図 2 3 b】

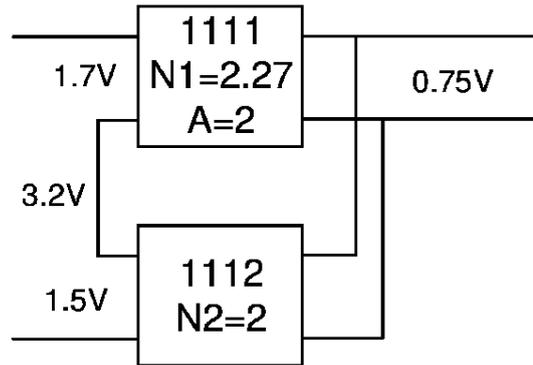


图 23b

30

40

50

【図 2 3 c】

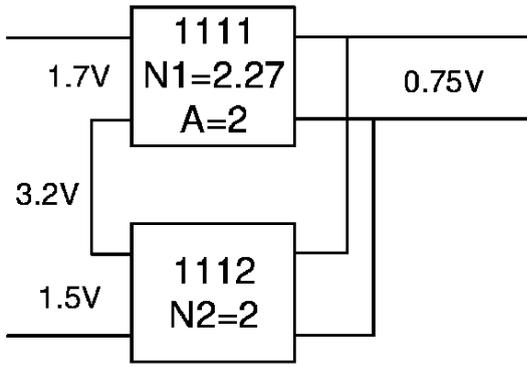
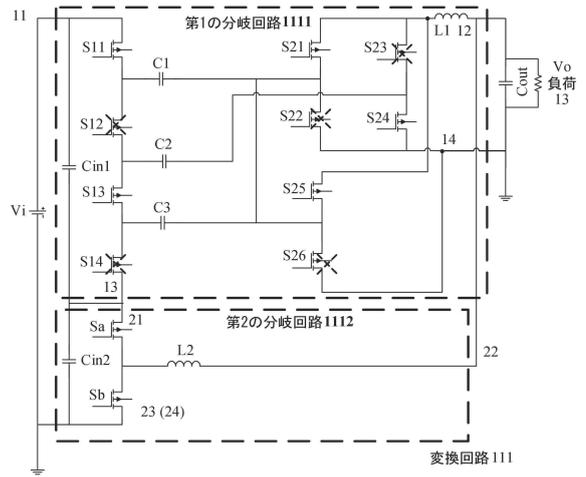


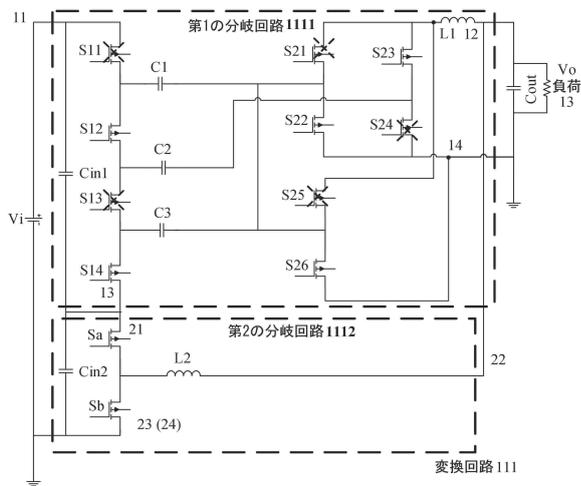
図 23c

【図 2 4 a】

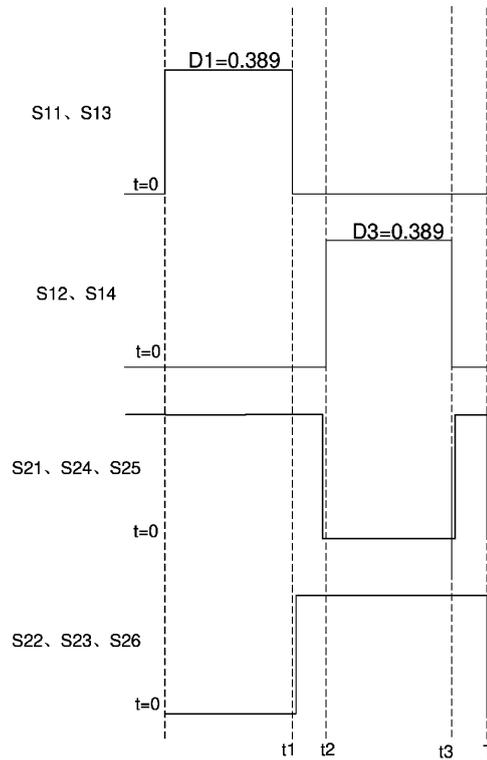


10

【図 2 4 b】



【図 2 5】



20

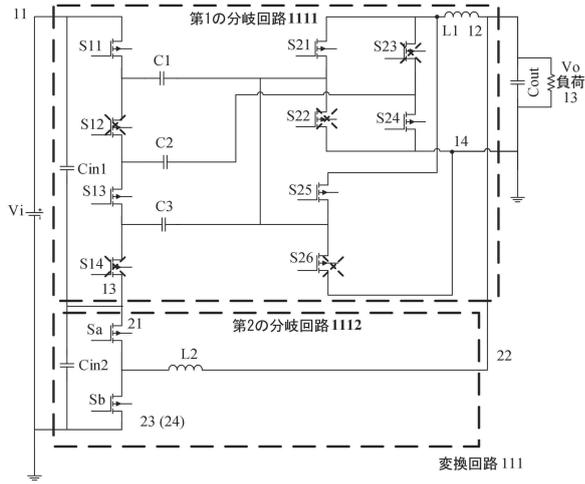
30

40

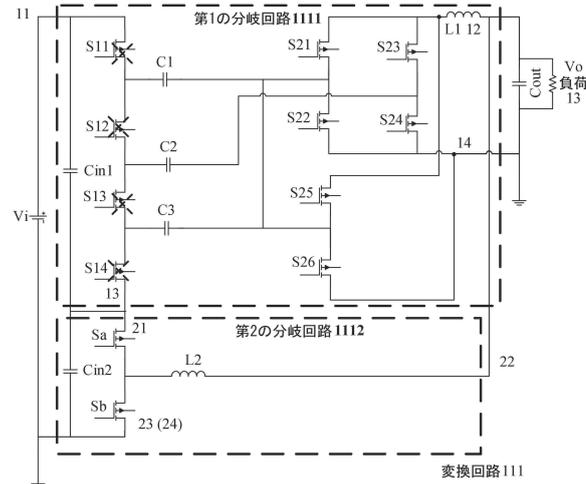
図 25

50

【図 26 a】

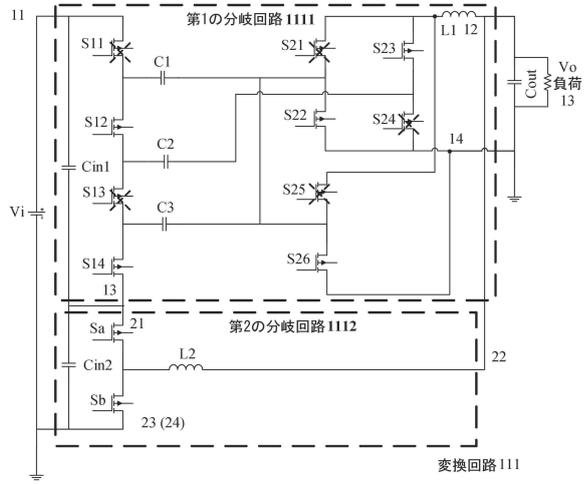


【図 26 b】

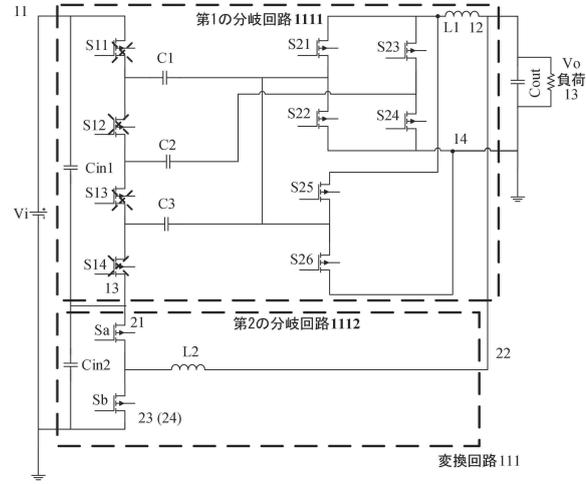


10

【図 26 c】



【図 26 d】



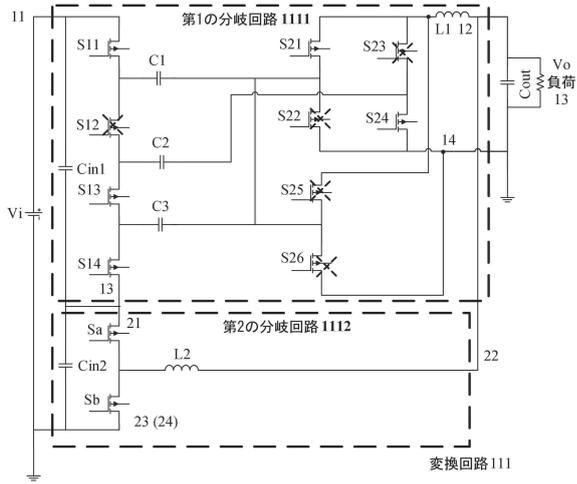
20

30

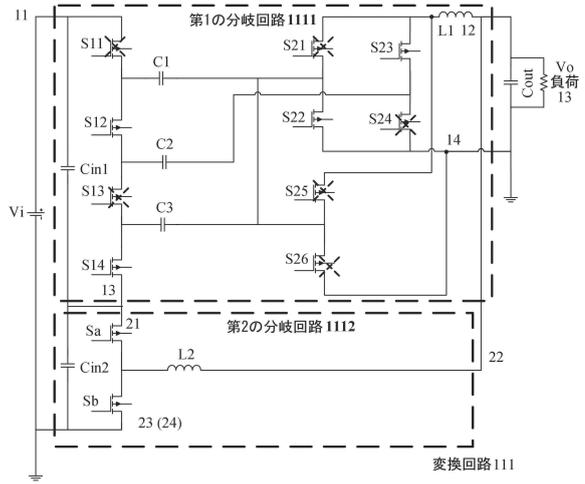
40

50

【図 27 a】



【図 27 b】



10

【図 28】

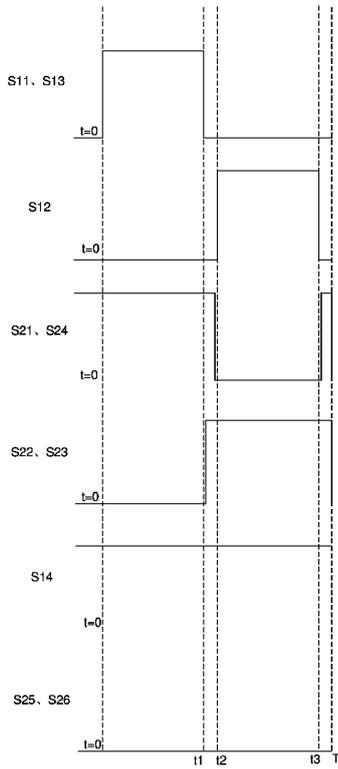
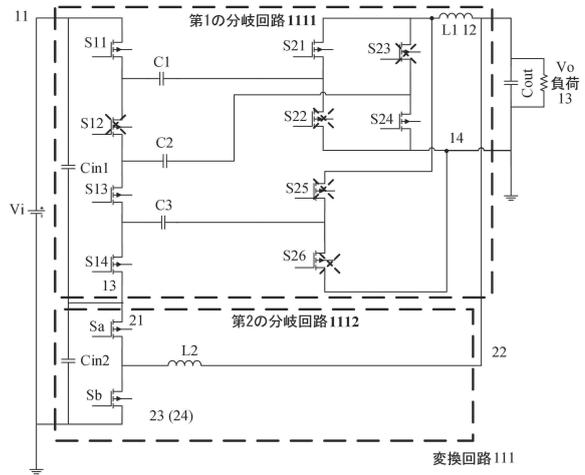


図 28

【図 29 a】



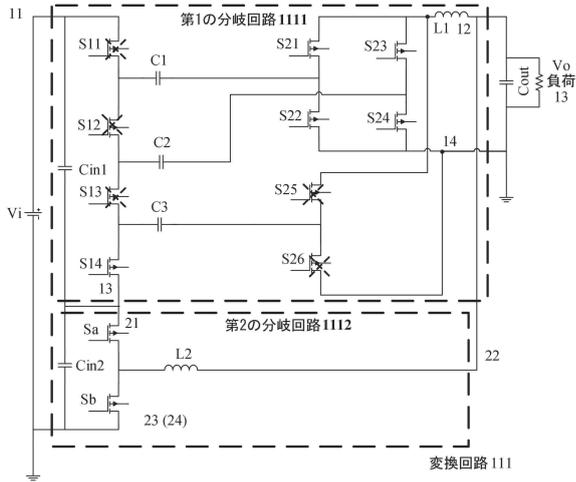
20

30

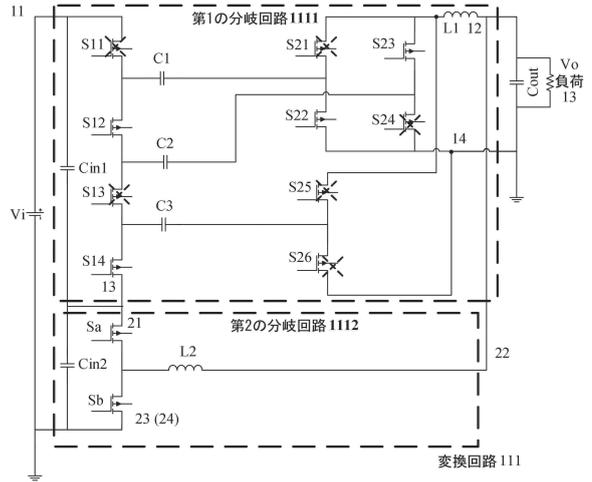
40

50

【図 29 b】

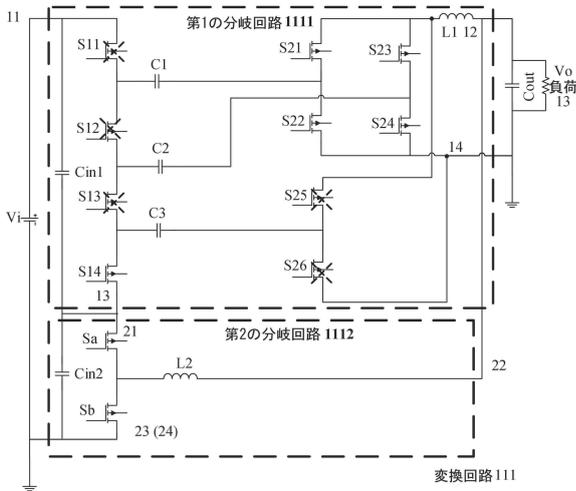


【図 29 c】

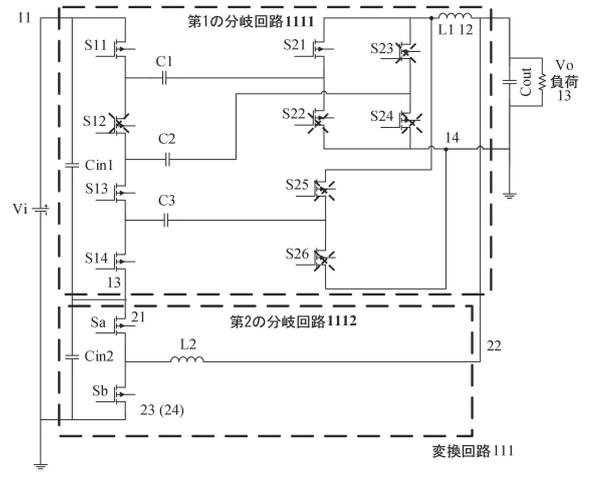


10

【図 29 d】



【図 30 a】



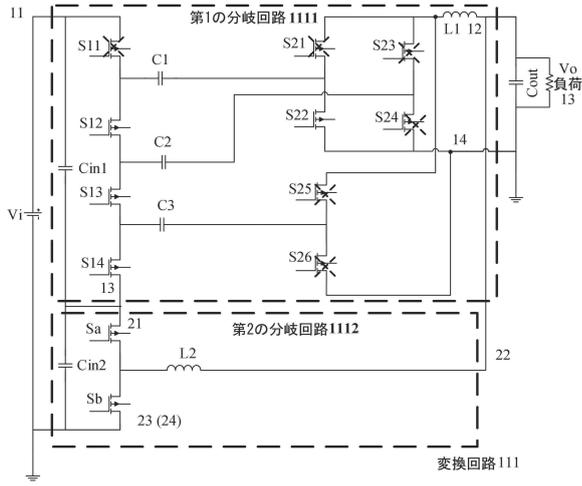
20

30

40

50

【図 30 b】



【図 31】

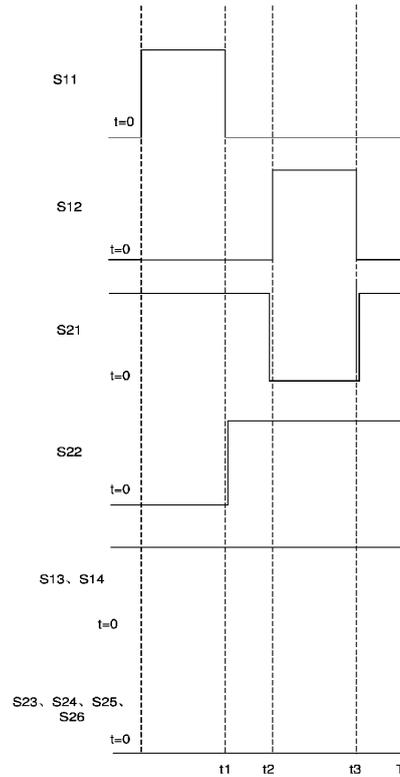
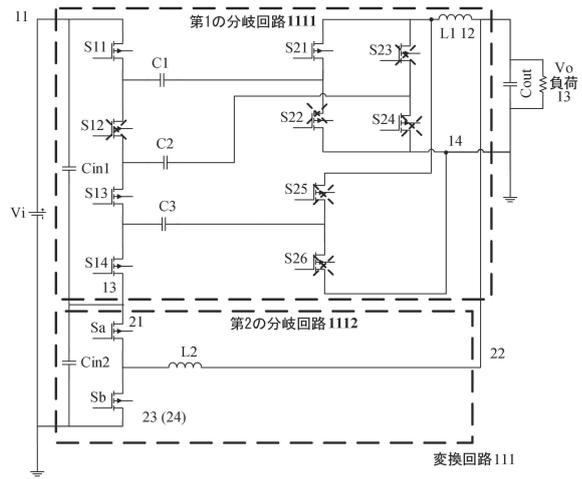


図 31

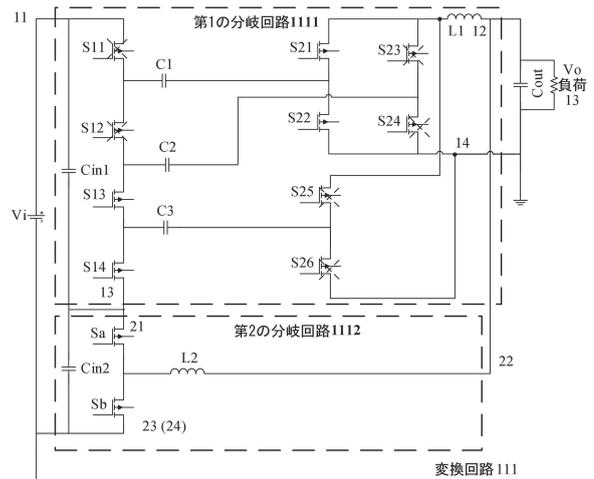
10

20

【図 32 a】



【図 32 b】

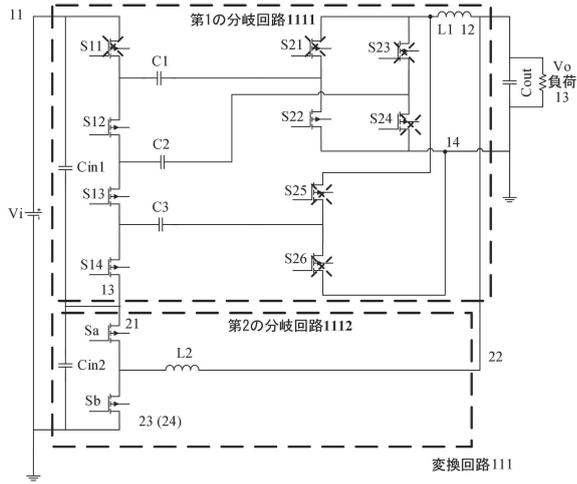


30

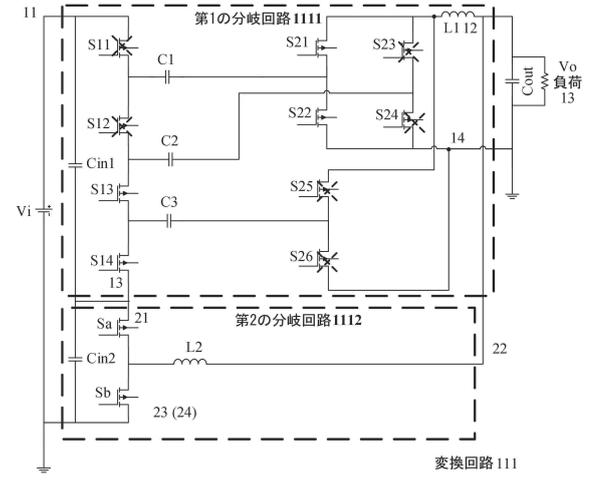
40

50

【図 3 2 c】

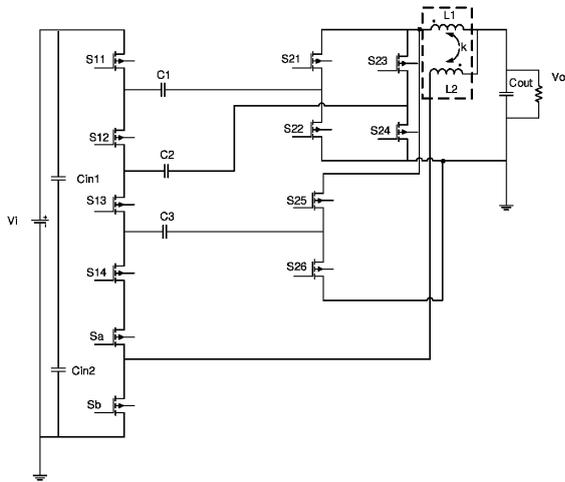


【図 3 2 d】

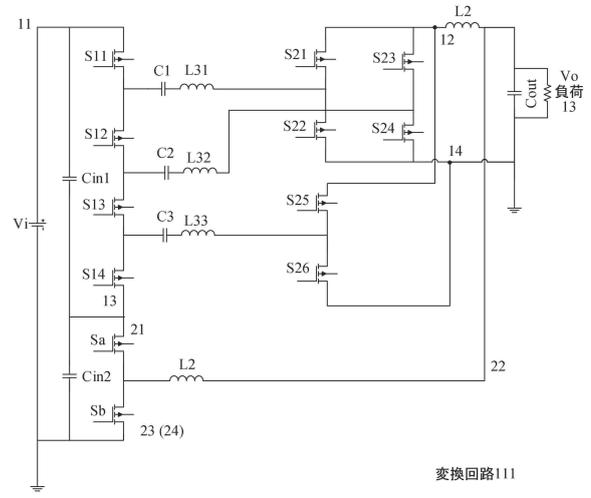


10

【図 3 3】



【図 3 4】



20

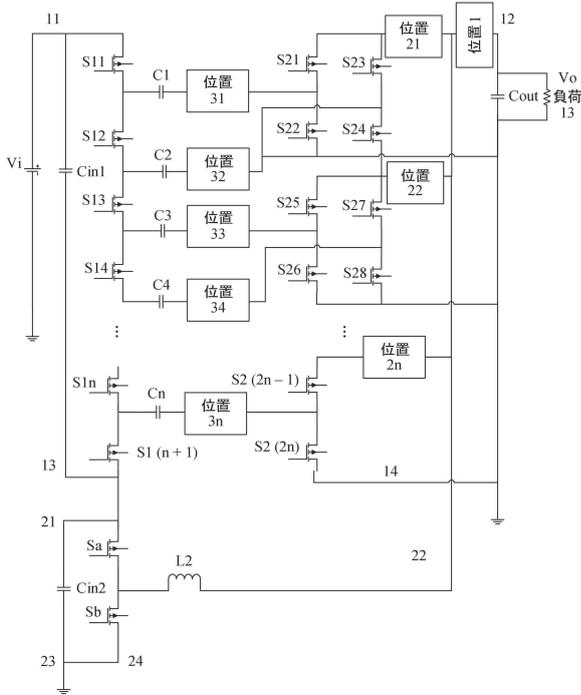
30

图 33

40

50

【 3 5 】



变换回路 111

【 3 6 a 】

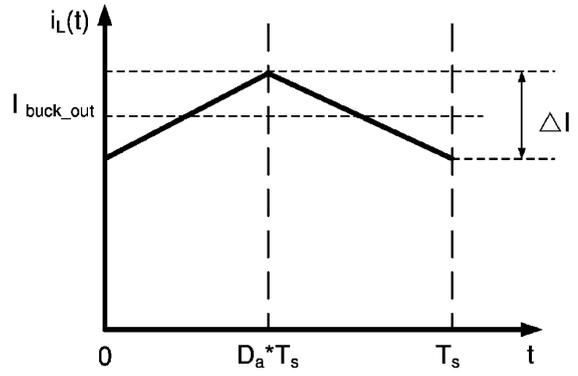


图 36a

10

20

【 3 6 b 】

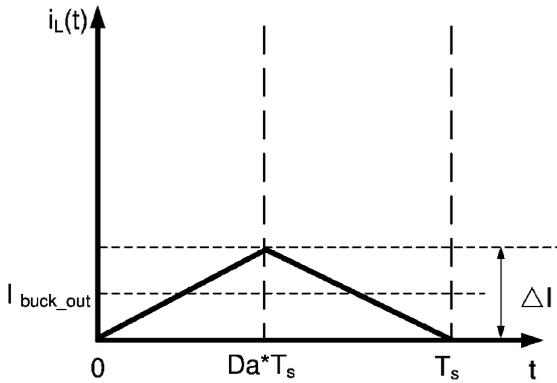


图 36b

【 3 6 c 】

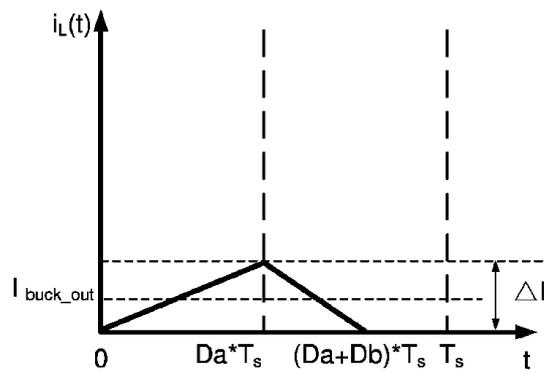


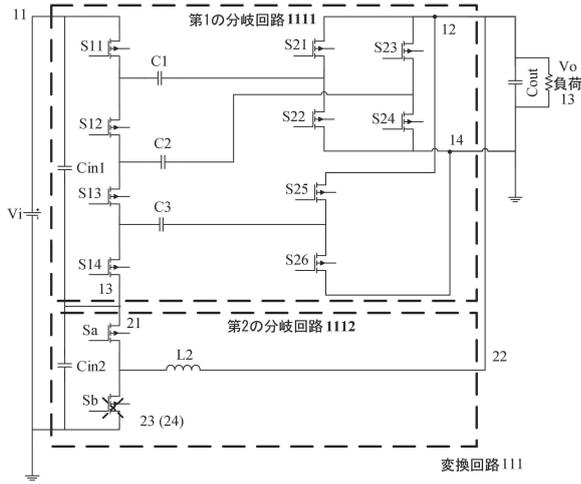
图 36c

30

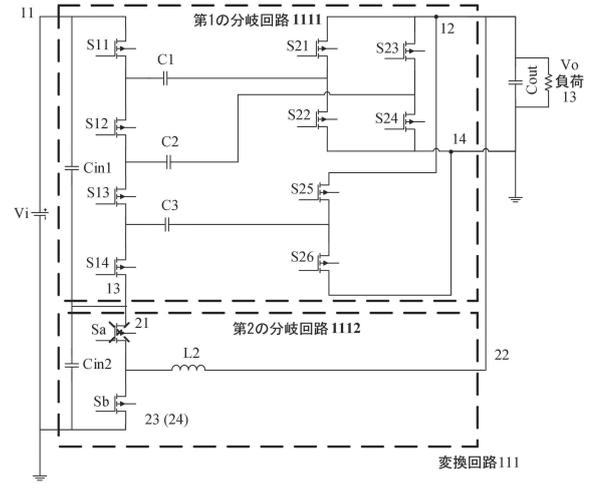
40

50

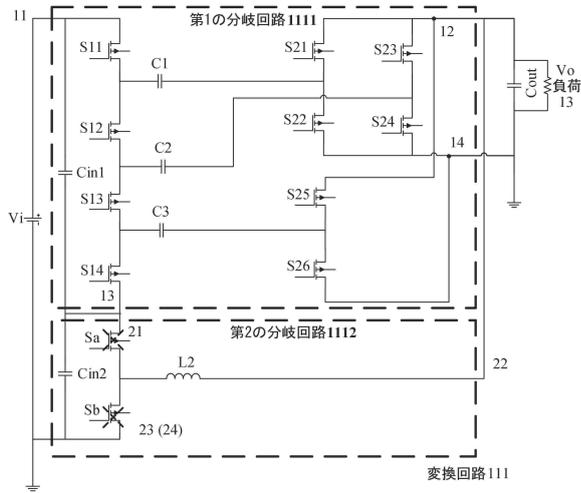
【図 37 a】



【図 37 b】



【図 37 c】



【図 38】

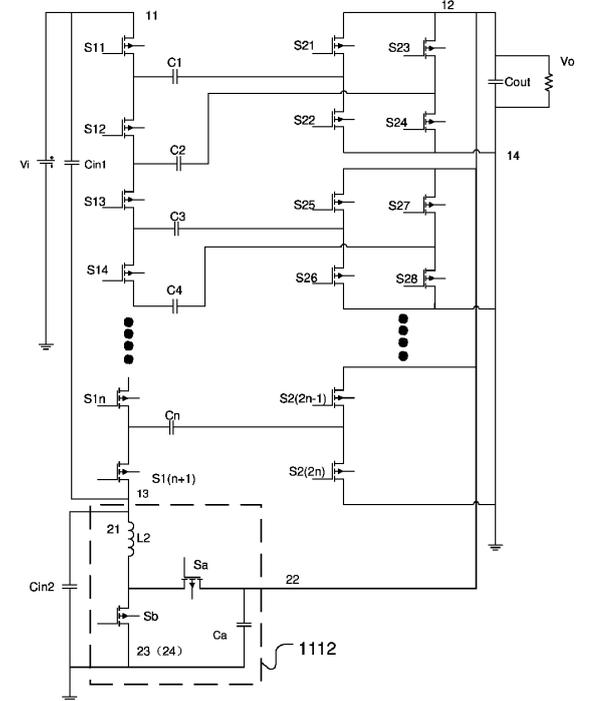


图 38

10

20

30

40

50

【 39 】

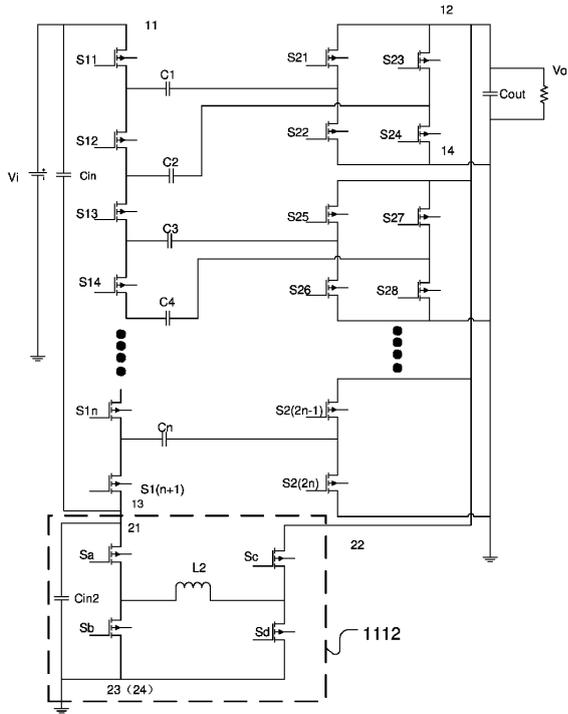


图 39

【 40 】

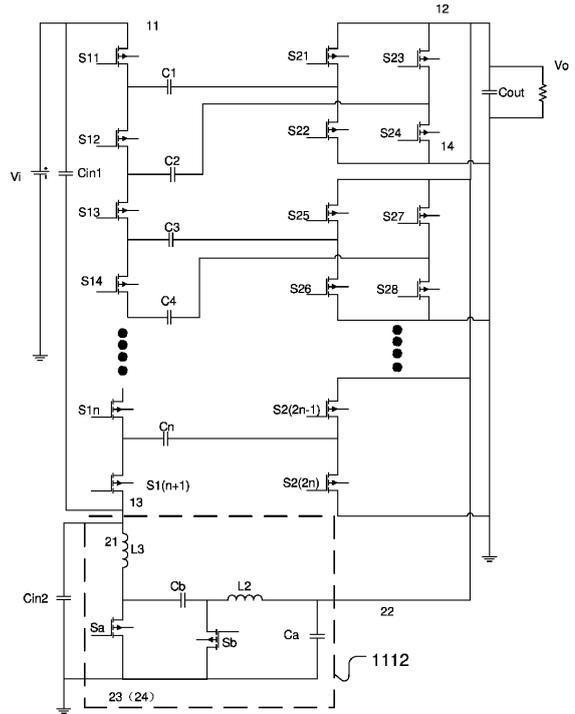


图 40

10

20

【 41 】

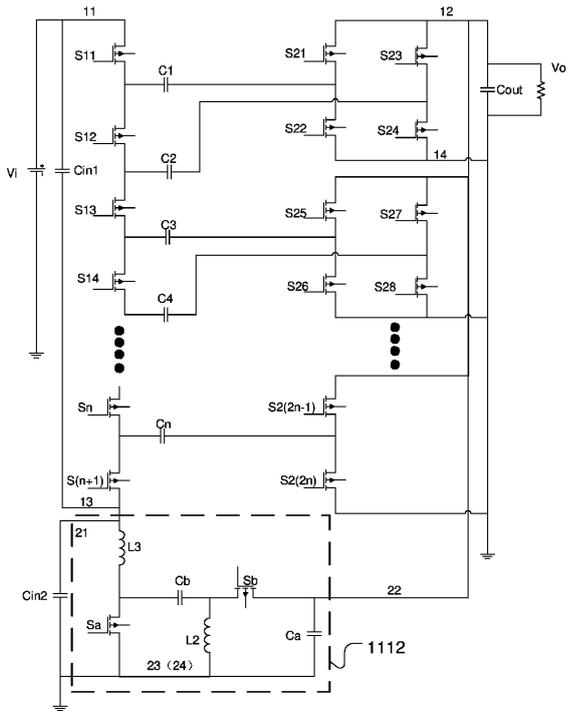


图 41

【 42 】

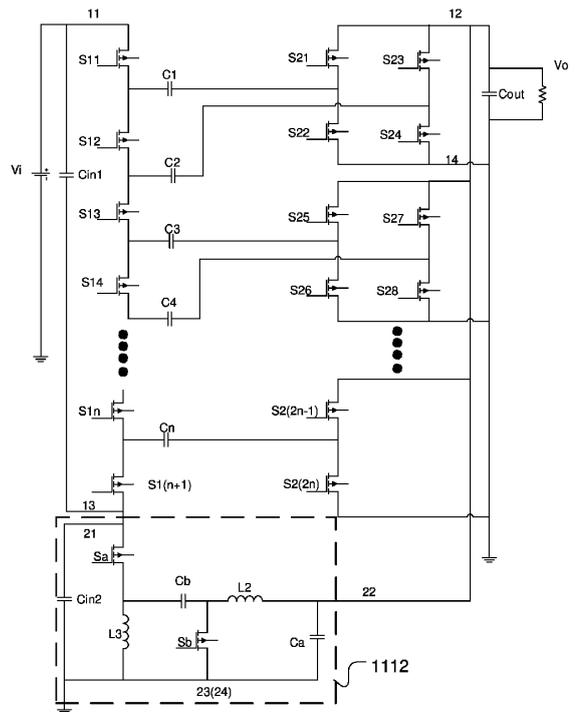


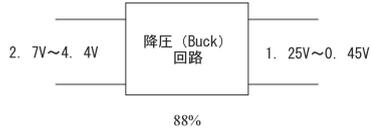
图 42

30

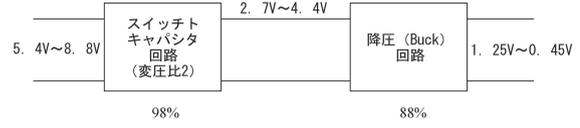
40

50

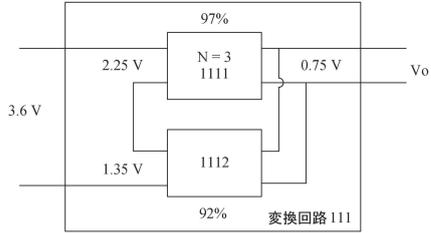
【図 4 3 a】



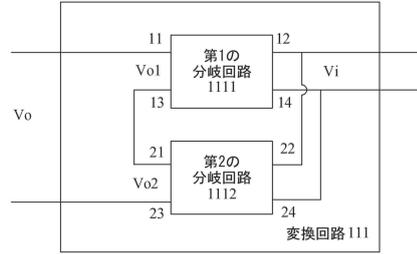
【図 4 3 b】



【図 4 3 c】



【図 4 4】



10

20

30

40

50

フロントページの続き

- (74)代理人 100133569
弁理士 野村 進
- (72)発明者 朱 勇 発
中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為総部 ベン 公楼
- (72)発明者 會 智 強
中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為総部 ベン 公楼
- (72)発明者 ツァイ 錦 森
中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為総部 ベン 公楼
- (72)発明者 楊 和 錢
中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為総部 ベン 公楼
- (72)発明者 陳 曉 威
中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為総部 ベン 公楼
- (72)発明者 丁 涛
中華人民共和国 5 1 8 1 2 9 広東省深 チェン 市龍岗区坂田 華為総部 ベン 公楼
- 審査官 安池 一貴
- (56)参考文献 米国特許出願公開第2019/0372457 (US, A1)
米国特許出願公開第2020/0218300 (US, A1)
中国特許出願公開第111030446 (CN, A)
米国特許出願公開第2020/0244161 (US, A1)
米国特許第09831776 (US, B1)
特開平06-141537 (JP, A)
特開2015-226356 (JP, A)
特開2019-050665 (JP, A)
特開2006-280160 (JP, A)
特開2006-136163 (JP, A)
米国特許出願公開第2005/0213267 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H02M 3/155
H02M 3/07