

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月15日(15.02.2018)



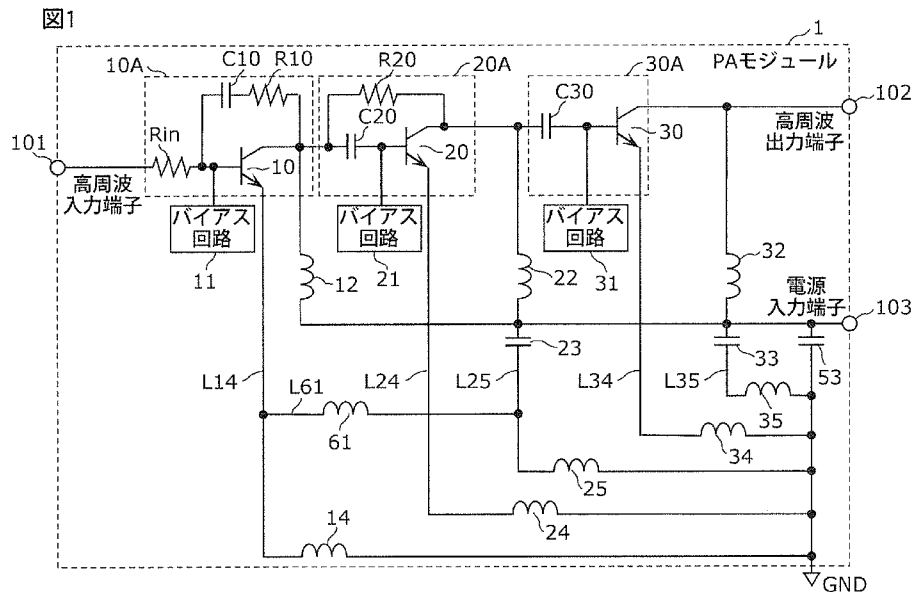
(10) 国際公開番号

WO 2018/030278 A1

- (51) 国際特許分類:
H03F 3/195 (2006.01) H03F 3/24 (2006.01)
- (21) 国際出願番号: PCT/JP2017/028276
- (22) 国際出願日: 2017年8月3日(03.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-158068 2016年8月10日(10.08.2016) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 竹中 功 (TAKENAKA, Isao); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外 (YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号 タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: POWER AMPLIFIER MODULE, FRONT END CIRCUIT AND COMMUNICATION DEVICE

(54) 発明の名称: 電力増幅モジュール、フロントエンド回路および通信装置



- 1 PA module
11, 21, 31 Bias circuit
101 High-frequency input terminal
102 High-frequency output terminal
103 Power supply input terminal

(57) Abstract: This PA module (1) is provided with: a multilayer substrate having a ground pattern layer (GND) that is connected to the ground of a power supply (70); amplifier transistors (10, 20) which are arranged on the multilayer substrate; a bypass capacitor (23) having one end connected to the collector of the amplifier transistor (20); a first wiring line (L14) which connects the emitter of the amplifier transistor (10) and the ground pattern layer (GND) to each other; a second wiring line (L24) which connects the emitter of the amplifier transistor (20) and the ground pattern layer (GND) to

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

each other; a third wiring line (L25) which connects the other end of the bypass capacitor (23) and the ground pattern layer (GND) to each other; and a fourth wiring line (L61) which is formed between the amplifier transistor (10) and the ground pattern layer (GND) and between the bypass capacitor (23) and the ground pattern layer (GND), and which connects the first wiring line (L14) and the third wiring line (L25) to each other.

(57) 要約: PAモジュール(1)は、電源(70)のグランドに接続されるグランドパターン層(GND)を有する多層基板と、当該多層基板上に配置された増幅トランジスタ(10および20)と、一方端が増幅トランジスタ(20)のコレクタに接続されたバイパスコンデンサ(23)と、増幅トランジスタ(10)のエミッタとグランドパターン層(GND)とを接続する第1配線(L14)と、増幅トランジスタ(20)のエミッタとグランドパターン層(GND)とを接続する第2配線(L24)と、バイパスコンデンサ(23)の他方端とグランドパターン層(GND)とを接続する第3配線(L25)と、増幅トランジスタ(10)とグランドパターン層(GND)との間かつバイパスコンデンサ(23)とグランドパターン層(GND)との間に形成され、第1配線(L14)と第3配線(L25)とを接続する第4配線(L61)とを備える。

明 細 書

発明の名称：

電力増幅モジュール、フロントエンド回路および通信装置

技術分野

[0001] 本発明は、電力増幅モジュール、フロントエンド回路および通信装置に関する。

背景技術

[0002] 近年の携帯電話のフロントエンド回路には、マルチバンド化に伴い、送受信信号を低損失で伝搬させることが求められる。そのため、送信信号を増幅する電力増幅回路には、送信時の利得を維持しつつ低雑音で送信信号を伝送することが要求される。

[0003] 図9は、特許文献1に記載された高周波多段AB級バイアス増幅器の等価回路図である。同図に記載された高周波多段AB級バイアス増幅器は、後段高周波トランジスタ601と、前段高周波トランジスタ602と、整合回路603と、バイアス回路604および605と、バイアス用電源端子606および607とで構成されている。バイアス回路604は、ストリップ線路641と、高周波バイパスコンデンサ642と、バイアス用抵抗643と、バイアス用ブリーダ抵抗644とを備える。バイアス回路605は、ストリップ線路651と、高周波バイパスコンデンサ652と、バイアス用抵抗653と、バイアス用ブリーダ抵抗654とを備える。後段高周波トランジスタ601および前段高周波トランジスタ602に電源供給するためのバイアス回路604および605は、RF信号のバイアス回路への漏洩を防ぐためにストリップ線路641および651からなるチョーク回路とRF信号を短絡終端する高周波バイパスコンデンサ642および652とで構成される。これにより、後段高周波トランジスタ601および前段高周波トランジスタ602に、安定した電源供給がなされる。

先行技術文献

特許文献

[0004] 特許文献1：特開昭62-39908号公報

発明の概要

発明が解決しようとする課題

[0005] 近年の携帯電話端末に使用される電力増幅器モジュールでは、電力増幅回路、通信帯域切替スイッチおよび整合回路用部品などは、回路素子を内蔵する多層基板上に実装される。このような多層基板上に構成された電力増幅器モジュールでは、増幅器と多層基板に形成されるグランド層とを接続する配線に起因した、電力増幅素子の接地部に発生するインダクタンス成分が原因となり、電源ノイズが増大する問題がある。例えば、図9の等価回路では、後段高周波トランジスタ601および前段高周波トランジスタ602のエミッタ端子から接地部までの経路に微小インダクタンス（L）が存在し、接地部に流れるリターン電流（i）により、 $V = L (di/dt)$ で示される電源ノイズ（V）が増大してしまう。

[0006] そこで、本発明は、上記課題を解決するためになされたものであって、電源ノイズが低減された電力増幅モジュールおよび通信装置を提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明の一態様に係る電力増幅モジュールは、多段接続された電力増幅素子で構成された電力増幅モジュールであって、電源のグランド端子に接続されるグランドパターン層を有する多層基板と、前記多層基板上に配置され、第1端子、第2端子、および第1入力端子を有する第1電力増幅素子と、前記多層基板上に配置され、第3端子、第4端子、および前記第1端子に接続された第2入力端子を有する第2電力増幅素子と、前記第1入力端子および前記第2入力端子にバイアス電圧を供給するバイアス回路と、一方端が前記第3端子に接続された第1バイパスコンデンサと、前記第1電力増幅素子と前記グランドパターン層との間に形成され、前

記第2端子と前記グラウンドパターン層とを接続する第1導体パターンと、前記第2電力増幅素子と前記グラウンドパターン層との間に形成され、前記第4端子と前記グラウンドパターン層とを接続する第2導体パターンと、前記第1バイパスコンデンサと前記グラウンドパターン層との間に形成され、前記第1バイパスコンデンサの他方端と前記グラウンドパターン層とを接続する第3導体パターンと、前記第1電力増幅素子と前記グラウンドパターン層との間、かつ、前記第1バイパスコンデンサと前記グラウンドパターン層との間に形成され、前記第1導体パターンと前記第3導体パターンとを接続する第4導体パターンと、を備える。

[0008] 上記構成によれば、第1電力増幅素子を接地接続するための第1導体パターンと、第1バイパスコンデンサを接地接続するための第3導体パターンとが、第4導体パターンを介して、グラウンドパターン層よりも第1電力増幅素子側で接続される。このため、第1導体パターンに対して第4導体パターンが並列接続されるので、第1電力増幅素子の第2端子とグラウンドパターン層との間に発生するインダクタンス成分を、第1導体パターンが有するインダクタンス成分よりも低減できる。よって、電力増幅モジュールの電源ノイズを低減することが可能となる。

[0009] また、前記第4導体パターンは、前記第1電力増幅素子および前記第1バイパスコンデンサと前記グラウンドパターン層との間の同一層に形成された複数の導体配線で構成されていてもよい。

[0010] これにより、第4導体パターンが1本の導体配線で構成されている場合と比較して、第4導体パターンのインダクタンス成分を小さくできる。より小さなインダクタンス成分を有する第4導体パターンが第1導体パターンに並列接続されることで、第1電力増幅素子の第2端子とグラウンドパターン層との間に発生するインダクタンス成分を、より低減することが可能となる。

[0011] また、さらに、前記第2電力増幅素子および前記第1バイパスコンデンサと前記グラウンドパターン層との間に形成され、前記第2導体パターンと前記第3導体パターンとを接続する第5導体パターン、を備えてもよい。

[0012] これにより、第2電力増幅素子を接地接続するための第2導体パターンと、第1バイパスコンデンサを接地接続するための第3導体パターンとが、第5導体パターンを介して、グランドパターン層よりも第2電力増幅素子側で接続される。このため、第2導体パターンに対して第5導体パターンが並列接続されるので、第2電力増幅素子の第4端子とグランドパターン層との間に発生するインダクタンス成分を、第2導体パターンが有するインダクタンス成分よりも低減できる。よって、電力増幅モジュールの電源ノイズを低減することが可能となる。

[0013] また、さらに、前記多層基板上であって前記第1電力増幅素子および前記第2電力増幅素子よりも前記電源に近い側に配置され、第5端子、第6端子、および前記第3端子に接続された第3入力端子を有する第3電力増幅素子と、一方端が前記第5端子に接続された第2バイパスコンデンサと、前記第3電力増幅素子と前記グランドパターン層との間に形成され、前記第6端子と前記グランドパターン層とを接続する第6導体パターンと、前記第2バイパスコンデンサと前記グランドパターン層との間に形成され、前記第2バイパスコンデンサの他方端と前記グランドパターン層とを接続する第7導体パターンと、前記第3電力増幅素子および前記第2バイパスコンデンサと前記グランドパターン層との間に形成され、前記第6導体パターンと前記第7導体パターンとを接続する第8導体パターンと、を備えてもよい。

[0014] これにより、第3電力増幅素子を接地接続するための第6導体パターンと、第2バイパスコンデンサを接地接続するための第7導体パターンとが、第8導体パターンを介して、グランドパターン層よりも第3電力増幅素子側で接続される。このため、第6導体パターンに対して第8導体パターンが並列接続されるので、第3電力増幅素子の第6端子とグランドパターン層との間に発生するインダクタンス成分を、第6導体パターンが有するインダクタンス成分よりも低減できる。よって、電力増幅モジュールの電源ノイズを低減することが可能となる。

[0015] また、前記第5導体パターンと前記第8導体パターンとは、異なる層に形

成されていてもよい。

[0016] これにより、第5導体パターンおよび第8導体パターンの配置レイアウトの自由度が高まるので、第2電力増幅素子および第3電力増幅素子のインピーダンス調整が容易となる。

[0017] また、前記第2電力増幅素子は前記第1電力増幅素子よりも前記電源に近い側に配置され、前記第4導体パターンおよび前記第5導体パターンは、それぞれ、1本以上の導体配線で構成されており、前記第4導体パターンの導体配線の本数は、前記第5導体パターンの導体配線の本数よりも多くてもよい。

[0018] 第1電力増幅素子のほうが第2電力増幅素子よりも電源グランド端子からの距離が長いので、第1導体パターンのほうが第2導体パターンよりも長くなりインダクタンス成分が大きくなる。これに対して、第4導体パターンのほうが第5導体パターンよりも導体配線の本数が多い。このため、第4導体パターンのほうが第5導体パターンよりインダクタンス成分が小さくなることで、第2電力増幅素子の第4端子とグランドパターン層との間に発生するインダクタンス成分よりも、第1電力増幅素子の第2端子とグランドパターン層との間に発生するインダクタンス成分を、より低減できる。よって、最も電源ノイズが重畳され易い第1電力増幅素子の電源ノイズを効果的に低減できるので、電力増幅モジュールの電源ノイズを効果的に低減することが可能となる。

[0019] また、前記第2電力増幅素子は前記第1電力増幅素子よりも前記電源に近い側に配置され、前記第4導体パターンおよび前記第5導体パターンは、それぞれ、導体配線で構成されており、前記第4導体パターンの導体配線の線幅は、前記第5導体パターンの導体配線の線幅よりも大きくてもよい。

[0020] また、前記第2電力増幅素子は前記第1電力増幅素子よりも前記電源に近い側に配置され、前記第4導体パターンおよび前記第5導体パターンは、それぞれ、導体配線で構成されており、前記第4導体パターンの導体配線は、前記第5導体パターンの導体配線よりも短くてもよい。

[0021] これらによれば、第4導体パターンのほうが第5導体パターンよりインダクタンス成分が小さくなることで、第2電力増幅素子の第4端子とグランドパターン層との間に発生するインダクタンス成分よりも、第1電力増幅素子の第2端子とグランドパターン層との間に発生するインダクタンス成分を、より低減できる。よって、最も電源ノイズが重畳され易い第1電力増幅素子の電源ノイズを効果的に低減できるので、電力増幅モジュールの電源ノイズを効果的に低減することが可能となる。

[0022] また、さらに、前記電源から出力される電源電圧をエンベロープトラッキング方式により変調し、当該変調された電源電圧を前記第1端子および前記第3端子に出力するサプライモジュレータを備えてもよい。

[0023] これにより、エンベロープトラッキング方式を採る電力増幅モジュールにおいて、電源ノイズを低減することが可能となる。

[0024] また、本発明の一態様に係るフロントエンド回路は、上記記載の電力増幅モジュールと、送信用フィルタ素子および受信用フィルタ素子と、アンテナ素子からの高周波受信信号を前記受信用フィルタ素子へ出力し、かつ、前記電力増幅モジュールで増幅された、前記送信用フィルタ素子を経由した高周波送信信号を、前記アンテナ素子へ出力する、分波器と、を備える。

[0025] 上記構成によれば、電源ノイズが低減されたフロントエンド回路を提供することが可能となる。

[0026] また、本発明の一態様に係る通信装置は、上記記載のフロントエンド回路と、前記フロントエンド回路に高周波送信信号を出力し、前記フロントエンド回路から高周波受信信号を入力するRF信号処理回路と、を備える。

[0027] 上記構成によれば、電源ノイズが低減された通信装置を提供することが可能となる。

発明の効果

[0028] 本発明によれば、電源ノイズが低減された電力増幅モジュールおよび通信装置を提供することが可能となる。

図面の簡単な説明

[0029] [図1]図 1 は、実施の形態 1 に係る電力増幅モジュールの等価回路図である。

[図2]図 2 は、比較例に係る電力増幅モジュールの回路構成図である。

[図3]図 3 は、比較例に係る電力増幅モジュールの等価回路図である。

[図4]図 4 は、実施の形態 1 の変形例に係る電力増幅モジュールの等価回路図である。

[図5]図 5 は、実施の形態 1 の変形例に係る電力増幅モジュールの実装構成図である。

[図6]図 6 は、実施の形態 1 に係る電力増幅モジュールの実装構成図である。

[図7]図 7 は、実施の形態 2 に係る電力増幅モジュールの回路構成図である。

[図8]図 8 は、実施の形態 3 に係る通信装置の回路構成図である。

[図9]図 9 は、特許文献 1 に記載された高周波多段 A B 級バイアス増幅器の等価回路図である。

発明を実施するための形態

[0030] 以下、本発明の実施の形態について、実施の形態およびその図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。

[0031] (実施の形態 1)

[1. 1 実施の形態 1 に係る P A モジュール 1 の回路構成]

図 1 は、実施の形態 1 に係る P A (P o w e r A m p l i f i e r) モジュール 1 の等価回路図である。同図に示された P A モジュール 1 (電力増幅モジュール) は、高周波入力端子 1 0 1 と、高周波出力端子 1 0 2 と、第 1 増幅回路 1 0 A と、第 2 増幅回路 2 0 A と、第 3 増幅回路 3 0 A と、バイアス回路 1 1、2 1 および 3 1 と、チョークコイル 1 2、2 2 および 3 2 と

、バイパスコンデンサ23、33および53と、第1配線L14と、第2配線L24と、第3配線L25と、第4配線L61と、第6配線L34と、第7配線L35とを備える。

[0032] PAモジュール1は、多層基板上またはその内部に、上記構成要素が実装された構成となっている。また、この多層基板は、電源のグランド端子に接続されるグランドパターン層（図1におけるGNDに相当）を有している。

[0033] 第1増幅回路10Aは、増幅トランジスタ10と、増幅トランジスタ10のベース端子に接続された入力抵抗 R_{in} と、増幅トランジスタ10のベース-コレクタ間に接続されたコンデンサC10および抵抗R10とを有する。第2増幅回路20Aは、増幅トランジスタ20と、増幅トランジスタ20のベース端子に接続されたコンデンサC20と、増幅トランジスタ20のベース-コレクタ間に接続された抵抗R20とを有する。第3増幅回路30Aは、増幅トランジスタ30と、増幅トランジスタ30のベース端子に接続されたコンデンサC30とを有する。なお、第1増幅回路10A、第2増幅回路20A、および第3増幅回路30Aの上記回路構成は、一例であってこれに限定されない。

[0034] 増幅トランジスタ10は、多層基板上に配置され、第1端子（コレクタ端子）、第2端子（エミッタ端子）、および第1入力端子（ベース端子）を有する第1電力増幅素子である。増幅トランジスタ20は、多層基板上であって増幅トランジスタ10よりも電源（電源入力端子103）に近い側に配置され、第3端子（コレクタ端子）、第4端子（エミッタ端子）、および第2入力端子（ベース端子）を有する第2電力増幅素子である。増幅トランジスタ30は、多層基板上であって増幅トランジスタ10および20よりも電源（電源入力端子103）に近い側に配置され、第5端子（コレクタ端子）、第6端子（エミッタ端子）、および第3入力端子（ベース端子）を有する第3電力増幅素子である。

[0035] 増幅トランジスタ10のコレクタ端子（第1端子）は、増幅トランジスタ20のベース端子（第2入力端子）に接続され、増幅トランジスタ20のコ

レクタ端子（第3端子）は、増幅トランジスタ30のベース端子（第3入力端子）に接続されている。これにより、PAモジュール1は、第1増幅回路10A、第2増幅回路20A、および第3増幅回路30Aが多段接続された構成となっている。増幅トランジスタ10のベース端子（第1入力端子）は、入力抵抗 R_{in} を介して高周波入力端子101に接続され、コレクタ端子（第1端子）は、チョークコイル12を介して電源入力端子103に接続され、エミッタ端子（第2端子）は、第1配線L14を介して接地（GNDに接続）されている。増幅トランジスタ20のコレクタ端子（第3端子）は、チョークコイル22を介して電源入力端子103に接続され、エミッタ端子（第4端子）は、第2配線L24を介して接地（GNDに接続）されている。増幅トランジスタ30のコレクタ端子（第5端子）は、チョークコイル32を介して電源入力端子103に接続され、エミッタ端子（第6端子）は、第6配線L34を介して接地（GNDに接続）されている。

[0036] なお、図では詳細表示していないが、第1増幅回路10A、第2増幅回路20A、および第3増幅回路30Aは、それぞれ、増幅トランジスタが複数個並列接続されている。

[0037] 増幅トランジスタ10、20、および30は、高周波入力端子101から入力された高周波送信信号を増幅する電力増幅素子であり、例えば、SiまたはGaAsで構成され、主として、ヘテロバイポーラトランジスタ（HBT）と、電界効果型トランジスタ（FET）とがある。増幅トランジスタ10、20、および30が、SiからなるCMOS（Complementary Metal Oxide Semiconductor）で構成されている場合には、PAモジュール1を安価に製造することが可能となる。また、増幅トランジスタ10、20、および30が、GaAsで構成されている場合には、高品質な増幅性能および雑音性能を有する高周波送信信号を出力することが可能となる。

[0038] バイアス回路11、21および31は、それぞれ、直流電流供給用トランジスタおよびその他の回路素子で構成され、バイアス電源電圧および参照電

圧が供給されることで、直流電流供給用トランジスタから増幅トランジスタ 10、20 および 30 のベース端子へ直流バイアス電圧（電流）を供給する。

[0039] バイパスコンデンサ 23 は、一方端がチョークコイル 22 を介して増幅トランジスタ 20 のコレクタ端子に接続され、他方端が第 3 配線 L 25 を介してグラウンドパターン層（図 1 における GND に相当）に接続された第 1 バイパスコンデンサである。

[0040] バイパスコンデンサ 33 は、一方端がチョークコイル 32 を介して増幅トランジスタ 30 のコレクタ端子に接続され、他方端が第 7 配線 L 35 を介してグラウンドパターン層（図 1 における GND に相当）に接続された第 2 バイパスコンデンサである。

[0041] バイパスコンデンサ 23 および 33 は、上記接続構成により、増幅トランジスタ 10、20 および 30 に供給される直流電源電圧の変動を抑制する機能を有する。

[0042] 第 1 配線 L 14 は、増幅トランジスタ 10 とグラウンドパターン層（図 1 における GND に相当）との間に形成され、増幅トランジスタ 10 のエミッタ端子とグラウンドパターン層とを接続する第 1 導体パターンである。第 1 配線 L 14 は、図 1 の等価回路に示すように、インダクタンス成分 14 を有している。

[0043] 第 2 配線 L 24 は、増幅トランジスタ 20 とグラウンドパターン層（図 1 における GND に相当）との間に形成され、増幅トランジスタ 20 のエミッタ端子とグラウンドパターン層とを接続する第 2 導体パターンである。第 2 配線 L 24 は、図 1 の等価回路に示すように、インダクタンス成分 24 を有している。

[0044] 第 6 配線 L 34 は、増幅トランジスタ 30 とグラウンドパターン層（図 1 における GND に相当）との間に形成され、増幅トランジスタ 30 のエミッタ端子とグラウンドパターン層とを接続する第 6 導体パターンである。第 6 配線 L 34 は、図 1 の等価回路に示すように、インダクタンス成分 34 を有して

いる。

[0045] 第3配線L25は、バイパスコンデンサ23とグラウンドパターン層（図1におけるGNDに相当）との間に形成され、バイパスコンデンサ23の他方端とグラウンドパターン層とを接続する第3導体パターンである。第3配線L25は、図1の等価回路に示すように、インダクタンス成分25を有している。

[0046] 第7配線L35は、バイパスコンデンサ33とグラウンドパターン層（図1におけるGNDに相当）との間に形成され、バイパスコンデンサ33の他方端とグラウンドパターン層とを接続する第7導体パターンである。第7配線L35は、図1の等価回路に示すように、インダクタンス成分35を有している。

[0047] ここで、本実施の形態に係るPAモジュール1は、第4配線L61を備えることを特徴としている。第4配線L61は、増幅トランジスタ10およびバイパスコンデンサ23と、グラウンドパターン層（図1におけるGNDに相当）との間に形成され、第1配線L14と第3配線L25とを接続する第4導体パターンである。第4配線L61は、図1の等価回路に示すように、微小なインダクタンス成分61を有している。

[0048] この第4配線L61の配置によれば、増幅トランジスタ10とグラウンドパターン層（GND）との間に、第1配線L14と第4配線L61とが並列接続されるので、増幅トランジスタ10のエミッタ端子とグラウンドパターン層（GND）との間に発生するインダクタンス成分を、第1配線L14が有するインダクタンス成分14よりも低減できる。よって、PAモジュール1の電源ノイズを低減することが可能となる。

[0049] [1. 2 比較例に係るPAモジュール500の回路構成]

図2は、比較例に係るPAモジュール500の回路構成図である。同図に示されたPAモジュール500は、高周波入力端子101と、高周波出力端子102と、第1増幅回路10Aと、第2増幅回路20Aと、第3増幅回路30Aと、バイパス回路11、21および31と、チョークコイル12、2

2 および 3 2 と、バイパスコンデンサ 2 3、3 3 および 5 3 とを備える。上記構成要素の接続関係については、実施の形態 1 に係る P A モジュール 1 の接続関係と同じである。

[0050] 図 3 は、比較例に係る P A モジュール 5 0 0 の等価回路図である。P A モジュール 5 0 0 を、電力増幅回路、通信帯域切替スイッチおよび整合回路用部品などの回路素子を内蔵する多層基板上に実装した場合、図 3 に示すように、多層基板上に配置される各増幅トランジスタおよびバイパスコンデンサと、多層基板に配置されるグランドパターン層（図 3 における G N D に相当）とを、多層基板に形成された導体配線で接続することとなる。より具体的には、増幅トランジスタ 1 0 とグランドパターン層との間に第 1 配線 L 1 4 が形成される。また、増幅トランジスタ 2 0 とグランドパターン層との間に第 2 配線 L 2 4 が形成される。また、バイパスコンデンサ 2 3 とグランドパターン層との間に第 3 配線 L 2 5 が形成される。また、増幅トランジスタ 3 0 とグランドパターン層との間に第 6 配線 L 3 4 が形成される。また、バイパスコンデンサ 3 3 とグランドパターン層との間に第 7 配線 L 3 5 が形成される。ここで、第 1 配線 L 1 4 はインダクタンス成分 1 4 を有し、第 2 配線 L 2 4 はインダクタンス成分 2 4 を有し、第 3 配線 L 2 5 はインダクタンス成分 2 5 を有し、第 6 配線 L 3 4 はインダクタンス成分 3 4 を有し、第 7 配線 L 3 5 はインダクタンス成分 3 5 を有している。

[0051] 上記のように、多層基板上に構成された P A モジュール 5 0 0 では、各増幅トランジスタと多層基板に形成されるグランドパターン層（G N D）とを接続する配線に起因した、各増幅トランジスタの接地部に発生するインダクタンス成分 1 4、2 4、2 5、3 4 および 3 5 が原因となり、電源ノイズが増大する問題がある。例えば、図 3 の等価回路に示された P A モジュール 5 0 0 では、電源入力端子 1 0 3、チョークコイル 1 2、増幅トランジスタ 1 0、第 1 配線 L 1 4、およびグランドパターン層（G N D）という経路 1 に流れるリターン電流とインダクタンス成分 1 4 とにより、 $V=L \left(di/dt \right)$ で示される電源ノイズ（V）が増大してしまう。また、電源入力端子 1

03、チョークコイル22、増幅トランジスタ20、第2配線L24、およびグラウンドパターン層（GND）という経路2に流れるリターン電流とインダクタンス成分24とにより、 $V=L \left(di/dt \right)$ で示される電源ノイズ（V）が増大してしまう。また、電源入力端子103、チョークコイル32、増幅トランジスタ30、第6配線L34、およびグラウンドパターン層（GND）という経路3に流れるリターン電流とインダクタンス成分34とにより、 $V=L \left(di/dt \right)$ で示される電源ノイズ（V）が増大してしまう。

[0052] [1. 3 PAモジュール1の電源ノイズ低減効果]

上述した比較例に係るPAモジュール500に対して、本実施の形態1に係るPAモジュール1によれば、増幅トランジスタ10をエミッタ接地するための第1配線L14と、バイパスコンデンサ23を接地接続するための第3配線L25とが、第4配線L61により、グラウンドパターン層（GND）よりも増幅トランジスタ10側で接続される。このため、増幅トランジスタ10とグラウンドパターン層（GND）との間に第1配線L14と第4配線L61とが並列接続されるので、増幅トランジスタ10のエミッタ端子とグラウンドパターン層（GND）との間に発生するインダクタンス成分を、第1配線L14が有するインダクタンス成分14よりも低減できる。よって、PAモジュール1の電源ノイズを低減することが可能となる。

[0053] [1. 4 変形例に係るPAモジュール2の回路構成]

図4は、実施の形態1の変形例に係るPAモジュール2の等価回路図である。同図に示されたPAモジュール2（電力増幅モジュール）は、高周波入力端子101と、高周波出力端子102と、第1増幅回路10Aと、第2増幅回路20Aと、第3増幅回路30Aと、バイパス回路11、21および31と、チョークコイル12、22および32と、バイパスコンデンサ23、33および53と、第1配線L14と、第2配線L24と、第3配線L25と、第4配線L61AおよびL61Bと、第5配線L62と、第6配線L34と、第7配線L35と、第8配線L63とを備える。

[0054] 本変形例に係るPAモジュール2は、実施の形態1に係るPAモジュール

1と比較して、(1)第4配線が2本配置されている点、(2)第5配線L62および第8配線L63が配置されている点、が構成として異なる。以下、本変形例に係るPAモジュール2について、実施の形態1に係るPAモジュール1と同じ点は説明を省略し、異なる点を中心に説明する。

[0055] 第4配線L61AおよびL61Bは、増幅トランジスタ10およびバイパスコンデンサ23と、グランドパターン層(GND)との間に形成された、第1配線L14と第3配線L25とを接続する第4導体パターンである。第4配線L61AおよびL61Bは、図4の等価回路に示すように、それぞれ、微小なインダクタンス成分61Aおよび61Bを有している。ここで、第4配線L61AおよびL61Bは、多層基板の同一層に形成され、第1配線L14と第3配線L25との間に並列接続されている。

[0056] これにより、第4配線が1本の導体配線で構成されている場合と比較して、第4配線L61AおよびL61Bの合成インダクタンス成分を小さくできる。つまり、より小さなインダクタンス成分を有する第4配線L61AおよびL61Bが第1配線L14に並列接続されることで、増幅トランジスタ10のエミッタ端子とグランドパターン層(GND)との間に発生するインダクタンス成分を、より低減することが可能となる。

[0057] 第5配線L62は、増幅トランジスタ20およびバイパスコンデンサ23と、グランドパターン層(GND)との間に形成された、第2配線L24と第3配線L25とを接続する第5導体パターンである。第5配線L62は、図4の等価回路に示すように、微小なインダクタンス成分62を有している。

[0058] これにより、増幅トランジスタ20のエミッタ接地するための第2配線L24と、バイパスコンデンサ23を接地接続するための第3配線L25とが、第5配線L62により、グランドパターン層(GND)よりも増幅トランジスタ20側で接続される。このため、増幅トランジスタ20とグランドパターン層(GND)との間に、第2配線L24と第5配線L62が並列接続されることとなる。これにより、増幅トランジスタ20のエミッタ端子とグ

ランドパターン層（GND）との間に発生するインダクタンス成分を、第2配線L24が有するインダクタンス成分24よりも低減できる。よって、主に増幅トランジスタ20の電源ノイズを低減でき、PAモジュール2の電源ノイズを低減することが可能となる。

[0059] 第8配線L63は、増幅トランジスタ30およびバイパスコンデンサ33と、ランドパターン層（GND）との間に形成された、第6配線L34と第7配線L35とを接続する第8導体パターンである。第8配線L63は、図4の等価回路に示すように、微小なインダクタンス成分63を有している。

[0060] これにより、増幅トランジスタ30をエミッタ接地するための第6配線L34と、バイパスコンデンサ33を接地接続するための第7配線L35とが、第8配線L63により、ランドパターン層（GND）よりも増幅トランジスタ30側で接続される。このため、増幅トランジスタ30とランドパターン層（GND）との間に、第6配線L34と第8配線L63とが並列接続されることとなる。これにより、増幅トランジスタ30のエミッタ端子とランドパターン層（GND）との間に発生するインダクタンス成分を、第6配線L34が有するインダクタンス成分34よりも低減できる。よって、主に増幅トランジスタ30の電源ノイズを低減でき、PAモジュール2の電源ノイズを低減することが可能となる。

[0061] また、本変形例に係るPAモジュール2では、第4配線L61AおよびL61Bの本数は2本であり、第5配線L62の本数は1本である。つまり、第4導体パターンの導体配線の本数は、第5導体パターンの導体配線の本数よりも多い。

[0062] 増幅トランジスタ10のほうが、増幅トランジスタ20よりも電源ランド端子に接続されたランドパターン層（GND）からの距離が長いので、第1配線L14のほうが第2配線L24よりも長くなり、インダクタンス成分14のほうがインダクタンス成分24が大きくなる。これに対して、第4導体パターンのほうが第5導体パターンよりも導体配線の本数が多いので、

第4導体パターンのほうが第5導体パターンよりインダクタンス成分が小さくなる。これにより、増幅トランジスタ20のエミッタ端子とグランドパターン層（GND）との間に発生するインダクタンス成分よりも、増幅トランジスタ10のエミッタ端子とグランドパターン層（GND）との間に発生するインダクタンス成分を、より低減できる。よって、PAモジュール2の電源ノイズを効果的に低減することが可能となる。

[0063] なお、第4導体パターンの導体配線の本数と、第5導体パターンの導体配線の本数とが同一である場合であって、第4導体パターンの導体配線の線幅が第5導体パターンの導体配線の線幅より大きくてもよい。また、第4導体パターンの導体配線の本数および線幅と、第5導体パターンの導体配線の本数および線幅とが同一である場合であって、第4導体パターンの導体配線が、第5導体パターンの導体配線よりも短くてもよい。これらによっても、第4導体パターンのほうが第5導体パターンよりインダクタンス成分が小さくなる。よって、PAモジュール2の電源ノイズを効果的に低減することが可能となる。

[0064] [1. 5 変形例に係るPAモジュール2の実装構成]

図5は、実施の形態1の変形例に係るPAモジュール2の実装構成図である。同図の下段には、変形例に係るPAモジュール2および電源70の平面構成図が示され、上段には当該平面構成図のV-V断面図が示されている。同図に示すように、PAモジュール2は、多層実装基板90と、多層回路基板80と、増幅トランジスタ30と、バイパスコンデンサ33とを有している。なお、図5には、PAモジュール2のうち、第3増幅回路30Aおよびその周辺回路素子のみを抽出して示している。

[0065] 多層実装基板90および多層回路基板80は、例えば、低温焼結セラミック基板（LTCC基板）やガラスエポキシ基板を積層して形成した樹脂多層基板などである。また、増幅トランジスタ30、バイパスコンデンサ33およびその他の回路素子などは、多層実装基板90上にエポキシ樹脂などで被覆されていてもよい。

[0066] なお、図5の下段に示された平面構成図には、増幅トランジスタ30およびバイパスコンデンサ33を透視した、多層回路基板80の表面の電極レイアウトが示されている。

[0067] 多層実装基板90上には、多層回路基板80と、電源70とが配置されている。多層回路基板80上には、増幅トランジスタ30およびバイパスコンデンサ33が配置されている。多層回路基板80内にはチョークコイル32が形成されている。また、多層回路基板80および多層実装基板90には、増幅トランジスタ30のエミッタ端子とグランドパターン層（GND）とを接続する第6配線L34、および、バイパスコンデンサ33の他端子とグランドパターン層（GND）とを接続する第7配線L35が、ビア配線により形成されている。多層回路基板80の表面には、増幅トランジスタ30のグランドパターン30E、増幅トランジスタ30のコレクタ端子に接続される電極20C、バイパスコンデンサ33の一方端に接続される電極33H、および他方端に接続される電極33Gが形成されている。ここで、多層回路基板80の表面には、上記電極のほか、第8配線L63が形成されている。つまり、第8配線L63は、増幅トランジスタ30およびバイパスコンデンサ33とグランドパターン層（GND）との間に形成され、第6配線L34と第7配線L35とを接続している。なお、第8配線L63の形成位置は、多層回路基板80の表面でなくてもよく、多層回路基板80の内部、または、多層実装基板90のグランドパターン層（GND）よりも上方に形成されていてもよい。

[0068] 上記構成によれば、増幅トランジスタ30をエミッタ接地するための第6配線L34と、バイパスコンデンサ33を接地接続するための第7配線L35とが、第8配線L63により、グランドパターン層（GND）よりも増幅トランジスタ30側で接続される。このため、増幅トランジスタ30とグランドパターン層（GND）との間に、第6配線L34と第8配線L63（および第7配線L35の直列接続）とが並列接続されることとなる。これにより、増幅トランジスタ30のエミッタ端子とグランドパターン層（GND）

との間に発生するインダクタンス成分を、第6配線L34が有するインダクタンス成分34よりも低減できる。よって、PAモジュール2の電源ノイズを低減することが可能となる。

[0069] なお、変形例に係るPAモジュール2において、第8配線L63と、第2配線L24および第3配線L25を接続する第5配線L62とを、多層回路基板80の異なる層に形成してもよい。これにより、第5配線L62および第8配線L63の配置レイアウトの自由度が高まるので、増幅トランジスタ20および30のインピーダンス調整が容易となる。

[0070] [1. 6 実施の形態1に係るPAモジュール1の実装構成]

図6は、実施の形態1に係るPAモジュール1の実装構成図である。同図の下段には、変形例に係るPAモジュール1および電源70の平面構成図が示され、上段には当該平面構成図のV1-V1断面図が示されている。同図に示すように、PAモジュール1は、多層実装基板90と、多層回路基板80と、増幅トランジスタ10と、バイパスコンデンサ23とを有している。なお、図6には、PAモジュール1のうち、第1増幅回路10Aおよびその周辺回路素子のみを抽出して示している。

[0071] なお、図6の下段に示された平面構成図には、増幅トランジスタ10およびバイパスコンデンサ23を透視した、多層回路基板80の表面の電極レイアウトが示されている。

[0072] 多層実装基板90上には、多層回路基板80と、電源70とが配置されている。多層回路基板80上には、増幅トランジスタ10およびバイパスコンデンサ23が配置されている。多層回路基板80内にはチョークコイル12が形成されている。また、多層回路基板80および多層実装基板90には、増幅トランジスタ10のエミッタ端子とグランドパターン層(GND)とを接続する第1配線L14、および、バイパスコンデンサ23の他端子とグランドパターン層(GND)とを接続する第3配線L25が、ビア配線により形成されている。多層回路基板80の表面には、増幅トランジスタ10のグランドパターン10E、増幅トランジスタ10のコレクタ端子に接続される

電極 10C、バイパスコンデンサ 23 の一方端に接続される電極 23H、および他方端に接続される電極 23G が形成されている。ここで、多層回路基板 80 の内層には、第 4 配線 L61 が形成されている。つまり、第 4 配線 L61 は、増幅トランジスタ 10 およびバイパスコンデンサ 23 とグランドパターン層 (GND) との間に形成され、第 1 配線 L14 と第 3 配線 L25 とを接続している。

[0073] 多層回路基板 80 の表面であって、第 1 配線 L14 と第 3 配線 L25 との間の領域に、回路素子や配線などが配置されている場合には、当該領域に第 4 配線 L61 を形成することが困難となる場合がある。この場合には、上記のように、第 4 配線 L61 を多層回路基板 80 の内層に形成してもよい。なお、第 4 配線 L61 の形成位置は、多層回路基板 80 の表面および内部でなくともよく、多層実装基板 90 のグランドパターン層 (GND) よりも上方に形成されていてもよい。

[0074] 上記構成によれば、増幅トランジスタ 10 をエミッタ接地するための第 1 配線 L14 と、バイパスコンデンサ 23 を接地接続するための第 3 配線 L25 とが、第 4 配線 L61 により、グランドパターン層 (GND) よりも増幅トランジスタ 10 側で接続される。このため、増幅トランジスタ 10 とグランドパターン層 (GND) との間に、第 1 配線 L14 と第 4 配線 L61 (および第 3 配線 L25 の直列接続) とが並列接続されることとなる。これにより、増幅トランジスタ 10 のエミッタ端子とグランドパターン層 (GND) との間に発生するインダクタンス成分を、第 1 配線 L14 が有するインダクタンス成分 14 よりも低減できる。よって、PA モジュール 1 の電源ノイズを低減することが可能となる。

[0075] なお、本実施の形態およびその変形例では、第 4 配線 L61 を有する PA モジュール 1 と、第 4 配線 L61A および L61B、第 5 配線 L62、および第 8 配線 L63 を有する PA モジュール 2 とを例示したが、本発明に係る PA モジュールはこれらに限られない。例えば、第 4 配線 L61、第 5 配線 L62、および第 8 配線 L63 を有する PA モジュール、第 4 配線 L61 お

よび第5配線L 6 2を有するP Aモジュール、第4配線L 6 1および第8配線L 6 3を有するP Aモジュール、第4配線L 6 1 AおよびL 6 1 Bのみを有するP Aモジュールなども本発明に係るP Aモジュールに含まれる。

[0076] (実施の形態2)

実施の形態1およびその変形例に係るP Aモジュール1または2は、エンベロープトラッキング方式のP Aモジュールに適用することができる。本実施の形態では、エンベロープトラッキング方式のP Aモジュールについて説明する。

[0077] 図7は、実施の形態2に係るP Aモジュール3の回路構成図である。同図に示されたP Aモジュール3は、P Aモジュール1と、サプライモジュレータ75とを備え、エンベロープトラッキング方式（以下、E T方式と記す）で動作する。

[0078] P Aモジュール1は、実施の形態1に係るP Aモジュールであり、電源ノイズを低減できる構成を有している。

[0079] サプライモジュレータ75は、電源70から供給される直流電圧を、AM信号入力端子104から入力される出力電力の振幅情報（エンベロープ）に応じて変調し、当該変調された電圧を、電源入力端子103を介して、増幅トランジスタ10、20および30のコレクタ端子に印加する。なお、サプライモジュレータ75は、電源70を含んでもよい。つまり、サプライモジュレータ75は、エンベロープアンプとして機能する。

[0080] 上記構成によれば、増幅トランジスタ10、20および30のコレクタ電圧を出力電力に応じて変化させることにより、電源電圧を固定電圧とした場合の動作時に生じる電力ロスを減らし、電源ノイズを効果的に低減することが可能となる。また、上記振幅情報に応じて電源電圧を変化させることにより、増幅トランジスタ10、20および30をほぼ飽和に近い状態で動作させることができ、P Aモジュール3の高効率化を実現できる。例えば、W-CDMA (Wideband Code Division Multiple Access) の変調信号のように、電力増幅器の平均出力電力とP

ーク出力電力との比が大きい場合、固定電圧で各増幅トランジスタを動作させると平均出力電力時には効率は低くなる。しかしながら、E T方式を採るP Aモジュール3では、コレクタ電圧を出力電力に応じて変化させることで高効率化が達成される。

[0081] また、P Aモジュール3が、マルチモード、マルチバンドのシステムに適用される場合、サプライモジュレータ75は、各モード、各バンドに応じて電源電圧の変調度を変化させることが可能である。よって、P Aモジュール3は、マルチモード、マルチバンドのシステムに有利である。

[0082] (実施の形態3)

本実施の形態では、実施の形態1に係るP Aモジュール1、2、または、実施の形態2に係るP Aモジュール3を備えたフロントエンド回路および通信装置について説明する。

[0083] 図8は、実施の形態3に係る通信装置100の回路構成図である。同図には、通信装置100と、アンテナ素子4とが示されている。通信装置100は、フロントエンド回路200と、RF信号処理回路5と、ベースバンド信号処理回路6とを備える。フロントエンド回路200は、例えば、マルチモード／マルチバンド対応の携帯電話のフロントエンド部に配置される。

[0084] フロントエンド回路200は、P Aモジュール1と、ローノイズアンプ回路120と、アンテナ整合回路130と、アンテナスイッチ140と、受信用フィルタ150と、送信用フィルタ160とを備える。

[0085] アンテナ整合回路130は、アンテナ素子4およびアンテナスイッチ140に接続され、アンテナ素子4とフロントエンド回路200との整合をとる回路である。これにより、フロントエンド回路200は、アンテナ素子4から低損失で受信信号を受信し、送信信号を低損失でアンテナ素子4へ出力することが可能となる。アンテナ整合回路130は、1以上の高周波回路部品で構成されており、例えば、チップ状またはパターンで形成されたインダクタ、およびチップ状またはパターンで形成されたコンデンサからなる。なお、アンテナ整合回路130は、フロントエンド回路200の必須構成要素で

はない。また、アンテナ整合回路130は、マルチバンドおよびマルチモードに対応させ、選択されるバンドまたはモードに応じてインピーダンスを変化させる可変整合回路であってもよい。

[0086] アンテナスイッチ140は、アンテナ素子4（およびアンテナ整合回路130）と送信側信号経路および受信側信号経路の一方とを接続させることにより、アンテナ素子4と複数の信号経路との接続を切り替える分波器である。より具体的には、アンテナスイッチ140は、アンテナ整合回路130に接続された共通端子と、上記送信側信号経路または受信側信号経路に接続された2つの選択端子とを備える。

[0087] なお、図8では、アンテナスイッチ140は、単極双投型の高周波スイッチを示しているが、送信側信号経路および受信側信号経路がそれぞれ複数配置されている場合には、アンテナスイッチ140は、1入力2出力型に限定されない。また、アンテナスイッチ140に代わって、送信波および受信波を分波するデュプレクサまたはトリプレクサを含むマルチプレクサが配置されていてもよい。

[0088] 受信用フィルタ150は、アンテナ素子4で受信しアンテナスイッチ140を経由した受信信号を所定の通過帯域でフィルタリングし、ローノイズアンプ回路120へ出力する受信用フィルタ素子である。

[0089] 送信用フィルタ160は、PAモジュール1から出力された送信信号を、所定の通過帯域でフィルタリングし、アンテナスイッチ140を経由してアンテナ素子4へ出力する送信用フィルタ素子である。

[0090] PAモジュール1は、RF信号処理回路5から出力された高周波送信信号を増幅し、アンテナスイッチ140に向けて出力する電力増幅モジュールである。PAモジュール1は、実施の形態1に係るPAモジュール1である。なお、本実施の形態に係るPAモジュールは、実施の形態1に係るPAモジュール1に替えて、実施の形態1の変形例に係るPAモジュール2、または、実施の形態2に係るPAモジュール3であってもよい。

[0091] ローノイズアンプ回路120は、アンテナスイッチ140から出力された

高周波受信信号を増幅し、RF信号処理回路5へ出力する高周波増幅回路である。

[0092] RF信号処理回路5は、アンテナ素子4から受信側信号経路を介して入力された高周波受信信号を、ダウンコンバートなどにより信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路6へ出力する。RF信号処理回路5は、例えば、RFIC(Radio Frequency Integrated Circuit)である。また、RF信号処理回路5は、ベースバンド信号処理回路6から入力された送信信号をアップコンバートなどにより信号処理し、当該信号処理して生成された高周波送信信号をPAモジュール1へ出力する。

[0093] ベースバンド信号処理回路6は、フロントエンド部における高周波信号よりも低周波の中間周波数帯域を用いて信号処理する回路である。ベースバンド信号処理回路6で処理された信号は、例えば、画像表示のために使用され、また、例えば、スピーカを介した通話のために使用される。

[0094] なお、フロントエンド回路200は、要求仕様に応じて、受信用フィルタ150および送信用フィルタ160の少なくとも一方がない構成であってもよい。

[0095] また、図8のフロントエンド回路200は、送信側信号経路および受信側信号経路を各1つずつ有する構成としているが、マルチバンドに対応すべく、送信側信号経路および受信側信号経路をそれぞれ複数有する構成であってもよい。また、この場合には、PAモジュール1、ローノイズアンプ回路120、受信用フィルタ150、および送信用フィルタ160のそれぞれは、各周波数帯域に対応して信号経路ごとに配置されていてもよい。また、PAモジュール1、ローノイズアンプ回路120、受信用フィルタ150、および送信用フィルタ160は、選択された周波数帯域に応じて通過特性および増幅特性を可変できる構成であってもよく、この場合には、信号経路の本数よりも少なくてもよい。

[0096] 上記構成によれば、電源ノイズが低減されたフロントエンド回路200お

よび通信装置 100 を提供することが可能となる。

[0097] (その他の実施の形態など)

以上、本発明の実施の形態に係る電力増幅モジュール、フロントエンド回路および通信装置について、実施の形態 1～3 を挙げて説明したが、本発明の電力増幅モジュール、フロントエンド回路および通信装置は、上記実施の形態に限定されるものではない。上記実施の形態における任意の構成要素を組み合わせて実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本開示の電力増幅モジュール、フロントエンド回路および通信装置を内蔵した各種機器も本発明に含まれる。

[0098] なお、第 1 配線 L 14、第 2 配線 L 24、第 3 配線 L 25、第 4 配線 L 61、第 5 配線 L 62、第 6 配線 L 34、第 7 配線 L 35、第 8 配線 L 63 は、線状の配線に限定されず、多層基板を構成する所定の導体層に形成された導体パターンであればよい。

[0099] また、上記実施の形態に係る電力増幅モジュール、フロントエンド回路および通信装置において、図面に開示された各回路素子および信号経路を接続する経路の間に別の高周波回路素子および配線などが挿入されていてもよい。

[0100] また、実施の形態 1 では、増幅トランジスタ 10、20 および 30 が縦続接続された 3 段の PA モジュールを説明したが、本発明に係る PA モジュールは、増幅トランジスタの段数には限定されない。

産業上の利用可能性

[0101] 本発明は、マルチバンド／マルチモード対応のフロントエンド部に配置される電力増幅モジュールとして、携帯電話などの通信機器に広く利用できる。

符号の説明

[0102] 1、2、3、500 PA モジュール
4 アンテナ素子

5 RF 信号処理回路

6 ベースバンド信号処理回路

10A 第1増幅回路

10C、20C、23G、23H、33G、33H 電極

10E、30E グランドパターン

11、21、31、604、605 バイアス回路

12、22、32 チョークコイル

14、24、25、34、35、61、61A、61B、62、63

インダクタンス成分

20A 第2増幅回路

23、33、53 バイパスコンデンサ

30A 第3増幅回路

70 電源

75 サプライモジュレータ

80 多層回路基板

90 多層実装基板

100 通信装置

101 高周波入力端子

102 高周波出力端子

103 電源入力端子

104 AM信号入力端子

120 ローノイズアンプ回路

130 アンテナ整合回路

140 アンテナスイッチ

150 受信用フィルタ

160 送信用フィルタ

200 フロントエンド回路

601 後段高周波トランジスタ

6 0 2 前段高周波トランジスタ
6 0 3 整合回路
6 0 6、6 0 7 バイアス用電源端子
6 4 1、6 5 1 ストリップ線路
6 4 2、6 5 2 高周波バイパスコンデンサ
6 4 3、6 5 3 バイアス用抵抗
6 4 4、6 5 4 バイアス用ブリーダ抵抗
C 1 0、C 2 0、C 3 0 コンデンサ
L 1 4 第1配線
L 2 4 第2配線
L 2 5 第3配線
L 3 4 第6配線
L 3 5 第7配線
L 6 1、L 6 1 A、L 6 1 B 第4配線
L 6 2 第5配線
L 6 3 第8配線
R 1 0、R 2 0 抵抗

請求の範囲

- [請求項1] 多段接続された電力増幅素子で構成された電力増幅モジュールであって、
- 電源のグランド端子に接続されるグランドパターン層を有する多層基板と、
- 前記多層基板上に配置され、第1端子、第2端子、および第1入力端子を有する第1電力増幅素子と、
- 前記多層基板上に配置され、第3端子、第4端子、および前記第1端子に接続された第2入力端子を有する第2電力増幅素子と、
- 前記第1入力端子および前記第2入力端子にバイアス電圧を供給するバイアス回路と、
- 一方端が前記第3端子に接続された第1バイパスコンデンサと、
- 前記第1電力増幅素子と前記グランドパターン層との間に形成され、前記第2端子と前記グランドパターン層とを接続する第1導体パターンと、
- 前記第2電力増幅素子と前記グランドパターン層との間に形成され、前記第4端子と前記グランドパターン層とを接続する第2導体パターンと、
- 前記第1バイパスコンデンサと前記グランドパターン層との間に形成され、前記第1バイパスコンデンサの他方端と前記グランドパターン層とを接続する第3導体パターンと、
- 前記第1電力増幅素子と前記グランドパターン層との間、かつ、前記第1バイパスコンデンサと前記グランドパターン層との間に形成され、前記第1導体パターンと前記第3導体パターンとを接続する第4導体パターンと、を備える、
- 電力増幅モジュール。
- [請求項2] 前記第4導体パターンは、前記第1電力増幅素子および前記第1バイパスコンデンサと前記グランドパターン層との間の同一層に形成さ

れた複数の導体配線で構成されている、

請求項 1 に記載の電力増幅モジュール。

[請求項3]

さらに、

前記第 2 電力増幅素子および前記第 1 バイパスコンデンサと前記グラウンドパターン層との間に形成され、前記第 2 導体パターンと前記第 3 導体パターンとを接続する第 5 導体パターン、を備える、

請求項 1 または 2 に記載の電力増幅モジュール。

[請求項4]

さらに、

前記多層基板上であって前記第 1 電力増幅素子および前記第 2 電力増幅素子よりも前記電源に近い側に配置され、第 5 端子、第 6 端子、および前記第 3 端子に接続された第 3 入力端子を有する第 3 電力増幅素子と、

一方端が前記第 5 端子に接続された第 2 バイパスコンデンサと、

前記第 3 電力増幅素子と前記グラウンドパターン層との間に形成され、前記第 6 端子と前記グラウンドパターン層とを接続する第 6 導体パターンと、

前記第 2 バイパスコンデンサと前記グラウンドパターン層との間に形成され、前記第 2 バイパスコンデンサの他方端と前記グラウンドパターン層とを接続する第 7 導体パターンと、

前記第 3 電力増幅素子および前記第 2 バイパスコンデンサと前記グラウンドパターン層との間に形成され、前記第 6 導体パターンと前記第 7 導体パターンとを接続する第 8 導体パターンと、を備える、

請求項 3 に記載の電力増幅モジュール。

[請求項5]

前記第 5 導体パターンと前記第 8 導体パターンとは、異なる層に形成されている、

請求項 4 に記載の電力増幅モジュール。

[請求項6]

前記第 2 電力増幅素子は前記第 1 電力増幅素子よりも前記電源に近い側に配置され、

前記第4導体パターンおよび前記第5導体パターンは、それぞれ、
1本以上の導体配線で構成されており、

前記第4導体パターンの導体配線の本数は、前記第5導体パターンの導体配線の本数よりも多い、

請求項3～5のいずれか1項に記載の電力増幅モジュール。

[請求項7] 前記第2電力増幅素子は前記第1電力増幅素子よりも前記電源に近い側に配置され、

前記第4導体パターンおよび前記第5導体パターンは、それぞれ、導体配線で構成されており、

前記第4導体パターンの導体配線の線幅は、前記第5導体パターンの導体配線の線幅よりも大きい、

請求項3～6のいずれか1項に記載の電力増幅モジュール。

[請求項8] 前記第2電力増幅素子は前記第1電力増幅素子よりも前記電源に近い側に配置され、

前記第4導体パターンおよび前記第5導体パターンは、それぞれ、導体配線で構成されており、

前記第4導体パターンの導体配線は、前記第5導体パターンの導体配線よりも短い、

請求項3～7のいずれか1項に記載の電力増幅モジュール。

[請求項9] さらに、

前記電源から出力される電源電圧をエンベロープトラッキング方式により変調し、当該変調された電源電圧を前記第1端子および前記第3端子に出力するサプライモジュレータを備える、

請求項1～8のいずれか1項に記載の電力増幅モジュール。

[請求項10] 請求項1～9のいずれか1項に記載の電力増幅モジュールと、

送信用フィルタ素子および受信用フィルタ素子と、

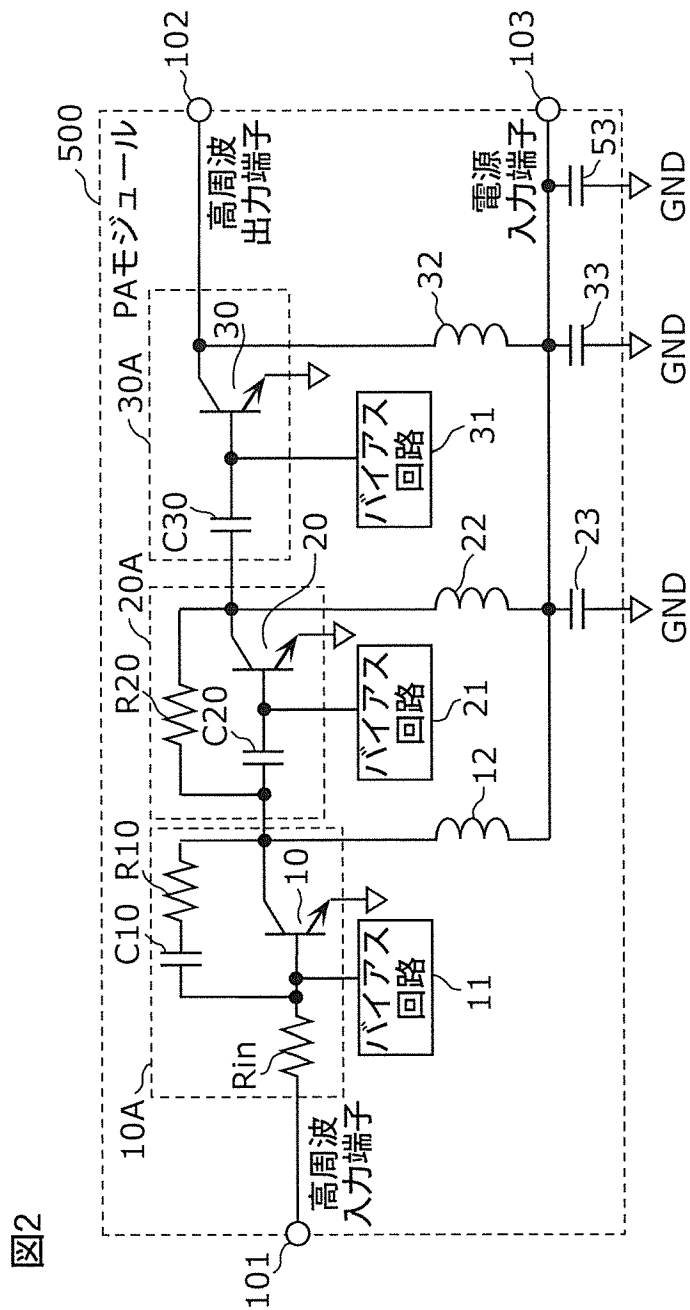
アンテナ素子からの高周波受信信号を前記受信用フィルタ素子へ出力し、かつ、前記電力増幅モジュールで増幅された、前記送信用フィ

ルタ素子を経由した高周波送信信号を、前記アンテナ素子へ出力する、分波器と、を備える、
フロントエンド回路。

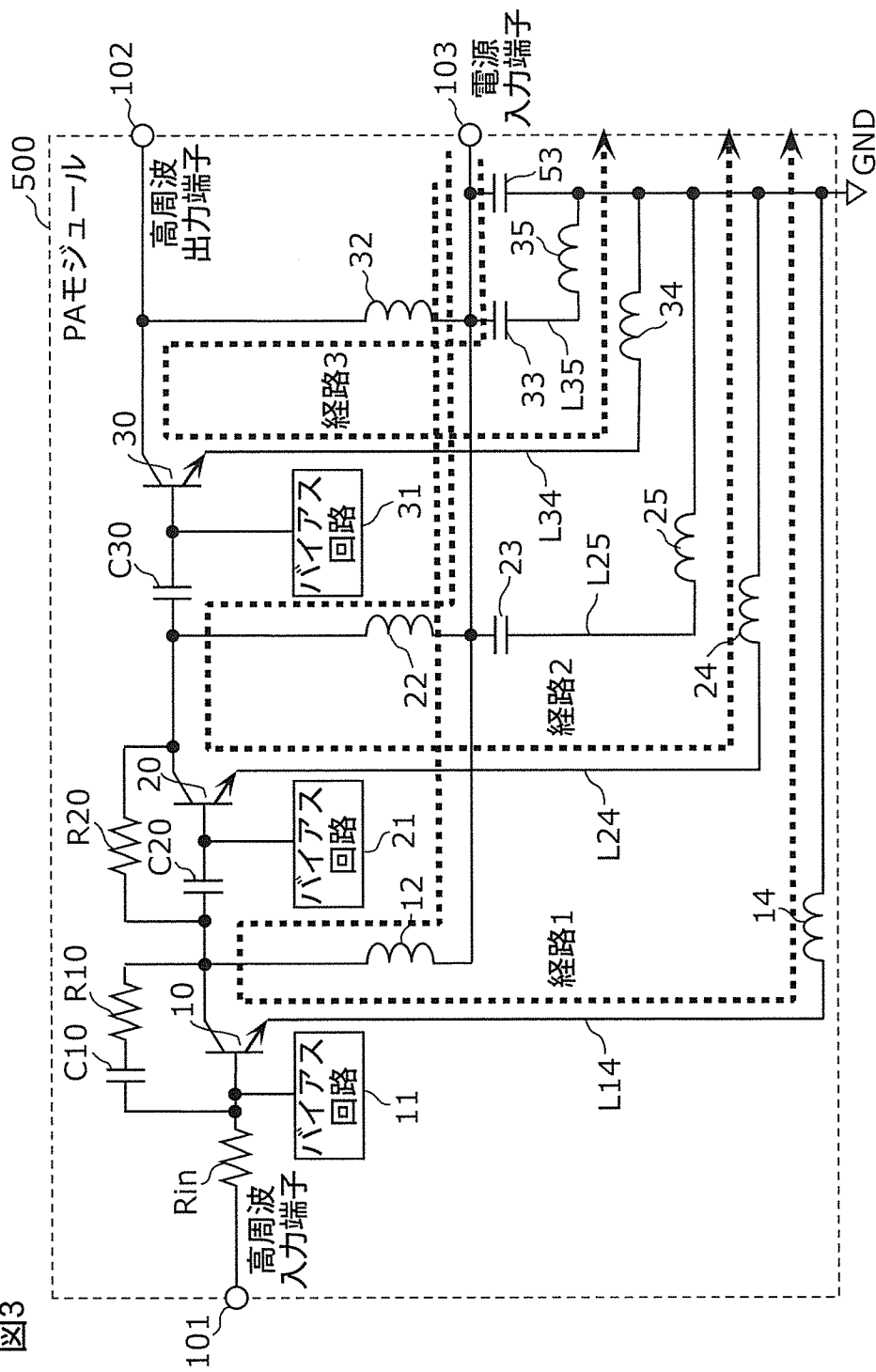
[請求項11]

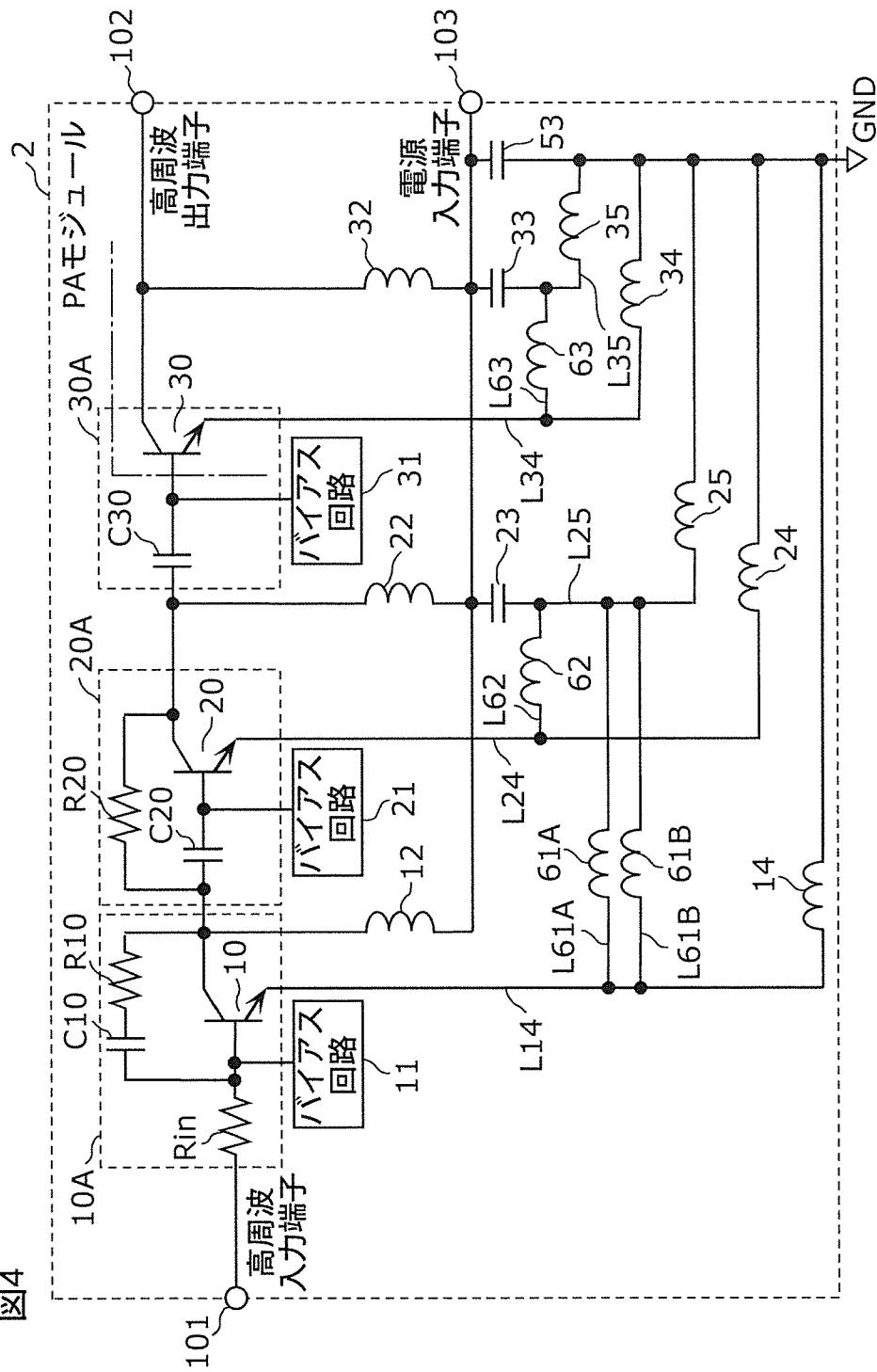
請求項10に記載のフロントエンド回路と、
前記フロントエンド回路に高周波送信信号を出力し、前記フロントエンド回路から高周波受信信号を入力するRF信号処理回路と、を備える、
通信装置。

[図2]



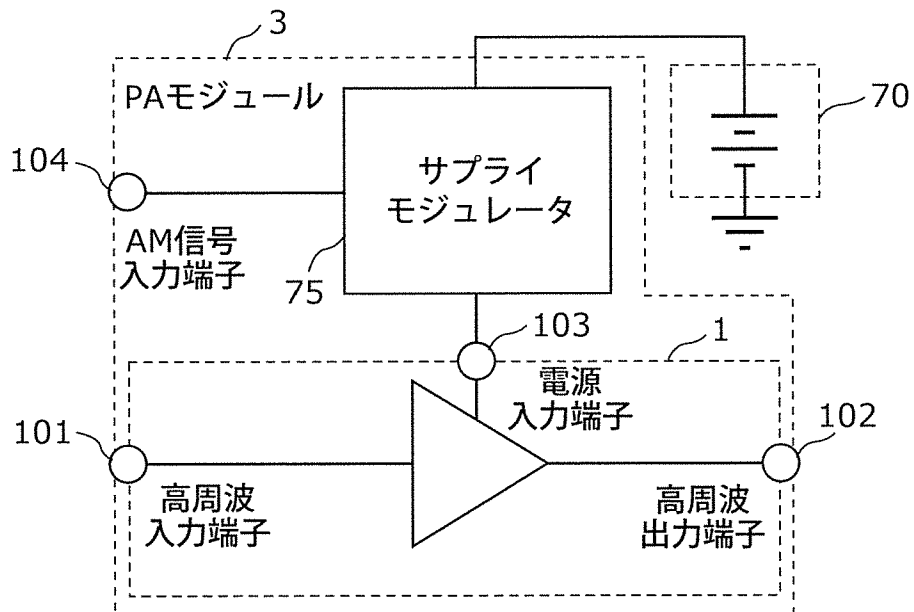
3
✕





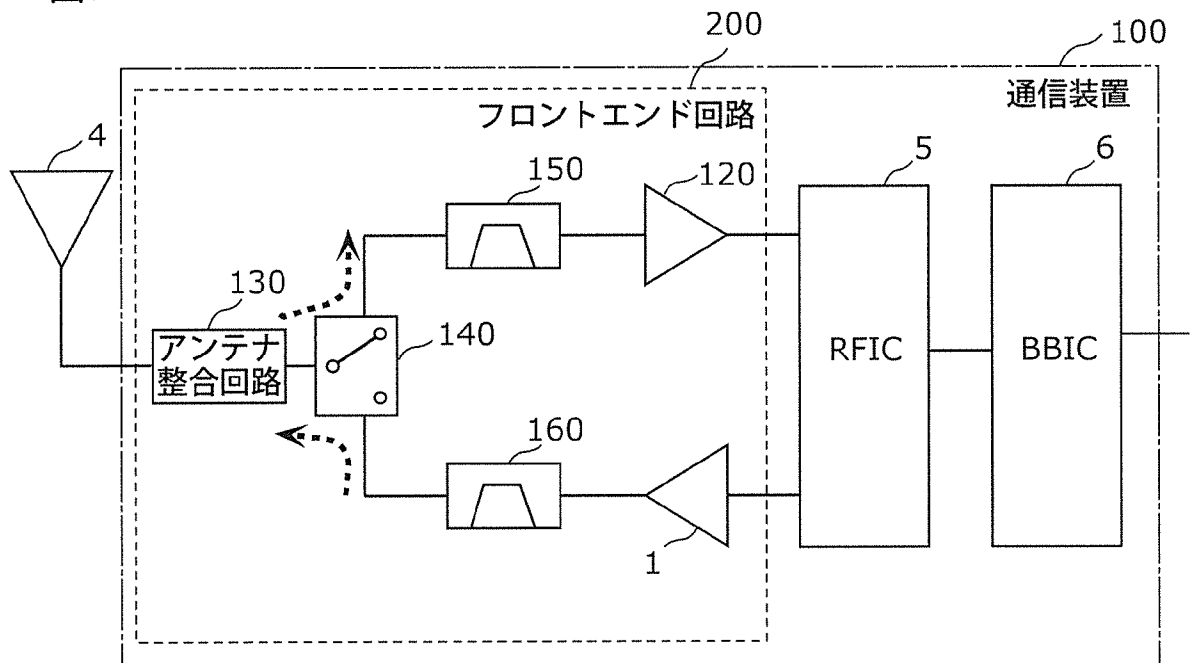
[図7]

図7



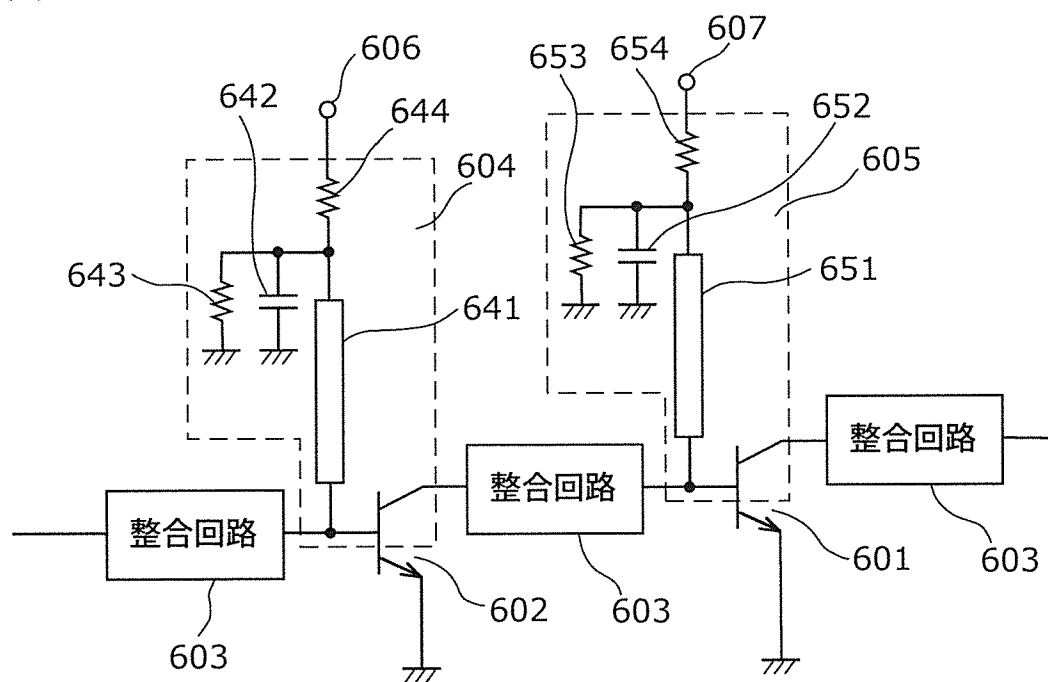
[図8]

図8



[図9]

図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028276

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/195(2006.01) i, H03F3/24(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/195, H03F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-284992 A (Toshiba Corp.), 12 October 2001 (12.10.2001), paragraphs [0028] to [0037]; fig. 1 to 4 (Family: none)	1-11
A	US 2013/0207732 A1 (QUALCOMM INC.), 15 August 2013 (15.08.2013), paragraphs [0039] to [0046]; fig. 5, 6 & JP 2015-510359 A & WO 2013/123074 A1 & CN 104106214 A	1-11
A	JP 2001-320170 A (Mitsubishi Electric Corp.), 16 November 2001 (16.11.2001), paragraphs [0021] to [0024], [0031]; fig. 4, 5, 10, 11 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 October 2017 (16.10.17)

Date of mailing of the international search report
24 October 2017 (24.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028276

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-108303 A (Murata Mfg. Co., Ltd.), 20 April 2006 (20.04.2006), paragraphs [0013] to [0022]; fig. 1 to 4 (Family: none)	1-11
A	JP 4-261205 A (TDK Corp.), 17 September 1992 (17.09.1992), paragraphs [0034] to [0047]; fig. 1, 2 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03F3/195(2006.01)i, H03F3/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03F3/195, H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-284992 A (株式会社東芝) 2001.10.12, 段落 [0028] - [0037], 図1-4 (ファミリーなし)	1-11
A	US 2013/0207732 A1 (QUALCOMM INCORPORATED) 2013.08.15, 段落 [0039] - [0046], 図5, 6 & JP 2015-510359 A & WO 2013/123074 A1 & CN 104106214 A	1-11
A	JP 2001-320170 A (三菱電機株式会社) 2001.11.16, 段落 [0021] - [0024], [0031], 図4, 5, 10, 11 (ファミリー)	1-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

16.10.2017

国際調査報告の発送日

24.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼橋 義昭

電話番号 03-3581-1101 内線 3576

5W

4776

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	ーなし)	
A	JP 2006-108303 A (株式会社村田製作所) 2006.04.20, 段落 [0013] – [0022], 図1 – 4 (ファミリーなし)	1 – 11
A	JP 4-261205 A (ティーディーケー株式会社) 1992.09.17, 段落 [0034] – [0047], 図1, 2 (ファミリーなし)	1 – 11