



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) . Int. Cl.

G09G 3/30 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
H03K 19/094 (2006.01)

(45) 공고일자 2007년06월19일
 (11) 등록번호 10-0729702
 (24) 등록일자 2007년06월12일

(21) 출원번호	10-2005-0025813	(65) 공개번호	10-2006-0044893
(22) 출원일자	2005년03월29일	(43) 공개일자	2006년05월16일
심사청구일자	2005년03월29일		

(30) 우선권주장 JP-P-2004-00097607 2004년03월30일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 가와이 슈헤이
 일본 군마켄 오라궁 오이즈미마찌 후지 2-17-12

오가따 다까시게
 일본 군마켄 오라궁 오이즈미마찌 요시다 980-20

스즈끼 다쓰야
 일본 사이따마켄 구마가야시 혼초 1-115-1

(74) 대리인 구영창
 이중희
 장수길

(56) 선행기술조사문현
 JP11252921 A
 JP2003263128 A
 15263128

JP2001231249 A
 13231249

심사관 : 천대식

전체 청구항 수 : 총 6 항

(54) 구동 회로

(57) 요약

발광 소자의 구동 전류를 얻기 위한 구동 회로의 패턴 면적을 작게 함과 함께, 효율 개선을 도모한다. 백색 LED(25)의 애노드(26)에는 양의 전원 전압 Vdd가 인가되고, 그 캐소드(27)에는, N 채널형 MOS 트랜지스터 M42를 통하여, -0.5Vdd 발생 회로(40)로부터의 전압 -0.5Vdd가 인가된다. -0.5Vdd 발생 회로(40)는, 클럭 발생 회로(30)로부터의 클럭 φ에 따라,

전압 $-0.5V_{dd}$ 를 발생하는 회로이다. 백색 LED(25)의 애노드·캐소드간에는 도 6의 구동 회로와 등가적으로 $1.5V_{dd}$ 의 전압이 인가된다. $-0.5V_{dd}$ 발생 회로(40)에서는, N 채널형 MOS 트랜지스터가 다용된 결과, 종래와 동등한 LED(25)의 구동 전류를 얻기 위한 회로의 패턴 면적을 작게 할 수 있다. 또한, 그것에 따라 기생 용량이 작아져, 구동 회로의 효율 개선을 실현할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

발광 소자에 전류를 공급하는 구동 회로로서,

상기 발광 소자에 전류를 공급하는 구동 트랜지스터와, 양의 전원 전압 V_{dd} 에 따른 $-0.5V_{dd}$ 인 음의 전압을 발생하는 음의 전압 발생 회로를 구비하고,

상기 발광 소자의 애노드에 상기 양의 전원 전압을 인가하고, 상기 발광 소자의 캐소드에 상기 구동 트랜지스터를 통하여 상기 음의 전압을 인가하며,

상기 음의 전압 발생 회로는, 입력 단자에 접지 전압이 인가된 제1 스위칭 소자와, 이 제1 스위칭 소자와 직렬로 접속된 제2 스위칭 소자와, 한쪽의 단자에 클럭이 공급된 제1 컨덴서와, 한쪽의 단자가 상기 제1 스위칭 소자와 상기 제2 스위칭 소자의 접속점에 접속된 제2 컨덴서와, 상기 제2 컨덴서의 다른 쪽의 단자와 접지 전압의 사이에 접속된 제3 스위칭 소자와, 상기 제1 컨덴서의 다른 쪽의 단자와 상기 제2 컨덴서의 다른 쪽의 단자의 사이에 접속된 제4 스위칭 소자와, 상기 제1 컨덴서의 다른 쪽의 단자와 상기 제2 스위칭 소자의 출력 단자에 접속된 제5 스위칭 소자를 구비하고,

상기 클럭이 제1 전압 레벨일 때에, 상기 제1, 제4 스위칭 소자를 온하여 상기 제1 및 제2 컨덴서를 상기 제1 스위칭 소자를 통하여 상기 제1 전압 레벨과 접지 전압 사이에 직렬로 접속하여 충전하고, 상기 클럭이 제2 전압 레벨일 때에, 상기 제5 스위칭 소자를 온하여, 상기 제1 컨덴서를 접지 전압과 상기 출력 단자 사이에 접속하여 방전함과 함께, 상기 제2 및 제3 스위칭 소자를 온하여 상기 제2 컨덴서를 상기 제2 스위칭 소자를 통하여 접지 전압과 상기 출력 단자 사이에 접속하여 방전하고,

적어도 상기 제1, 제2, 제3 및 제5 스위칭 소자를 N 채널형 MOS 트랜지스터로 구성한 구동 회로.

청구항 4.

제3항에 있어서,

상기 제4 스위칭 소자를 N 채널형 MOS 트랜지스터로 구성한 구동 회로.

청구항 5.

제3항에 있어서,

상기 제4 스위칭 소자를 P 채널형 MOS 트랜지스터로 구성한 구동 회로.

청구항 6.

제3항 내지 제5항 중 어느 한 항에 있어서,

상기 구동 트랜지스터를 전류 미러형의 N 채널형 MOS 트랜지스터로 구성한 구동 회로.

청구항 7.

제3항 내지 제5항 중 어느 한 항에 있어서,

상기 발광 소자는 백색 발광 다이오드인 구동 회로.

청구항 8.

제6항에 있어서,

상기 발광 소자는 백색 발광 다이오드인 구동 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 구동 회로에 관한 것으로, 특히 발광 소자를 구동하기 위한 구동 회로에 관한 것이다.

종래, 액정 표시 패널의 백 라이트용으로서 백색 발광 다이오드(이하, 백색 LED라고 칭함)가 이용되고 있다. 이 백색 LED는 3.2V~3.8V의 VF(순방향 임계값 전압)를 갖기 때문에, 백색 LED를 발광시키기 위해, 이 VF 정도의 전압을 백색 LED의 애노드·캐소드간에 인가할 필요가 있다. 그런데, 백색 LED의 구동 회로의 동작 전원 전압의 규격으로서, 예를 들면 2.7V~5.5V의 전원 전압 범위가 요구되고 있기 때문에, 전원 전압 Vdd가 어느 정도 낮은 경우에는 전원 전압 Vdd를 1.5 배로 승압하여 백색 LED에 공급하고 있었다.

도 6은, 이러한 백색 LED를 구동하기 위한 구동 회로의 회로도이다. 도 6에서, 백색 LED(50)의 애노드에는 1.5Vdd 발생 회로(60)로부터 1.5Vdd의 승압 전압이 공급되고, 백색 LED(50)의 캐소드에는 드라이버 트랜지스터(70)를 통하여 접지 전압 Vss(0V)가 인가된다. 1.5Vdd 발생 회로(60)는, 전원 전압 Vdd로부터 1.5Vdd를 생성하는 회로이다. 이러한 1.5Vdd 발생 회로(60)는 특허 문현1에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 1.5Vdd 발생 회로(60)에서는 회로 구성 상의 제약으로부터 P 채널형 MOS 트랜지스터가 다용되기 때문에, 구동 회로의 패턴 면적이 커진다고 하는 문제를 갖고 있었다.

발명의 구성

따라서, 본 발명의 구동 회로는, 양의 전원 전압 Vdd에 따른 음의 전압을 발생하는 음의 전압 발생 회로를 설치함으로써, 발광 소자의 애노드에 양의 전압을 인가하고, 발광 소자의 캐소드에 구동 트랜지스터를 통하여 음의 전압을 인가하는 것을 특징으로 하는 것이다.

또한, 상기 구성에서, 음의 전압은 $-0.5V_{dd}$ 인 것을 특징으로 하는 것이다.

또한, 상기 구성에서, 상기 음의 전압 발생 회로는, 접지 전압이 인가된 제1 스위칭 소자와, 이 제1 스위칭 소자와 직렬로 접속된 제2 스위칭 소자와, 한쪽의 단자에 클럭이 공급된 제1 컨덴서와, 한쪽의 단자가 상기 제1 스위칭 소자와 상기 제2 스위칭 소자와의 접속점에 접속된 제2 컨덴서와, 상기 제2 컨덴서의 다른 쪽의 단자와 접지 전압의 사이에 접속된 제3 스위칭 소자와, 상기 제1 컨덴서의 다른 쪽의 단자와 상기 제2 스위칭 소자의 출력 단자에 접속된 제5 스위칭 소자를 구비하고, 상기 클럭이 제1 전압 레벨일 때에, 상기 제1, 제4 스위칭 소자를 온하여 상기 제1 및 제2 컨덴서를 상기 제1 스위칭 소자를 통하여 상기 제1 전압 레벨과 접지 전압 사이에 직렬로 접속하여 충전하고, 상기 클럭이 제2 전압 레벨일 때에, 상기 제5 스위칭 소자를 온하여, 상기 제1 컨덴서를 접지 전압과 상기 출력 단자 사이에 접속하여 방전함과 함께, 상기 제2 및 제3 스위칭 소자를 온하여 상기 제2 컨덴서를 상기 제2 스위칭 소자를 통하여 접지 전압과 상기 출력 단자 사이에 접속하여 방전하고, 적어도 상기 제1, 제2, 제3 및 제5 스위칭 소자를 N 채널형 MOS 트랜지스터로 구성한 것을 특징으로 하는 것이다.

이어서 본 발명의 실시예에 대하여, 도면을 참조하면서 설명한다. 도 1은, 본 실시예에 따른 구동 회로도이다. 전압 팔로워용의 오피앰프(10)의 양의 입력 단자(+)에는 전압 Vset이 인가되고, 그 출력은 N 채널형 MOS 트랜지스터 M(30)의 게이트에 인가되고, 음의 입력 단자(-)는 N 채널형 MOS 트랜지스터 M(30)의 소스에 접속되어 있다. 소스는 단자(20)에 접속되고, 단자(20)와 접지 전압 Vss의 사이에 외부 부착 저항 R1이 접속되어 있다. 따라서, 단자(20)의 전압 Vx는 전압 Vset과 동일하게 되도록 오피앰프(10)에 의해 제어되고, 그 결과, 외부 부착 저항 R1에는 전류 I($=Vset/R1$)가 발생한다. 이 전류 I는, 제1 전류 미러 회로를 구성하는 한쌍의 P 채널형 MOS 트랜지스터 M31, M32(전류비 1 : m)에 흐른다.

그리고, 이 전류 mI는 제1 전류 미러 회로가 되접혀진 제2 전류 미러 회로에 입력된다. 제2 전류 미러 회로는 한쌍의 N 채널형 MOS 트랜지스터 M41, M42(전류비 1 : n)로 구성된다. 그리고, 구동 트랜지스터인 N 채널형 MOS 트랜지스터 M42에는 전류 I가 $m \times n$ 배된 전류 mnI가 흘러, 이 큰 전류 mnI가 단자(21)에 외부 부착된 백색 LED(25)에 공급되게 된다.

백색 LED(25)의 애노드(26)에는 양의 전원 전압 Vdd가 인가되고, 그 캐소드(27)에는, N 채널형 MOS 트랜지스터 M42를 통하여, $-0.5V_{dd}$ 발생 회로(40)로부터의 전압 $-0.5V_{dd}$ 가 인가된다. $-0.5V_{dd}$ 발생 회로(40)는, 클럭 발생 회로(30)로부터의 클럭 φ에 따라, 전압 $-0.5V_{dd}$ 를 발생하는 회로이다.

따라서, 본 실시예에 따르면, 백색 LED(25)의 애노드·캐소드간에는 도 6의 구동 회로와 동가적으로 $1.5V_{dd}$ 의 전압이 인가되게 되고, 게다가 구동 트랜지스터인 N 채널형 MOS 트랜지스터 M42에 의해 대전류를 흘리는 것이 가능하다. 또한, $-0.5V_{dd}$ 발생 회로(40)에서는, 후술한 바와 같이 N 채널형 MOS 트랜지스터가 다용된 결과, 종래와 동등한 LED(25)의 구동 전류 mnI를 얻기 위한 회로의 패턴 면적을 작게 할 수 있고, 또한 효율 개선도 실현하고 있다.

이어서, $-0.5V_{dd}$ 발생 회로(40)의 구체적인 회로 구성 및 동작에 대하여 도면을 참조하면서 설명한다. 도 2는, $-0.5V_{dd}$ 발생 회로(40)의 회로도이고, 도 2의 (a)는, 클럭 드라이버 CD의 입력 클럭인 클럭 φ가 Low 레벨(로우 레벨)인 경우, 도 2의 (b)는 클럭 φ가 High 레벨(하이 레벨)인 경우를 도시하고 있다. 제1 스위칭용 MOS 트랜지스터 M1의 소스에 접지 전압 Vss(0V)가 인가되고, 이 제1 스위칭용 MOS 트랜지스터 M1의 드레인은, 제2 스위칭용 MOS 트랜지스터 M2의 소스에 접속되어 있다. 제1 스위칭용 MOS 트랜지스터 M1 및 제2 스위칭용 MOS 트랜지스터 M2는, 전하 전송 소자로서 기능한다.

여기서, 제1 스위칭용 MOS 트랜지스터 M1 및 제2 스위칭용 MOS 트랜지스터 M2는, 모두 N 채널형이다. 이것은, 제1 스위칭용 MOS 트랜지스터 M1 및 제2 스위칭용 MOS 트랜지스터 M2를 온 오프시키기 위한 전압을 동일한 회로 내로부터 얻기 위해서이다. 제1 스위칭용 MOS 트랜지스터 M1 및 제2 스위칭용 MOS 트랜지스터 M2를 온시키기 위해서는 이들 게이트에 전원 전압 Vdd를 공급하면 되고, 오프시키는 경우에는 이들 게이트에 이 회로의 출력 전압 Vout($=-0.5V_{dd}$)를 공급하면 된다.

또한, 제1 컨덴서 C1의 한쪽의 단자에는, 클럭 드라이버 CD의 출력이 접속되어 있다. 클럭 드라이버 CD는, 전원 전압 Vdd와 접지 전압 Vss의 사이에, P 채널형 MOS 트랜지스터 M6, N 채널형 MOS 트랜지스터 M7을 직렬로 접속하여 CMOS 인버터로서 구성된다. 그리고, 클럭 드라이버 CD에는 클럭 φ가 입력되고, 이 클럭 φ는 클럭 드라이버 CD에 의해 반전된다. 그 반전 클럭 *φ가, 클럭 드라이버 CD의 출력으로서 제1 컨덴서 C1의 한쪽의 단자에 인가된다.

또한, 클럭 드라이버 CD의 관통 전류를 저감시키기 위해, P 채널형 MOS 트랜지스터 M6의 게이트에 클럭 ϕ 를 인가하고, N 채널형 MOS 트랜지스터 M7의 게이트에 클럭 ϕ' 를 인가하도록 구성해도 된다. 또한, 제2 컨덴서 C2는, 그 한쪽의 단자가 제1 및 제2 스위칭용 MOS 트랜지스터 M1, M2의 접속점에 접속되어 있다. 제3 스위칭용 MOS 트랜지스터 M3은, 제2 컨덴서 C2의 다른 쪽의 단자와 접지 전압 Vss(0V)의 사이에 접속되어 있다.

또한, 제4 스위칭용 MOS 트랜지스터 M4는, 제1 컨덴서 C1의 다른 쪽의 단자와 제2 컨덴서 C2의 다른 쪽의 단자의 사이에 접속되어 있다. 제5 스위칭용 MOS 트랜지스터 M5는, 제1 컨덴서 C1의 다른 쪽의 단자와 제2 스위칭용 MOS 트랜지스터 M2의 드레인인 출력 단자에 접속되어 있다. 그리고, 이 회로는, 제2 스위칭용 MOS 트랜지스터 M2의 드레인으로부터 출력 전압 Vout($= -0.5V_{dd}$)을 얻는 것이다.

여기서, 제3, 제5 스위칭용 MOS 트랜지스터 M3, M5는 N 채널형이다. 이것은, 제1 스위칭용 MOS 트랜지스터 M1 및 제2 스위칭용 MOS 트랜지스터 M2와 마찬가지로, 이들의 트랜지스터를 온 오프시키기 위한 전압을 동일한 회로 내로부터 얻기 위해서이다. 즉, 제3 스위칭용 MOS 트랜지스터 M3 및 제5 스위칭용 MOS 트랜지스터 M5를 온시키기 위해서는 이들의 게이트에 전원 전압 Vdd를 공급하면 되고, 오프시키는 경우에는 이들의 게이트에 이 회로의 출력 전압 Vout($= -0.5V_{dd}$)을 공급하면 된다.

제4 스위칭용 MOS 트랜지스터 M4에 대해서는, P 채널형이어도 되고, N 채널형이어도 되지만, 페턴 면적을 작게 하기 위해서는 N 채널형인 것이 바람직하다. 제4 스위칭용 MOS 트랜지스터 M4가 N 채널형인 경우, 이것을 온시키기 위해서는, 그 게이트에 전원 전압 Vdd를 공급하면 되고, 오프시키는 경우에는 그 게이트에 이 회로의 출력 전압 Vout($= -0.5V_{dd}$)을 공급하면 된다. 제4 스위칭용 MOS 트랜지스터 M4가 P 채널형인 경우, 이것을 온시키기 위해서는, 그 게이트에 접지 전압 Vss 혹은, 출력 전압 Vout을 공급하면 되고, 오프시키는 경우에는 그 게이트에 전원 전압 Vdd를 공급하면 된다.

또한, 제1 및 제2 컨덴서 C1, C2는 상호 동일한 용량값을 갖고 있는 것으로 한다. 또한, 제1, 제2, 제3, 제4, 제5 스위칭용 MOS 트랜지스터 M1, M2, M3, M4, M5는, 클럭 ϕ 의 전압 레벨에 따라, 도시되지 않은 제어 회로에 의해 게이트 전압을 제어함으로써, 후술하는 바와 같이 이들의 온(ON), 오프(OFF)가 제어되고 있다.

이어서, 이 $-0.5V_{dd}$ 발생 회로(40)의 동작에 대하여 도 2의 (a), 도 2의 (b), 도 3을 참조하면서 설명한다. 도 3은 이 $-0.5V_{dd}$ 발생 회로(40)의 정상 상태에서의 동작 타이밍도이다.

우선, 클럭 ϕ 가 Low 레벨일 때의 차지 펌프 회로의 동작에 대하여 설명한다(도 2의 (a), 도 3 참조). 이 때, 클럭 드라이버 CD의 P 채널형 MOS 트랜지스터 M6은 온하고, N 채널형 MOS 트랜지스터 M7은 오프하므로, 반전 클럭 $*\phi$ 는 High 레벨 (V_{dd} 레벨)로 된다. 또한, 제1, 제4 스위칭용 MOS 트랜지스터 M1, M4를 온하고, 제2, 제3, 제5 스위칭용 MOS 트랜지스터 M2, M3, M5를 오프한다.

그러면, 도 2의 (a)에서의 태선으로 나타낸 바와 같이, 클럭 드라이버 CD의 P 채널형 MOS 트랜지스터 M6, 제1 컨덴서 C1, 제4 스위칭용 MOS 트랜지스터 M4, 제2 컨덴서 C2, 제1 스위칭용 MOS 트랜지스터 M1, 접지 전압 Vss를 통과하는 경로로, 제1 컨덴서 C1 및 제2 컨덴서 C2가 직렬 접속되어 충전된다.

이에 의해, 제1 컨덴서 C1의 한쪽의 단자는 Vdd로 충전되고, 다른 쪽의 단자의 전압 V1은 $+0.5V_{dd}$ 로 충전되고, 제2 컨덴서 C2의 다른 쪽의 단자의 전압 V3도 $+0.5V_{dd}$ 로 충전된다.

이어서, 클럭 ϕ 가 High 레벨일 때의 회로 동작에 대하여 설명한다(도 2의 (b), 도 3 참조). 이 때, 클럭 드라이버 CD의 N 채널형 MOS 트랜지스터 M7이 온하고, P 채널형 MOS 트랜지스터 M6이 오프하기 때문에, 반전 클럭 $*\phi$ 는 Low 레벨로 된다(Vss 레벨). 또한, 제1, 제4 스위칭용 MOS 트랜지스터 M1, M4를 오프하고, 제2, 제3, 제5 스위칭용 MOS 트랜지스터 M2, M3, M5를 온한다.

그러면, 도 2의 (b)에서 굵은 파선으로 나타낸 바와 같이, 2개의 경로로부터 출력 단자로 $-0.5V_{dd}$ 가 공급된다. 하나의 경로는, 접지 전압 Vss로부터, 제3 스위칭용 MOS 트랜지스터 M3, 제2 컨덴서 C2, 제2 스위칭용 MOS 트랜지스터 M2를 통해, 제2 컨덴서 C2의 전하가 방전되어, 출력 단자에 $-0.5V_{dd}$ 가 공급된다. 이것은, 제2 컨덴서 C2의 다른 쪽의 전압 V3은 클럭 ϕ 가 Low 레벨일 때에 $+0.5V_{dd}$ 로 충전되어 있기 때문에, 제3 스위칭용 MOS 트랜지스터 M3이 온함으로써, 전압 V3이 $+0.5V_{dd}$ 로부터 Vss로 변화하는 것에 수반하여, 제2 컨덴서 C2의 용량 결합에 의해, 제2 컨덴서 C2의 한쪽의 단자의 전압 V2는 Vss(0V)로부터 $-0.5V_{dd}$ 로 강압되기 때문이다.

다른 하나의 경로는, 접지 전압 Vss로부터, 클럭 드라이버 CD의 N 채널형 MOS 트랜지스터 M7, 제1 컨덴서 C1, 제5 스위칭용 MOS 트랜지스터 M5를 통해, 제1 컨덴서 C1의 전하가 방전되어, 출력 단자에 -0.5Vdd가 공급된다. 이것은, 클럭 φ가 Low 레벨일 때에, 제1 컨덴서 C1의 다른 쪽 단자의 전압 V1은 +0.5Vdd로 충전되지만, 클럭 φ가 High 레벨로 변화하면, N 채널형 MOS 트랜지스터 M7이 온함으로써, 제1 컨덴서 C1의 한쪽의 단자의 전압이 Vdd로부터 Vss로 변화하는 것에 수반하여, 제1 컨덴서 C1의 용량 결합에 의해, 제1 컨덴서 C1의 다른 쪽의 단자의 전압 V1은 +0.5Vdd로부터 -0.5Vdd로 강압되기 때문이다.

이 클럭 φ가 Low 레벨일 때의 동작과, High 레벨일 때의 동작을 교대로 반복함으로써, 출력 전압 Vout로서, 전원 전압 Vdd를 -0.5배한 -0.5Vdd가 얻어진다.

이와 같이, 본 실시예에 따르면, -0.5Vdd 발생 회로(40)를 채용했으므로, N 채널형 MOS 트랜지스터가 다용된 결과, 종래와 동등한 LED(25)의 구동 전류 mNI를 얻기 위한 회로의 패턴 면적을 작게 할 수 있으면서, 효율 개선을 실현하고 있다.

이어서, 본 발명의 효과를 보다 명확하게 하기 위해, -0.5Vdd 발생 회로(40)와 1.5Vdd 발생 회로(60)의 대비를 행한다. 그 때문에, 1.5Vdd 발생 회로(60)의 구체적인 구성에 대하여 도 4를 참조하여 설명한다. 도 4의 (a)는, 클럭 드라이버 CD의 입력 클럭인 클럭 φ가 High 레벨인 경우, 도 4의 (b)는 클럭 φ가 Low 레벨인 경우를 나타내고 있다.

제1 스위칭용 MOS 트랜지스터 M11의 소스에 전원 전압 Vdd가 인가되고, 이 제1 스위칭용 MOS 트랜지스터 M11의 드레인은, 제2 스위칭용 MOS 트랜지스터 M12의 소스에 접속되어 있다. 제1 스위칭용 MOS 트랜지스터 M11 및 제2 스위칭용 MOS 트랜지스터 M12는, 전하 전송 소자로서 기능한다.

여기서, 제1 스위칭용 MOS 트랜지스터 M11 및 제12 스위칭용 MOS 트랜지스터 M2는, 모두 P 채널형이다. 그 이유는, 제1 스위칭용 MOS 트랜지스터 M11 및 제2 스위칭용 MOS 트랜지스터 M12를 온 오프시키기 위한 전압을 동일한 회로 내로부터 얻기 위해서이다. 제1 스위칭용 MOS 트랜지스터 M11 및 제2 스위칭용 MOS 트랜지스터 M12를 온시키기 위해서는 이들의 게이트에 접지 전압 Vss를 공급하면 되고, 오프시키는 경우에는 이들의 게이트에 이 회로의 출력 전압 Vout (=1.5Vdd)을 공급하면 된다.

또한, 제1 컨덴서 C1의 한쪽의 단자에는, 클럭 드라이버 CD의 출력이 접속되어 있다. 클럭 드라이버 CD는, 전원 전압 Vdd와 접지 전압 Vss의 사이에, P 채널형 MOS 트랜지스터 M16, N 채널형 MOS 트랜지스터 M17을 직렬로 접속하여 CMOS 인버터로서 구성된다. 그리고, 클럭 드라이버 CD에는 클럭 φ가 인가되고, 이 클럭 φ는 클럭 드라이버 CD에 의해 반전된다. 그 반전 클럭 *φ가, 클럭 드라이버 CD의 출력으로서 제1 컨덴서 C1의 한쪽의 단자에 인가된다.

또한, 제2 컨덴서 C2는, 그 한쪽의 단자가 제1 및 제2 스위칭용 MOS 트랜지스터 M11, M12의 접속점에 접속되어 있다. 제3 스위칭용 MOS 트랜지스터 M13은, 제2 컨덴서 C2의 다른 쪽의 단자와 전원 전압 Vdd의 사이에 접속되어 있다.

또한, 제4 스위칭용 MOS 트랜지스터 M14는, 제1 컨덴서 C1의 다른 쪽의 단자와 제2 컨덴서 C2의 다른 쪽의 단자의 사이에 접속되어 있다. 제5 스위칭용 MOS 트랜지스터 M15는, 제1 컨덴서 C1의 다른 쪽의 단자와 제2 스위칭용 MOS 트랜지스터 M12의 드레인인 출력 단자에 접속되어 있다. 그리고, 이 회로는, 제2 스위칭용 MOS 트랜지스터 M12의 드레인으로부터 출력 전압 Vout(=1.5Vdd)을 얻는 것이다.

여기서, 제3 및 제5 스위칭용 MOS 트랜지스터 M13, M15는 P 채널형, 제4 스위칭용 MOS 트랜지스터 M14는 N 채널형이다. 제3 및 제5 스위칭용 MOS 트랜지스터 M13, M15를 P 채널형으로 한 이유는, 전술한 바와 마찬가지로, 제3 스위칭용 MOS 트랜지스터 M13 및 제5 스위칭용 MOS 트랜지스터 M15를 온 오프시키기 위한 전압을 동일한 회로 내로부터 얻기 위해서이다.

또한, 제1 및 제2 컨덴서 C1, C2는 상호 동일한 용량값을 갖고 있는 것으로 한다. 또한, 제1, 제2, 제3, 제4, 제5 스위칭용 MOS 트랜지스터 M11, M12, M13, M14, M15는, 클럭 φ의 전압 레벨에 따라, 도시되지 않은 제어 회로에 의해 게이트 전압을 제어함으로써, 후술하는 바와 같이 이들의 온(ON), 오프(OFF)가 제어되고 있다.

이어서, 이 회로의 동작에 대하여 도 4의 (a), 도 4의 (b), 도 5를 참조하면서 설명한다. 도 5는 이 챠지 펌프 회로의 정상 상태에서의 동작 타이밍도이다.

우선, 클럭 ϕ 가 High 레벨일 때의 쟈지 펌프 회로의 동작에 대하여 설명한다(도 4의 (a), 도 5 참조). 이 때, 클럭 드라이버 CD의 N 채널형 MOS 트랜지스터 M17은 온하고, 반전 클럭 $*\phi$ 는 Low 레벨(0V)로 된다. 또한, 제1, 제4 스위칭용 MOS 트랜지스터 M11, M14를 온하고, 제2, 제3, 제5 스위칭용 MOS 트랜지스터 M12, M13, M15를 오프한다. 그러면, 도 4의 (a)에서 굵은 선으로 나타낸 바와 같이, 전원 전압 Vdd로부터, 제1 스위칭용 MOS 트랜지스터 M11, 제2 컨덴서 C2, 제4 스위칭용 MOS 트랜지스터 M14, 제1 컨덴서 C1, 클럭 드라이버 CD의 N 채널형 MOS 트랜지스터 M17을 통과하는 경로로, 제1 컨덴서 C1 및 제2 컨덴서 C2가 직렬 접속되어 충전된다. 이에 의해, 제2 컨덴서 C2의 한쪽의 단자의 전압 V11은 Vdd로 충전되고, 다른 쪽의 단자의 전압 V12는 0.5Vdd로 충전되고, 제1 컨덴서 C1의 다른 쪽의 단자의 전압 V13도 0.5Vdd로 충전된다.

이어서, 클럭 ϕ 가 Low 레벨일 때의 쟈지 펌프 회로의 동작에 대하여 설명한다(도 4의 (b), 도 5 참조). 이 때, 클럭 드라이버 CD의 P 채널형 MOS 트랜지스터 M16은 온하고, 반전 클럭 $*\phi$ 는 High 레벨로 된다. 또한, 제1, 제4 스위칭용 MOS 트랜지스터 M11, M14를 오프하고, 제2, 제3, 제5 스위칭용 MOS 트랜지스터 M12, M13, M15를 온한다.

그러면, 도 4의 (b)에서 굵은 선으로 나타낸 바와 같이, 2개의 경로로부터 출력 단자로 1.5Vdd가 공급된다. 하나의 경로는, 전원 전압 Vdd로부터, 제3 스위칭용 MOS 트랜지스터 M13, 제2 컨덴서 C2, 제2 스위칭용 MOS 트랜지스터 M12를 통해, 제2 컨덴서 C2의 전하가 방전되어, 출력 단자에 1.5Vdd가 공급된다. 이것은, 제2 컨덴서 C2의 다른 쪽의 단자의 전압 V12는 클럭 ϕ 가 High 레벨일 때에 0.5Vdd로 충전되어 있기 때문에, 제3 스위칭용 MOS 트랜지스터 M13이 온함으로써, 전압 V12가 0.5Vdd로부터 Vdd로 변화하는 것에 수반하여, 제2 컨덴서 C2의 용량 결합에 의해, 제2 컨덴서의 한쪽의 단자의 전압 V11은 Vdd로부터 1.5Vdd로 승압되기 때문이다.

다른 하나의 경로는, 전원 전압 Vdd로부터, 클럭 드라이버 CD의 P 채널형 MOS 트랜지스터 M16, 제1 컨덴서 C1, 제5 스위칭용 MOS 트랜지스터 M15를 통해, 제1 컨덴서 C1의 전하가 방전되어, 출력 단자에 1.5Vdd가 공급된다.

이것은, 클럭 ϕ 가 High 레벨일 때에, 제1 컨덴서 C1의 다른 쪽 단자의 전압 V13은 0.5Vdd로 충전되지만, 클럭 ϕ 가 Low 레벨로 변화하면, P 채널형 MOS 트랜지스터 M16이 온함으로써, 제1 컨덴서 C1의 한쪽의 단자의 전압이 0V로부터 Vdd로 변화하는 것에 수반하여, 제1 컨덴서 C1의 용량 결합에 의해, 제1 컨덴서 C1의 다른 쪽의 단자의 전압 V13은 0.5Vdd로부터 1.5Vdd로 승압되기 때문이다.

이 클럭 ϕ 가 Low 레벨일 때의 동작과, High 레벨일 때의 동작을 교대로 반복함으로써, 출력 전압 Vout으로서, 전원 전압 Vdd를 1.5배한 1.5Vdd가 얻어진다.

전술된 바와 같이, -0.5Vdd 발생 회로(40)에서는, 제1, 제2, 제3, 및 제5 스위칭용 MOS 트랜지스터 M1, M2, M3, M5가 N 채널형인 것이 필요하고, 1.5Vdd 발생 회로(60)에서는, 제1, 제2, 제3 및 제5 스위칭용 MOS 트랜지스터 M11, M12, M13, M15가 P 채널형인 것이 필요한 것이 분명하게 되었다. 따라서, -0.5Vdd 발생 회로(40)에서의 제4 스위칭용 MOS 트랜지스터 M4를 P 채널형, 1.5Vdd 발생 회로(60)에서의 제4 스위칭용 MOS 트랜지스터 M14를 N 채널형, 클럭 드라이버 CD는 P 채널형, N 채널형 하나씩으로 구성되는 것으로 하여, 2개의 회로에서 사용되는 트랜지스터의 종류의 수를 계산하면, 표 1과 같이, 1.5Vdd 발생 회로(60)에서는, P 채널형이 5개, N 채널형이 2개로 되고, -0.5Vdd 발생 회로(40)에서는 반대로, N 채널형이 5개, P 채널형이 2개로 되어, N 채널형이 다용되고 있다. 따라서, P 채널형과 N 채널형의 패턴 면적비를 3 : 1로 하면, 1.5Vdd 발생 회로(60)와 -0.5Vdd 발생 회로(40)의 면적비(단, 트랜지스터 부분만)는, 17 : 11로 된다. 즉, -0.5Vdd 발생 회로(40)는 1.5Vdd 발생 회로(60)에 비하여 35% 정도 작은 패턴 면적에서 형성할 수 있다. 그 만큼, 구동 회로 전체의 면적도 작게 할 수 있다.

또한, MOS 트랜지스터의 게이트 용량 등의 기생 용량을 작게 할 수 있기 때문에, 구동 회로의 소비 전류가 저감되어, 그 효율 개선을 실현할 수 있다.

또한, 본 발명은 백색 LED에 한하지 않고, 적색 LED, 녹색 LED, 청색 LED, 애노드와 캐소드를 갖는 다른 발광 소자의 구동 회로에도 널리 적용할 수 있는 것이다. 또한, 본 실시예에서는 -0.5Vdd의 음의 전압을 발생하여, 전원 전압 Vdd 사이에서 1.5Vdd의 전위차를 얻고 있지만, 음의 전압의 크기는 -0.5Vdd에 한하지 않고, -0.4Vdd 혹은 -0.6Vdd이어도 되고, 다른 값이어도 된다.

패턴 면적의 비교

트랜지스터	1.5Vdd 승압	-0.5Vdd 승압
P 채널	5	2
N 채널	2	5
패턴 면적비	17	11

발명의 효과

본 발명에 따르면, 발광 소자의 전원으로서, 종래와 같은 양의 전압 승압 회로 대신에, 음의 전압 발생 회로를 이용하고 있으므로, N 채널형 MOS 트랜지스터가 다용되게 된 결과, 양의 전압 승압 회로에 비하여, MOS 트랜지스터의 패턴 면적을 작게 할 수 있다. 그 만큼, 구동 회로의 패턴 면적도 작게 할 수 있다. 또한, MOS 트랜지스터의 패턴 면적이 작아지기 때문에, 그것에 부수한 기생 용량도 저감되고, 그 만큼 소비 전류도 저감되어, 구동 회로의 효율 향상을 도모할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 구동 회로의 회로도.

도 2는 본 발명의 실시예에 따른 구동 회로의 -0.5Vdd 발생 회로의 회로도.

도 3은 본 발명의 실시예에 따른 -0.5Vdd 발생 회로의 동작 타이밍도.

도 4는 종래 기술에 따른 1.5Vdd 발생 회로의 회로도.

도 5는 종래 기술에 따른 1.5Vdd 발생 회로의 동작 타이밍도.

도 6은 종래예에 따른 구동 회로의 회로도.

<도면의 주요 부분에 대한 부호의 설명>

M1 : 제1 스위칭용 MOS 트랜지스터

M2 : 제2 스위칭용 MOS 트랜지스터

M3 : 제3 스위칭용 MOS 트랜지스터

M4 : 제4 스위칭용 MOS 트랜지스터

M5 : 제5 스위칭용 MOS 트랜지스터

M6 : P 채널형 MOS 트랜지스터

M7 : N 채널형 MOS 트랜지스터

CD : 클럭 드라이버

C1 : 제1 컨덴서

C2 : 제2 컨덴서

20, 21 : 단자

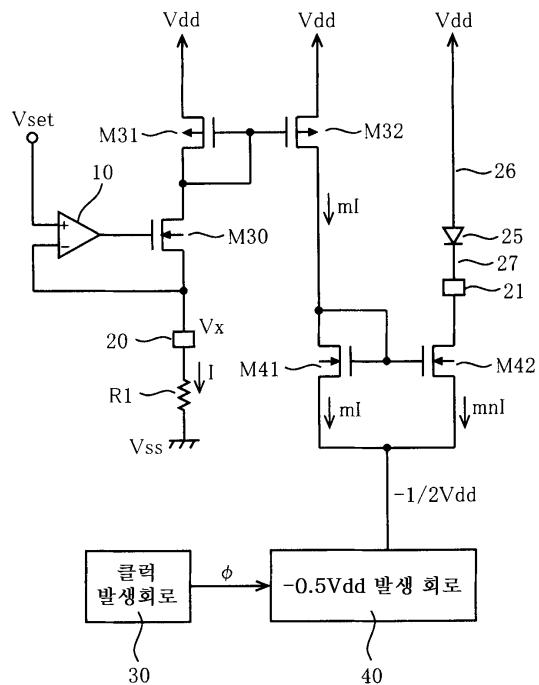
25 : 백색 LED

30 : 클럭 발생 회로

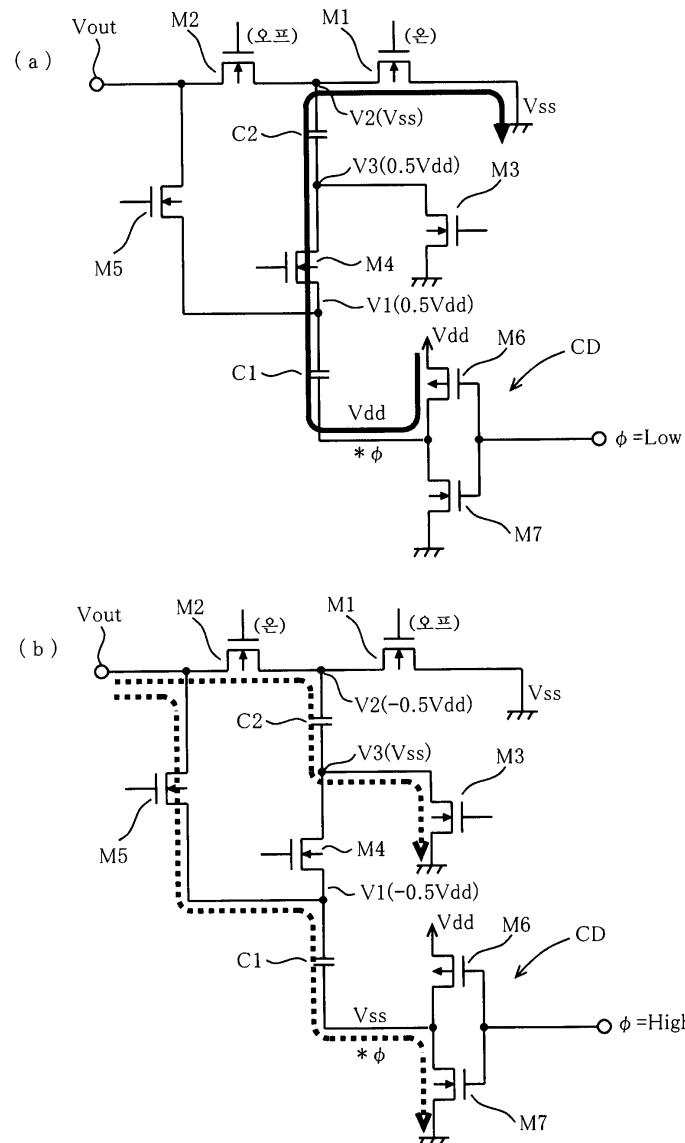
40 : -0.5Vdd 발생 회로

도면

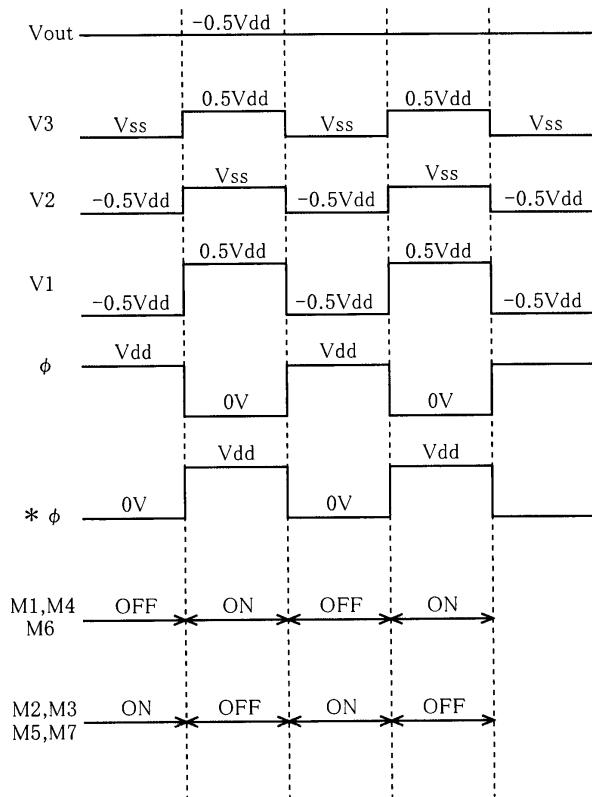
도면1



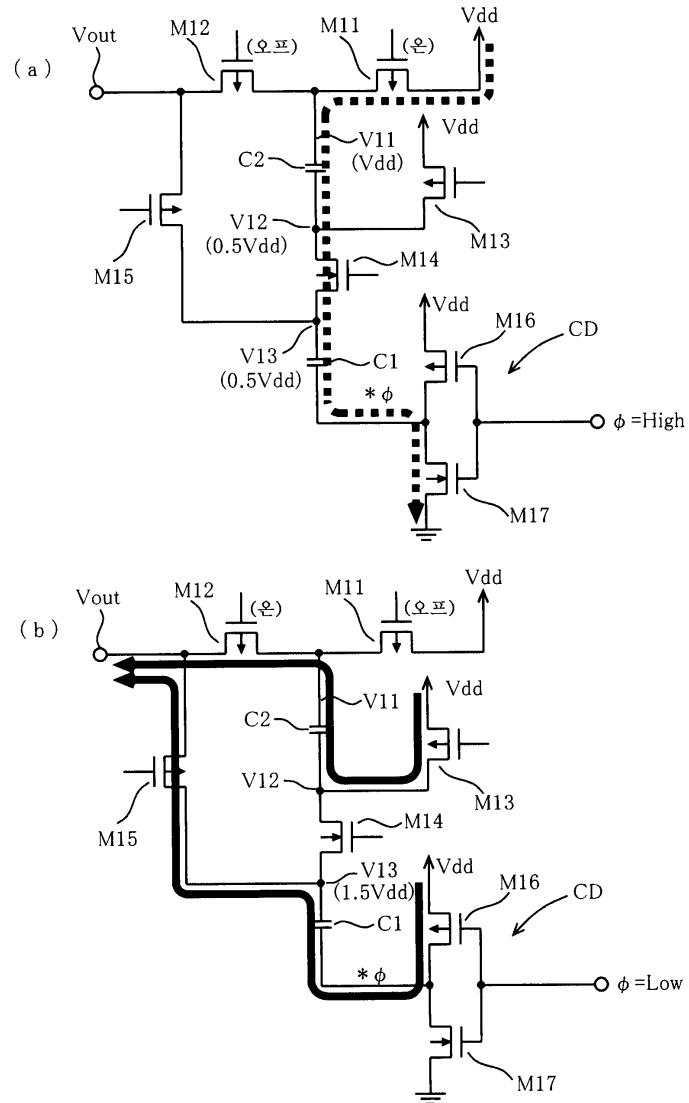
도면2



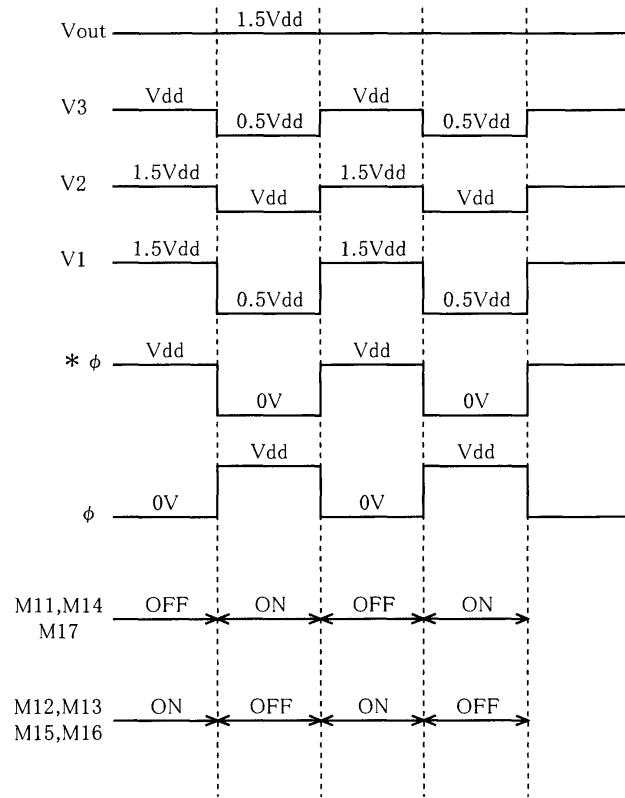
도면3



도면4



도면5



도면6

