

# 公告本

583484

申請日期	87. 7. 8.	
案號	87111044	
類	In 類	CI <sup>6</sup> HOLL 23/60

A4  
C4

383484

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	供MOS電路之靜電保護構造
	英文	ELECTROSTATIC PROTECTION STRUCTURE FOR MOS CIRCUITS
二、發明 創作人	姓名	李斯立·隆那德·艾弗力
	國籍	美國
	住、居所	美國紐澤西州08822弗萊明頓肯沃洛克唐路417號
三、申請人	姓名 (名稱)	1. 日商夏普股份有限公司 2. 美商沙諾夫股份有限公司
	國籍	1. 日本; 2. 美國
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號 2. 美國紐澤西州普林斯敦市CN5300華盛頓路201號
	代表人 姓名	1. 町田 勝彥 2. 威廉 J. 伯克

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 1997年7月15日 08/892,933 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

### 發明領域

本發明係關於具有MOS電晶體電路之一靜電(ESD)保護構造，且特別是有關SIMOX積體電路之一雙閘ESD保護構造。

### 發明背景

最近已開發之一積體電路型式包含一薄單結晶矽晶層，擴延且絕緣一矽晶基板之表面。此積體電路型式係稱為一"SIMOX"裝置。電路係藉形成各種電氣元件，例如電晶體，在薄層中以形成在薄矽晶層中。製作一SIMOX裝置之方法係灌注氧離子進入單結晶矽晶基板之表面，使氧離子係間隔基板之表面。基板然後加熱，使氧離子與矽晶反應，且與擴延在氧化層上之薄矽晶層形成一薄二氧化矽層在基板表面之下。

當電晶體係以"漂浮體"模式操作時，在一SIMOX裝置中形成之CMOS電路，其已完全地空虛NMOS與PMOS電晶體，具有相當低的崩潰電壓。連結主體至電晶體之源極實質上增加崩潰電壓。當一NMOS電晶體係作為一ESD保護構造時，連結NMOS電晶體之閘極至源極係標準的。此係經常參考為一接地閘NMOS，或ggNMOS。實際上提供ESD保護之構造係藉NMOS電晶體先天地形成之寄生雙極NPN電晶體。NMOS電晶體之閘極全然伺服以測定射極-集極間隔，且至一小範圍，以控制開啓電壓。一旦衝擊離子化發生在基極-集極接合面，崩湧增殖造成突然減少在集極-射極電壓至一大致上比初始崩潰電壓較低位準。此現象係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

有時稱為彈回。

若一保護構造段(多段)首先開啓時，一保護構造之過早失敗可在裝置中發生觸發與彈回電壓間之大的差異。此係因為橫越終端之電壓低落至彈回保持電壓，且"開啓"段通過所有電流，防止橫越其他段之電壓到達所需的彈回觸發電壓。每段串聯增加電阻係共同實務，使若一段"點火"橫越一"開啓"段之壓降時，加橫越串聯電阻之電壓，將容許其他段以達成所需的觸發電壓。惟，若在觸發與彈回電壓間之差異係大的時，此處理方式需要一不合需要地高串聯電阻。理想的ESD保護構造實質上將優先於觸發電壓無任何漏電流，且幾乎無差異在觸發與彈回電壓之間。

在一0.35微米SIMOX ESD保護裝置之開發期間，其發現具一漂浮體之ggNMOS裝置實質上具有同一的觸發與彈回電壓，但相當高的洩漏。同時，有時造成彈回保持電壓之程序擴散係低於在產品燒烙期間使用之最大供給電壓。明顯地，此係一不合需要的情勢。連結裝置主體至消除洩漏問題之源極與閘極，但加倍開啓電壓，而不影響彈回電壓。一較長的閘極長度(較寬的NPN基極)實質上未改變裝置之特性。因此，構造之修改係有必要以達成所需的ESD保護特性。

### 發明概述

本發明係指示一ESD保護電路，其包括一對橫向NPN電晶體，每個具有一射極、一集極與一基極。電晶體係與連結至另一電晶體集極之一電晶體射極做串聯式連結。一終

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(3)

端係連結至一電晶體集極，且一終端係連結至另一電晶體射極。二電晶體之基極係連結在一起且係漂浮。

本發明另一方面係形成一ESD保護電路之半導體裝置。半導體裝置包括一具一表面之單結晶矽晶基板。一絕緣材質層係在基板表面上，且一薄單結晶矽晶層係在絕緣層上。一對NPN橫向電晶體係在具每個電晶體之矽晶層中，具有含一P型導電率區域在其間之一對間隔N+型導電率區域，且接觸N+型區域。一電晶體之一N+型區域係電氣式連結至另一電晶體之一N+型區域，且提供裝置以電氣式連結P型區域在一起。

#### 圖式之簡單說明

圖1係顯示本發明ESD保護電路之電路圖；

圖2係顯示本發明ESD保護電路一形式之SIMOX裝置部分之立體圖；

圖3係顯示本發明ESD保護電路另一形式之SIMOX裝置部分之立體圖；

圖4係顯示本發明ESD保護電路第三形式之SIMOX裝置部分之立體圖；

圖5係具MOS電晶體形成之本發明ESD保護電路之電路圖；

圖6係圖5 ESD保護電路形成之SIMOX半導體部分之剖面圖；

圖7係顯示個別地具漂浮體之先前技術雙閘I/V特性之圖式；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

圖8係顯示具圖7顯示I/V特性裝置之對應漏電流特性之圖式；

圖9係顯示本發明雙閘裝置I/V特性之圖式，其中漂浮體係耦合在一起且係漂浮；及

圖10係顯示具圖9顯示I/V特性裝置之對應漏電流特性之圖式。

### 詳細說明

請先參考圖1，本發明SIMOX ESD保護電路之一形式大致係指定為10。ESD保護電路10包含二個堆疊橫向NPN電晶體12與14，其中電晶體12之射極16係連結至電晶體14之集極18。二個電晶體12與14之基極20與22係連結在一起，且容許“漂浮”。電晶體14之射極24作為保護電路10之一終端，且電晶體12之集極26作為保護電路10之第二終端。在保護電路10中，藉具有電晶體12與14之基極20與22係連結在一起，且容許“漂浮”。漏電流係藉確保電壓之相等分割減少，而無大致地提升觸發電壓。藉比較圖9至圖7與圖10至圖8，其可見此然後完成漏電流之所需特性，且實質上相等的觸發與彈回電壓。如圖9顯示，本發明裝置具有相似於那些圖7顯示先前技術裝置之I/V特性。惟，如圖10顯示，本發明裝置具有比圖7顯示先前技術裝置非常較低的漏電流。

參考圖2，那顯示完成電路10在一SIMOX裝置28中之方法。SIMOX裝置28包含一單結晶矽晶基板30，具有延著其一絕緣材質薄層34之表面32，例如二氧化矽。在絕緣材

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

質層34係一薄單結晶矽晶層36。矽晶層36係分離在多個分離區域，其係彼此電氣式絕緣。因此，在各種矽晶層區域中形式之裝置係彼此電氣式絕緣。電氣式絕緣大致係藉矽晶層36之氧化部分完成以形成氧化矽區域在矽晶區域之間。在圖2中，祇有一矽晶區域係顯示在其中形成之ESD保護電路10。

在矽晶層36中係高傳導性N型導電率(N+型)之區域38。在N+型區域38之每側且接觸N+型區域38上係P型導電率之分離區域40與42。在相對N+區域38之每個P型區域40與42側個別地係N+型導電率之區域44與46。

N+區域38、P-區域40與N+區域44形成一橫向NPN電晶體，且N+區域38、P-區域42與N+區域46形成第二橫向NPN電晶體。N+區域38作為電晶體其一之射極與另一電晶體之集極。高傳導性P型導電率(P48+型)之條帶係在矽晶層36中，且擴延在P型區域40與42之間以電氣式連結電晶體之基極。因此，裝置28形成圖1顯示之ESD保護電路10。

參考圖3，其顯示本發明裝置128之另一形式，其形成ESD保護電路10。裝置128包含一單結晶矽晶基板130，具有在其一絕緣材質薄層134之表面132，例如二氧化矽。在絕緣材質層134係一薄單結晶矽晶層136。在矽晶層136中係一高傳導性N型區域138(N+型)，其作為一電晶體之射極與第二電晶體之集極。在N+型區域138之每側且接觸N+型區域138上係分離P型區域140與142，其係二個電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

體之基極。在相對N+型區域138之P型區域140側係一N+型區域144，且在相對N+型區域138之P型區域142側係一N+型區域146。N+型區域144與146接觸它們個別的P型區域140與142；N+型區域144作為一電晶體之集極，且N+型區域146作為第二電晶體之射極。一絕緣材質層150，例如二氧化矽，係在矽晶層136上，且具有一分離開孔152穿過那裡之上且至每個P型區域140與142。一傳導性金屬條帶154係在絕緣層150上，且擴延進入開孔152以接觸P型區域140與142。因此，金屬條帶154電氣式連結二個電晶體之基極，即P型區域140與142。因此，裝置128形成ESD保護電路10。

參考圖4，其顯示本發明裝置228之另一形式，其形成ESD保護電路10。裝置228包含具一表面232之單結晶矽晶基板230。在基板230之表面232係一絕緣材質層234，例如二氧化矽。在絕緣層234上係單結晶矽晶之薄層236。如參考圖2顯示裝置28描述，圖4顯示之矽晶層236係全然一較大的矽晶層區域，其係藉絕緣在矽晶層中形成之部分分離成個別的區域。在矽晶層236中係二個些微地間隔分開高傳導性N型導電率(N+型)區域238與239。在N+型區域238與239之間係一絕緣區域237，例如二氧化矽，其彼此絕緣N+型區域238與239。在相對N+型區域239之N+型區域238側係一P型區域240，且在相對N+型區域238之N+型區域239側係一P型區域242。P型區域240與242接觸它們個別的N+型區域238與239。在相對N+型區域238

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

之P型區域240側上係一N+型區域244，且在相對N+型區域239之P型區域242側上係一N+型區域246。N+型區域244與246接觸它們個別的P型區域240與242。一P+型條帶248係在矽晶層236中，且擴延在P型區域240與242之間以電氣式連結P型區域240與242。一絕緣材質層250，例如二氧化矽，係在矽晶層236上，且具有一分離開孔252穿過其上且至每個N+型區域238與239。一傳導性金屬條帶254係在絕緣層250上，且擴延進入開孔252以接觸N+型區域238與239。因此，金屬條帶254電氣式連結N+型區域238與239。此形成ESD保護電路10。雖然P型區域係顯示如係藉一P+條帶電氣式連結在矽晶層236中，它們可藉一金屬條帶連結，例如係N+型區域238與239。

參考圖5，其顯示本發明ESD保護電路之另一形式60。ESD保護電路60包含第一與第二MOS電晶體62與64。MOS電晶體62具有一漏極66，其係電氣式連結至MOS電晶體64之源極68。MOS電晶體62之源極70係連結至第一終端72，且MOS電晶體64之漏極74係連結至第二終端76。MOS電晶體62與64之通道區域78與80係電氣式連結在一起，且係漂浮。MOS電晶體62與64之閘極82與84係電氣式連結在一起，且至第一終端72。MOS電晶體62與64具有N+型導電率源極與漏極與P型導電率通道區域78與80。因此，每個MOS電晶體62與64形成一NPN橫向雙極電晶體。通道區域78與80係連結在一起，且係漂浮，且閘極82與84係連結在一起，且至第一終端。因此，ESD保護電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

路60形成如圖1顯示之ESD保護電路10之相同電路，且以相同方法操作。

參考圖6，其顯示形成本發明ESD保護電路60之半導體裝置86之一形式。半導體裝置86包含具一表面90之單結晶矽晶基板88。在基板88之表面90上係一絕緣材質之薄層92，例如二氧化矽。在絕緣層92上係薄單結晶矽晶層94。在矽晶層94中係一N+型導電率區域96。在N+型區域96之每側且接觸N+型區域96上係一P型區域98與100。在相對N+型區域96之P型區域98側係一N+型區域102，且在相對N+型區域96之P型區域100側係一N+型區域104。每個N+型區域102與104接觸其個別的P型區域98與100。一絕緣材質之薄層106，例如二氧化矽，係至少在P型區域98與100之上，且一傳導材質層108，例如摻雜多結晶矽晶，係在每個P型區域98與100上之絕緣層106上。傳導層108形成MOS電晶體之閘極。一絕緣材質層110，例如二氧化矽，係至少在傳導層108與N+型區域96,102與104之上。絕緣層110具有開孔112穿過那裡在傳導層108與N+型區域102之上。在圖6中，絕緣層106亦具有一開孔112穿過那裡在N+型區域102之上。一傳導性材質之條帶114，例如一金屬，係在絕緣層110上，且擴延進入開孔112以接觸傳導層108與N+型區域102。金屬條帶114電氣式連結傳導層108(電晶體之閘極)在一起，且至N+型區域102。一P+導電率之條帶，藉線116指示，係在矽晶層94中，且擴延在P型區域98與100之間以電氣式連結P型區域98與100在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

一起。因此，半導體裝置86形成圖5顯示之ESD保護電路60。

雖然半導體裝置86係顯示具有藉在矽晶層94中之傳導性區域條帶電氣式連結之P型區域98與100，P型區域98與100可藉一金屬條帶電氣式連結，如圖3顯示。同時，雖然半導體裝置86係顯示如具有一單N+型區域96，其形成MOS電晶體二者之部分，裝置可具有分離N+型區域，其係藉一金屬條帶電氣式連結，如圖4顯示。

因此，藉本發明提供一ESD保護電路，其包括與連結至另一電晶體集極之一電晶體射極串聯式連結之二個NPN橫向電晶體。電晶體之基極係連結在一起，且係漂浮，爲了藉確保電壓之相等分割減少漏電流係，而無大致地提升觸發電壓。此完成低漏電流之所需特性，且一實質上相等的觸發與彈回電壓。電路可藉具有連結至另一電晶體漏極之一電晶體源極之二個MOS電晶體提供。二個電晶體之通道係連結在一起，且係漂浮，且二個電晶體之閘極係連結在一起，且至裝置之一終端。當本發明之ESD保護電路係用在一MOS電路，形成MOS電晶體之ESD保護電路具有保護電路之電晶體可在相同時間且藉形成保護電路之MOS電晶體相同步驟形成之優點。惟MOS電晶體提供所需側邊NPN電晶體，其係需要本發明之ESD保護電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要 (發明之名稱: 供MOS電路之靜電保護構造 )

一種ESD保護電路包括一對NPN橫向電晶體，係與電氣式連結至另一電晶體集極之一電晶體射極做串聯式電氣連結，二個電晶體之基極係連結在一起且係漂浮。二個電晶體可藉具有N型源極與漏極與P型通道區域之二個MOS電晶體提供。通道區域係連結在一起且係漂浮。

## 英文發明摘要 (發明之名稱: ELECTROSTATIC PROTECTION STRUCTURE FOR MOS CIRCUITS )

An ESD protection circuit includes a pair of NPN lateral transistors electrically connected in series with the emitter of one of the transistors electrically connected to the collector of the other transistor. The bases of the two transistors are electrically connected together and are floating. The two transistors may be provided by two MOS transistors having N type source and drains and P type channel regions. The channels regions are connected together and are floating.

## 六、申請專利範圍

1. 一種靜電(ESD)保護電路，包含：

一對橫向NPN電晶體，每個具有一射極、一集極與一基極，電晶體係與連結至另一電晶體集極之一電晶體射極做串聯式連結；

一終端，連結至一電晶體集極；

一分離終端，連結至另一電晶體射極；及

裝置，係電氣式連結於電晶體基極，使它們成漂浮。

2. 如申請專利範圍第1項之ESD保護電路，其中橫向電晶體係藉二個MOS電晶體形成，每個具有N型源極與漏極與P型通道區域；一電晶體源極係電氣式連結至另一電晶體漏極，且通道區域係電氣式連結在一起。

3. 如申請專利範圍第2項之ESD保護電路，其中每個MOS電晶體具有一閘極在P型通道區域之上，且閘極係電氣式連結在一起及連結至其中一終端。

4. 一種形成一靜電(ESD)保護電路之半導體裝置，包含：

一單結晶矽晶基板，具有一表面；

一絕緣材質層，設在基板表面之上；

一單結晶矽晶之薄層，設在絕緣層之上；

一對NPN橫向電晶體，設在具每個電晶體之矽晶層中，具有一對間隔N型導電率區域與一P型導電率區域在其間，且接觸N型區域；

一電晶體之一N型區域，係電氣式連結至另一電晶體之一N型區域；及

裝置，係電氣式連結一對電晶體之P型區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

5. 如申請專利範圍第4項之半導體裝置，其中一對電晶體具有一單一共同N型區域。
6. 如申請專利範圍第5項之半導體裝置，其中連結一對電晶體P型區域之裝置係一P型導電率之條帶在矽晶層中，且擴延在P型區域之間。
7. 如申請專利範圍第5項之半導體裝置，其中連結一對電晶體P型區域之裝置係一金屬之條帶，擴延在P型區域之間。
8. 如申請專利範圍第7項之半導體裝置，包括一絕緣材質層在矽晶層之上，且具有開孔經過那裡至P型區域與金屬條帶，且延伸在絕緣層之上，且經過開孔以接觸P型區域。
9. 如申請專利範圍第4項之半導體裝置，其中電氣式連結在一起之一對電晶體N型區域係彼此間隔分開之分離區域，且一金屬條帶延伸在其間，且電氣式連結於N型區域。
10. 如申請專利範圍第4項之半導體裝置，其中橫向電晶體係藉二個MOS電晶體形成，每個具有N型導電率源極與漏極區域、一P型導電率通道區域在那其間與一閘極在之上，且絕緣每個通道區域，通道區域係電氣式連結在一起，且閘極係電氣式連結在一起及連結至一電晶體之N型區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1

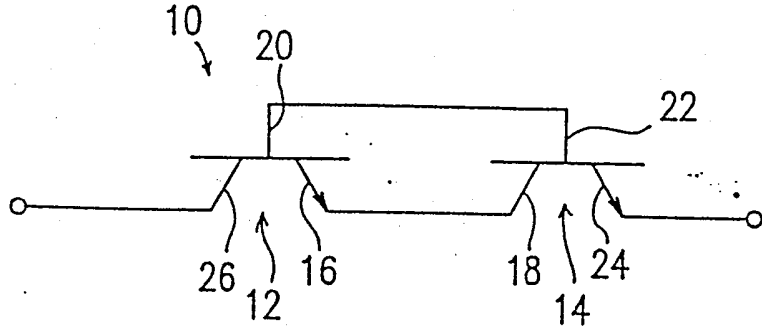


圖 2

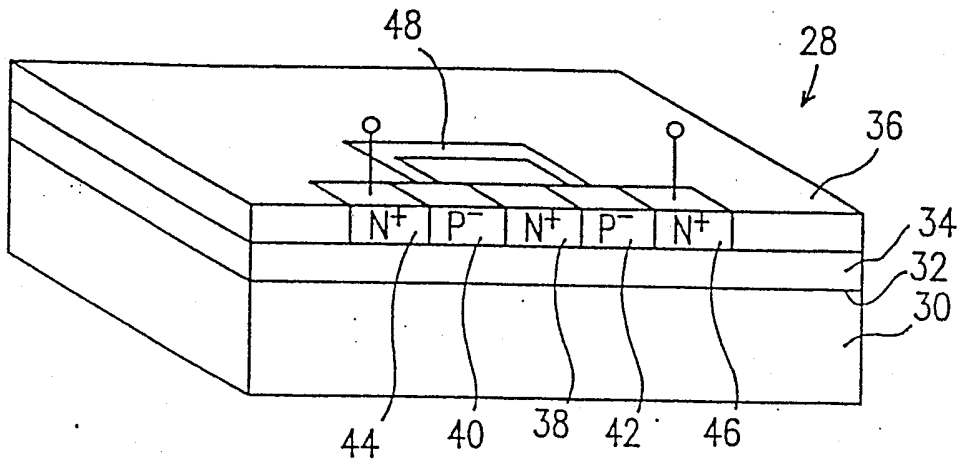
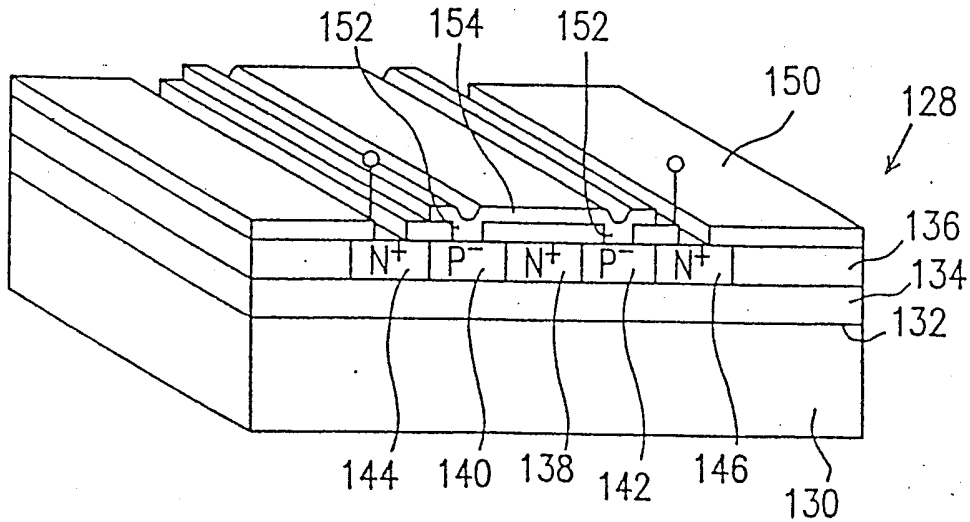
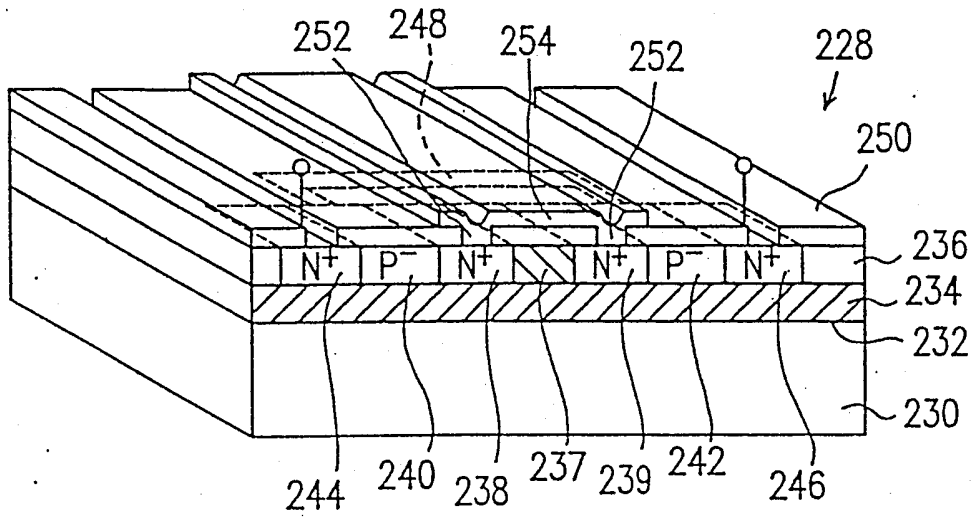


圖 3



383484

圖 4





383484

圖 7

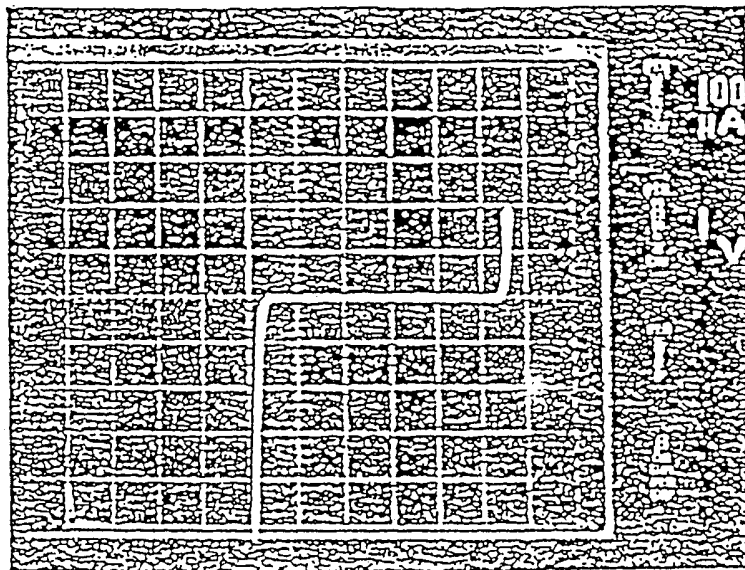
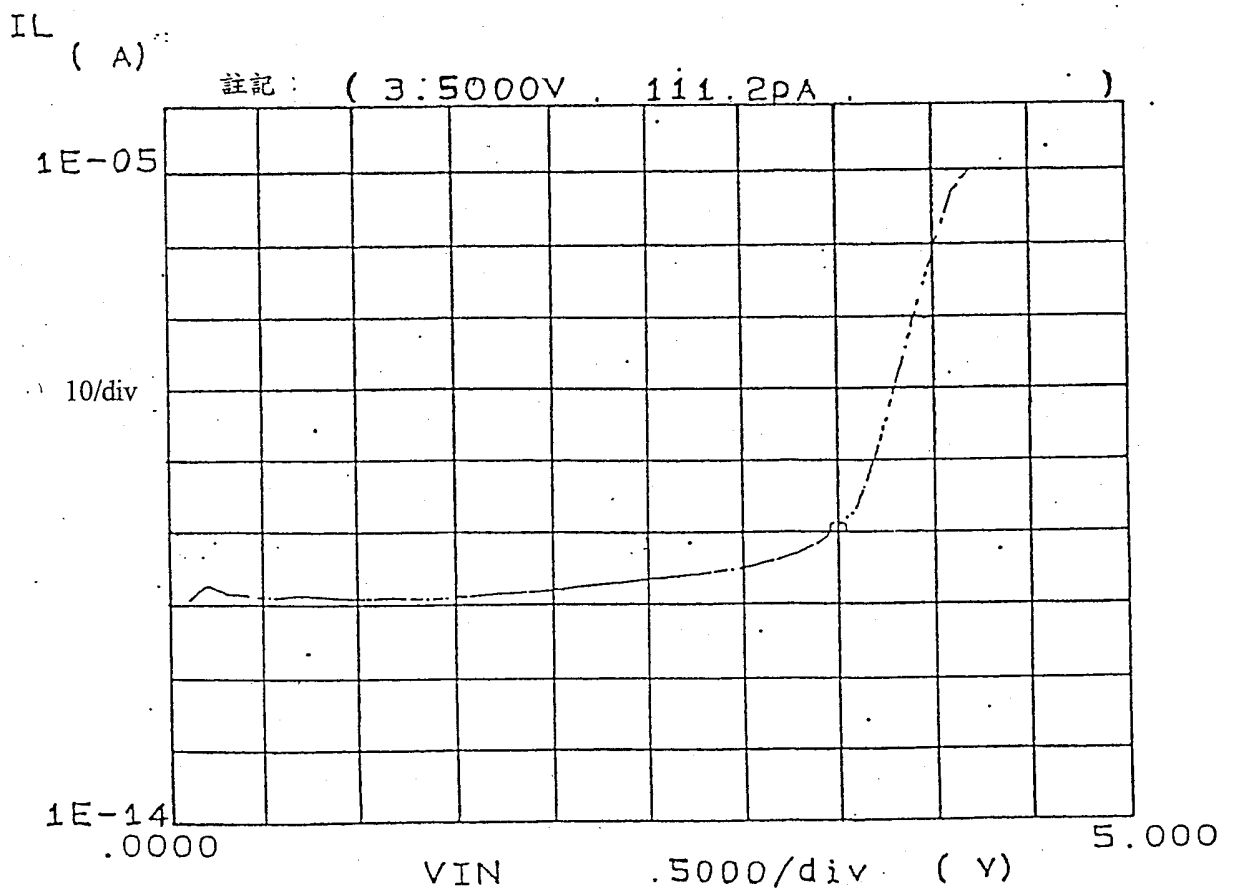


圖 8



383484

圖 9

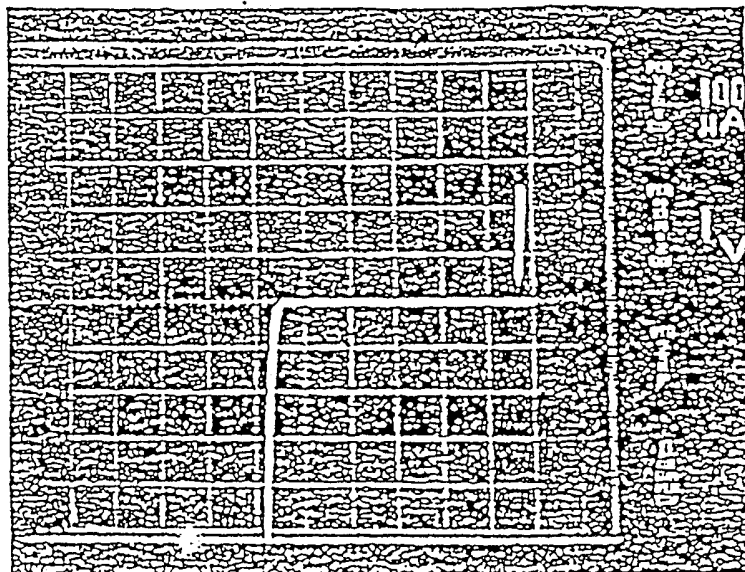


圖 10

IL (A)

註記 ( 3.5000V , 9.050pA )

