



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0003677
(43) 공개일자 2012년01월11일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2010-0064410

(22) 출원일자 2010년07월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성 전자공업단지)

(72) 발명자

강대혁

경기도 화성시 병점동로 23, 1차아파트 101-701 (병점동, 구봉마을 우남퍼스트빌)

배상원

인천광역시 남동구 담방로 105, 802동 106호 (만수동, 만수주공아파트)

(뒷면에 계속)

(74) 대리인

송윤호, 오세준, 권혁수

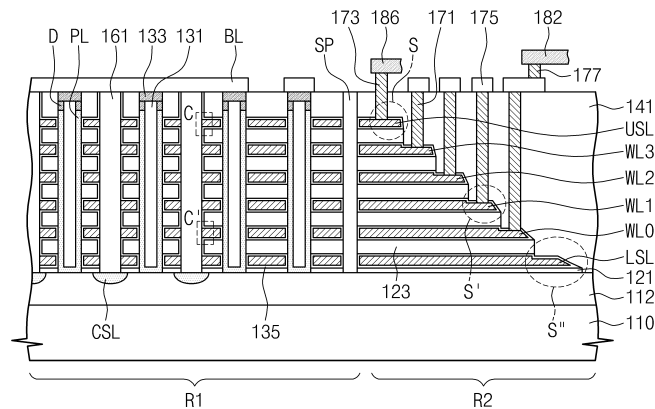
전체 청구항 수 : 총 30 항

(54) 반도체 장치 및 그의 형성 방법

(57) 요약

반도체 장치의 형성방법이 제공된다. 제 1 영역 및 상기 제 1 영역에 인접하는 제 2 영역을 포함하는 기판상에 제 1 물질막들 및 제 2 물질막들을 교대로 적층하고, 최상층의 제 1 물질막 상에 상기 제 2 영역의 일부 영역을 노출하는 마스크 패턴을 형성하고, 상기 마스크 패턴에 의하여 노출된 일부 영역의 상기 적층된 제 1 물질막들 및 제 2 물질막들을 습식 식각하여 상기 제 2 물질막들이 계단형 구조의 적층 패턴을 갖도록 형성한다.

대표도 - 도31



(72) 발명자

윤보연

서울특별시 서초구 반포대로 275, 119동 902호 (반포동, 래미안 퍼스티지)

이근택

경기도 수원시 팔달구 효원로307번길 97, 꿈에그린
효원 101동402호 (인계동, 한화 꿈에그린 효원 101동)

김영후

경기 화성시 반송동 솔빛마을서해그랑블아파트 41
2동 801호

특허청구의 범위

청구항 1

제 1 영역 및 상기 제 1 영역에 인접하는 제 2 영역을 포함하는 기판을 제공하고;

상기 기판 상에 교대로 적층되도록, 서로 다른 제 1 물질막들 및 제 2 물질막들을 형성하고;

최상층의 물질막 상에, 상기 제 2 영역의 일부 영역을 노출하는 마스크 패턴을 형성하고; 그리고

상기 마스크 패턴에 의하여 노출된 상기 일부 영역의, 상기 적층된 제 1 물질막들 및 제 2 물질막들을 습식 식각하여, 상기 제 2 물질막들의 상부면들 및 측면들이 노출된 계단형의 적층 패턴을 형성하는 것을 포함하는 반도체 장치의 형성방법.

청구항 2

청구항 1에 있어서,

상기 습식 식각하는 것은,

상기 제 1 물질막들 및 상기 제 2 물질막들에 대한 식각율이 동일한 제 1 습식 식각 공정을 수행하고; 그리고

상기 제 1 물질막들 보다 상기 제 2 물질막들에 대한 식각율이 더 높은 제 2 습식 식각 공정을 수행하는 것을 포함하는 반도체 장치의 형성방법.

청구항 3

청구항 1에 있어서,

상기 습식 식각된 상기 제 2 물질막들을 마스크로 하여, 상기 제 1 물질막들을 이방성 식각하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 4

청구항 1에 있어서,

상기 최상층의 물질막과 상기 마스크 패턴의 사이에, 식각 버퍼막을 형성하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 5

청구항 1에 있어서,

상기 습식 식각하는 것은,

상기 제 1 물질막들 보다 상기 제 2 물질막들에 대한 식각율이 더 높은 제 1 식각 공정을 수행하는 것을 포함하는 반도체 장치의 형성방법.

청구항 6

청구항 5에 있어서,

상기 제 1 습식 식각 공정은 상기 기판을 노출하지 않도록 수행되고,

상기 습식 식각하는 것은,

상기 제 1 습식 식각 공정 후, 상기 제 1 습식 식각 공정에서 보다 상기 제 1 물질막들과 상기 제 2 물질막들에 대한 식각율의 차이가 작은 제 2 습식 식각 공정을 수행하여, 상기 기판을 노출하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 7

청구항 1에 있어서,

상기 제 2 물질막들은 상기 제 2 물질막들의 아랫부분 및 상기 제 2 물질막들의 윗부분을 포함하고, 상기 제 2 물질막들의 상기 윗부분은 상기 제 2 물질막들의 상기 아랫부분 보다 큰 습식 식각율을 갖는 반도체 장치의 형성방법.

청구항 8

청구항 7에 있어서,

상기 제 2 물질막들을 형성하는 것은;

상기 제 2 물질막들의 상기 아랫부분을 형성하고 상기 제 2 물질막들의 상기 아랫부분을 열처리한 후, 상기 열처리된 제 2 물질막들의 상기 아랫부분 상에 상기 제 2 물질막들의 상기 윗부분을 형성하는 것을 포함하는 반도체 장치의 형성방법.

청구항 9

청구항 7에 있어서,

상기 제 2 물질막들을 형성하는 것은;

상기 제 2 물질막들의 상기 윗부분 내에 상기 제 2 물질막들 보다 습식 식각율이 더 높은 희생막을 삽입하는 것을 포함하는 반도체 장치의 형성방법.

청구항 10

청구항 1에 있어서,

상기 제 1 물질막들은 실리콘 산화막을 포함하고, 상기 제 2 물질막들은 실리콘 질화막 또는 실리콘 산화질화막을 포함하는 반도체 장치의 형성방법.

청구항 11

청구항 10에 있어서,

상기 제 1 영역에서, 상기 적층 패턴을 관통하여 상기 기판으로부터 수직적으로 연장되는 활성 기둥들을 형성하고;

상기 적층 패턴 상에 층간 절연막을 형성하고; 그리고

상기 제 2 물질막들을 선택적으로 제거하여, 상기 제 1 물질막들 및 상기 활성 기둥들의 표면을 노출하는 공간을 형성하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 12

청구항 11에 있어서,

상기 노출된 활성 기둥들 상에 터널 절연막, 전하저장막 및 블로킹 절연막을 순차적으로 형성하고; 그리고

상기 공간 내에 도전막을 형성하여, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 갖는 도전 패턴들을 형성하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 13

청구항 12에 있어서,

상기 층간 절연막을 관통하여, 상기 도전 패턴들의 상기 노출된 상부면에 연결되는 도전 기둥들(connecting stud)을 형성하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 14

청구항 1에 있어서,

상기 제 1 물질막들은 절연막들이고 상기 제 2 물질막들은 도전막들이고,

상기 도전막들은 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 갖고,

상기 제 1 영역에서, 상기 적층 패턴을 관통하는 개구부를 형성하고; 그리고

상기 개구부의 내벽에 블로킹 절연막, 전하저장막, 게이트 절연막 및 활성 기둥들을 순차적으로 형성하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 15

청구항 14에 있어서,

상기 적층 패턴 상에 층간 절연막을 형성하고; 그리고

상기 층간 절연막들을 관통하여, 상기 도전막들의 상부면들에 각각 연결되는 도전 기둥들(connecting stud)을 형성하는 것을 더 포함하는 반도체 장치의 형성방법.

청구항 16

제 1 영역 및 제 2 영역을 포함하는 기판; 및

상기 기판 상에 절연 패턴들을 개재하여 서로 이격되어 적층되고, 상기 제 2 영역에서 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 갖는 도전 패턴들을 포함하고,

상기 도전 패턴들 중 최상부의 도전 패턴의 측면은 최하부의 도전패턴의 것 보다 더 큰 경사도를 갖는 반도체 장치.

청구항 17

청구항 16에 있어서,

상기 도전 패턴들의 경사도는 상기 기판으로부터 멀어질수록 증가하는 반도체 장치.

청구항 18

청구항 16에 있어서,

상기 최상부의 도전 패턴의 상기 노출된 상부면은 상기 최하부의 도전 패턴의 것 보다 작은 폭을 갖는 반도체 장치.

청구항 19

청구항 18에 있어서,

상기 도전 패턴들의 상부면의 폭은 상기 기판으로부터 멀어질수록 감소하는 반도체 장치.

청구항 20

청구항 16에 있어서,

상기 최상부의 도전 패턴을 제외한 하부 도전 패턴들의 상기 제 2 영역에서의 두께는 상기 제 1 영역에서의 것 보다 소정의 값들 만큼 더 얇은 반도체 장치.

청구항 21

청구항 20에 있어서,

상기 하부 도전 패턴들의 상기 소정의 값들은 서로 동일한 반도체 장치.

청구항 22

청구항 16에 있어서,

상기 도전 패턴들의 측면들을 잇는 연장선은 적어도 하나의 호를 갖는 반도체 장치.

청구항 23

청구항 22에 있어서,

상기 측면들을 잇는 연장선은 두 개 이상의 호들을 갖고, 상기 호들의 곡률 반경들은 서로 다른 반도체 장치.

청구항 24

청구항 23에 있어서,

상기 호들 중 최상부의 호는 최하부의 것 보다 더 작은 곡률 반경을 갖는 반도체 장치.

청구항 25

청구항 16에 있어서,

상기 절연 패턴들 중 최상부의 절연 패턴은 최하부의 절연 패턴 보다 큰 습식 식각율을 갖는 반도체 장치.

청구항 26

청구항 16에서,

상기 제 1 영역에서, 상기 도전 패턴들을 관통하고 상기 기판으로부터 수직으로 연장하는 활성 기둥들을 더 포함하는 반도체 장치.

청구항 27

청구항 26에 있어서,

상기 도전 패턴들과 상기 활성 기둥들 사이의 블로킹 절연막, 전하저장막 및 게이트 절연막을 더 포함하는 반도체 장치.

청구항 28

청구항 26에 있어서,

상기 제 2 영역에서, 상기 도전 패턴들의 상부면들에 각각 연결되는 도전 기둥들을 더 포함하는 반도체 장치.

청구항 29

청구항 26에 있어서,

상기 도전 패턴들은 상기 기판에 평행한 제 1 방향으로 연장하고,

상기 기판에 평행하고 상기 제 1 방향에 교차하는 제 2 방향으로 이격되어 서로 인접하는 도전 패턴들 사이에 제공된 절연성 분리패턴을 더 포함하고, 상기 절연 패턴들 중 최상부의 절연 패턴의 상기 분리 패턴에 인접한 모서리의 곡률 반경은 최하부의 것 보다 더 큰 반도체 장치.

청구항 30

기판 상에 적층되고, 상기 제 2 영역에서 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면 및 측면을 갖는 도전 패턴들; 및

상기 도전 패턴들의 상기 상부면 및 상기 측면을 덮는 층간 절연막을 포함하고,

상기 도전 패턴들 중 최상부의 도전 패턴의 상기 측면에 마주보는 상기 층간 절연막의 내벽은, 최하부의 도전 패턴의 상기 측면에 마주보는 것 보다 큰 경사도를 갖는 반도체 장치.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그의 형성 방법에 관한 것으로, 더욱 상세하게는 3차원 반도체 장치 및 그의 형성 방법에 관한 것이다.

배경 기술

[0002] 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 특히, 반도체 메모리 장치의 집적도는 제품의 가격을 결정하는 중요한 요인이다. 종래의 2차원 반도체 메모리 장치의 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 메모리 장치의 집적도는 증가하고는 있지만 여전히 제한적이다.

[0003] 이러한 제약을 극복하기 위해, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 하지만, 상기 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 메모리 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 제조 비용을 줄일 수 있는 3차원 반도체 장치의 배선 형성 방법을 제공하는 데 있다.

[0005] 본 발명이 이루고자 하는 일 기술적 과제는 제조 비용이 저렴한 3차원 반도체 장치를 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 실시예들은 반도체 장치의 형성방법을 제공한다. 상기 방법은 제 1 영역 및 상기 제 1 영역에 인접하는 제 2 영역을 포함하는 기판을 제공하고; 상기 기판 상에 교대로 적층되도록, 서로 다른 제 1 물질막들 및 제 2 물질막들을 형성하고; 최상층의 물질막 상에, 상기 제 2 영역의 일부 영역을 노출하는 마스크 패턴을 형성하고; 그리고 상기 마스크 패턴에 의하여 노출된 상기 일부 영역의, 상기 적층된 제 1 물질막들 및 제 2 물질막들을 습식 식각하여, 상기 제 2 물질막들의 상부면들 및 측면들이 노출된 계단형의 적층 패턴을 형성하는 것을 포함한다.

[0007] 상기 습식 식각하는 것은, 상기 제 1 물질막들 보다 상기 제 2 물질막들에 대한 식각율이 더 높은 제 1 식각 공정을 수행하는 것을 포함할 수 있다.

[0008] 일 실시예에서, 상기 제 1 습식 식각 공정은 상기 기판을 노출하지 않도록 수행될 수 있다. 상기 습식 식각하는 것은, 상기 제 1 습식 식각 공정 후, 상기 제 1 습식 식각 공정에서 보다 상기 제 1 물질막들과 상기 제 2 물질막들에 대한 식각율의 차이가 작은 제 2 습식 식각 공정을 수행하여, 상기 기판을 노출하는 것을 더 포함할 수 있다.

[0009] 일 실시예에서, 상기 제 2 물질막들은 상기 제 2 물질막들의 아랫부분 및 상기 제 2 물질막들의 윗부분을 포함하고, 상기 제 2 물질막들의 상기 윗부분은 상기 제 2 물질막들의 상기 아랫부분 보다 큰 습식 식각율을 갖도록, 형성될 수 있다.

[0010] 본 발명의 실시예들은 반도체 장치를 제공한다. 상기 반도체 장치는 제 1 영역 및 제 2 영역을 포함하는 기판; 및 상기 기판 상에 절연 패턴들을 개재하여 서로 이격되어 적층되고, 상기 제 2 영역에서 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 갖는 도전 패턴들을 포함하고, 상기 도전 패턴들 중 최상부의 도전 패턴의 측면은 최하부의 도전패턴의 것 보다 더 큰 경사도를 갖는다.

[0011] 상기 도전 패턴들의 경사도는 상기 기판으로부터 멀어질수록 증가할 수 있다.

[0012] 상기 최상부의 도전 패턴의 상기 노출된 상부면은 상기 최하부의 도전 패턴의 것 보다 작은 폭을 가질 수 있다.

[0013] 상기 도전 패턴들의 상부면의 폭은 상기 기판으로부터 멀어질수록 감소할 수 있다.

[0014] 상기 기판에 인접한 도전 패턴의 상부면의 폭은, 상기 기판으로부터 멀리 이격된 도전 패턴의 상부면의 폭 보다 클 수 있다.

- [0015] 상기 최상부의 도전 패턴을 제외한 하부 도전 패턴들의 상기 제 2 영역에서의 두께는 상기 제 1 영역에서의 것보다 소정의 값들 만큼 더 얇을 수 있다.
- [0016] 상기 도전 패턴들의 측면들을 잇는 연장선은 적어도 하나의 호를 가질 수 있다. 상기 측면들을 잇는 연장선은 두 개 이상의 호들을 갖고, 상기 호들의 곡률 반경들은 서로 다를 수 있다. 상기 호들 중 최상부의 호는 최하부의 것보다 더 작은 곡률 반경을 가질 수 있다.
- [0017] 일 실시예에서, 상기 장치는 상기 제 1 영역에서, 상기 도전 패턴들을 관통하고 상기 기판으로부터 수직으로 연장하는 활성 기둥들; 및 상기 제 2 영역에서, 상기 도전 패턴들의 상부면들에 각각 연결되는 도전 기둥들을 더 포함할 수 있다.
- [0018] 일 실시예에서, 상기 도전 패턴들은 상기 기판에 평행한 제 1 방향으로 연장하고, 상기 장치는 상기 기판에 평행하고 상기 제 1 방향에 교차하는 제 2 방향으로 이격되어 서로 인접하는 도전 패턴들 사이에 제공된 절연성 분리패턴을 더 포함하고, 상기 절연 패턴들 중 최상부의 절연 패턴의 상기 분리 패턴에 인접한 모서리의 곡률 반경은 최하부의 것보다 더 클 수 있다.
- [0019] 본 발명의 실시예들에 따른 반도체 장치는, 기판 상에 적층되고, 상기 제 2 영역에서 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면 및 측면을 갖는 도전 패턴들; 및 상기 도전 패턴들의 상기 상부면 및 상기 측면을 덮는 층간 절연막을 포함하고, 상기 도전 패턴들 중 최상부의 도전 패턴의 상기 측면에 마주보는 상기 층간 절연막의 내벽은, 최하부의 도전 패턴의 상기 측면에 마주보는 것보다 큰 경사도를 가질 수 있다.

발명의 효과

- [0020] 본 발명의 개념에 따르면, 제 1 영역의 가장자리에 제공되는 제 2 영역에서, 기판 상에 적층된 복수 개의 도전 패턴들의 계단형 구조가 용이하게 형성될 수 있다. 상기 제 2 영역을 노출하는 1회의 포토 공정과 적어도 1회의 습식 식각 공정을 통하여 저렴한 비용으로 복수 개의 도전 패턴들이 계단형 구조를 갖도록 할 수 있다. 상기 계단형 구조의 도전 패턴을 형성하기 위하여 복수 회의 포토 및 식각 공정이 요구되지 않는다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 장치를 나타내는 블록도이다.
- 도 2는 도 1의 상기 메모리 셀 어레이의 예를 나타내는 블록도이다.
- 도 3은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 회로도이다.
- 도 4a는 본 발명의 일 예에 따른 3차원 반도체 장치의 레이아웃의 일 부분을 나타낸다. 도 4b는 도 4a의 I-I' 선에 따른 단면도를 나타낸다. 도 4c는 도 4a의 제 1 영역의 사시도를 나타낸다. 도 4d는 도 4b의 A 부분의 확대도이다.
- 도 5a는 본 발명의 일 예에 따른 3차원 반도체 장치의 레이아웃의 일 부분을 나타낸다. 도 5b는 도 5a의 II-II' 선에 따른 단면도를 나타낸다. 도 5c는 도 5a의 제 1 영역의 사시도를 나타낸다.
- 도 6a는 본 발명의 일 예에 따른 3차원 반도체 장치의 레이아웃의 일 부분을 나타낸다. 도 6b는 도 6a의 III-III' 선에 따른 단면도를 나타낸다. 도 6c는 도 6a의 제 1 영역의 사시도를 나타낸다.
- 도 7a 내지 도 7h는 도 4a 내지 도 4c를 참조하여 설명된 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 4a의 I-I' 선에 대응하는 단면도들이다.
- 도 8a 내지 도 8h는 도 5a 내지 도 5c를 참조하여 설명된 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 5a의 II-II' 선에 대응하는 단면도들이다.
- 도 9a 내지 도 9d는 도 6a 내지 도 6c를 참조하여 설명된 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 6a의 III-III' 선에 대응하는 단면도들이다.
- 도 10 내지 도 13은 본 발명의 일 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B에 대응하는 단면도들이다.
- 도 14 내지 도 17은 본 발명의 다른 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c,

8c 및 9c의 B에 대응하는 단면도들이다.

도 18 내지 도 22는 본 발명의 또 다른 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B에 대응하는 단면도들이다.

도 23 내지 도 29는 본 발명의 또 다른 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B에 대응하는 단면도들이다.

도 30은 전술한 도 10 내지 도 29를 참조하여 형성된 계단형의 적층 패턴의 사시도이다.

도 31은, 도 29와 같은 방법으로 형성된, 도 4b를 참조하여 설명된 본 발명의 3차원 반도체 장치의 계단형 구조를 나타내는 단면도이다.

도 33A, 도 33B 및 도 33C는 각각 도 31의 S, S' 및 S" 부분의 확대 단면도들이다.

도 33은 도 31의 C 및 C' 부분의 확대 단면도들이다.

도 34는 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 35는 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 36은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 37은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 38은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 39는 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 40은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다.

도 41은 전술한 3차원 반도체 장치를 포함하는 메모리 시스템을 나타내는 블록도이다.

도 42는 도 41의 메모리 시스템의 응용 예를 보여주는 블록도이다.

도 43은 도 42를 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0023] 본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0024] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.

[0025] 이하의 실시예에서 등방성 식각 공정의 예로 습식 식각 공정이 설명된다. 그러나, 본 발명의 개념에서 상기 등방성 식각 공정은 습식 식각 공정에 한정되지 않고, 플라즈마를 이용한 등방성 식각 공정을 포함할 수 있다.

[0026] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 장치를 나타내는 블록도이다. 도 1을 참조하면, 본 발명의 실시예들에 따른 3차원 반도체 장치는 메모리 셀 어레이(10), 어드레스 디코더(20), 읽기/쓰기 회로(30), 데이터 입출력 회로(40), 및 제어 로직(50)을 포함할 수 있다.

[0027] 상기 메모리 셀 어레이(10)는 복수 개의 워드 라인들(WL)을 통해 어드레스 디코더(20)에 연결되고, 비트 라인들

(BL)을 통해 읽기 및 쓰기 회로(30)에 연결될 수 있다. 상기 메모리 셀 어레이(10)는 복수 개의 메모리 셀들을 포함한다. 예를 들어, 상기 메모리 셀 어레이(10)는 셀 당 하나 또는 그 이상의 비트를 저장할 수 있도록 구성된다.

[0028] 상기 어드레스 디코더(20)는 상기 워드 라인들(WL)을 통해 상기 메모리 셀 어레이(10)에 연결될 수 있다. 상기 어드레스 디코더(20)는 상기 제어 로직(50)의 제어에 응답하여 동작하도록 구성된다. 상기 어드레스 디코더(20)는 외부로부터 어드레스(ADDR)를 수신할 수 있다. 상기 어드레스 디코더(20)는 수신된 어드레스(ADDR) 중 행 어드레스를 디코딩하여, 상기 복수 개의 워드 라인들(WL) 중 대응하는 워드 라인을 선택한다. 또한, 상기 어드레스 디코더(20)는 수신된 어드레스(ADDR) 중 열 어드레스를 디코딩하고, 상기 디코딩된 열 어드레스를 상기 읽기/쓰기 회로(30)에 전달한다. 예를 들어, 상기 어드레스 디코더(20)는 행 디코더, 열 디코더, 어드레스 버퍼 등과 같이 잘 알려진 구성 요소들을 포함할 수 있다.

[0029] 상기 읽기/쓰기 회로(30)는 상기 비트 라인들(BL)을 통해 상기 메모리 셀 어레이(10)에 연결되고, 데이터 라인들(DL)을 통해 상기 데이터 입출력 회로(40)에 연결될 수 있다. 상기 읽기/쓰기 회로(30)는 상기 제어 로직(50)의 제어에 응답하여 동작할 수 있다. 상기 읽기/쓰기 회로(30)는 상기 어드레스 디코더(20)로부터 디코딩된 열 어드레스를 수신하도록 구성된다. 상기 디코딩된 열 어드레스를 이용하여, 상기 읽기/쓰기 회로(30)는 상기 비트 라인들(BL)을 선택한다. 예를 들어, 상기 읽기/쓰기 회로(30)는 상기 데이터 입출력 회로(40)로부터 데이터를 수신하고, 상기 수신된 데이터를 상기 메모리 셀 어레이(10)에 기입한다. 상기 읽기/쓰기 회로(30)는 상기 메모리 셀 어레이(10)로부터 데이터를 읽고, 상기 읽어진 데이터를 상기 데이터 입출력 회로(40)에 전달한다. 상기 읽기/쓰기 회로(30)는 상기 메모리 셀 어레이(10)의 제 1 저장 영역으로부터 데이터를 읽고, 상기 읽어진 데이터를 상기 메모리 셀 어레이(10)의 제 2 저장 영역에 기입한다. 예를 들면, 상기 읽기/쓰기 회로(30)는 카피-백(copy-back) 동작을 수행하도록 구성될 수 있다.

[0030] 상기 읽기/쓰기 회로(30)는 페이지 버퍼(또는 페이지 레지스터) 및 열 선택 회로를 포함하는 구성 요소들을 포함할 수 있다. 다른 예로서, 상기 읽기/쓰기 회로(30)는 감지 증폭기, 쓰기 드라이버, 및 열 선택 회로를 포함하는 구성 요소들을 포함할 수 있다.

[0031] 상기 데이터 입출력 회로(40)는 상기 데이터 라인들(DL)을 통해 상기 읽기/쓰기 회로(30)에 연결될 수 있다. 상기 데이터 입출력 회로(40)는 상기 제어 로직(50)의 제어에 응답하여 동작한다. 상기 데이터 입출력 회로(40)는 외부와 데이터(DATA)를 교환하도록 구성된다. 상기 데이터 입출력 회로(40)는 외부로부터 전달되는 데이터(DATA)를 상기 데이터 라인들(DL)을 통해 상기 읽기/쓰기 회로(30)에 전달하도록 구성된다. 상기 데이터 입출력 회로(40)는 읽기 및 쓰기 회로로부터 상기 데이터 라인들(DL)을 통해 전달되는 데이터(DATA)를 외부로 출력하도록 구성된다. 예를 들어, 상기 데이터 입출력 회로(40)는 데이터 버퍼 등과 같은 구성 요소를 포함할 수 있다.

[0032] 상기 제어 로직(50)은 상기 어드레스 디코더(20), 상기 읽기/쓰기 회로(30), 및 상기 데이터 입출력 회로(40)에 연결될 수 있다. 상기 제어 로직(50)은 상기 3차원 반도체 장치의 동작을 제어하도록 구성된다. 상기 제어 로직(50)은 외부로부터 전달되는 제어 신호(CTRL)에 응답하여 동작할 수 있다.

[0033] 도 2는 도 1의 상기 메모리 셀 어레이(10)의 예를 나타내는 블록도이다. 도 2를 참조하면, 상기 메모리 셀 어레이(10)는 복수 개의 메모리 블록들(BLK1~BLK_h)을 포함할 수 있다. 각 메모리 블록은 3차원 구조(또는 수직 구조)를 가질 수 있다. 예를 들면, 각 메모리 블록은 서로 교차하는 제 1 내지 제 3 방향으로 연장된 구조물들을 포함할 수 있다. 예를 들면, 각 메모리 블록은 제 3 방향으로 연장된 복수 개의 셀 스트링들(CSTR)을 포함한다. 예를 들면, 상기 복수 개의 셀 스트링들(CSTR)이 제 1 및 제 2 방향들을 따라 제공될 수 있다.

[0034] 도 3은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 회로도이다. 도 3을 참조하면, 본 발명의 실시예들에 따른 3차원 반도체 장치는, 비트 라인들(BL), 워드 라인들(WL0 ~ WL3), 상부 선택 라인(USL), 하부 선택 라인(LSL) 및 공통 소오스 라인(CSL)을 포함할 수 있다. 상기 비트 라인들(BL)과 상기 공통 소오스 라인(CSL) 사이에 상기 복수 개의 셀 스트링들(CSTR)이 제공된다.

[0035] 상기 셀 스트링들(CSTR)은, 상기 비트 라인들(BL)에 접속하는 상부 선택 트랜지스터(UST), 상기 공통 소오스 라인(CSL)에 접속하는 하부 선택 트랜지스터(LST), 및 상기 상부 선택 트랜지스터(UST)와 상기 하부 선택 트랜지스터(LST) 사이에 제공되는 복수개의 메모리 셀들(MC)을 포함할 수 있다. 상기 상부 선택 트랜지스터(UST)의 드레인은 상기 비트 라인들(BL)과 연결되고, 상기 하부 선택 트랜지스터(LST)의 소오스는 상기 공통 소오스 라인(CSL)과 연결된다. 상기 상부 선택 트랜지스터(UST)의 게이트는 상기 상부 선택 라인(USL)과 연결되고, 하부 선택 트랜지스터(LST)의 게이트는 상기 하부 선택 라인(LSL)과 연결된다. 상기 메모리 셀들(MC)의 게이트들은 상

기 워드 라인들(WL0 ~ WL3)에 연결된다.

- [0036] 상기 셀 스트링들(CSTR)은 기관의 표면에 대해 수직인 방향(즉, 상기 제 3 방향)으로 상기 메모리 셀들(MC)이 직렬 연결된 구조를 가질 수 있다. 이에 따라, 상기 선택 트랜지스터들(UST, LST) 및 상기 메모리 셀들(MC)의 채널이 상기 제 3 방향으로 제공될 수 있다.
- [0037] 본 발명에 따른 3차원 반도체 장치는, 셀 스트링들(CSTR)을 갖는 낸드형 플래시 메모리 장치일 수 있다. 이때, 상기 하부 선택 라인(LSL)은 상기 낸드형 플래시 메모리 장치의 접지 선택 라인이고, 상기 상부 선택 라인(USL)은 상기 낸드형 플래시 메모리 장치의 스트링 선택 라인일 수 있다.
- [0038] 도 4a는 본 발명의 일 예에 따른 3차원 반도체 장치(101)의 레이아웃의 일 부분이고, 도 4b는 도 4a의 I-I' 선에 따른 단면도이고, 도 4c는 도 4a의 제 1 영역의 사시도를 나타낸다. 도 4d는 도 4b의 A의 확대도이다.
- [0039] 도 4a 내지 도 4d를 참조하여, 본 발명의 일 예에 따른 3차원 반도체 장치(101)가 설명된다. 기관(110) 상에 버퍼 유전막(121)이 제공될 수 있다. 상기 기관(110)의 상부에 제 1 도전형의 웰(112)이 제공될 수 있다. 상기 버퍼 유전막(121)은 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121) 상에, 절연 패턴들(123) 및 상기 절연 패턴들을 개재하여 서로 이격된 도전 패턴들(LSL, WL0 ~ WL3, USL)이 제공될 수 있다.
- [0040] 보다 구체적으로, 상기 기관(110)은 제 1 영역(R1)과, 상기 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 상기 제 1 영역(R1)의 둘레에 제공될 수 있다. 도 4a에서는, 상기 제 2 영역(R2)이 상기 제 1 영역(R1)의 양측 가장자리 부분에 제공되는 것이 도시된다. 일 실시예에서, 상기 제 1 영역(R1)은 메모리 셀 영역이고, 상기 제 2 영역(R2)은 상기 메모리 셀 영역의 상기 워드 라인들을 외부 회로와 연결하기 위한 연결 영역일 수 있다.
- [0041] 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)은 하부 선택 라인(LSL), 상부 선택 라인(USL), 및 이들 사이의 워드 라인들(WL0 ~ WL3)을 포함할 수 있다. 상기 도전 패턴들은 상기 기관에 평행한 제 1 방향으로 연장된 라인 형태를 가질 수 있다. 상기 제 1 영역(R1)은 상기 라인 형태의 도전 패턴들의 중심부에 대응되며, 상기 제 2 영역(R2)은 상기 라인 형태의 도전 패턴들의 일측 또는 양측의 끝단 부분에 대응될 수 있다. 상기 도전 패턴들은 도핑된 실리콘, 텅스텐, 금속 질화막 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다.
- [0042] 복수 개의 활성 기둥들(PL)이, 상기 제 1 영역(R1)에서, 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)을 관통하여 상기 기관(110)에 연결되도록 제공된다. 상기 활성 기둥들(PL)은 상기 기관(110)으로부터 상부로 연장되는(즉, 상기 제 3 방향으로 연장되는) 장축을 가질 수 있다. 상기 활성 기둥들(PL)은 반도체 물질을 포함할 수 있다. 상기 활성 기둥들(PL)은 속이 채워진 실린더 형, 또는 그 속이 빈 실린더 형(예를 들면, 마카로니(macaroni) 형)일 수 있다. 상기 마카로니 형의 활성 기둥들의 속은 절연 물질로 채워질 수 있다. 발명의 일 측면에서, 상기 활성 기둥들(PL) 및 상기 기관(110)은 연속적인 구조의 반도체일 수 있다. 상기 활성 기둥들(PL)은 단결정의 반도체일 수 있다. 본 발명의 다른 측면에서, 상기 활성 기둥들(PL)과 상기 기관(110)은 불연속적인 경계면을 가질 수 있다. 상기 활성 기둥들(PL)은 다결정 또는 비정질 구조의 반도체일 수 있다. 상기 활성 기둥들(PL)은 상기 기관(110)에 인접하는 몸체부, 및 상기 기관과 이격된 상부의 드레인 영역(D)을 포함할 수 있다. 상기 몸체부는 상기 제 1 도전형이고, 상기 드레인 영역(D)은 상기 제 1 도전형과 다른 제 2 도전형일 수 있다.
- [0043] 상기 활성 기둥들(PL)의 일단들(즉, 몸체부)은 상기 기관(110)에 연결되고, 이들의 타단들(즉, 드레인 영역)은, 상기 비트 라인들(BL)에 연결될 수 있다. 상기 비트 라인들(BL)은 상기 제 1 방향에 교차하는 제 2 방향으로 연장될 수 있다. 하나의 활성 기둥은 하나의 비트 라인에 연결되어, 하나의 비트 라인은 복수 개의 셀 스트링들(CSTR)에 연결될 수 있다. 상기 활성 기둥들(PL)은 상기 제 1 방향 및 상기 제 2 방향의 매트릭스형으로 배열될 수 있다. 이에 따라 상기 워드 라인들(WL0 ~ WL3)과 상기 활성 기둥들(PL) 사이의 교점들은 3차원적으로 분포된다. 본 발명에 따른 3차원 반도체 장치(101)의 메모리 셀들(MC)은 이러한 3차원적으로 분포된 교점들에 제공된다. 결과적으로, 하나의 메모리 셀은 하나의 활성 기둥과 하나의 워드 라인에 의해 정의된다.
- [0044] 상기 워드 라인들(WL0 ~ WL3)과 상기 활성 기둥들(PL) 사이에, 정보 저장막(135)이 제공될 수 있다. 상기 정보 저장막(135)은 상기 워드 라인들의 상부면, 및 하부면 상으로 연장될 수 있다. 상기 정보 저장막은 상기 워드 라인들(WL0 ~ WL3)에 인접한 블로킹 절연막(135c), 상기 활성 기둥들(PL)에 인접한 터널 절연막(135a) 및 이들 사이의 전하 저장막(135b)을 포함할 수 있다. 상기 블로킹 절연막은 고유전막(예를 들면, 알루미늄 산화막 또는 하프늄 산화막)을 포함할 수 있다. 상기 블로킹 절연막(135c)은 복수의 박막들로 구성되는 다층막일 수 있다. 예를 들면, 상기 블로킹 절연막(135c)은 알루미늄 산화막 및 실리콘 산화막을 포함할 수 있으며, 알루미늄 산화막 및 실리콘 산화막의 적층 순서는 다양할 수 있다. 상기 전하 저장막(135b)은 전하 트랩막 또는 도전성 나노

입자를 포함하는 절연막일 수 있다. 상기 전하 트랩막은, 예를 들면 실리콘 질화막을 포함할 수 있다. 상기 터널 절연막(135a)은 실리콘 산화막을 포함할 수 있다.

- [0045] 본 발명에 따른 3차원 반도체 장치(101)는, 하나의 활성 기둥에 제공되는 메모리 셀들이 하나의 셀 스트링을 구성하는, 낸드형 플래시 메모리 소자일 수 있다.
- [0046] 지지대들(SP)이, 상기 제 2 영역(R2)에서, 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)을 관통하여 제공된다. 상기 지지대들(PL)은 상기 기판(110)으로부터 상부로 연장되는(즉, 상기 제 3 방향으로 연장되는) 장축을 가질 수 있다. 상기 지지대들(PL)은 절연 물질로 형성된 기둥일 수 있다. 상기 지지대들(SP)은 상기 활성 기둥들(PL)과 이격되어 제공될 수 있다. 예를 들어, 상기 지지대들(SP)은 상기 제 1 영역(R1)의 가장자리에 위치하는 활성 기둥들(PL)의 일측에 제공될 수 있다.
- [0047] 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)은 상기 제 2 영역(R2)에서 계단형의 구조를 가질 수 있다. 예를 들면, 상기 도전 패턴들은 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면들을 가질 수 있다. 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)은 상기 기판(110)으로부터 멀어질수록 그들의 면적이 감소하며 적층될 수 있다. 상기 계단형의 도전 패턴들을 덮는 제 1 층간 절연막(141)이 제공된다. 제 1 및 제 2 도전 기둥들(171, 173)이, 상기 제 2 영역(R2)에서 상기 절연 패턴들(123) 및 상기 제 1 층간 절연막(141)을 관통하여, 상기 도전 패턴들의 상기 노출된 상부면들 각각에 접촉하도록 제공될 수 있다.
- [0048] 상기 제 1 방향으로 연장하는 상기 도전 패턴들(LSL, WL0 ~ WL3, USL) 각각은 상기 제 2 방향으로 이격되어 복수 개로 제공될 수 있다. 복수개의 상부 선택 라인들(USL)은, 상기 제 2 도전 기둥들(173)을 통하여, 상기 제 1 방향으로 연장하는 제 3 도전 라인들(186)에 연결될 수 있다. 나머지 도전 패턴들(LSL, WL0 ~ WL3)에서 동일한 층의 도전 패턴들은 상기 제 1 도전 기둥들(171)을 통하여 상기 제 2 방향으로 연장하는 동일한 연결 패턴(175)에 연결될 수 있다. 연결 패턴들(175)은 제 3 도전 기둥들(177)을 통하여, 상기 제 1 도전 라인(181) 및 상기 제 2 도전 라인들(182 ~ 185)에 연결될 수 있다. 이와 같이, 동일한 층의 도전 패턴들은 상기 제 1 도전 라인(181), 또는 상기 제 2 도전 라인들(182 ~ 185) 중 하나에 공통으로 연결될 수 있다.
- [0049] 상기 제 2 방향으로 인접하는 상기 도전 패턴들(LSL, WL0 ~ WL3, USL) 사이에, 절연성의 분리 패턴(161)이 제공될 수 있다. 상기 분리 패턴(161)은 실리콘 산화막일 수 있다. 공통 소오스 라인(CSL)이 상기 분리 패턴(161) 하부의 상기 웰(112) 내에 제공된다. 상기 공통 소오스 라인(CSL)은 상기 제 2 도전형을 가질 수 있다.
- [0050] 도 5a는 본 발명의 일 예에 따른 3차원 반도체 장치(102)의 레이아웃의 일 부분이고, 도 5b는 도 5a의 II-II'선에 따른 단면도이고, 도 5c는 도 5a의 제 1 영역(R1)의 사시도를 나타낸다.
- [0051] 도 5a 내지 도 5c를 참조하여, 본 발명의 다른 예에 따른 3차원 반도체 장치(102)가 설명된다. 도 4a 내지 도 4d를 참조하여 설명된 것 중 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0052] 활성 기둥들(PL)이, 상기 제 1 방향으로 연장되고 서로 마주보는 도전 패턴들(LSL, WL0 ~ WL3, USL) 사이를 관통하여 제공될 수 있다. 상기 활성 기둥들(PL)은 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)을 가로지르도록, 그들의 측벽들 상에 제공된다. 상기 활성 기둥들(PL)은 상기 기판(110)으로부터 상부로 연장되는(즉, 상기 제 3 방향으로 연장되는) 장축을 가질 수 있다. 상기 활성 기둥들(PL)은, 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)의 서로 마주보는 측벽들 상에, 서로 이격되어 제공될 수 있다. 하나의 도전 패턴의 일 측벽 상에 제공된 하나의 활성 기둥은, 상기 하나의 도전 패턴에 인접한 다른 도전 패턴의 일 측벽 상에 제공된 다른 활성 기둥과 서로 마주보도록 제공될 수 있다.
- [0053] 상기 워드 라인들(WL0 ~ WL3)과 상기 활성 기둥들(PL) 사이에, 정보 저장막(135)이 제공될 수 있다.
- [0054] 도 6a는 본 발명의 일 예에 따른 3차원 반도체 장치(103)의 레이아웃의 일 부분이고, 도 6b는 도 6a의 III-III'선에 따른 단면도이고, 도 6c는 도 6a의 제 1 영역(R1)의 사시도를 나타낸다.
- [0055] 도 6a 내지 도 6c를 참조하여, 본 발명의 일 예에 따른 3차원 반도체 장치(103)가 설명된다. 도 4a 내지 도 4d를 참조하여 설명된 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0056] 공통 소오스 라인(CSL)이 반도체 기판(110)의 상부 표면에, 제공된다. 상기 공통 소오스 라인(CSL)은 상기 제 2 도전형을 가질 수 있다.

- [0057] 활성 기둥들(PL)은 상기 제 1 영역(R1)의 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)을 관통하여 상기 기관(110)의 상기 공통 소오스(CSL)에 연결되도록 제공된다. 상기 활성 기둥들(PL)은 상기 기관(110)으로부터 상부로 연장되는(즉, 상기 제 3 방향으로 연장되는) 장축을 가질 수 있다. 상기 활성 기둥들(PL)은 반도체 물질을 포함할 수 있다. 상기 활성 기둥들(PL)은 속이 채워진 실린더 형, 또는 그 속이 빈 실린더 형(예를 들면, 마카로니(macaroni)) 형일 수 있다. 상기 마카로니 형의 활성 기둥들의 속은 절연 물질로 채워질 수 있다.
- [0058] 최하층에 위치하는 하부 선택 라인(LSL)은 평판(plate) 형태 또는 서로 분리된 라인 형태를 가질 수 있다. 최상층에 위치하는 상부 선택 라인들(USL)는 서로 분리되어 제 1 방향으로 연장된 라인 형태를 가질 수 있다. 하부 선택 라인(LSL)과 워드 라인들(WL0 ~ WL3)은 평판 형태를 가질 수 있다. 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)은 상기 기관(110)으로부터 멀어질수록 그들의 면적이 감소하며 적층될 수 있다. 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)은 상기 제 2 영역(R2)에서 계단형의 구조를 가질 수 있다. 예를 들면, 상기 도전 패턴들은 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면들을 가질 수 있다. 상기 도전 패턴들의 상기 노출된 상부면들의 폭들은, 상기 기관으로부터의 거리에 따라 다를 수 있다.
- [0059] 제 1 및 제 2 도전 기둥들(171, 173)이 상기 제 2 영역(R2)에서 상기 도전 패턴들의 상기 노출된 상부면들 각각에 접속하도록 제공될 수 있다.
- [0060] 상기 제 1 방향으로 연장하는 상기 상부 선택 라인들(USL)은 상기 제 2 방향으로 이격되어 복수 개로 제공될 수 있다. 복수 개의 상부 선택 라인들(USL) 각각은, 제 1 층간 절연막(141)을 관통하는 상기 제 2 도전 기둥(173)을 통하여 상기 제 1 방향으로 연장하는 제 3 도전 라인들(186)에 연결될 수 있다. 하부 선택 라인(LSL)은 상기 제 2 층간 절연막(143)을 관통하는 상기 제 1 도전 기둥(171)에 의하여, 상기 제 1 방향으로 연장하는 제 1 도전 라인(181)에 연결될 수 있다. 상기 워드 라인들(WL0 ~ WL3) 각각은 상기 제 2 층간 절연막(143)을 관통하는 상기 제 1 도전 기둥(171)에 의하여, 상기 제 1 방향으로 연장하는 제 2 도전 라인들(182 ~ 185) 각각에 연결될 수 있다.
- [0061] 본 발명의 기술한 예들에 따른 3차원 반도체 장치의 형성방법이 설명된다.
- [0062] 도 7a 내지 도 7h는 도 4a 내지 도 4d를 참조하여 설명된 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 4a의 I-I' 선에 대응하는 단면도들이다.
- [0063] 도 4a 및 도 7a를 참조하여, 기관(110)이 제공된다. 보다 구체적으로, 상기 기관(110)은 제 1 영역(R1)과, 상기 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 제 1 영역(R1)의 둘레에 제공될 수 있다.
- [0064] 상기 제 1 영역(R1)의 기관(110) 내에 제 1 도전형의 불순물 이온을 제공하여 웰 영역(112)을 형성할 수 있다. 상기 웰 영역(112)은 불순물 이온 주입 공정에 의하여 형성될 수 있다. 상기 웰 영역(112)은 평면적으로 상기 제 1 영역(R1)의 전체에 형성될 수 있다.
- [0065] 상기 웰 영역(112)을 갖는 기관(110) 상에 버퍼 유전막(121)이 형성될 수 있다. 상기 버퍼 유전막(121)은, 예를 들어 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121)은, 예를 들어 열산화 공정에 의하여 형성될 수 있다. 제 1 물질막들(123) 및 제 2 물질막들(125)이 상기 버퍼 유전막(121) 상에 교대로 적층되어, 제공된다. 상기 버퍼 유전막(121)에 접하는 최하층의 물질은 제 2 물질막(125)일 수 있다. 최상층의 물질막은 제 1 물질막(123)일 수 있다. 최하층 및 최상층의 제 2 물질막은 그들 사이의 제 2 물질막들에 비하여 두껍게 형성될 수 있다. 상기 제 1 물질막들(123)은 절연막일 수 있다. 상기 제 1 물질막들(123)은, 예를 들어 실리콘 산화막을 포함할 수 있다. 상기 제 2 물질막들(125)은 상기 버퍼 유전막(121) 및 상기 제 1 물질막들(123)에 대하여 습식 식각 특성이 다른 물질을 포함할 수 있다. 상기 제 2 물질막들은, 예를 들면 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있다. 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)은 예를 들어, 화학적 기상 증착(CVD) 방법에 의하여 형성될 수 있다.
- [0066] 도 7b를 참조하여, 상기 제 1 영역(R1)에 상기 버퍼 유전막(121), 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 관통하여, 상기 기관(110)에 연결되는 활성 기둥들(PL)이 형성된다. 상기 활성 기둥들(PL)을 형성하는 것이 예를 들어 설명된다. 상기 버퍼 유전막(121), 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 관통하는 채널 홀들(127)이 형성되고, 상기 채널 홀들(127) 내에 상기 제 1 도전형의 채널 반도체막이 형성된다. 일 실시예에서, 상기 채널 반도체막은 상기 채널 홀들을 완전히 채우지 않도록 형성되고, 상기 채널 반도체막 상에 절연 물질이 형성되어 상기 채널 홀들을 완전하게 채울 수 있다. 상기 채널 반도체막 및 상기 절연 물질은 평탄화되어, 상기 최상층의 제 1 물질막이 노출되도록 할 수 있다. 이에 따라 그 내부의 빈속이 충전 절

연막(131)으로 채워진, 실린더 형의 활성 기둥들(PL)이 형성될 수 있다. 다른 실시예에서, 상기 채널 반도체막은 상기 채널 홀들(127)을 채우도록 형성될 수 있다. 이 경우, 상기 충전 절연막은 요구되지 않을 수 있다.

[0067] 상기 활성 기둥들(PL)의 상부는 리세스되어, 상기 최상층의 제 1 물질막(123) 보다 낮게 될 수 있다. 상기 활성 기둥들(PL)이 리세스된 상기 채널 홀들 내에 캐핑 반도체 패턴들(133)이 형성될 수 있다. 상기 활성 기둥들(PL)의 윗부분에 제 2 도전형의 불순물 이온을 주입하여, 드레인 영역들(D)이 형성될 수 있다. 이와 동시에, 상기 캐핑 반도체 패턴들(133)에도 상기 제 2 도전형의 불순물 이온이 주입될 수 있다.

[0068] 도 7c를 참조하여, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 패터닝하여 계단형 구조로 형성될 수 있다. 상기 계단형 구조의 제 1 물질막들(123) 및 제 2 물질막들(125)은 평면적 관점(in plan view)에서 평판 형태(plate shape)로 형성될 수 있다. B 영역은 상기 계단형 구조의 적층 패턴을 도시하며, 이의 형성 방법은, 도 10 내지 도 29를 참조하여, 보다 자세하게 설명된다.

[0069] 상기 제 2 영역(R2)의 상기 계단형 구조의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 덮는 제 1 층간 절연막(141)이 형성된다. 상기 제 1 층간 절연막(141)은 상기 제 2 물질막들(125)에 비하여 식각 선택비를 갖는 유전물질로 형성되는 것이 바람직하다. 예컨대, 상기 제 1 층간 절연막(141)은 상기 제 1 물질막들(123)과 동일한 물질로 형성될 수 있다. 예컨대, 상기 제 1 층간 절연막(141)은 실리콘 산화막으로 형성될 수 있다. 상기 제 1 층간 절연막(141)은 평탄화될 수 있다. 상기 제 1 층간 절연막(141)의 평탄화 공정은 상기 캐핑 반도체 패턴(133)을 식각 정지층으로 사용하여 수행될 수 있다.

[0070] 도 7a 내지 도 7c를 참조하여 설명된 실시예에 따르면, 상기 활성 기둥들(PL)을 형성한 후, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)이 계단형 구조로 형성될 수 있다. 이와는 달리, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 계단형 구조로 형성하고, 상기 제 1 층간 절연막(141)을 형성한 후, 상기 활성 기둥들(PL)이 형성될 수도 있다.

[0071] 도 7d를 참조하여, 상기 제 1 및 제 2 물질막들(123, 125)을 관통하는 지지대들(SP)이 형성된다. 보다 상세히 설명하면, 상기 제 2 영역(R2)에 상기 지지대들(SP)을 형성하기 위한 더미 홀들(129)이 형성된다. 상기 더미 홀들(129)은 상기 기판(110)의 표면을 노출시킬 수 있다. 상기 더미 홀들(129) 내에 절연 물질을 매립하고, 상부를 평탄화하여 기둥 모양의 상기 지지대들(SP)이 형성될 수 있다. 상기 지지대들(SP)은 상기 제 2 물질막들에 대하여 식각 선택비를 가지는 물질일 수 있다. 예컨대, 상기 지지대들(SP)은 실리콘 산화막으로 형성될 수 있다. 도 7d에서, 상기 지지대들(SP)은 상기 제 2 영역(R2)에 형성되는 것이 도시되지만, 이에 한정되지 않고 상기 제 1 영역(R1) 내에 형성될 수도 있다.

[0072] 도 7e를 참조하여, 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 연속적으로 패터닝하여, 서로 이격되고 상기 제 1 방향으로 연장된, 그루브들(143)이 형성된다. 상기 그루브들(143)에 노출된 상기 제 2 물질막들(125)을 선택적으로 제거하여 빈 공간(145)이 형성된다. 상기 빈 공간(145)은 상기 제 2 물질막들(125)이 제거된 부분에 해당한다. 상기 제 2 물질막들(125)이 실리콘 질화막을 포함하는 경우, 상기 제거 공정은 인산을 포함하는 식각 용액을 사용하여 수행될 수 있다. 상기 빈 공간(145)에 의하여 상기 활성 기둥들(PL)의 측벽의 일부분들이 노출된다. 상기 제 2 영역(R2)에 형성된 제 2 물질막들(125)의 계단형 구조에 의하여, 상기 빈 공간(135)은 상기 제 2 영역(R1)으로 연장된 빈 공간 연장부(146)를 포함할 수 있다.

[0073] 도 7f를 참조하여, 상기 빈 공간(145)에 정보 저장막(135)을 콘포말하게 형성한다. 상기 정보 저장막(135)은 상기 활성 기둥들(PL)에 접촉하는 터널 절연막, 상기 터널 절연막 상의 전하 저장막, 및 상기 전하 저장막 상의 플로팅 절연막을 포함할 수 있다.(도 4d 참조) 상기 터널 절연막은, 실리콘 산화막을 포함할 수 있다. 상기 터널 절연막은, 상기 빈 공간(145)에 노출된 활성 기둥들(PL)을 열산화하여 형성될 수 있다. 이와는 달리, 상기 터널 절연막은 원자층 증착법으로 형성될 수 있다. 상기 전하 저장막 및 상기 플로팅 유전막은 단차도포성이 우수한 원자층 증착법 및/또는 화학기상증착법으로 형성될 수 있다.

[0074] 상기 정보 저장막(135) 상에, 상기 빈 공간(145)을 채우는, 도전막(151)이 형성된다. 상기 도전막(151)은 상기 그루브들(143)을 완전히 또는 일부분을 채울 수 있다. 상기 도전막은 도핑된 실리콘, 텅스텐, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나로 형성될 수 있다. 상기 도전막(151)은 원자층증착방법에 의하여 형성될 수 있다.

[0075] 도 7g를 참조하면, 상기 빈 공간(145)의 외부에 형성된 상기 도전막(151)이 제거된다. 이에 따라, 상기 빈 공간(145)의 내에 도전 패턴들이 형성된다. 상기 도전 패턴들은 상부 선택 라인들(USL), 워드 라인들(WL0 ~ WL3), 및 하부 선택 라인(LSL)을 포함할 수 있다. 상기 제 2 영역(R2)으로 연장된 빈 공간 연장부(146)에 의하여, 상

기 도전 패턴들(USL, WL0 ~ WL3, LSL) 각각은 상기 제 2 영역(R2) 내로 연장된 연장부를 갖는다. 상기 도전 패턴들(USL, WL0 ~ WL3, LSL)의 상기 연장부는, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 가질 수 있다. 상기 그루브들(143)에 형성된 도전막(151)이 제거되어 상기 기관(110)이 노출될 수 있다. 노출된 상기 기관(110)에 상기 제 2 도전형의 불순물 이온이 제공되어 공통 소오스 라인(CSL)이 형성될 수 있다. 상기 도전 패턴들(LSL, WL0 ~ WL3, LSL) 사이의 상기 제 1 물질막들(123)은 상기 절연 패턴들이 될 수 있다.

[0076] 도 4a 및 도 7h를 참조하여, 상기 그루브들(143)을 채우는 절연성 분리 패턴(161)이 형성된다. 상기 제 1 층간 절연막(141)을 관통하여 상기 워드 라인들 및 상기 하부 선택 라인의 연장부(즉, 상기 노출된 상부면)에 접속하는 제 1 도전 기둥들(171)이 형성될 수 있다.

[0077] 상기 제 2 방향으로 연장하는 비트 라인들(BL)이 상기 제 1 층간 절연막(141) 상에 형성되어, 상기 활성 기둥들(PL) 상의 캐핑 반도체 패턴(133)에 접속할 수 있다. 이와 동시에, 상기 제 2 방향으로 연장하는 연결 패턴(175)이 상기 제 1 층간 절연막(141) 상에 형성되어, 상기 제 1 도전 기둥들(171)에 접속할 수 있다. 상기 비트 라인들(BL) 및 상기 연결 패턴(175) 상에 제 2 층간 절연막(미도시)이 형성될 수 있다. 상기 제 2 층간 절연막을 관통하여 상기 상부 선택 라인들(USL)의 연장부에 접속하는 제 2 도전 기둥(173)이 형성될 수 있다. 이와 동시에, 상기 제 2 층간 절연막을 관통하여 상기 연결 패턴(175)에 접속하는 제 3 도전 기둥들(177)이 형성될 수 있다. 상기 제 2 층간 절연막 상에 상기 제 2 및 제 3 도전 기둥들(173, 177)에 접속하고, 상기 제 1 방향으로 연장하는 제 1 도전 라인(181), 제 2 도전 라인들(182 ~ 185) 및 제 3 도전 라인(186)이 형성될 수 있다.

[0078] 도 8a 내지 도 8h는 도 5a 내지 도 5c를 참조하여 설명된 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 5a의 II-II' 선에 대응하는 단면도들이다. 도 7a 내지 도 7h를 참조하여 설명된 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0079] 도 5a 및 도 8a를 참조하여, 도 7a를 참조하여 설명한 것과 같이, 웰 영역(112)을 갖는 기관(110) 상에 버퍼 유전막(121), 제 1 물질막들(123) 및 제 2 물질막들(125)이 제공된다.

[0080] 도 5a 및 도 8b를 참조하여, 상기 제 1 영역(R1)에 상기 버퍼 유전막(121), 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 관통하여, 상기 기관(110)에 연결되는 활성 기둥들(PL)이 형성된다. 상기 활성 기둥들(PL)을 형성하는 것이 예를 들어 설명된다. 상기 버퍼 유전막(121), 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)이 패터닝되어, 상기 기관을 노출하는 복수개의 관통 영역들(128)을 형성한다. 상기 관통 영역들(128)은 상기 제 1 방향으로 연장하여, 상기 기관(110)을 노출시키는 트랜치일 수 있다.

[0081] 상기 관통 영역들(128)을 덮는 채널 반도체막이 형성된다. 일 실시예에서, 상기 채널 반도체막은 상기 관통 영역들을 완전히 채우지 않도록 형성되고, 상기 채널 반도체막 상에 절연 물질이 형성되어 상기 관통 영역들을 완전히 채울 수 있다. 상기 채널 반도체막 및 상기 절연 물질은 평탄화되어, 상기 최상층의 제 1 물질막이 노출되도록 할 수 있다. 다른 실시예에서, 상기 채널 반도체막은 상기 관통 영역들을 채우도록 형성될 수 있다. 이 경우, 상기 층간 절연막은 요구되지 않을 수 있다.

[0082] 상기 채널 반도체막을 패터닝하여, 상기 제 1 방향에서 복수 개로 분리되고 상기 관통 영역들(128) 내에 상기 기관(110)으로부터 위로 연장되는 활성 기둥들(PL)이 형성된다. 상기 채널 반도체막은 상기 제 1 및 제 2 물질막들의 측벽들을 가로지르며 상기 제 3 방향으로 연장될 수 있다. 상기 제 1 방향으로 분리된 상기 활성 기둥들(PL) 사이에 절연물질(131)이 채워질 수 있다. 상기 절연물질은 실리콘 산화막일 수 있다.

[0083] 상기 활성 기둥들(PL)의 상부는 리세스되어, 최상층의 제 1 물질막(123) 보다 낮게 될 수 있다. 상기 활성 기둥들(PL)이 리세스된 상기 관통 영역들 내에 캐핑 반도체 패턴들(133)이 형성될 수 있다. 상기 활성 기둥들(PL)의 윗부분에 제 2 도전형의 불순물 이온을 주입하여, 드레인 영역들(D)이 형성될 수 있다. 이와 동시에, 상기 캐핑 반도체 패턴들(133)에도 상기 제 2 도전형의 불순물 이온이 주입될 수 있다.

[0084] 도 8c를 참조하여, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 패터닝하여 계단형 구조로 형성될 수 있다. 상기 계단형 구조의 제 1 물질막들(123) 및 제 2 물질막들(125)은 평면적 관점(in plan view)에서 평판 형태(plate shape)로 형성될 수 있다. B 영역은 상기 계단형 구조의 적층 패턴을 도시하며, 이의 형성 방법은, 도 10 내지 도 29를 참조하여, 보다 자세하게 설명된다.

[0085] 상기 제 2 영역(R2)의 상기 계단형 구조의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 덮는 제 1 층간 절연막(141)이 형성된다. 상기 제 1 층간 절연막(141)은 상기 제 2 물질막들(125)에 비하여 식각 선택비를 갖는 유전물질로 형성되는 것이 바람직하다. 예컨대, 상기 제 1 층간 절연막(141)은 상기 제 1 물질막들(123)과

동일한 물질로 형성될 수 있다. 예컨대, 상기 제 1 층간 절연막(141)은 실리콘 산화막으로 형성될 수 있다. 상기 제 1 층간 절연막(141)은 평탄화될 수 있다. 상기 캐핑 절연막의 평탄화 공정은 상기 캐핑 반도체 패턴(133)을 식각 정지층으로 사용하여 수행될 수 있다.

[0086] 도 8a 내지 도 8c를 참조하여 설명된 실시예에 따르면, 상기 활성 기둥들(PL)을 형성한 후, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)이 계단형 구조로 형성될 수 있다. 이와는 달리, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 계단형 구조로 형성하고, 상기 제 1 층간 절연막(141)을 형성한 후, 상기 활성 기둥들(PL)이 형성될 수도 있다.

[0087] 도 8d를 참조하여, 도 7d를 참조하여 설명한 바와 같이, 상기 제 1 및 제 2 물질막들(123, 125)을 관통하는 지지대들(SP)이 형성된다.

[0088] 도 8e를 참조하여, 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 연속적으로 패턴링하여, 서로 이격되고 상기 제 1 방향으로 연장된, 그루브들(143)이 형성된다. 상기 그루브들(143)에 노출된 상기 제 2 물질막들(125)을 제거하여 빈 공간(145)이 형성된다. 상기 빈 공간(145)은 상기 제 2 물질막들(125)이 제거된 부분에 해당한다. 상기 빈 공간(145)에 의하여 상기 활성 기둥들(PL)의 측벽의 일부분들이 노출된다. 상기 제 2 영역(R2)에 형성된 제 2 물질막들(125)의 계단형 구조에 의하여, 상기 빈 공간(145)은 상기 제 2 영역(R1)으로 연장된 빈 공간 연장부(146)를 가질 수 있다.

[0089] 도 8f를 참조하여, 도 7f를 참조하여 설명된 바와 같이, 상기 빈 공간(145)에 정보 저장막(135)을 콘포말하게 형성한다. 상기 정보 저장막(135) 상에, 상기 빈 공간(145)을 채우는, 도전막(151)이 형성된다. 상기 도전막(151)은 상기 그루브들(143)을 완전히 또는 일부분을 채울 수 있다.

[0090] 도 8g를 참조하면, 상기 빈 공간(145)의 외부에 형성된 상기 도전막(151)이 제거된다. 이에 따라, 상기 빈 공간(145)의 내에 도전 패턴들이 형성된다. 상기 도전 패턴들은 상부 선택 라인들(USL), 위들 라인들(WL0 ~ WL3), 및 하부 선택 라인(LSL)을 포함할 수 있다. 상기 제 2 영역(R1)으로 연장된 빈 공간 연장부(146)에 의하여, 상기 도전 패턴들(USL, WL0 ~ WL3, LSL) 각각은 상기 제 2 영역(R2) 내로 연장된 연장부를 갖는다. 상기 도전 패턴들(USL, WL0 ~ WL3, LSL)의 연장부는, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 가질 수 있다. 상기 그루브들(143)에 형성된 도전막(151)이 제거되어 상기 기관(110)이 노출될 수 있다. 노출된 상기 기관(110)에 상기 제 2 도전형의 불순물 이온이 제공되어 공통 소오스 라인(CSL)이 형성될 수 있다.

[0091] 도 5a 및 도 8h를 참조하여, 상기 그루브들(143)을 채우는 절연성 분리 패턴(161)이 형성된다. 상기 제 1 층간 절연막(141)을 관통하여 상기 위드 라인들 및 상기 하부 선택 라인의 연장부에 접속하는 제 1 도전 기둥들(171)이 형성될 수 있다.

[0092] 상기 제 2 방향으로 연장하는 비트 라인들(BL)이 상기 제 1 층간 절연막(141) 상에 형성되어, 상기 활성 기둥들(PL) 상의 캐핑 반도체 패턴(133)에 접속할 수 있다. 이와 동시에, 상기 제 2 방향으로 연장하는 연결 패턴(175)이 상기 제 1 층간 절연막(141) 상에 형성되어, 상기 제 1 도전 기둥들(171)에 접속할 수 있다. 상기 비트 라인들(BL) 및 상기 연결 패턴(175) 상에 제 2 층간 절연막(미도시)이 형성될 수 있다. 상기 제 2 층간 절연막을 관통하여 상기 상부 선택 라인들(USL)의 연장부에 접속하는 제 2 도전 기둥들(173)이 형성될 수 있다. 이와 동시에, 상기 제 2 층간 절연막을 관통하여 상기 연결 패턴(175)에 접속하는 제 3 도전 기둥들(177)이 형성될 수 있다. 상기 제 2 층간 절연막 상에 상기 제 2 및 제 3 도전 기둥들(173, 177)에 접속하고, 상기 제 1 방향으로 연장하는 제 1 도전 라인(181), 제 2 도전 라인들(182 ~ 185) 및 제 3 도전 라인(186)이 형성될 수 있다.

[0093] 도 9a 내지 도 9d는 도 6a 내지 도 6c를 참조하여 설명된 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 6a의 III-III' 선에 대응하는 단면도들이다. 도 7a 내지 도 7h를 참조하여 설명된 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0094] 도 6a 및 도 9a를 참조하여, 기관(110)이 제공된다. 보다 구체적으로, 상기 기관(110)은 제 1 영역(R1)과, 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 제 1 영역(R1)의 둘레에 제공될 수 있다.

[0095] 상기 제 1 영역(R1)의 기관(110) 내에 상기 제 1 도전형의 불순물 이온을 제공하여 웰 영역(112)을 형성할 수 있다. 상기 웰 영역(112)은 불순물 이온 주입 공정에 의하여 형성될 수 있다. 상기 웰 영역(112)은 평면적으로 상기 제 1 영역(R1)의 전체에 형성될 수 있다. 상기 웰 영역(112)의 상부에 상기 제 2 도전형의 불순물 이온이

고농도로 제공되어 공통 소오스 라인(CSL)이 형성될 수 있다.

- [0096] 상기 기관(110) 상에 버퍼 유전막(121)이 형성될 수 있다. 상기 버퍼 유전막(121)은, 예를 들어 실리콘 산화막일 수 있다. 제 1 물질막들(123) 및 제 2 물질막들(125)이 상기 버퍼 유전막(121) 상에 교대로 적층되어, 제공된다. 상기 제 1 물질막들(123)은 절연막일 수 있다. 상기 제 1 물질막들(123)은, 예를 들어 실리콘 산화막을 포함할 수 있다. 상기 제 2 물질막들(125)은 상기 버퍼 유전막(121) 및 상기 제 1 물질막들(123)에 대하여 습식 식각 특성이 다른 물질을 포함할 수 있다. 상기 제 2 물질막들은 도전막, 예를 들면 상기 제 2 도전형의 불순물이 도핑된 다결정 실리콘 또는 금속성 물질로 형성될 수 있다. 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)은 예를 들어, CVD 공정에 의하여 형성될 수 있다.
- [0097] 도 6a 및 도 9b를 참조하여, 상기 제 2 물질막들 중 최상층의 제 2 물질막은 패터닝되어, 제 1 방향으로 연장되는 상부 선택 라인들(USL)을 형성할 수 있다. 상기 상부 선택 라인들(USL)을 덮는 제 1 층간 절연막(141)이 형성된다.
- [0098] 상기 제 1 영역(R1)에 상기 버퍼 유전막(121), 상기 제 1 물질막들(123), 상기 제 2 물질막들(125) 및 상기 제 1 층간 절연막(141)을 관통하는 개구부들, 즉 채널 홀들(127)이 형성되고, 상기 채널 홀들(127)의 내벽에 정보 저장막(135)이 형성된다. 상기 정보 저장막(135)을 형성하는 것은, 블로킹 절연막, 전하 저장막 및 터널 절연막을 순차적으로 형성하는 것을 포함할 수 있다. 상기 블로킹 절연막, 상기 전하 저장막 및 상기 터널 절연막은 예를 들어, 원자층 증착법에 의하여 형성될 수 있다. 상기 채널 홀들(127)의 내벽 상의 상기 정보 저장막(135)을 덮는 스페이서(미도시)가 형성된다. 상기 스페이서를 마스크로 사용하여, 상기 기관(110)을 덮는 정보 저장막의 일부가 식각되어 상기 기관(110)이 노출될 수 있다. 상기 스페이서는 절연막으로 형성될 수 있으며, 상기 정보 저장막(135)을 형성한 후 제거될 수 있다.
- [0099] 상기 노출된 기관(110) 및 상기 정보 저장막(135) 상에 활성 기둥들(PL)이 형성될 수 있다. 상기 활성 기둥들(PL)을 형성하는 방법이 예를 들어 설명된다. 상기 채널 홀들(127) 내벽의 상기 정보 저장막(135) 상에 채널 반도체막이 형성될 수 있다. 일 실시예에서, 상기 채널 반도체막은 상기 채널 홀들(127)을 완전히 채우지 않도록 형성되고, 상기 채널 반도체막 상에 절연 물질이 형성되어 상기 채널 홀들(127)을 완전하게 채울 수 있다. 상기 채널 반도체막 및 상기 절연 물질은 평탄화되어, 상기 제 1 층간 절연막(141)이 노출되도록 할 수 있다. 이에 따라 그 내부의 빈속이 충전 절연막(131)으로 채워진, 실린더 형의 활성 기둥들(PL)이 형성될 수 있다. 다른 실시예에서, 상기 채널 반도체막은 상기 채널 홀들(127)을 채우도록 형성될 수 있다. 이 경우, 상기 충전 절연막은 요구되지 않을 수 있다.
- [0100] 상기 활성 기둥들(PL)의 상부는 리세스되어, 상기 제 1 층간 절연막(141) 보다 낮게 될 수 있다. 상기 활성 기둥들(PL)이 리세스된 상기 관통 영역들 내에 캐핑 반도체 패턴들(133)이 형성될 수 있다. 상기 활성 기둥들(PL)의 윗부분에 제 2 도전형의 불순물 이온을 주입하여, 드레인 영역들(D)이 형성될 수 있다. 이와 동시에, 상기 캐핑 반도체 패턴들(133)에도 상기 제 2 도전형의 불순물 이온이 주입될 수 있다.
- [0101] 도 9c를 참조하여, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 패터닝하여 계단형 구조로 형성될 수 있다. 상기 계단형 구조의 제 1 물질막들(123) 및 제 2 물질막들(125)은 평면적 관점(in plan view)에서 평판 형태(plate shape)로 형성될 수 있다. B 영역은 상기 계단형 구조의 적층 패턴을 도시하며, 이의 형성 방법은, 도 10 내지 도 29를 참조하여, 보다 자세하게 설명된다.
- [0102] 상기 제 2 물질막들(125)은 상기 도전 패턴들(LSL, WL0 ~ WL3, USL)이 될 수 있다. 상기 도전 패턴들은 상부 선택 라인들(USL), 워들 라인들(WL0 ~ WL3), 및 하부 선택 라인(LSL)을 포함할 수 있다. 상기 도전 패턴들(USL, WL0 ~ WL3, LSL) 각각은 상기 제 2 영역(R2) 내로 연장된 연장부를 갖는다. 상기 도전 패턴들(USL, WL0 ~ WL3, LSL)의 연장부는, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면을 가질 수 있다.
- [0103] 도 9a 내지 도 9c를 참조하여 설명된 실시예에 따르면, 상기 활성 기둥들(PL)을 형성한 후, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)이 계단형 구조로 형성될 수 있다. 이와는 달리, 상기 제 2 영역(R2)의 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)을 계단형 구조로 형성한 후, 상기 활성 기둥들(PL)이 형성될 수도 있다.
- [0104] 도 9d를 참조하여, 상기 기관(110) 상에 제 2 층간 절연막(143)이 형성된다. 상기 제 1 층간 절연막(141)은 노출될 수 있다. 상기 제 2 층간 절연막(143)을 관통하여 상기 워드 라인들 및 상기 하부 선택 라인의 연장부에 접속하는 제 1 도전 기둥들(171)이 형성될 수 있다.

- [0105] 상기 제 2 방향으로 연장하는 비트 라인들(BL)이 상기 제 1 층간 절연막(141) 상에 형성되어, 상기 활성 기둥들(PL) 상의 캐핑 반도체 패턴(133)에 접속할 수 있다. 상기 제 2 층간 절연막(143) 상에 상기 제 1 도전 기둥들(171)에 접속하고, 상기 제 1 방향으로 연장하는 제 2 도전 라인들(182 ~ 185) 및 제 1 도전 라인(181)이 형성될 수 있다. 상기 비트 라인들(BL), 상기 제 2 도전 라인들 및 상기 제 1 도전 라인 상에 제 3 층간 절연막(미도시)이 형성될 수 있다. 상기 제 3 층간 절연막을 관통하여 상기 상부 선택 라인들(USL)의 연장부에 접속하는 제 2 도전 기둥들(173)이 형성될 수 있다. 상기 제 3 층간 절연막 상에 상기 제 2 도전 기둥들(173)에 접속하고, 상기 제 1 방향으로 연장하는 제 3 도전 라인(186)이 형성될 수 있다.
- [0106] 본 발명의 개념에 따라, 상기 제 2 영역(R2)에서의 계단형의 구조를 형성하는 방법들이 예를 들어 설명된다.
- [0107] 도 10 내지 도 13은 본 발명의 일 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B 영역에 대응하는 단면도들이다.
- [0108] 도 10을 참조하여, 기판(110)이 제공된다. 보다 구체적으로, 상기 기판(110)은 제 1 영역(R1)과, 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 제 1 영역(R1)의 둘레에 제공될 수 있다. 상기 기판(110)은 상기 웰 영역을 포함하지만, 도 10에서는 생략되어 도시되지 않는다.
- [0109] 상기 기판(110) 상에 버퍼 유전막(121)이 제공된다. 상기 버퍼 유전막(121)은 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121)의 두께는 3차원 반도체 장치의 예에 따라 달라질 수 있다. 제 1 물질막들(123) 및 제 2 물질막들(125)이 상기 버퍼 유전막(121) 상에 교대로 적층되어, 제공된다. 최하층의 물질막은 상기 제 2 물질막일 수 있다. 상기 제 1 물질막들(123)은 절연막일 수 있다. 상기 제 1 물질막들(123)은, 예를 들어 실리콘 산화막을 포함할 수 있다. 상기 제 2 물질막들(125)은 상기 제 1 물질막들(123)에 대하여 습식 식각 특성이 다른 물질을 포함할 수 있다. 상기 제 2 물질막들(125)은, 예를 들면 실리콘 질화막, 실리콘 산화질화막 또는 다결정 실리콘을 포함할 수 있다. 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)의 두께는 대략 수백 Å일 수 있다. 최상부의 제 1 물질막 상에 마스크 패턴(200)이 형성된다. 상기 마스크 패턴(200)은 예를 들어, 포토 레지스터 패턴일 수 있다. 상기 마스크 패턴(200)은 상기 제 2 영역(R2)의 일부 영역을 노출할 수 있다. (S11)
- [0110] 도 11을 참조하여, 제 1 식각 공정이 수행되어, 상기 마스크 패턴(200)에 의하여 노출된 일부 영역의 상기 적층된 제 1 물질막들(123) 및 제 2 물질막들(125)이 등방적으로 식각되어, 상기 기판(110)이 노출될 수 있다. (S12) 상기 제 1 식각 공정은 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)에 대한 식각율이 동일한 습식 식각 공정일 수 있다. 상기 식각율이 동일하다는 것은 습식 식각에서의 공정의 오차 범위 내에서의 의미로 이해될 수 있다. 상기 식각율이 동일하다는 것은 완전하게 동일한 것뿐만 아니라 이를 벗어나는 공정 오차 범위까지 포함하는 것일 수 있다. 상기 제 1 물질막(123)이 실리콘 산화막이고, 상기 제 2 물질막(125)이 실리콘 질화막인 경우, 상기 제 1 식각 공정은 NH_4F 및 불산(HF) 포함하는 용액에 의하여 수행될 수 있다. 상기 제 1 물질막(123)이 실리콘 산화막이고, 상기 제 2 물질막(125)이 다결정 실리콘인 경우, 상기 제 1 식각 공정은 불산 및 질산을 포함하는 용액, 또는 암모니아 및 과산화수소수를 포함하는 알칼리 용액에 의하여 수행될 수 있다.
- [0111] 도 12를 참조하여, 제 2 식각 공정이 수행되어, 상기 제 2 물질막들(125)이 등방적으로 식각된다. (S13) 상기 제 2 식각 공정은 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높은 습식 식각 공정을 포함할 수 있다. 도면에서는 상기 제 2 식각 공정 동안 상기 제 1 물질막들(123)이 식각되지 않는 것으로 도시되어 있으나, 실질적으로는 일부만이 식각될 수 있다. 상기 제 1 물질막(123)이 실리콘 산화막이고, 상기 제 2 물질막(125)이 실리콘 질화막인 경우, 상기 제 2 식각 공정은 인산을 포함하는 용액, 불산을 포함하는 용액 또는 희석 황산을 포함하는 용액에 의하여 수행될 수 있다. 상기 제 1 물질막(123)이 실리콘 산화막이고, 상기 제 2 물질막(125)이 다결정실리콘인 경우, 상기 제 2 식각 공정은 불산 및 질산을 포함하는 용액, 또는 암모니아 및 과산화수소수를 포함하는 알칼리 용액에 의하여 수행될 수 있다.
- [0112] 도 11 및 도 12에서는, 상기 제 1 식각 공정 및 상기 제 2 식각 공정의 순서에 따라 연속적으로 수행되는 것이 설명되고 있으나, 이에 한정되지 않고 동시에 수행될 수도 있다. 상기 제 1 식각 공정 및 상기 제 2 식각 공정이 동시에 수행된다는 것은, 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높지만, 동시에 상기 제 1 물질막들(123)이 제거될 수 있는 습식 식각 공정을 포함할 수 있다.
- [0113] 도 13을 참조하여, 상기 마스크 패턴(200)이 제거된다. 제 3 식각 공정이 수행되어, 상기 식각된 상기 제 2 물질막들(125)을 마스크로 하여, 상기 제 1 물질막들(123)이 이방성 식각될 수 있다. (S14) 상기 제 3 식각 공정은 에치백 공정을 포함할 수 있다. 이에 따라, 상기 기판(110) 상에 상기 제 1 물질막들(123)을 개재하여 서로 이격되어 수직적으로 적층되고, 상기 제 2 영역(R2)에서, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상

부의 것에 의하여 노출된 상부면들을 갖는 제 2 물질막들(125)이 형성될 수 있다.

- [0114] 상기 제 2 물질막들(125)은 그들의 상부면들(125a) 및 측면들(125b)이 노출된 계단형의 적층 패턴을 가질 수 있다. 상기 제 2 물질막들(125) 각각의 상부면(125a) 및 측면(125b)에 의하여 만들어지는 형상들은 상기 기판(110)으로부터의 거리에 따라 다를 수 있다.
- [0115] 상기 제 2 물질막들(125)의 상기 노출된 상부면들(125a)의 폭들(W)은, 상기 기판(110)으로부터 멀어질수록 감소할 수 있다. 상기 기판에서 가장 떨어진 제 2 물질막(예를 들면, 최상부의 제 2 물질막)의 상부면은, 상기 기판(110)에서 가장 인접한 제 2 물질막(예를 들면, 최하부의 제 2 물질막)의 상부면 보다 더 작은 폭을 가질 수 있다. 상기 제 2 물질막들(125)의 측면들(125b)의 경사도는 상기 기판(110)으로부터 멀어질수록 증가될 수 있다. 상기 기판에서 가장 떨어진 제 2 물질막(예를 들면, 최상부의 제 2 물질막)의 측면은, 상기 기판(110)에서 가장 인접한 제 2 물질막(예를 들면, 최하부의 제 2 물질막)의 측면 보다 더 큰 경사도를 가질 수 있다. ($\theta_2 > \theta_1$)
- 상기 제 2 물질막들(125)의 측면들(125b)을 잇는 연장선(a)은 호일 수 있다. 상기 이방성 식각 공정에 따라, 노출된 상기 상부면들이 과식각되는 것에 의하여, 상기 제 2 물질막들(125)의 상기 제 2 영역(R2)에서의 두께(d)는 상기 제 1 영역(R1)에서의 것보다 얇을 수 있다. 상기 최상부의 제 2 물질막을 제외한 하부 제 2 물질막들의 상기 제 2 영역(R2)에서의 두께는 상기 제 1 영역(R1)에서의 것 보다 소정의 값들(δ) 만큼 더 얇을 수 있다. 상기 하부 도전 패턴들의 상기 소정의 값들(δ)은 서로 동일할 수 있다. 상기 제 2 물질막의 노출된 상부면들은 동시에 이방성 식각되기 때문이다. 상기 소정의 값들(δ)의 동일함은 상기 이방성 식각 공정에 의한 오차 이내에서의 의미로 이해될 수 있다.
- [0116] 본 발명의 다른 실시예가 설명된다. 도 14 내지 도 17은 본 발명의 다른 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B 영역에 대응하는 단면도들이다. 도 10 내지 도 13을 참조하여 설명된 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0117] 도 14를 참조하여, 기판(110)이 제공된다. 보다 구체적으로, 상기 기판(110)은 제 1 영역(R1)과, 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 제 1 영역(R1)의 둘레에 제공될 수 있다.
- [0118] 상기 기판(110) 상에 버퍼 유전막(121)이 제공된다. 상기 버퍼 유전막(121)은 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121)의 두께는 3차원 반도체 장치의 예에 따라 달라질 수 있다. 제 1 물질막들(123) 및 제 2 물질막들(125)이 상기 버퍼 유전막(121) 상에 교대로 적층되어, 제공된다. 최하층의 물질막은 상기 제 2 물질막일 수 있다. 상기 제 1 물질막들(123)은 절연막일 수 있다. 상기 제 1 물질막들(123)은, 예를 들어 실리콘 산화막을 포함할 수 있다. 상기 제 2 물질막들(125)은 상기 제 1 물질막들(123)에 대하여 습식 식각 특성이 다른 물질을 포함할 수 있다. 상기 제 2 물질막들(125)은, 예를 들면 실리콘 질화막, 실리콘 산화질화막 또는 다결정 실리콘을 포함할 수 있다. 최상부의 제 1 물질막 상에 식각 버퍼막(129)이 형성된다. 상기 식각 버퍼막(129)은 상기 제 1 물질막들(123) 또는 상기 제 2 물질막들(125)과 동일한 것일 수 있다. 바람직하게는 상기 식각 버퍼막(129)은 제 1 물질막들(123)과 동일한 것일 수 있다. 이 경우, 최상층의 제 1 물질막의 두께가 다른 것들 보다 더 두꺼운 것으로 이해될 수 있다. 상기 식각 버퍼막(129)의 두께는 예를 들면 1000Å 이상일 수 있다.
- [0119] 상기 식각 버퍼막(129) 상에 마스크 패턴(200)이 형성된다. 상기 마스크 패턴(200)은 예를 들어, 포토 레지스터 패턴일 수 있다. 상기 마스크 패턴(200)은 상기 제 2 영역(R2)의 일부 영역을 노출할 수 있다. (S21)
- [0120] 도 15를 참조하여, 제 1 식각 공정이 수행되어, 상기 마스크 패턴(200)에 의하여 노출된 영역의 상기 적층된 제 1 물질막들(123) 및 제 2 물질막들(125)이 등방적으로 식각되어 상기 기판(110)이 노출될 수 있다. 상기 제 1 식각 공정은 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)에 대한 식각율이 동일한 습식 식각 공정일 수 있다. (S22)
- [0121] 도 16을 참조하여, 제 2 식각 공정이 수행되어, 상기 제 2 물질막들(125)이 등방적으로 식각된다. (S23) 상기 제 2 식각 공정은 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높은 습식 식각 공정을 포함할 수 있다. 도 15 및 도 16에서는, 상기 제 1 식각 공정 및 상기 제 2 식각 공정의 순서에 따라 연속적으로 수행되는 것이 설명되고 있으나, 이에 한정되지 않고 동시에 수행될 수도 있다. 상기 제 1 식각 공정 및 상기 제 2 식각 공정이 동시에 수행된다는 것은, 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높지만, 동시에 상기 제 1 물질막들(123)이 제거될 수 있는 습식 식각 공정을 포함할 수 있다.
- [0122] 도 17을 참조하여, 상기 마스크 패턴(200)이 제거된다. 제 3 식각 공정이 수행되어, 상기 식각된 상기 제 2 물

질막들(125)을 마스크로 하여, 상기 제 1 물질막들(123)이 이방성 식각될 수 있다. (S24) 상기 제 3 식각 공정은 에치백 공정을 포함할 수 있다. 이에 따라, 상기 기판 상에 제 1 물질막들(123)을 개재하여 서로 이격되어 수직적으로 적층되고, 상기 제 2 영역(R2)에서, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면들을 갖는 계단형 구조의 제 2 물질막들(125)이 형성될 수 있다.

[0123] 도 13을 참조하여 설명된 일 실시예와 같이, 상기 제 2 물질막들(125)은 그들의 상부면들(125a) 및 측면들(125b)이 노출된 계단형의 적층 패턴을 가질 수 있다. 다만, 전술한 일 실시예 보다 상기 제 2 물질막들(125)의 측면들(125b)의 경사도가 감소될 수 있다. 전술한 일 실시예 보다 상기 제 2 물질막들(125)의 상기 노출된 상부면들(125a)의 폭들(W)이 증가될 수 있다. 한편, 상기 제 2 물질막들(125)의 측면들(125b)을 잇는 연장선(a)은 하나의 호를 가질 수 있다. 도 17의 상기 호의 반지름은 전술한 일 실시예의 것 보다 클 수 있다.

[0124] 도 18 내지 도 22는 본 발명의 또 다른 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B 영역에 대응하는 단면도들이다. 도 10 내지 도 13을 참조하여 설명된 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.

[0125] 도 18을 참조하여, 기판(110)이 제공된다. 보다 구체적으로, 상기 기판(110)은 제 1 영역(R1)과, 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 제 1 영역(R1)의 둘레에 제공될 수 있다. (S31)

[0126] 상기 기판(110) 상에 버퍼 유전막(121)이 제공된다. 상기 버퍼 유전막(121)은 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121)의 두께는 3차원 반도체 장치의 예에 따라 달라질 수 있다. 제 1 물질막들(123) 및 제 2 물질막들(125)이 상기 버퍼 유전막(121) 상에 교대로 적층되어, 제공된다. 최하층의 물질막은 상기 제 2 물질막일 수 있다. 최상부의 제 1 물질막 상에 마스크 패턴(200)이 형성된다. 상기 마스크 패턴(200)은 예를 들어, 포토 레지스터 패턴일 수 있다. 상기 마스크 패턴(200)은 상기 제 2 영역(R2)의 일부 영역을 노출할 수 있다. (S31)

[0127] 도 19를 참조하여, 제 1 식각 공정이 수행되어, 상기 마스크 패턴(200)에 의하여 노출된 영역의 상기 적층된 제 1 물질막들(123) 및 제 2 물질막들(125)의 상부가 등방적으로 식각된다. (S32) 상기 제 1 식각 공정에 의하여 상기 기판(110)이 노출되지 않도록 식각 시간 또는 조건이 조절된다. 상기 제 1 식각 공정은 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)에 대한 식각율이 동일한 습식 식각 공정일 수 있다.

[0128] 도 20을 참조하여, 제 2 식각 공정이 수행되어, 상기 제 2 물질막들(125)이 등방적으로 식각된다. (S33) 상기 제 2 식각 공정은 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높은 습식 식각 공정을 포함할 수 있다.

[0129] 이하, 도 20을 참조하여 설명된 상기 제 2 식각 공정 후, 상기 제 2 식각 공정에서 보다 상기 제 1 물질막들과 상기 제 2 물질막들에 대한 식각율의 차이가 적은 식각 공정을 수행하여, 상기 기판을 노출할 수 있다. (S34)

[0130] 도 21을 참조하여, 제 3 식각 공정이 수행되어, 상기 적층된 제 1 물질막들(123) 및 제 2 물질막들(125)이 추가적으로 등방적으로 식각되어, 상기 기판(110)이 노출될 수 있다. 상기 제 3 식각 공정은 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)에 대한 식각율이 동일한 습식 식각 공정일 수 있다. 도 20을 참조하여 설명된 제 2 식각 공정이 추가적으로 수행되어, 상기 제 2 물질막들(125)이 식각될 수 있다. 상기 추가적 식각 공정은 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높은 습식 식각 공정을 포함할 수 있다.

[0131] 도 22를 참조하여, 상기 마스크 패턴(200)이 제거된다. 제 4 식각 공정이 수행되어, 상기 식각된 상기 제 2 물질막들을 마스크로 하여, 상기 제 1 물질막들(123)이 이방성 식각될 수 있다. 상기 제 4 식각 공정은 에치백 공정을 포함할 수 있다. 이에 따라, 상기 기판 상에 제 1 물질막들(123)을 개재하여 서로 이격되어 수직적으로 적층되고, 상기 제 2 영역(R2)에서, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면들을 갖는 제 2 물질막들(125)이 형성될 수 있다.

[0132] 도 13을 참조하여 설명된 것과 같이, 상기 제 2 물질막들(125)은 그들의 상부면들(125a) 및 측면들(125b)이 노출된 계단형의 적층 패턴을 가질 수 있다. 다만, 도 13을 참조하여 설명된 것 보다 상기 제 2 물질막들(125)의 상기 노출된 상부면들(125a)의 폭들(W)이 증가될 수 있다. 한편, 상기 제 2 물질막들(125)의 측면들(125b)을 잇는 연장선은 적어도 하나의 호를 가질 수 있다. 더욱 자세하게, 상기 측면들을 잇는 연장선은 두 개의 호들(a1, a2)을 가질 수 있다. 상기 호들의 곡률 반경은 서로 다를 수 있다. 상부의 호(예를 들면, a1)는 하부의 호(예를 들면, a2)보다 작은 곡률 반경(radius of curvature)을 가질 수 있다. 상기 호들이 만나는 영역의 제 2 물질막

의 상부면의 폭은 다른 제 2 물질막들의 상부면들의 폭보다 넓을 수 있다.

- [0133] 이 실시예는 두 개의 호들이 형성되는 공정을 설명하고 있으나, 이에 한정되지 않을 수 있다. 상기 호들은 두 개 이상이 형성되도록 공정이 제공될 수 있다. 즉, 도 21을 참조하여 설명된 공정이 1회 수행되는 것에 의하여 상기 기판이 노출되는 것이 아니라, 도 21을 참조하여 설명된 공정이 복수 회 수행된 후 상기 기판이 노출될 수 있다.
- [0134] 도 23 내지 도 29는 본 발명의 또 다른 실시예에 따른 3차원 반도체 장치의 형성방법을 도시하는 것으로서, 도 7c, 8c 및 9c의 B 영역에 대응하는 단면도들이다. 도 10 내지 도 13을 참조하여 설명된 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0135] 도 23을 참조하여, 기판(110)이 제공된다. 보다 구체적으로, 상기 기판(110)은 제 1 영역(R1)과, 제 1 영역(R1)의 가장자리 부분에 배치된 제 2 영역(R2)을 포함한다. 상기 제 2 영역(R2)은 제 1 영역(R1)의 둘레에 제공될 수 있다.
- [0136] 상기 기판(110) 상에 버퍼 유전막(121)이 제공된다. 상기 버퍼 유전막(121)은 실리콘 산화막일 수 있다. 상기 버퍼 유전막(121)의 두께는 3차원 반도체 장치의 예에 따라 달라질 수 있다. 제 1 물질막들(123) 및 제 2 물질막들(125)이 상기 버퍼 유전막(121) 상에 교대로 적층되어, 제공된다. 최하층의 물질막은 상기 제 2 물질막일 수 있다. 상기 제 2 물질막들의 윗부분이 상기 제 2 물질막들의 아랫부분 보다 큰 습식 식각율을 가지도록, 상기 제 2 물질막들이 형성될 수 있다. 예를 들면, 상기 제 2 물질막들의 습식 식각율이, 상기 기판(110)으로부터 멀어질수록 크게 될 수 있다.
- [0137] 일 예에 따르면, 도 24를 참조하여, 상기 제 2 물질막들(125)을 형성하는 것은, 상기 제 2 물질막들의 아랫부분(125L)의 형성 후, 상기 제 2 물질막들의 아랫부분(125L)을 열처리하는 것(H)을 포함할 수 있다. 상기 열처리 공정은 급속 열처리(Rapid Thermal Process: RTO), 자외선(UV) 처리, 또는 레이저 처리를 포함할 수 있다. 이에 따라 상기 제 2 물질막들의 아랫부분(125L)이 보다 치밀화될 수 있다. 도 25를 참조하여, 상기 열처리된 제 2 물질막들의 아랫부분(125L) 상에 상기 제 2 물질막들의 윗부분(125U)이 형성될 수 있다. 도면에서는, 1회의 열처리가 도시되었지만, 이에 한정되지 않는다. 한편, 상기 제 2 물질막들(125) 각각에 열처리 공정이 수행되고, 열처리 세기는 상기 기판(110)에서 이격될 수록 감소될 수 있다. 전술한 열처리에 의하여, 상기 제 1 물질막들(123)의 습식 식각율은 상부로 갈수록 증가할 수 있다. 상기 제 1 절연막들 중 최상부의 제 1 절연막은 최하부의 제 1 절연막 보다 큰 습식 식각율을 가질 수 있다.
- [0138] 다른 예에 따르면, 상기 제 2 물질막들(125)은 화학적 증기 증착법(CVD)에 의하여 형성되고, 상기 기판으로부터 떨어질수록 상기 제 2 물질막들(125)의 공정 조건이 변경될 수 있다. 예를 들면, 초기에 형성되는 제 2 물질막들(즉, 상기 제 2 물질막의 아랫부분)은 치밀하게 형성되는 반면, 적층되는 순서대로 상기 제 2 물질막들은 치밀하지 않도록 형성될 수 있다.
- [0139] 또 다른 예에 따르면, 도 26을 참조하여, 상기 제 2 물질막들(125)을 형성하는 것은, 상기 제 2 물질막들의 윗부분 내에 상기 제 2 물질막들 보다 습식 식각율이 더 높은 희생막(126)을 삽입하는 것을 포함할 수 있다. 상기 희생막(126)은 상기 제 2 물질막(125)과 동일한 물질을 포함할 수 있으며, 화학적 기상 증착법에 의하여 형성될 수 있다. 상기 희생막(126)은 상기 제 2 물질막(125) 보다 치밀하지 못하여 습식 식각율이 높을 수 있다. 상기 희생막의 두께 또는 습식 식각율은 하부에서 상부로 갈수록 증가될 수 있다. 상기 희생막(126)의 식각율의 조절은 화학적 기상증착 방법의 공정 조건의 변화에 의하여 얻어질 수 있다.
- [0140] 다시 도 23을 참조하여, 최상부의 제 1 물질막 상에 마스크 패턴(200)이 형성된다. 상기 마스크 패턴(200)은 예를 들어, 포토 레지스터 패턴일 수 있다. 상기 마스크 패턴(200)은 상기 제 2 영역(R2)의 일부 영역을 노출할 수 있다. (S41)
- [0141] 도 27을 참조하여, 제 1 식각 공정이 수행되어, 상기 마스크 패턴(200)에 의하여 노출된 영역의 상기 적층된 제 1 물질막들(123) 및 제 2 물질막들(125)이 등방적으로 식각된다. (S42) 상기 제 1 식각 공정은 상기 제 1 물질막들(123) 및 상기 제 2 물질막들(125)에 대한 식각율이 동일한 습식 식각 공정일 수 있다. 도 11을 참조하여 전술한 실시예에 의하면, 식각 중단선이 상부에서 매우 급격한 경사를 가지는 반면, 도 27에서는 식각 중단선이 상부에서 완만한 경사를 가질 수 있다. 이는 도 23을 참조하여 설명한 상기 제 2 물질막들(125)의 식각율의 조절에 기초한다.
- [0142] 도 28을 참조하여, 제 2 식각 공정이 수행되어, 상기 제 2 물질막들(125)이 등방적으로 식각된다. (S43) 상기 제 2 식각 공정은 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높은 습식 식각

공정을 포함할 수 있다. 도 27 및 도 28에서는, 상기 제 1 식각 공정 및 상기 제 2 식각 공정의 순서에 따라 연속적으로 수행되는 것이 설명되고 있으나, 이에 한정되지 않고 동시에 수행될 수도 있다. 상기 제 1 식각 공정 및 상기 제 2 식각 공정이 동시에 수행된다는 것은, 상기 제 1 물질막들(123) 보다 상기 제 2 물질막들(125)에 대한 식각율이 더 높지만, 동시에 상기 제 1 물질막들(123)이 제거될 수 있는 습식 식각 공정을 포함할 수 있다.

[0143] 도 29를 참조하여, 제 3 식각 공정이 수행되어, 상기 식각된 상기 제 2 물질막들(125)을 마스크로 하여, 상기 제 1 물질막들(123)이 이방성 식각될 수 있다. 상기 제 3 식각 공정은 에치백 공정을 포함할 수 있다. (S44) 이에 따라, 상기 기관(110) 상에 제 1 물질막들(123)을 개재하여 서로 이격되어 수직적으로 적층되고, 상기 제 2 영역(R2)에서, 하부의 것이 상부의 것보다 옆으로 돌출되어 상기 상부의 것에 의하여 노출된 상부면들 갖는 제 2 물질막들(125)이 형성될 수 있다.

[0144] 도 13을 참조하여 설명된 일 실시예와 같이, 상기 제 2 물질막들(125)은 그들의 상부면들(125a) 및 측면들(125b)이 노출된 계단형의 적층 패턴을 가질 수 있다. 다만, 전술한 일 실시예 보다 상기 제 2 물질막들(125)의 측면들(125b)을 잇는 가상선(L)은 직선에 가까울 수 있다. 전술한 일 실시예 보다 상기 제 2 물질막들의 노출된 상부면의 폭(W)의 크기를 균일하고 넓게 할 수 있다.

[0145] 도 30은 전술한 도 10 내지 도 29를 참조하여 형성된 계단형의 적층 패턴의 사시도이다. 도 10 내지 도 29는 도 30의 IV-IV' 선에 대응되는 단면도들일 수 있다. 실시예들에 따라 상기 제 2 물질막들의 노출된 상부면들의 폭들은 다를 수 있다.

[0146] 본 발명의 개념에 따라, 3차원 반도체 장치들의 상기 제 2 영역(R2)에서의 도전 패턴들은 도 13, 도 17, 도 22 및 도 29를 참조하여 설명된 상기 제 2 물질막들과 같은 계단형 구조를 가질 수 있다.

[0147] 예를 들어, 도 31 내지 도 33을 참조하여, 본 발명의 3차원 반도체 장치의 일 예(101)의 계단형 구조가 도 29를 참조하여 설명된 것과 같이 형성될 수 있다. 상기 도전 패턴들(125, WL0 ~ WL3, USL)은 그들의 상부면들 및 측면들이 노출된 계단형의 적층 패턴을 가질 수 있다. 상기 도전 패턴들(125, WL0 ~ WL3, USL) 각각의 상부면(125a) 및 측면(125b)에 의하여 만들어지는 형상들은 높이에 따라 다를 수 있다.

[0148] 도 31, 도 32a, 도 32b 및 도 32c를 참조하여, 상기 기관에서 가장 떨어진 도전 패턴(즉, 최상부의 도전 패턴인 상부 선택 라인(USL))의 측면은 상기 기관에서 가장 인접한 도전 패턴(즉, 최하부의 도전 패턴인 하부 선택 라인(125))의 측면 보다 더 큰 경사도를 가질 수 있다. ($\theta_1 > \theta_3$) 상기 워드라인들(WL0 ~ WL3)의 측면들의 경사도들은 상기 최상부의 도전 패턴의 것(θ_1)과 상기 최하부의 도전 패턴의 것(θ_3) 사이일 수 있다. ($\theta_1 > \theta_2 > \theta_3$)

[0149] 상기 도전 패턴의 상기 제 2 영역(R2)에서의 두께(d)는 상기 제 1 영역(R1)에서의 것보다 얇을 수 있다. 상기 최상부의 도전 패턴을 제외한 하부 도전 패턴들의 상기 제 2 영역(R2)에서의 두께는 상기 제 1 영역(R1)에서의 것 보다 소정의 값들(δ) 만큼 더 얇을 수 있다. 상기 하부 도전 패턴들의 상기 소정의 값들(δ)은 서로 동일할 수 있다. 상기 제 2 물질막의 노출된 상부면들은 동시에 이방성 식각되기 때문이다. 상기 소정의 값들(δ)의 동일함은 상기 이방성 식각 공정에 의한 오차 이내에서의 의미로 이해될 수 있다.

[0150] 한편, 도 23 내지 도 29를 참조하여 설명된 실시예에서는 상기 제 2 물질막들의 윗부분(125U)은 상기 제 2 물질막의 아랫부분(125L) 보다 더 큰 습식 식각율을 가질 수 있다. 때문에, 3차원 반도체 장치의 예들(101, 102)에 서와 같은 상기 제 2 물질막들(125)의 제거 공정(도 7e 및 도 8e 참조)에서, 상기 윗부분에 인접한 상기 제 1 물질막들(123)은 상기 아랫부분에 인접한 상기 제 1 물질막들(123) 보다 더 오랜 시간 동안 습식 식각 용액에 노출될 수 있다. 상기 제 1 영역(R1)에서, 상기 절연성 분리패턴(161)에 인접한 상기 제 1 물질막들(123)의 모서리의 형상이 상부(C)와 하부(C')에서 다를 수 있다. 도 33을 참조하여, 도 31의 C 부분에서의 상기 제 1 물질막들(123)의 모서리의 곡률 반경(r_1)이, C' 부분에서의 것(r_2) 보다 더 클 수 있다.

[0151] 상기 도전 패턴들의 상기 측면에 마주보는 상기 층간 절연막(141)의 내벽은 높이에 따라 다를 수 있다. 예를 들어, 상기 도전 패턴들 중 최상부의 도전 패턴의 상기 측면에 마주보는 상기 층간 절연막(141)의 내벽은, 최하부의 도전 패턴의 상기 측면에 마주보는 것 보다 큰 경사도를 가질 수 있다.

[0152] 도 3을 참조하여 설명된, 본 발명의 실시예들에 따른 3차원 반도체 장치를 나타내는 회로도도 다양하게 변형될 수 있다.

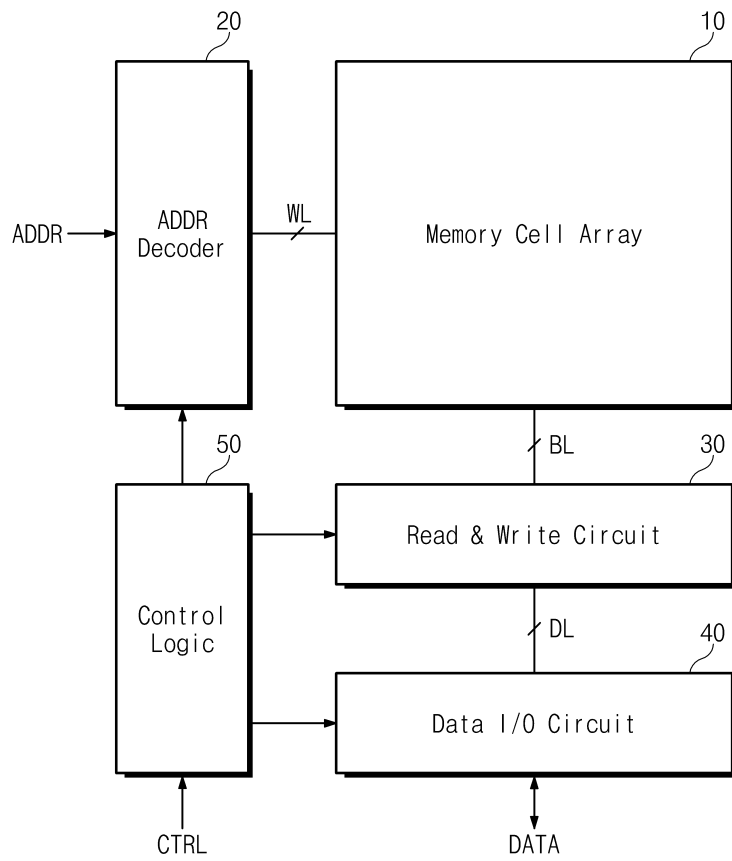
- [0153] 도 34는 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 3을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0154] 도 34를 참조하여, 본 발명의 실시예들에 따른 3차원 반도체 장치는, 상기 셀 스트링(CSTR)의 일단에 측면 트랜지스터(LTR)를 추가적으로 포함한다. 상기 측면 트랜지스터(LTR)는 상기 하부 선택 트랜지스터(LST) 및 상기 공통 소스 라인(CSL) 사이에 제공된다. 상기 측면 트랜지스터(LTR)의 게이트는 상기 하부 선택 트랜지스터(LST)의 게이트와 함께 하부 선택 라인(SSL)에 연결된다.
- [0155] 도 4b 및 도 4c를 제차 참조하여, 상기 버퍼 유전막(121)이 트랜지스터의 게이트 절연막으로 기능하도록 충분히 얇을 수 있다. 상기 하부 선택 라인(SSL)에 전압이 인가되면, 상기 활성 기둥(PL)의 상기 하부 선택 라인(SSL)에 대응하는 영역에 상기 기판(110)에 수직하는 제 1 채널이 형성된다. 이와 함께, 상기 하부 선택 라인(SSL)에 인접한 상기 웰(112)의 영역에 상기 기판(110)에 평행한 제 2 채널이 형성된다. 상기 제 1 채널은 상기 하부 선택 트랜지스터(LST)의 채널에 해당되고, 상기 제 2 채널은 상기 측면 트랜지스터(LTR)의 채널에 해당되는 것으로 이해될 수 있다.
- [0156] 도 35는 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 3을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 도 35를 참조하여, 상기 메모리 셀들(MC) 및 상기 공통 소스 라인(CSL) 사이에 두 개의 하부 선택 트랜지스터들(LST1, LST2)이 제공될 수 있다. 동일한 높이의 하부 선택 트랜지스터들(LST1 또는 LST2)은 대응하는 하부 선택 라인(SSL1, SSL2)에 공통으로 연결될 수 있다.
- [0157] 도 36은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 3을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 도 36을 참조하여, 상기 메모리 셀들(MC)과 상기 비트 라인들(BL) 사이에 두 개의 상부 선택 트랜지스터들(UST1, UST2)이 제공될 수 있다. 상부 선택 트랜지스터들(UST1, UST2) 각각의 게이트들은 상부 선택 라인들(USL1, USL2)에 연결될 수 있다. 나아가, 상기 메모리 셀들(MC)과 상기 공통 소스 라인(CSL) 사이에 두 개의 하부 선택 트랜지스터들(LST1, LST2)이 제공될 수 있다. 동일한 높이의 하부 선택 트랜지스터들(LST1 또는 LST2)은 대응하는 하부 선택 라인(SSL1, SSL2)에 공통으로 연결될 수 있다.
- [0158] 도 37은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 36을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 동일한 셀 스트링(CSTR)에 대응하는 상부 선택 라인들(USL1, USL2)은 공통으로 연결된다.
- [0159] 도 38은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 3을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 각 낸드 스트링에서 상기 상부 선택 트랜지스터(UST)와 상기 메모리 셀들(MC) 사이에 더미 메모리 셀(DMC)이 제공된다. 상기 더미 메모리 셀(DMC)은 더미 워드 라인(DWL)에 공통으로 연결된다. 즉, 상기 상부 선택 라인(USL)과 상기 워드 라인들(WL0~WL3) 사이에 상기 더미 워드 라인(DWL)이 제공된다.
- [0160] 도 39는 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 3을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 각 낸드 스트링에서 하부 선택 트랜지스터(LST)와 상기 메모리 셀들(MC) 사이에 더미 메모리 셀(DMC)이 제공된다. 상기 더미 메모리 셀(DMC)은 더미 워드 라인(DWL)에 공통으로 연결된다. 즉, 상기 하부 선택 라인(SSL)과 상기 워드 라인들(WL0~WL3) 사이에 상기 더미 워드 라인(DWL)이 제공된다.
- [0161] 도 40은 도 1 및 도 2를 참조하여 설명된 메모리 블록의 일 변형예를 보여주는 회로도이다. 도 3을 참조하여 설명된 회로도와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다. 각 낸드 스트링에서 하부 선택 트랜지스터(UST)와 상기 메모리 셀들(MC) 사이에 하부 더미 메모리 셀(DMC1)이 제공된다. 상기 하부 더미 메모리 셀(DMC1)은 하부 더미 워드 라인(DWL1)에 공통으로 연결된다. 즉, 상기 하부 선택 라인(SSL)과 상기 워드 라인들(WL0~WL3) 사이에 상기 하부 더미 워드 라인(DWL1)이 제공된다. 각 낸드 스트링에서 상부 선택 트랜지스터(UST)와 상기 메모리 셀들(MC) 사이에 상부 더미 메모리 셀(DMC2)이 제공된다. 상기 상부 더미 메모리 셀(DMC2)은 상부 더미 워드 라인(DWL2)에 공통으로 연결된다. 즉, 상기 상부 선택 라인(USL)과 상기 워드 라인들(WL0~WL3) 사이에 상기 상부 더미 워드 라인(DWL2)이 제공된다.
- [0162] 전술한 도 34 내지 도 40을 참조하여 설명된 메모리 블록의 회로도에 대응하도록 3차원 반도체 장치들(101, 102, 103)의 구조는 변형될 수 있다.

- [0163] 전술한 실시예들에서는 게이트들이 4개인 경우를 예를 들어 설명하였으나, 이에 한정되지 않는다. 한편, 전술한 실시예들에서 설명된 3차원 반도체 장치의 상기 제 1 영역에서의 구조는 본 발명의 예들일 뿐으로, 다양하게 변형될 수 있다. 전술한 실시예들에서 설명된 3차원 반도체 장치의 상기 제 1 영역에서의 구조에 본 발명이 한정되는 것은 아니다.
- [0164] 전술한 실시예들에서는 상기 제 1 영역이 메모리 셀을 포함하는 것을 예를 들어 설명하였으나, 이에 한정되지 않고 상기 제 1 영역은 로직 소자들을 포함하는 로직 영역일 수 있다. 즉, 기판에 수직으로 적층된 로직 소자들의 배선에 전기적 신호의 전달을 위한 제 2 영역이 전술한 실시예들과 같이 구현될 수 있다.
- [0165] 도 41은 전술한 3차원 반도체 장치를 포함하는 메모리 시스템(1000)을 나타내는 블록도이다. 도 41을 참조하여, 상기 메모리 시스템(1000)은 상기 불휘발성 메모리 장치(1100) 및 컨트롤러(1200)를 포함한다. 상기 불휘발성 메모리 장치(1100) 및/또는 상기 컨트롤러(1200)는 전술한 3차원 반도체 장치로 구현될 수 있다.
- [0166] 상기 불휘발성 메모리 장치(1100)는 도 1 내지 도 40을 참조하여 설명된 바와 마찬가지로 구성될 수 있다. 상기 컨트롤러(1200)는 호스트(Host) 및 상기 불휘발성 메모리 장치(1100)에 연결된다. 상기 컨트롤러(1200)는, 상기 호스트(Host)로부터의 요청에 응답하여, 상기 불휘발성 메모리 장치(1100)를 액세스하도록 구성된다. 예를 들면, 상기 컨트롤러(1200)는 상기 불휘발성 메모리 장치(1100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 상기 컨트롤러(1200)는 상기 불휘발성 메모리 장치(1100)와 상기 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 상기 컨트롤러(1200)는 상기 메모리 장치(1200)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0167] 예를 들어, 도 1을 참조하여 설명된 바와 같이, 상기 컨트롤러(1200)는 상기 불휘발성 메모리 장치(1100)에 제어 신호(CTRL) 및 어드레스(ADDR)를 제공하도록 구성될 수 있다. 상기 컨트롤러(1200)는 상기 불휘발성 메모리 장치(1200)와 데이터(DATA)를 교환하도록 구성된다.
- [0168] 예시적으로, 상기 컨트롤러(1200)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)를 포함하는 구성 요소들을 더 포함한다. 상기 램(RAM)은 프로세싱 유닛의 동작 메모리, 상기 불휘발성 메모리 장치(1100)와 상기 호스트(Host) 사이의 캐시 메모리, 그리고 상기 불휘발성 메모리 장치(1100)와 상기 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용될 수 있다. 프로세싱 유닛은 상기 컨트롤러(1200)의 제반 동작을 제어한다.
- [0169] 상기 호스트 인터페이스는 상기 호스트(Host)와 상기 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예를 들어, 상기 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜을 포함하는 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성될 수 있다. 상기 메모리 인터페이스는 상기 반도체 장치(1100)와 인터페이스한다. 예를 들면, 상기 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0170] 상기 메모리 시스템(1000)은 오류 정정 블록을 추가적으로 포함하도록 구성될 수 있다. 상기 오류 정정 블록은 오류 정정 코드(ECC)를 이용하여 상기 불휘발성 메모리 장치(1100)로부터 읽어진 데이터의 오류를 검출하고, 정정하도록 구성된다. 예를 들어, 상기 오류 정정 블록은 상기 컨트롤러(1200)의 구성 요소로서 제공될 수 있다. 상기 오류 정정 블록은 상기 불휘발성 메모리 장치(1100)의 구성 요소로서 제공될 수 있다.
- [0171] 상기 컨트롤러(1200) 및 상기 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적될 수 있다. 예를 들어, 상기 컨트롤러(1200) 및 상기 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 상기 컨트롤러(1200) 및 상기 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCiR2o), SD 카드(SD, miniSD, miR2oSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0172] 상기 컨트롤러(1200) 및 상기 불휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 상기 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함할 수 있다. 상기 메모리 시스템(1000)이 상기 반도체 드라이브(SSD)로 이용되는 경우, 상기 메모리 시스템(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.

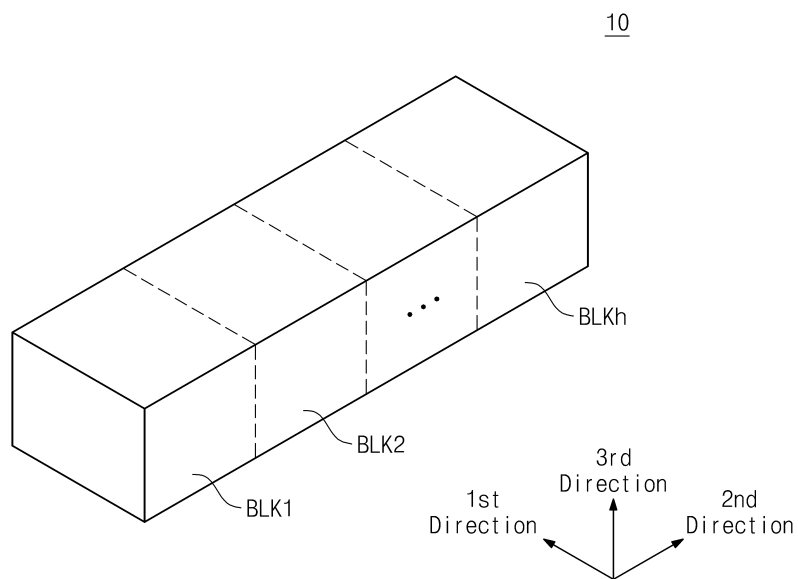
- [0173] 다른 예로서, 상기 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공될 수 있다.
- [0174] 예를 들어, 상기 불휘발성 메모리 장치(1100) 또는 상기 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 상기 불휘발성 메모리 장치(1100) 또는 상기 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0175] 도 42는 도 41의 메모리 시스템(1000)의 응용 예를 보여주는 블록도이다. 도 42를 참조하여, 메모리 시스템(2000)은 상기 불휘발성 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 상기 불휘발성 메모리 장치(2100)는 복수 개의 불휘발성 메모리 칩들을 포함할 수 있다. 상기 복수 개의 불휘발성 메모리 칩들은 복수의 그룹들로 분할될 수 있다. 상기 복수 개의 불휘발성 메모리 칩들의 각 그룹은 하나의 공통 채널을 통해 상기 컨트롤러(2200)와 통신하도록 구성된다. 도 42에서, 상기 복수 개의 불휘발성 메모리 칩들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 상기 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 불휘발성 메모리 칩은 도 1 내지 도 39를 참조하여 설명된 상기 3차원 반도체 장치로 구현될 수 있다.
- [0176] 도 42에서, 하나의 채널에 상기 복수 개의 불휘발성 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 불휘발성 메모리 칩이 연결되도록 상기 메모리 시스템(2000)이 변형될 수 있음이 이해될 것이다.
- [0177] 도 43은 도 42를 참조하여 설명된 메모리 시스템(2000)을 포함하는 컴퓨팅 시스템(3000)을 보여주는 블록도이다. 도 43을 참조하면, 상기 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 그리고 상기 메모리 시스템(2000)을 포함한다.
- [0178] 상기 메모리 시스템(3500)은 시스템 버스(3500)를 통해, 상기 중앙처리장치(3100), 상기 램(3200), 상기 사용자 인터페이스(3300), 그리고 상기 전원(3400)에 전기적으로 연결된다. 상기 사용자 인터페이스(3300)를 통해 제공되거나 상기 중앙 처리 장치(3100)에 의해서 처리된 데이터는 상기 메모리 시스템(2000)에 저장된다.
- [0179] 도 43에서, 상기 불휘발성 메모리 장치(2100)는 상기 컨트롤러(2200)를 통해 상기 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 상기 불휘발성 메모리 장치(2100)는 상기 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다.
- [0180] 도 43에서, 도 42를 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 상기 메모리 시스템(2000)은 도 41을 참조하여 설명된 상기 메모리 시스템(1000)으로 대체될 수 있다.
- [0181] 예를 들어, 상기 컴퓨팅 시스템(3000)은 도 41 및 도 42를 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.
- [0182] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

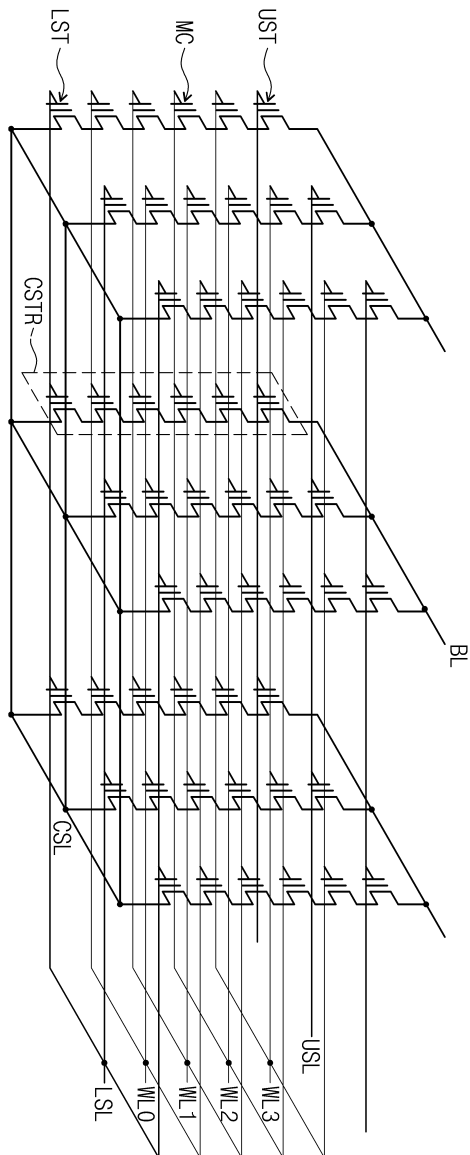
도면1



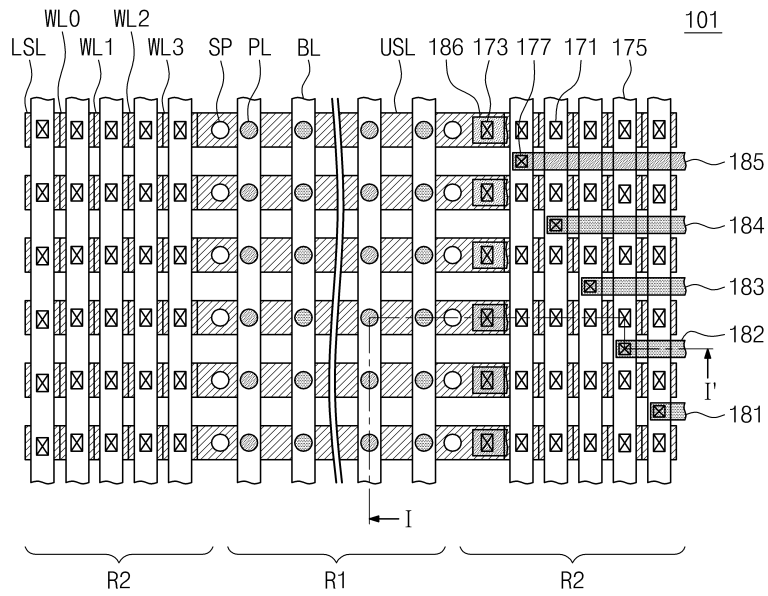
도면2



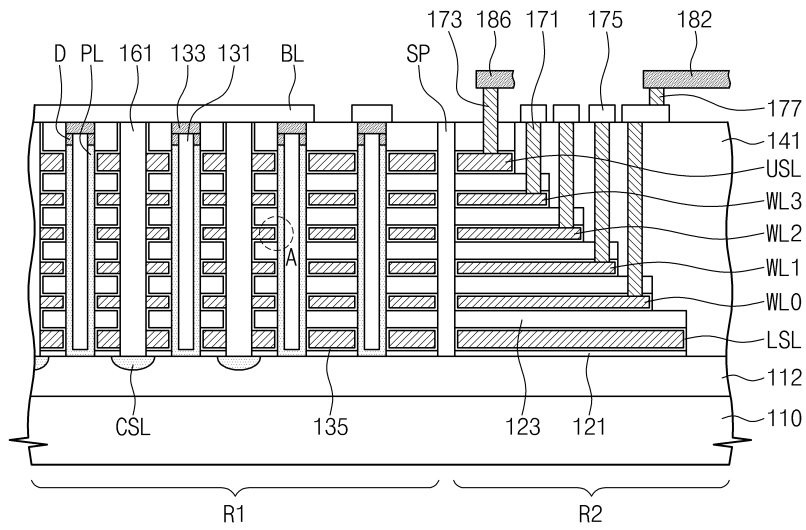
도면3



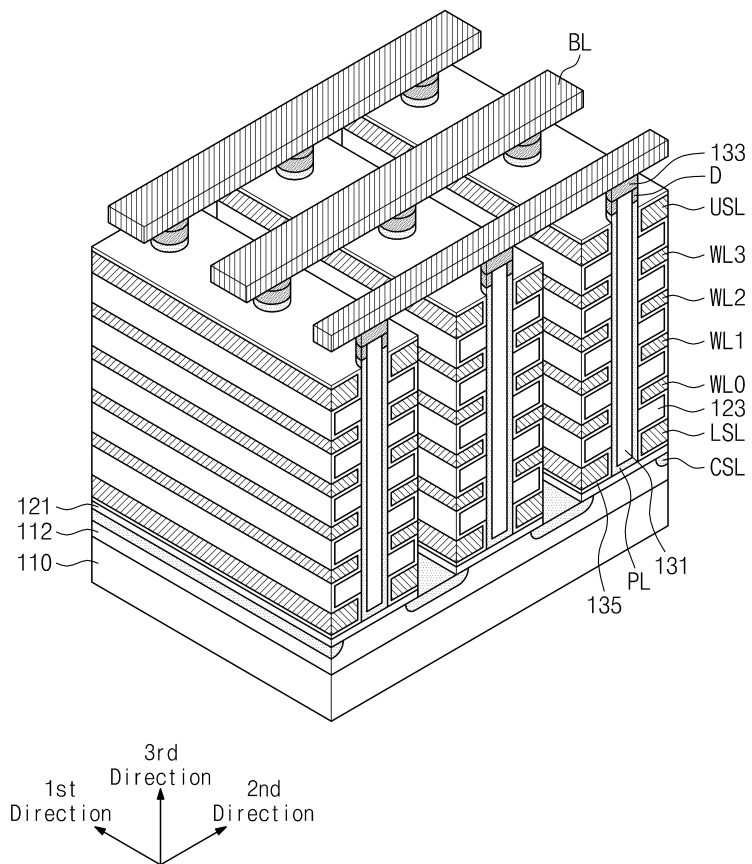
도면4a



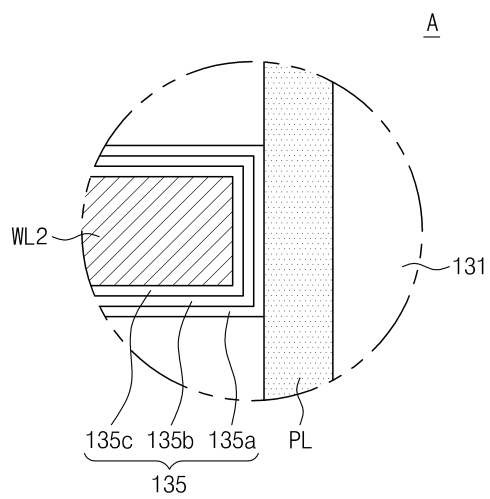
도면4b



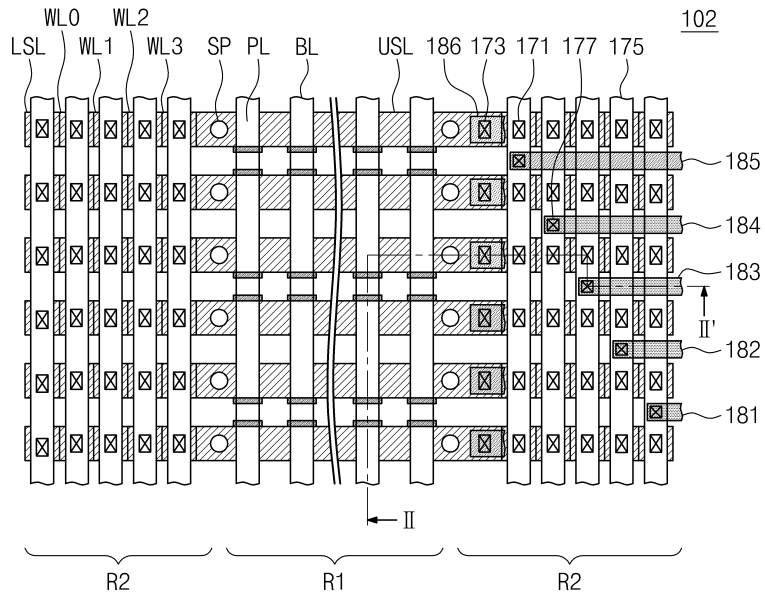
도면4c



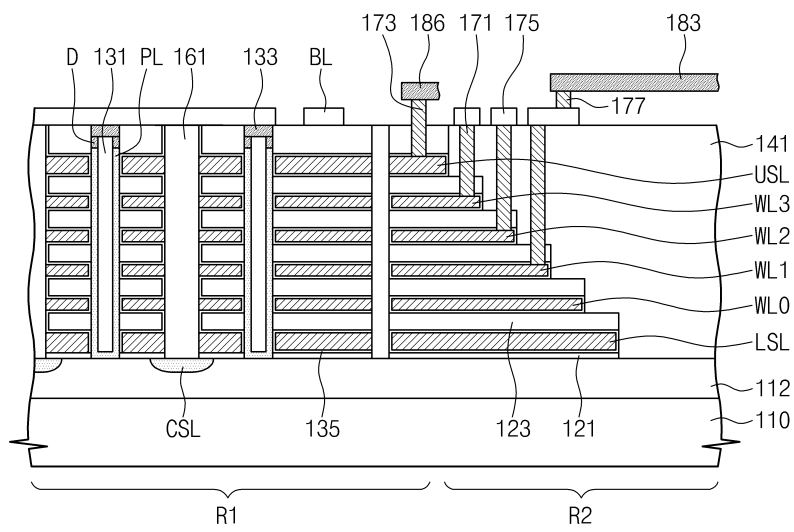
도면4d



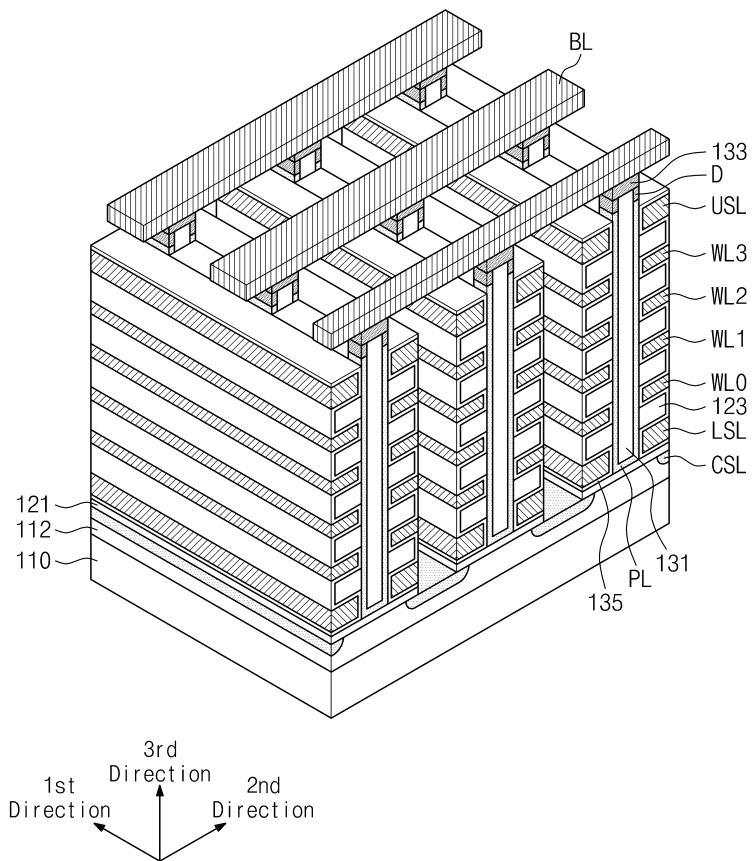
도면5a



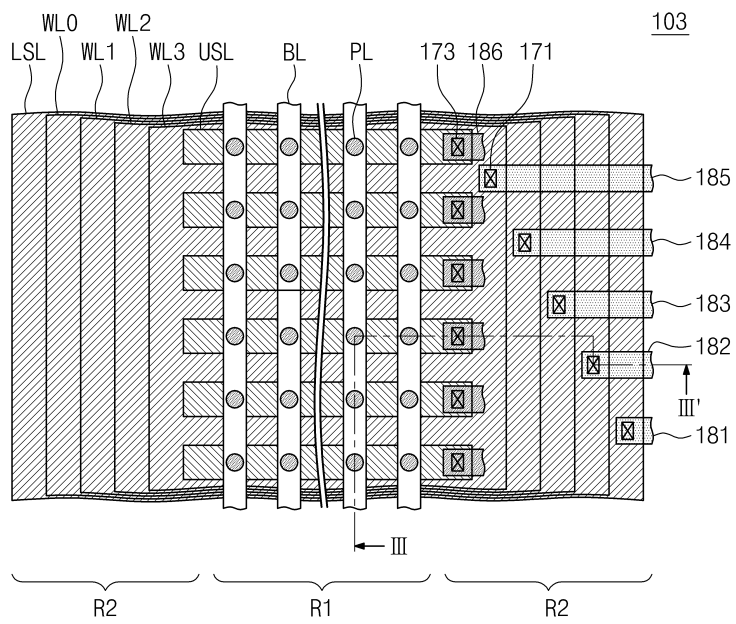
도면5b



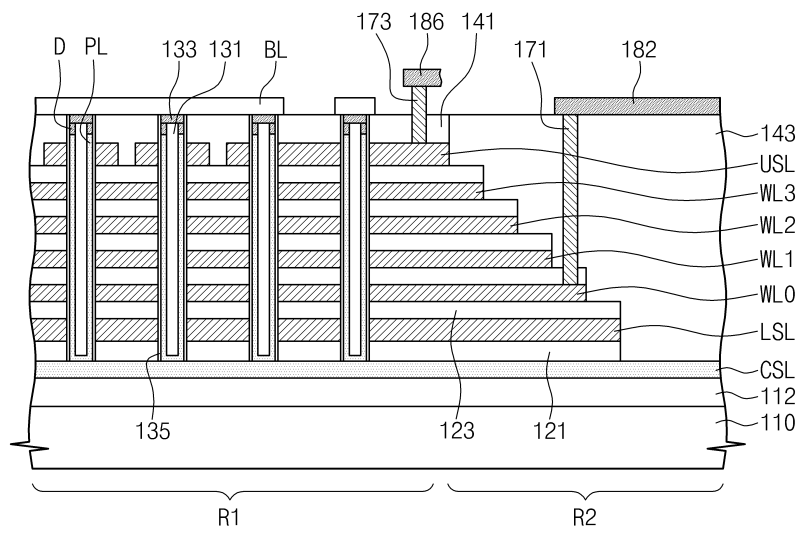
도면5c



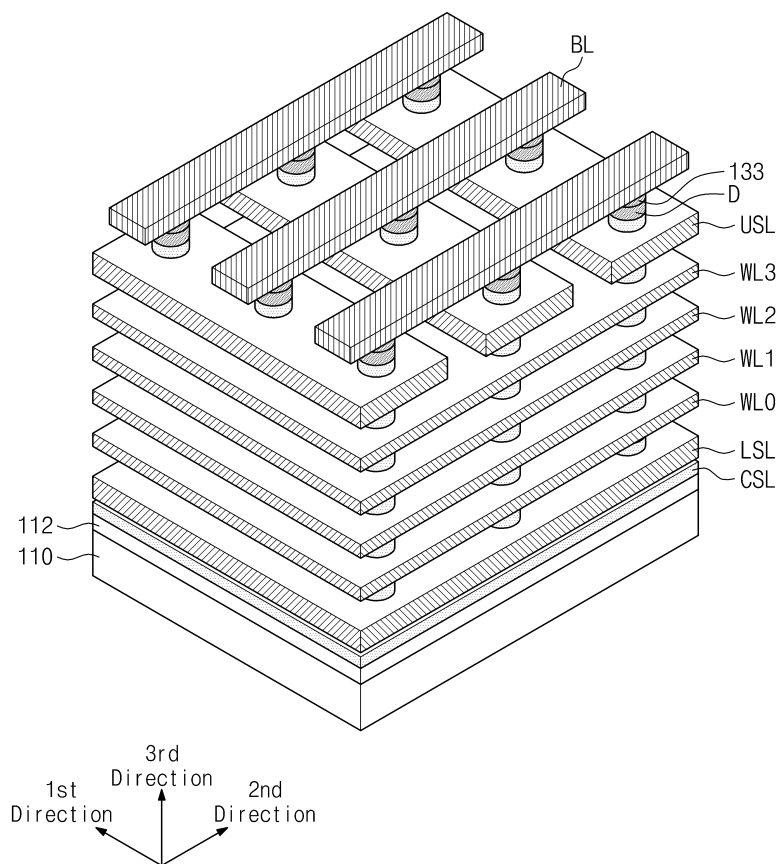
도면6a



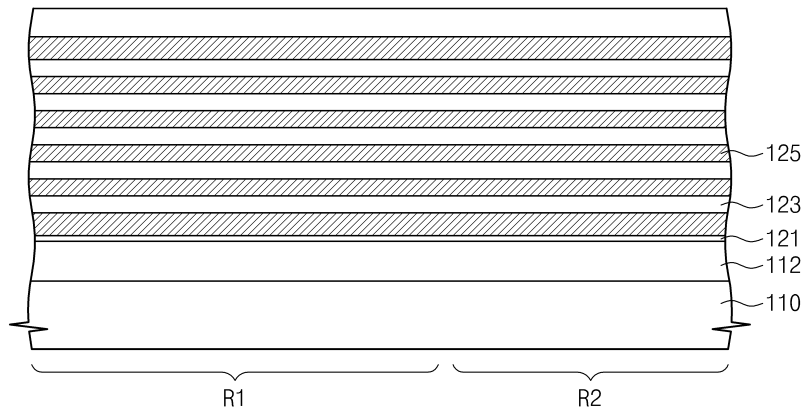
도면6b



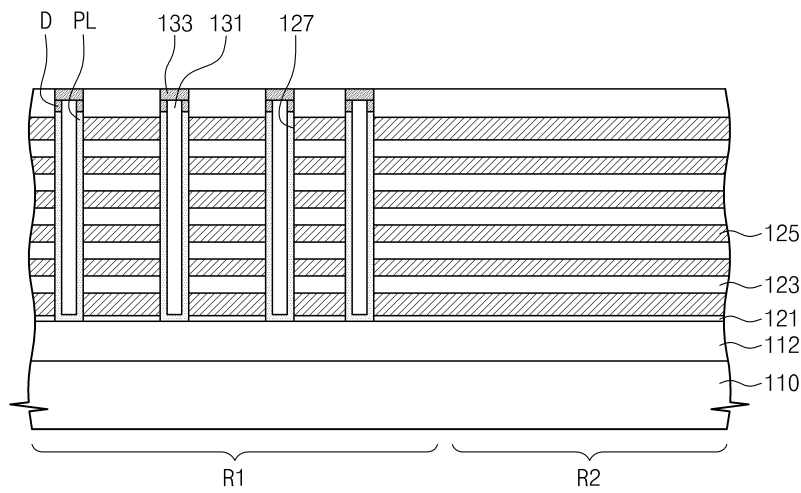
도면6c



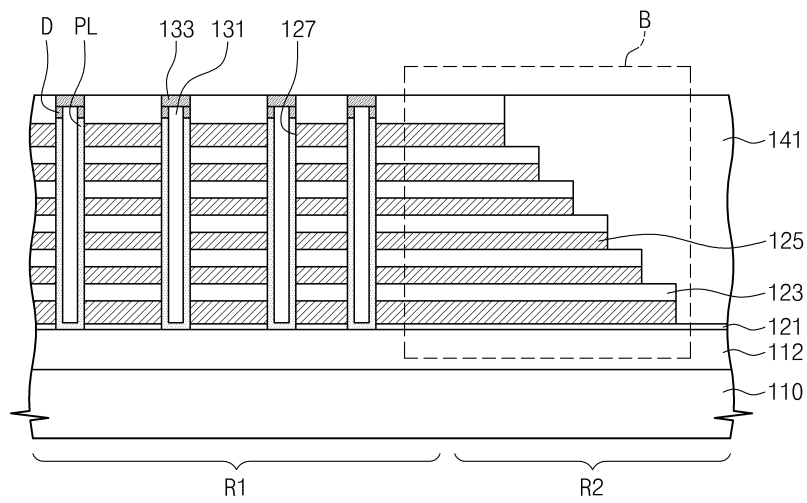
도면7a



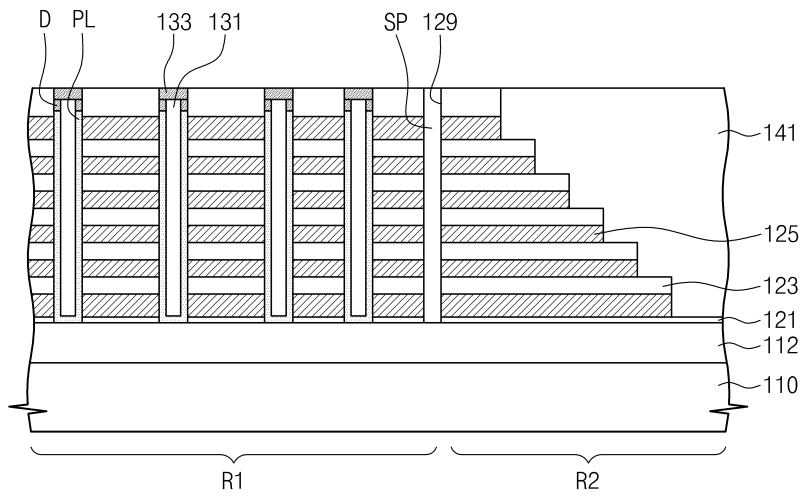
도면7b



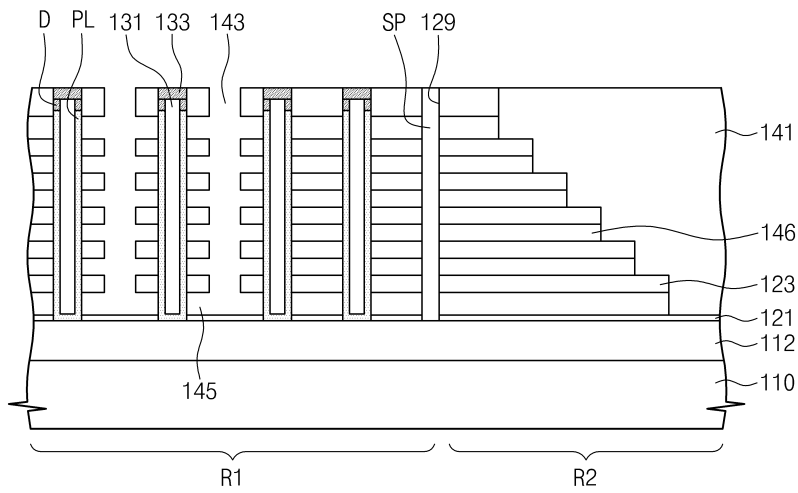
도면7c



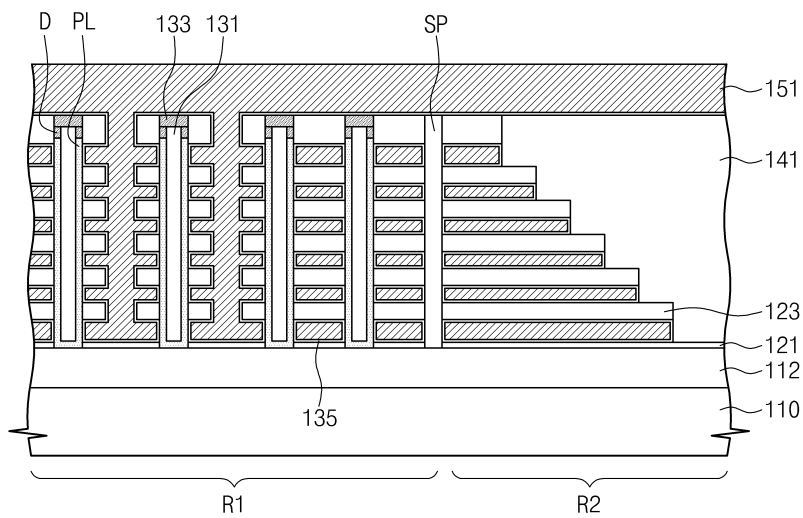
도면7d



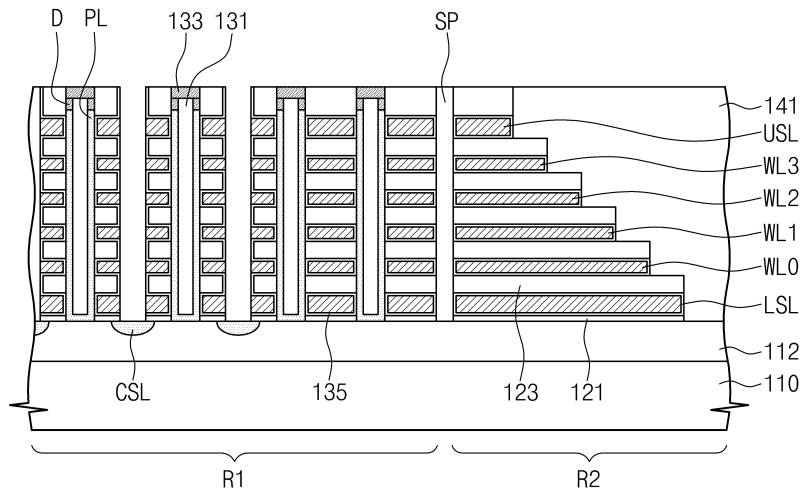
도면7e



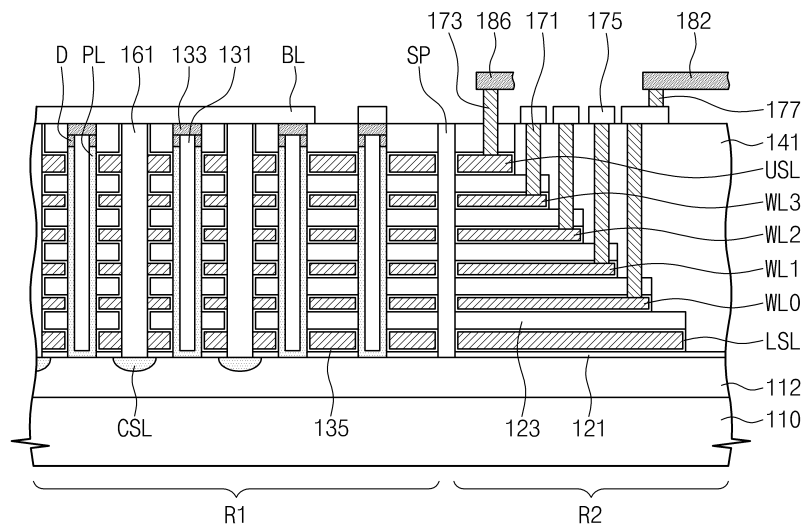
도면7f



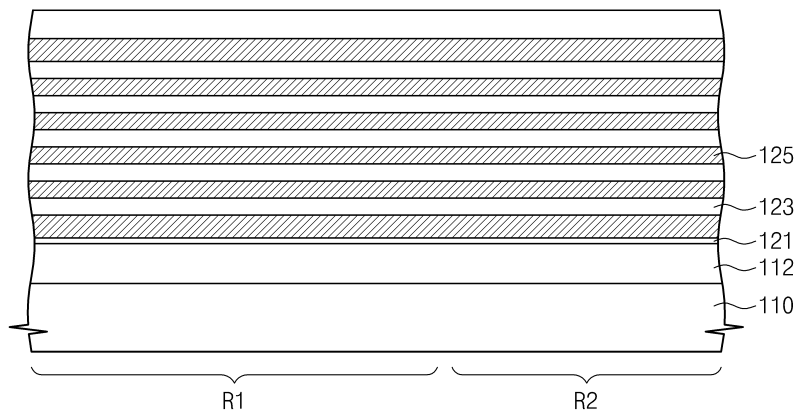
도면7g



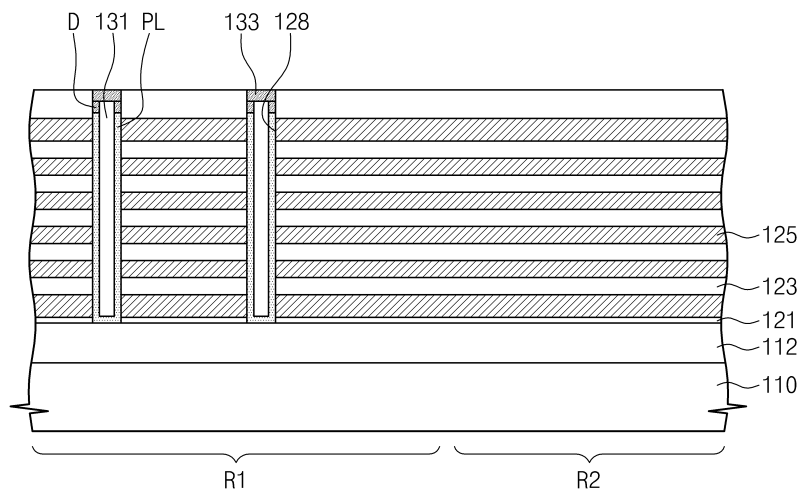
도면7h



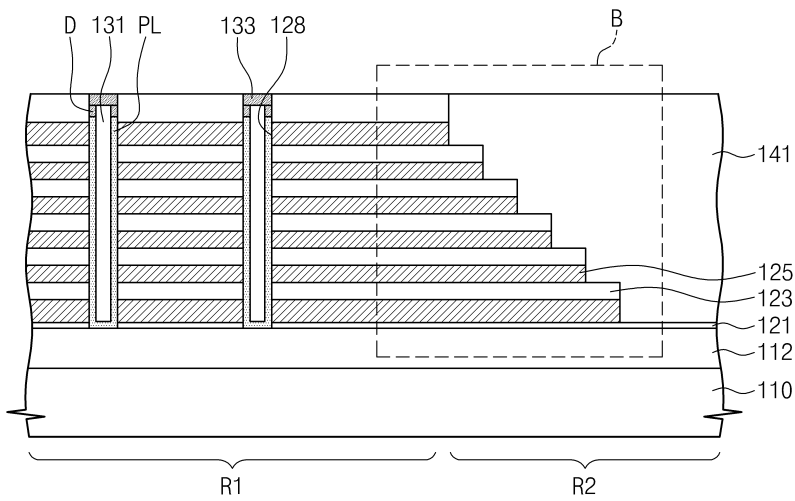
도면8a



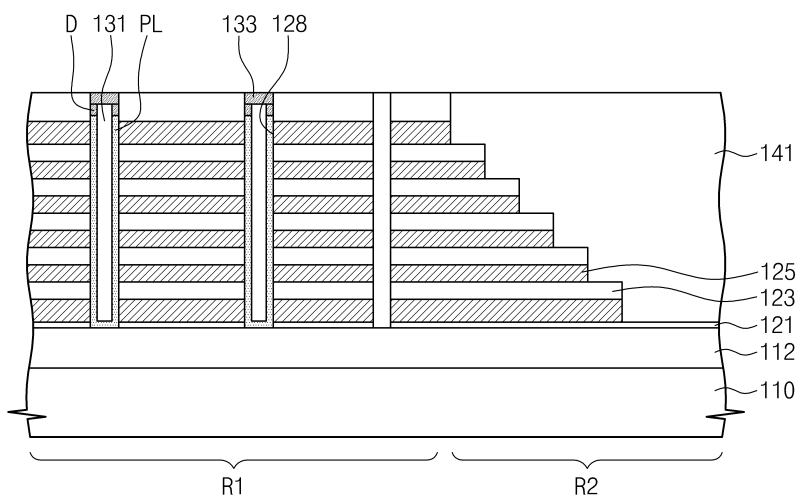
도면8b



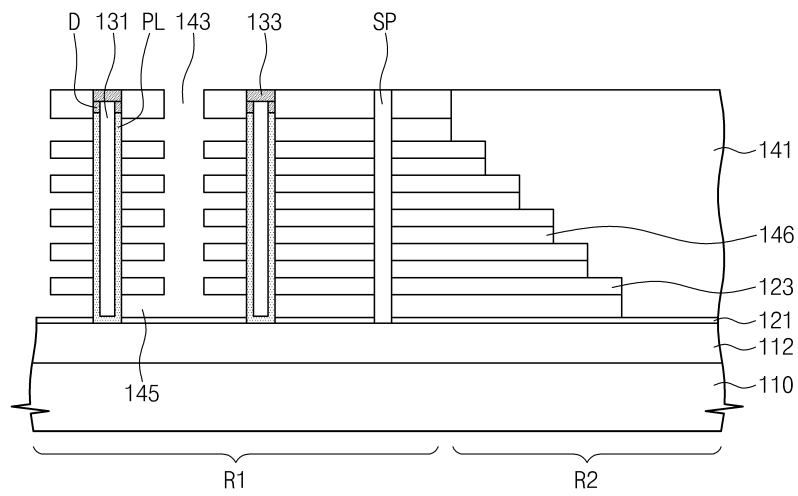
도면8c



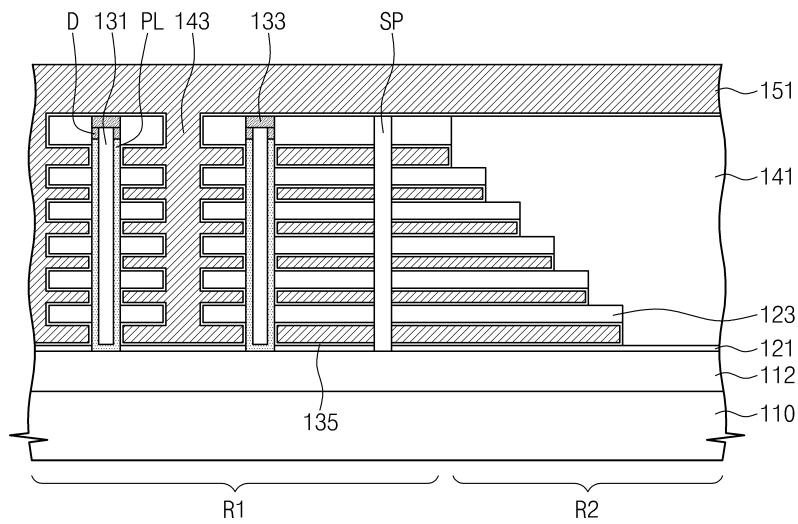
도면8d



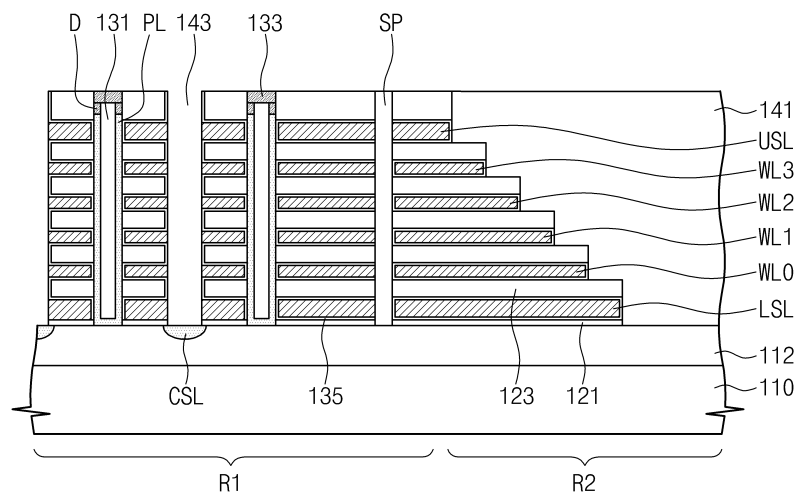
도면8e



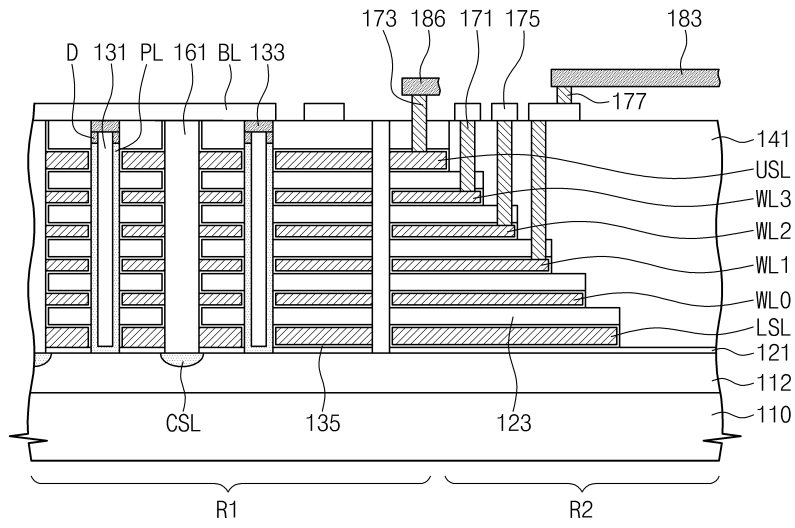
도면8f



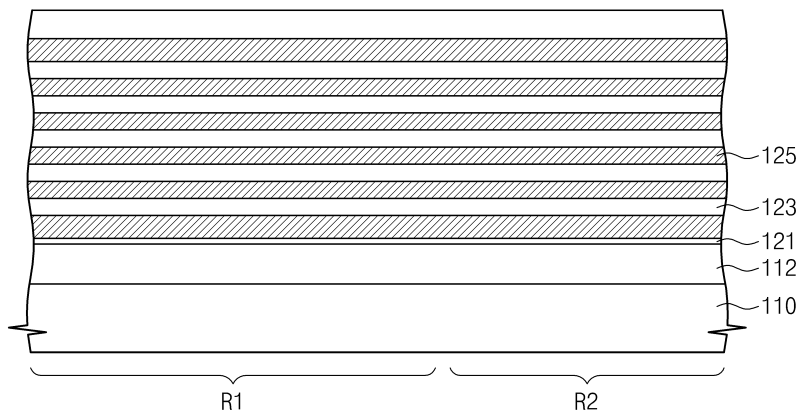
도면8g



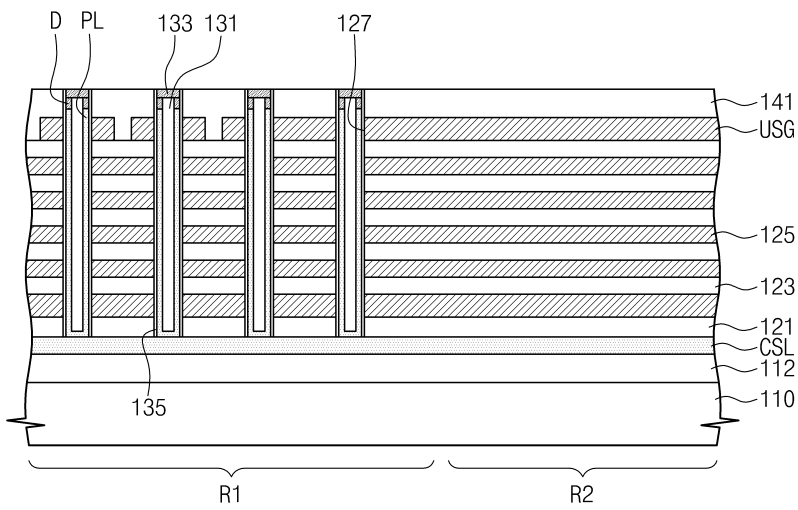
도면8h



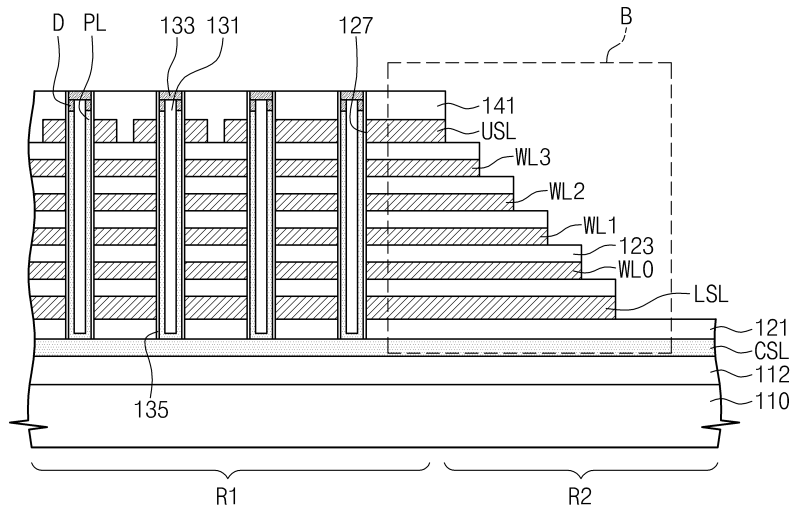
도면9a



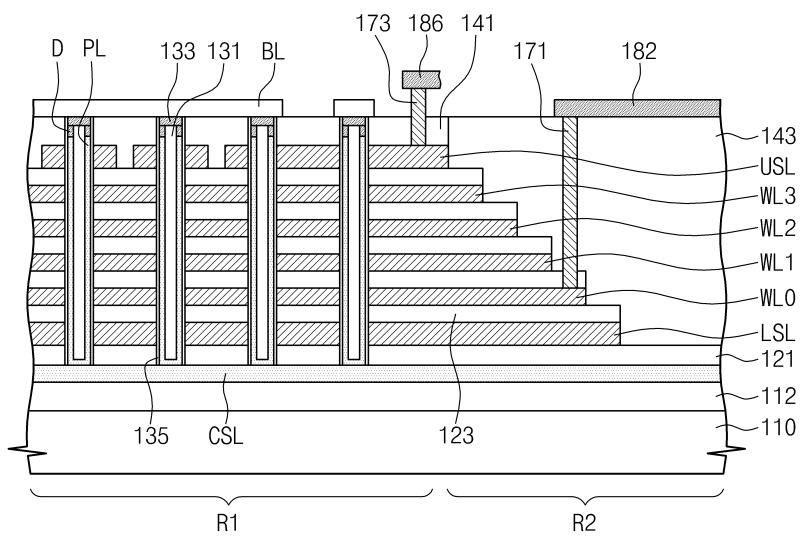
도면9b



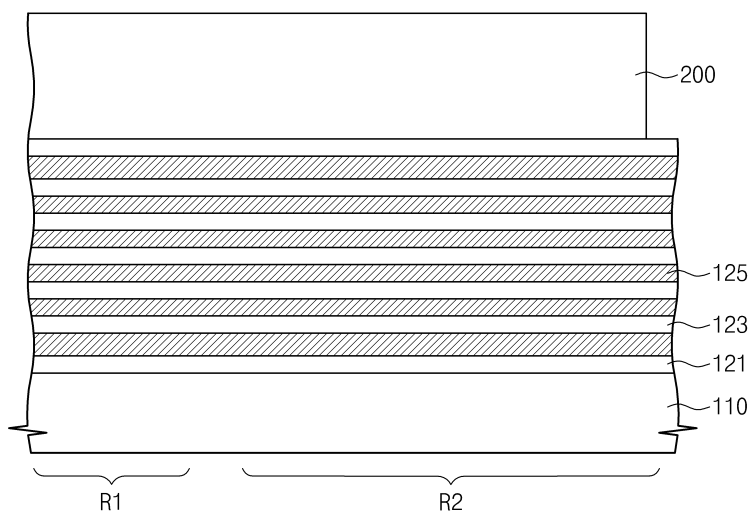
도면9c



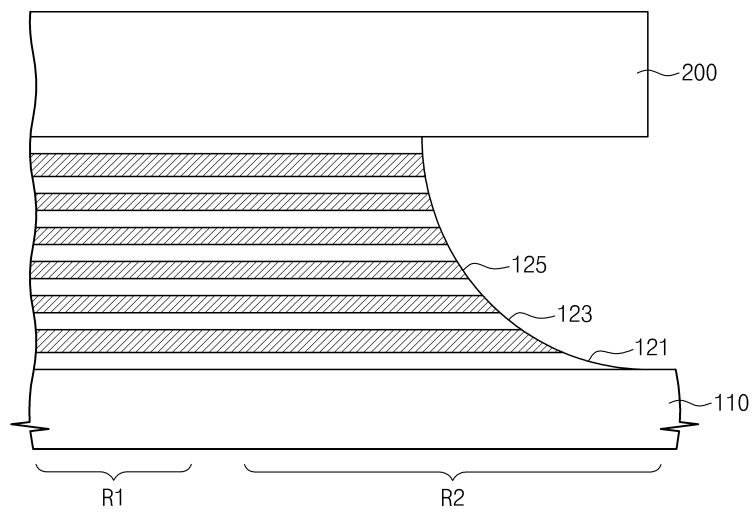
도면9d



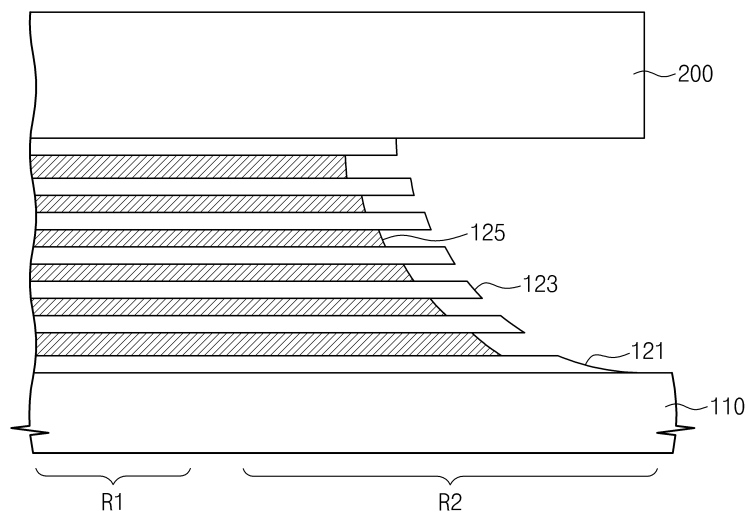
도면10



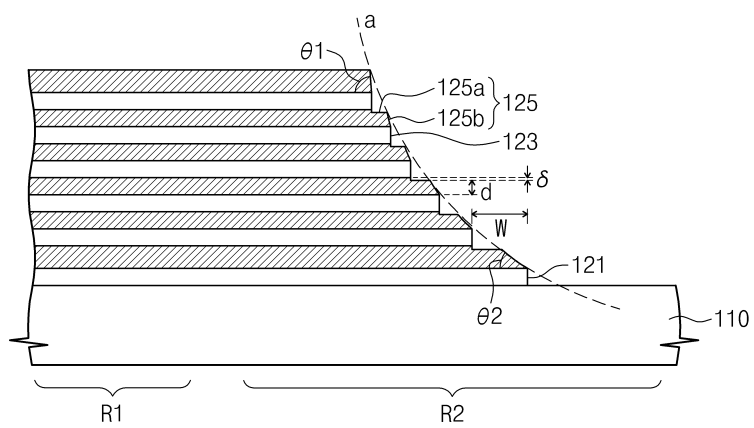
도면11



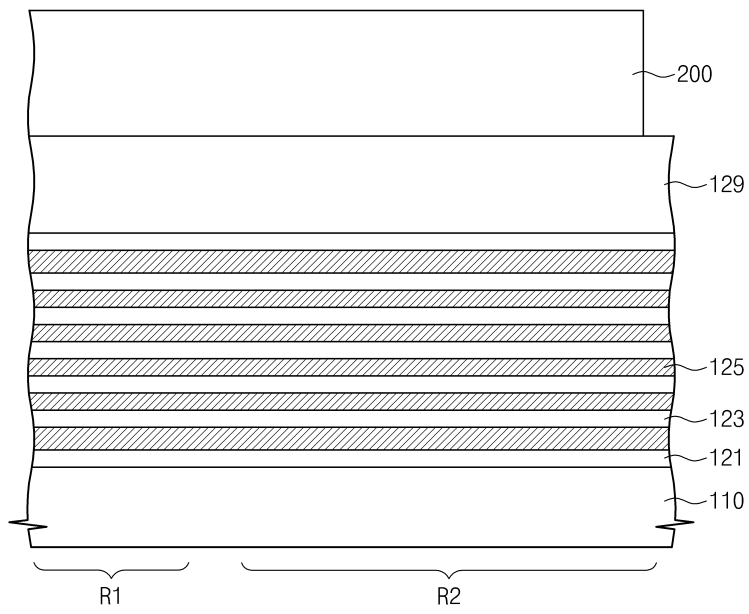
도면12



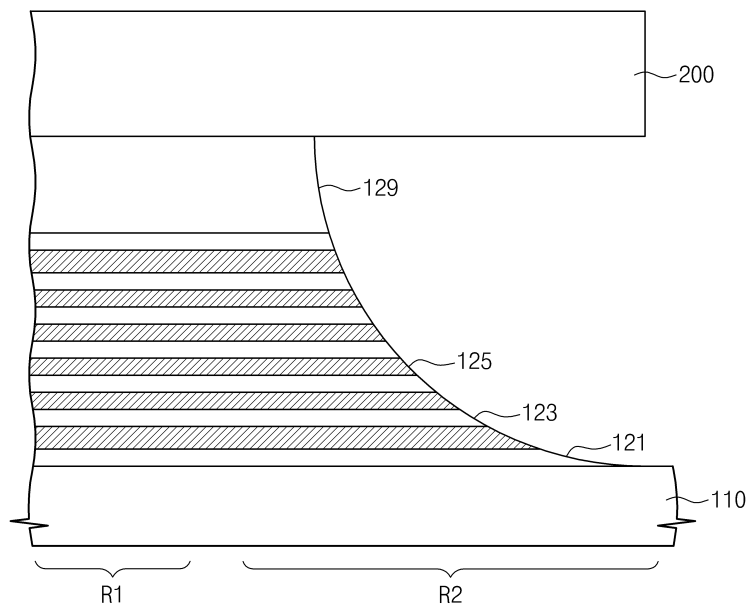
도면13



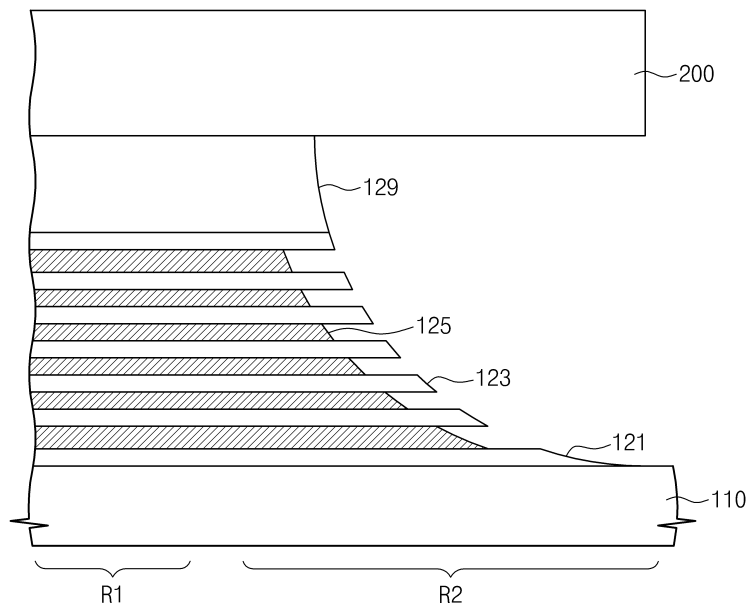
도면14



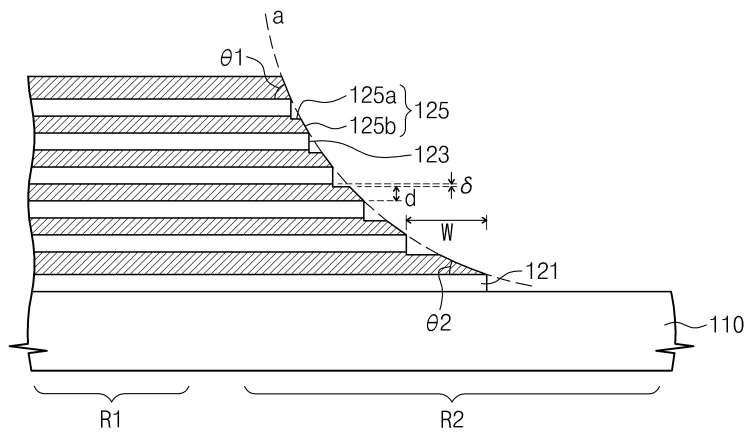
도면15



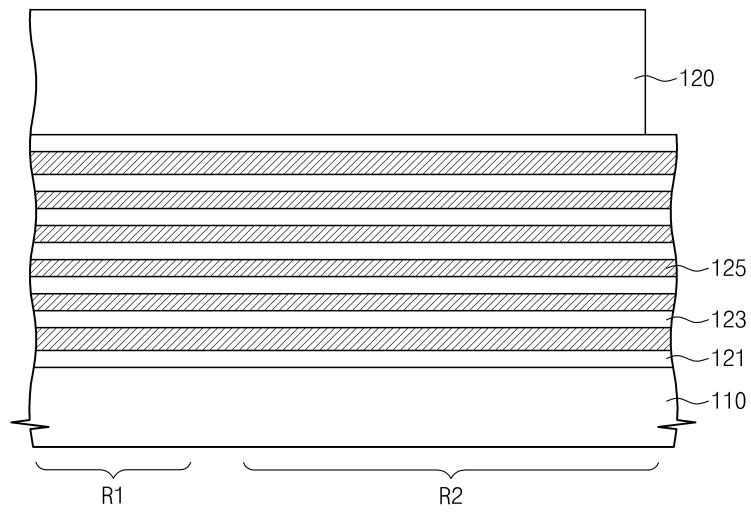
도면16



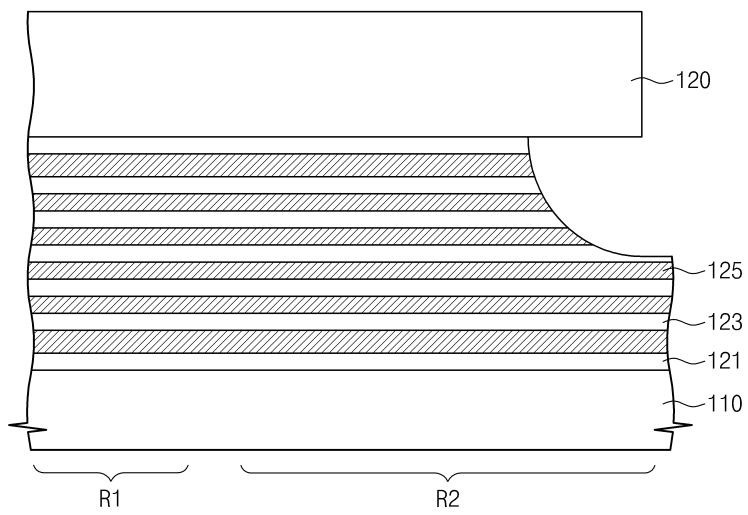
도면17



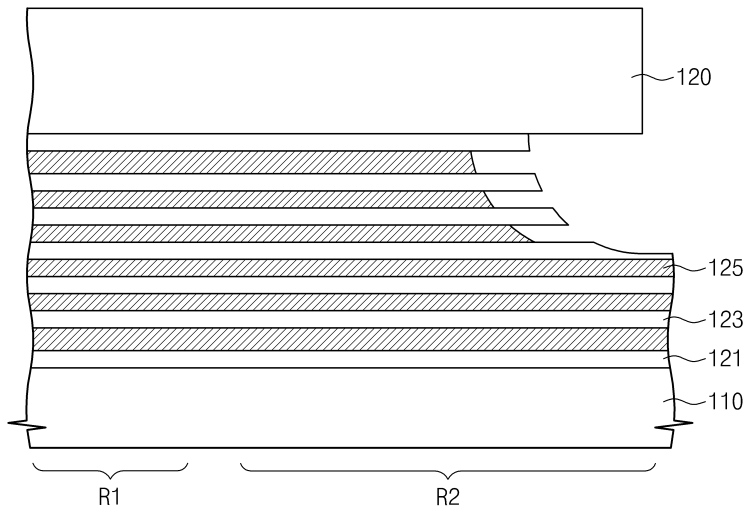
도면18



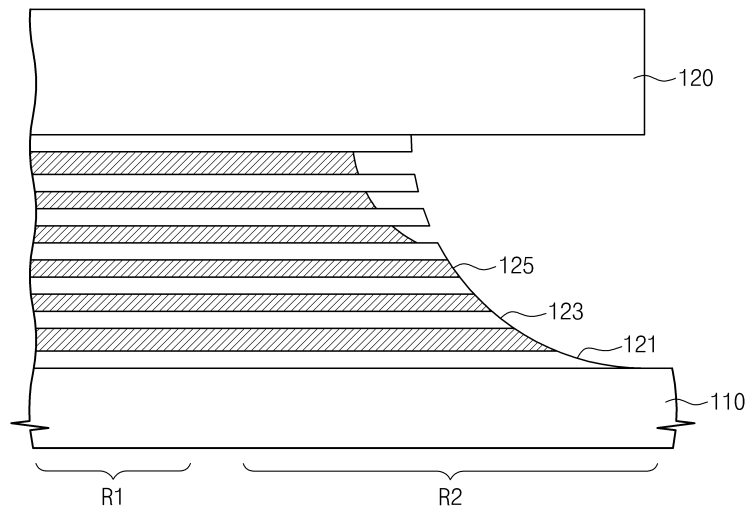
도면19



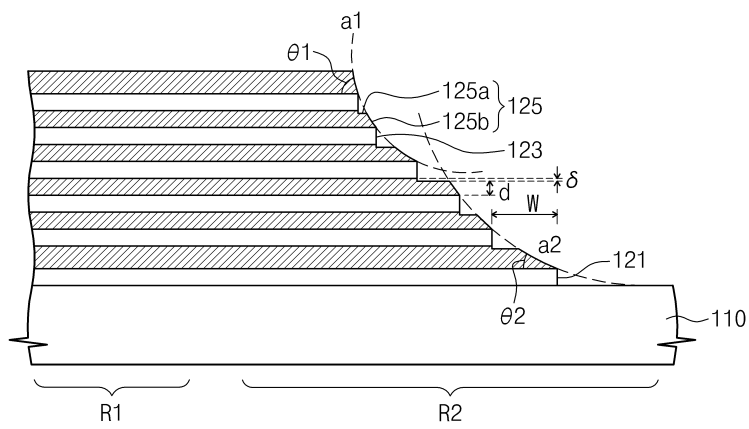
도면20



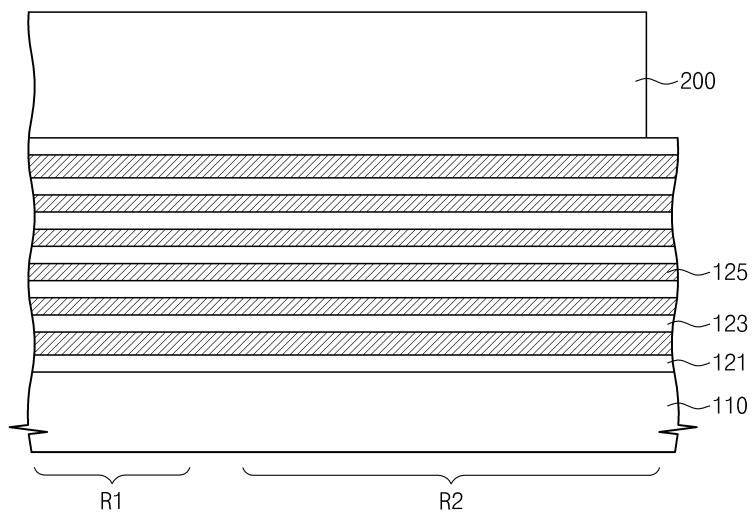
도면21



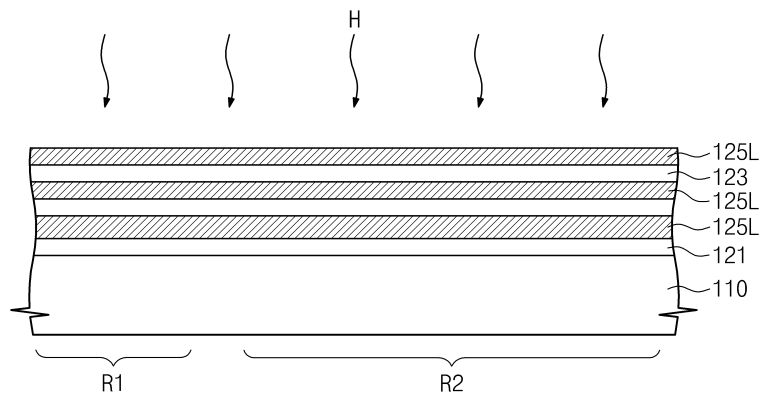
도면22



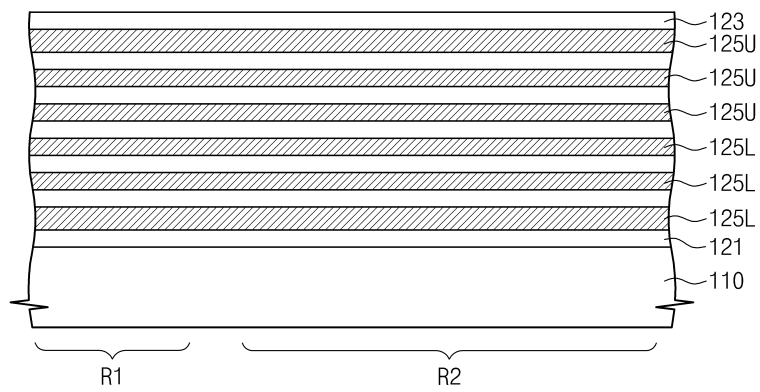
도면23



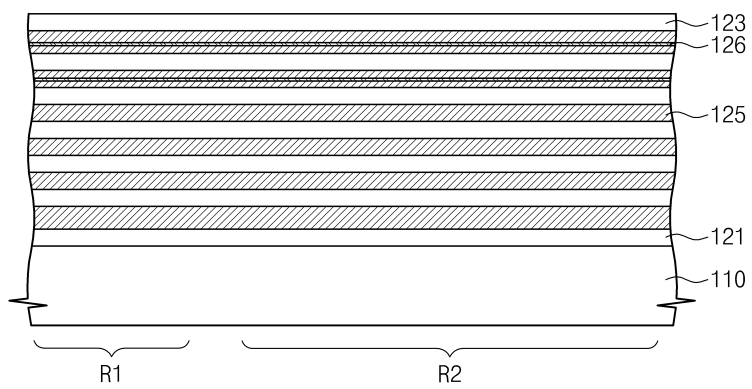
도면24



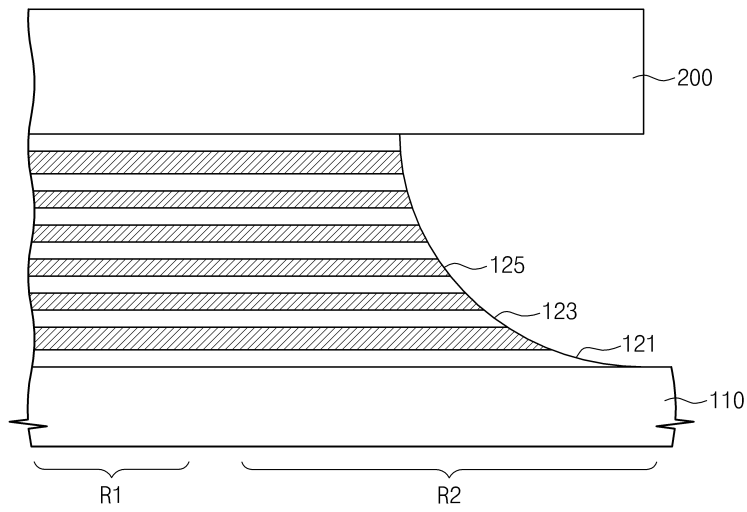
도면25



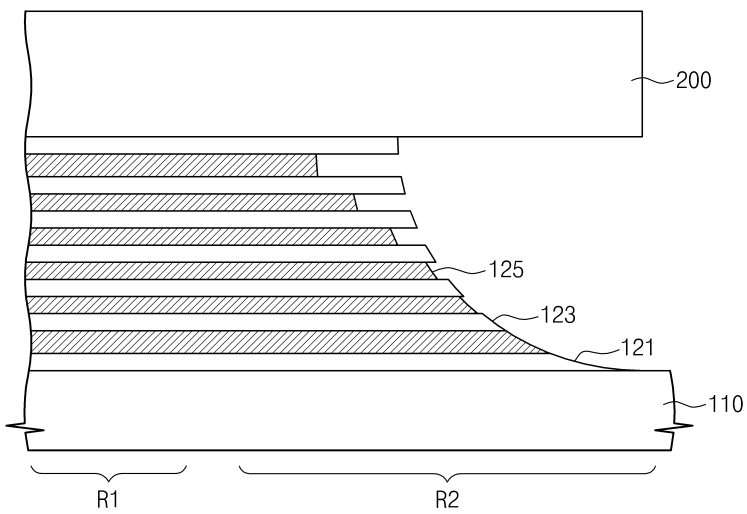
도면26



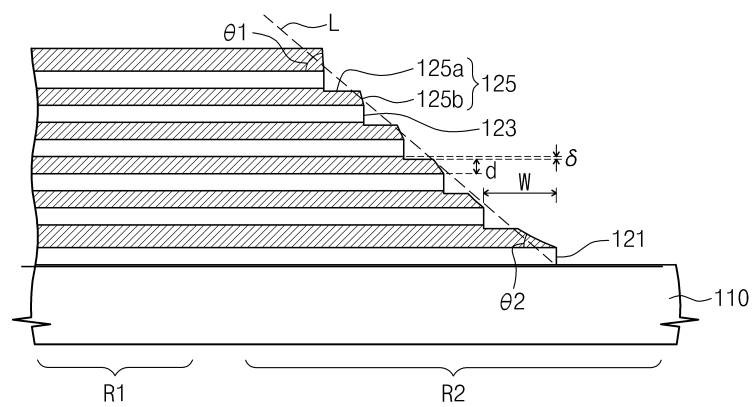
도면27



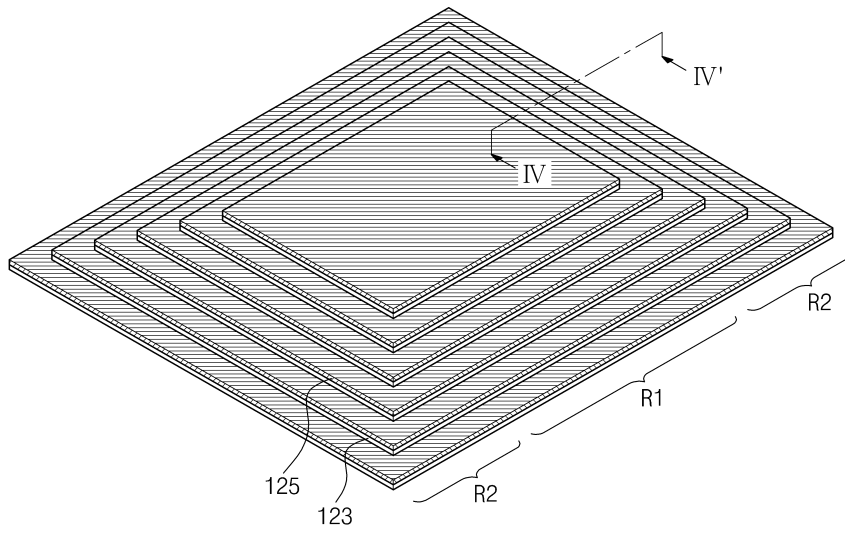
도면28



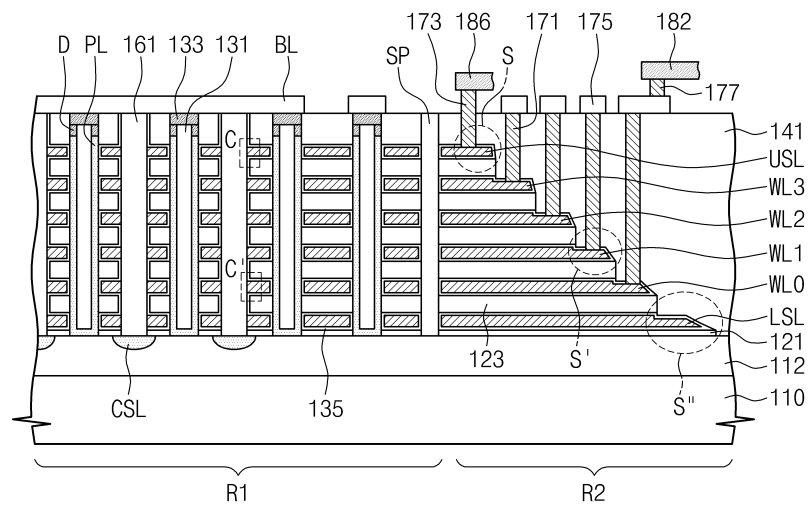
도면29



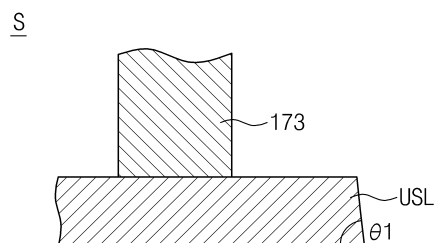
도면30



도면31

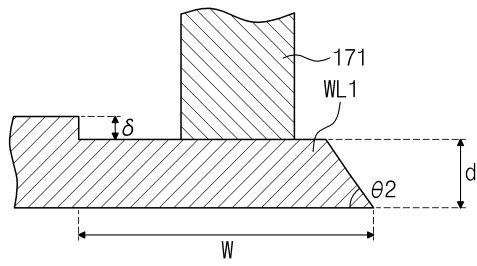


도면32a



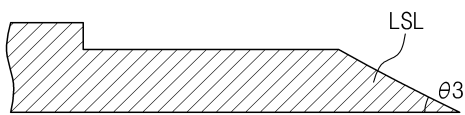
도면32b

S'



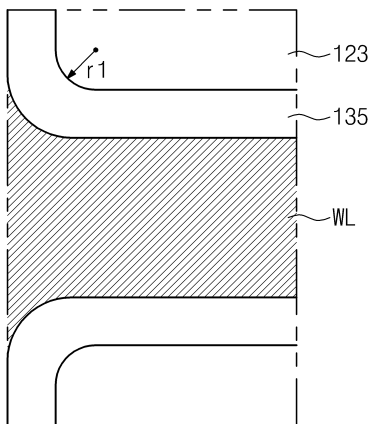
도면32c

S''

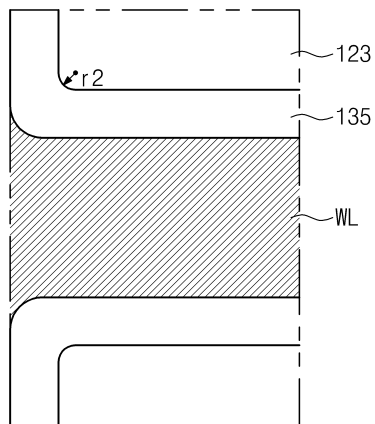


도면33

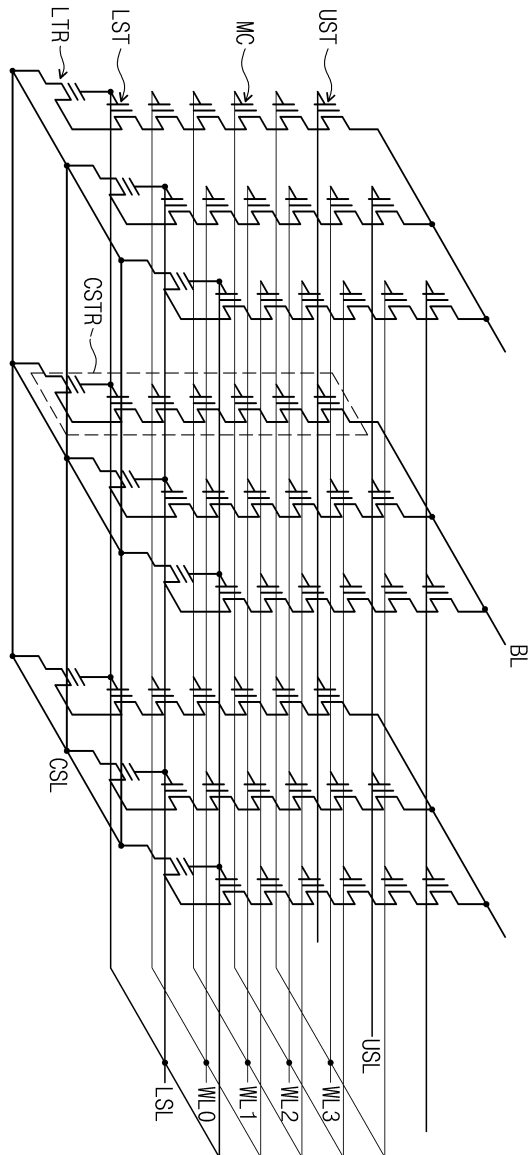
C



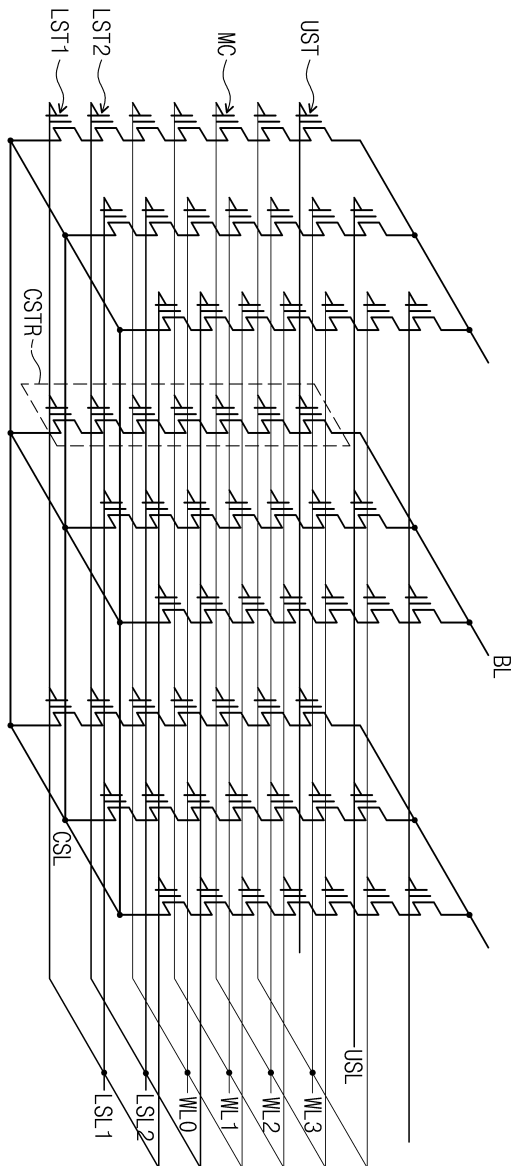
C'



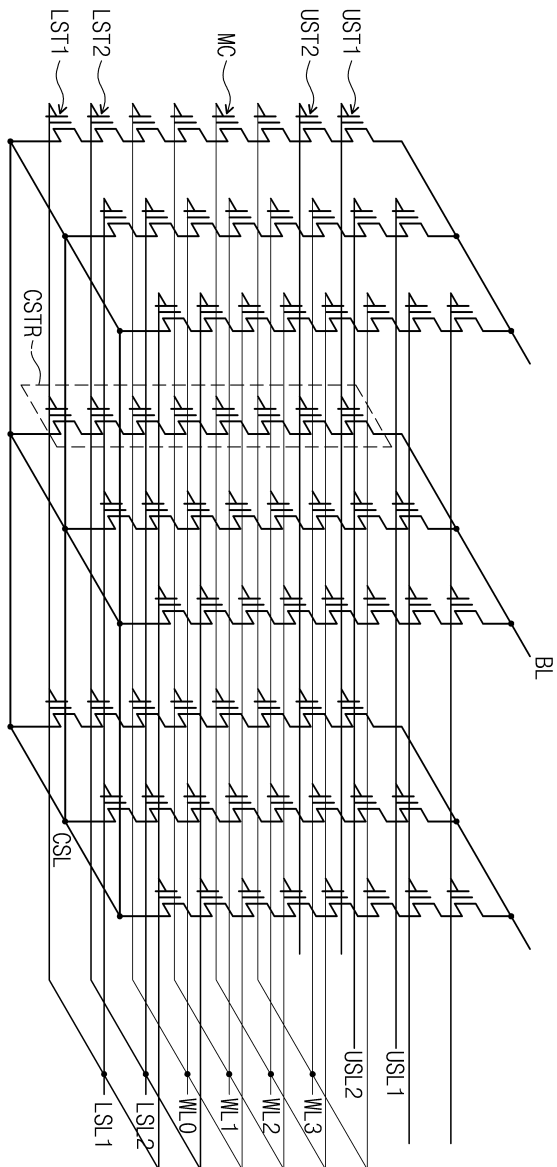
도면34



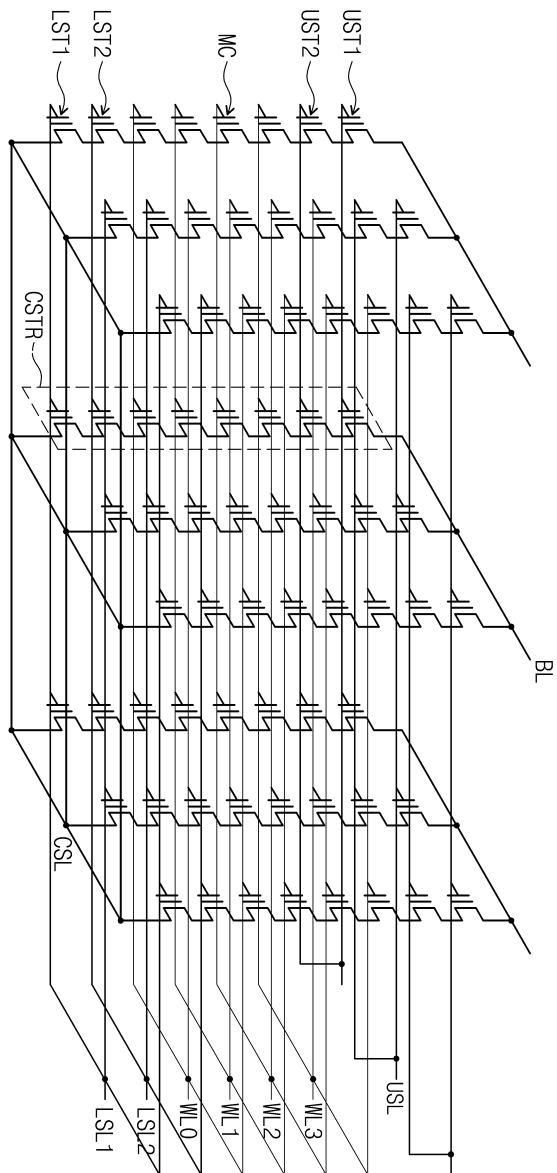
도면35



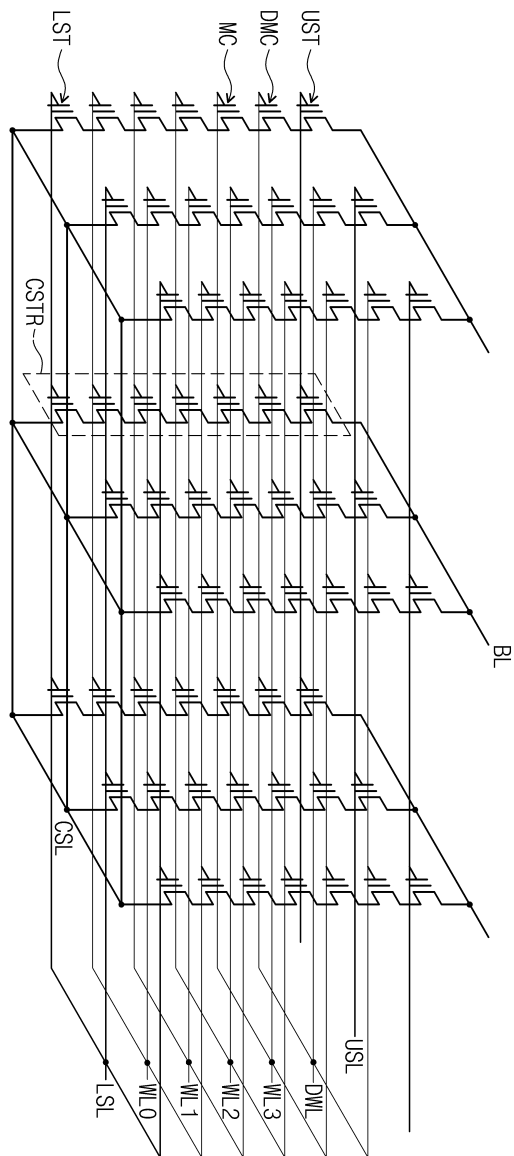
도면36



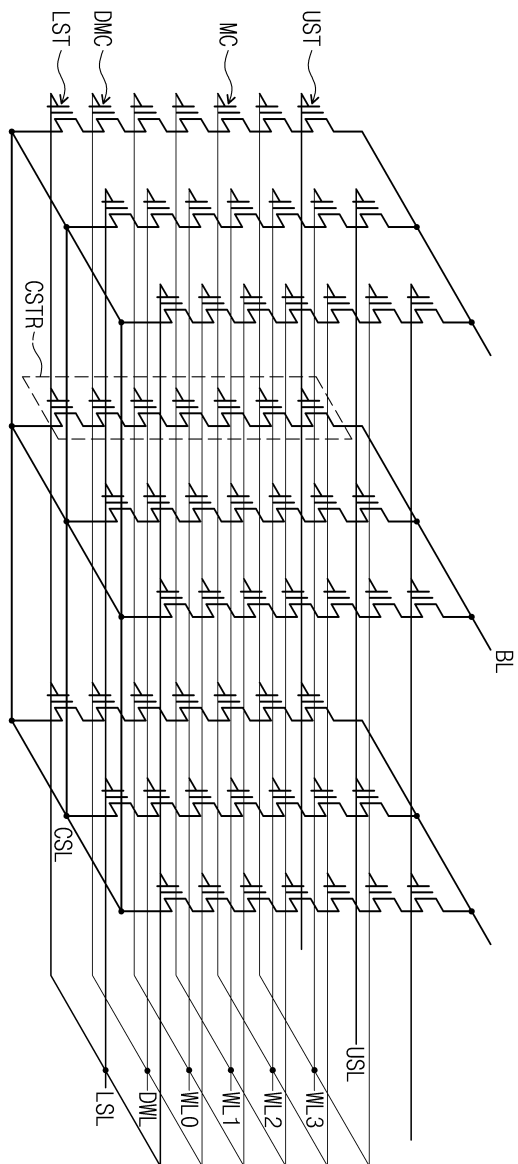
도면37



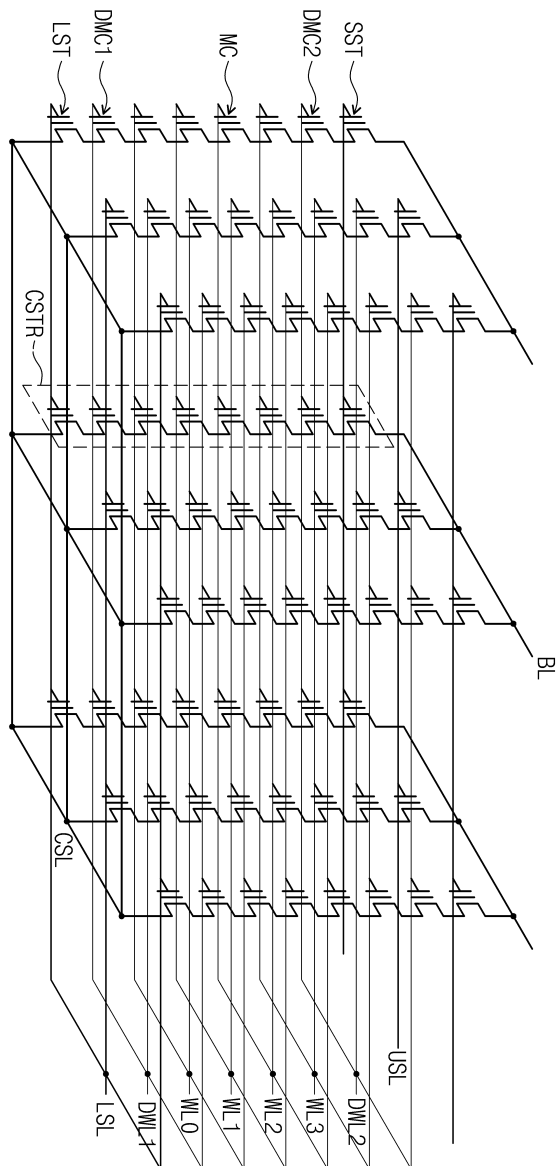
도면38



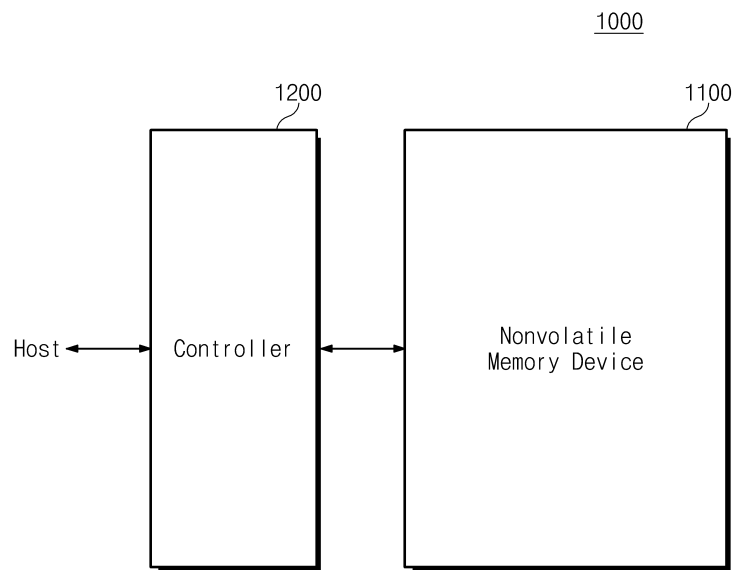
도면39



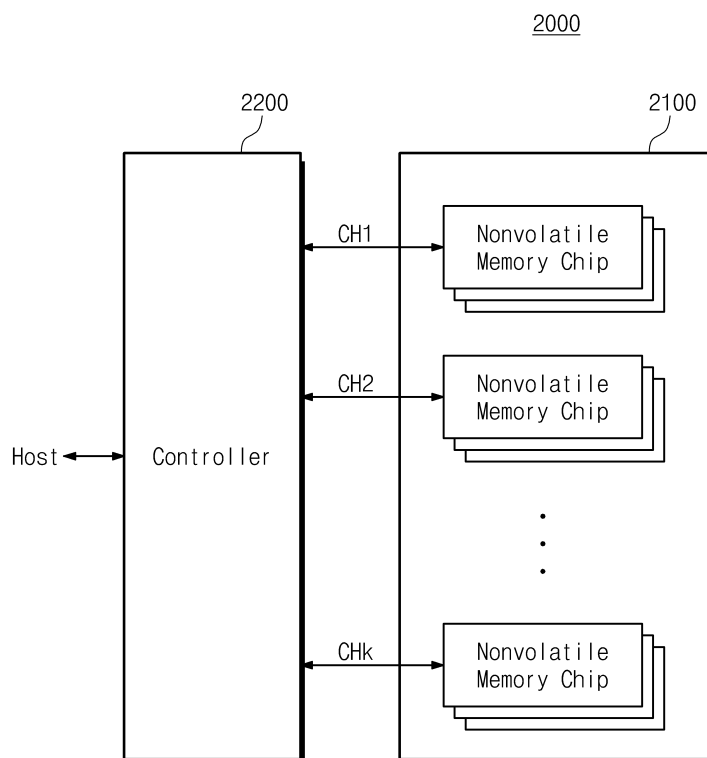
도면40



도면41



도면42



도면43

