



(12) 发明专利申请

(10) 申请公布号 CN 106158640 A

(43) 申请公布日 2016. 11. 23

(21) 申请号 201510158067. 2

H01L 29/423(2006. 01)

(22) 申请日 2015. 04. 03

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 周飞

(74) 专利代理机构 北京市磐华律师事务所 11336

代理人 高伟 冯永贞

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 29/78(2006. 01)

H01L 29/10(2006. 01)

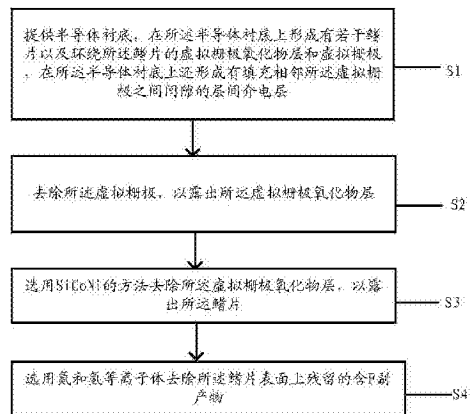
权利要求书1页 说明书7页 附图2页

(54) 发明名称

一种半导体器件及其制备方法、电子装置

(57) 摘要

本发明涉及一种半导体器件及其制备方法、电子装置。所述方法包括步骤 S1:提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及环绕所述鳍片的虚拟栅极氧化物层和虚拟栅极,在所述半导体衬底上还形成有填充相邻所述虚拟栅极之间间隙的层间介电层;步骤 S2:去除所述虚拟栅极,以露出所述虚拟栅极氧化物层;步骤 S3:选用 SiCoNi 的方法去除所述虚拟栅极氧化物层,以露出所述鳍片;步骤 S4:选用氮和氢等离子体去除所述鳍片表面上残留的含 F 副产物。通过所述方法不仅可以完全去除所述虚拟栅极氧化物层,降低对接触孔蚀刻停止层和层间介电层的蚀刻损失,还可以解决含 F 污染物残留的问题,进一步提高了器件的迁移率和可靠性。



1. 一种半导体器件的制备方法,包括:

步骤 S1:提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及环绕所述鳍片的虚拟栅极氧化物层和虚拟栅极,在所述半导体衬底上还形成有填充相邻所述虚拟栅极之间间隙的层间介电层;

步骤 S2:去除所述虚拟栅极,以露出所述虚拟栅极氧化物层;

步骤 S3:选用 SiCoNi 的方法去除所述虚拟栅极氧化物层,以露出所述鳍片;

步骤 S4:选用氮和氢等离子体去除所述鳍片表面上残留的含 F 副产物。

2. 根据权利要求 1 所述的方法,其特征在于,在所述步骤 S4 中,选用氮和氢弱等离子体去除所述鳍片表面上残留的含 F 副产物。

3. 根据权利要求 1 所述的方法,其特征在于,在所述步骤 S4 中,选用 NF_3 和 NH_3 等离子体去除所述鳍片表面上残留的含 F 副产物。

4. 根据权利要求 1 所述的方法,其特征在于,在所述步骤 S4 中,选用所述氮和氢等离子体去除所述含 F 副产物的温度大于 100°C 。

5. 根据权利要求 1 所述的方法,其特征在于,所述方法还进一步包括:

步骤 S5:通过化学氧化的方法在所述鳍片的表面形成界面层。

6. 根据权利要求 5 所述的方法,其特征在于,在形成所述界面层之后,还进一步包括选用 SC1 清洗液对所述界面层进行清洗的步骤,以在所述界面层上形成富含 OH 键的结构。

7. 根据权利要求 5 所述的方法,其特征在于,所述方法还进一步包括:

步骤 S6:沉积高 K 介电层,以覆盖所述界面层;

步骤 S7:在所述高 K 介电层上形成金属栅极。

8. 根据权利要求 1 所述的方法,其特征在于,所述步骤 S1 包括:

步骤 S11:提供半导体衬底并执行离子注入,以形成阱;

步骤 S12:图案化所述半导体衬底,形成所述鳍片;

步骤 S13:沉积虚拟栅极氧化物层和虚拟栅极材料层并图案化,以形成所述虚拟栅极。

9. 根据权利要求 8 所述的方法,其特征在于,所述步骤 S1 还进一步包括:

步骤 S14:执行源漏 LDD 注入,并在虚拟栅极两侧的所述半导体衬底上外延生长半导体材料层,以形成抬升源漏;

步骤 S15:再次执行离子注入,并进行快速热退火;

步骤 S16:沉积所述层间介电层并平坦化,以填充所述虚拟栅极之间的间隙。

10. 一种如权利要求 1 至 9 之一所述的方法制备得到的半导体器件。

11. 一种电子装置,包括权利要求 10 所述的半导体器件。

一种半导体器件及其制备方法、电子装置

技术领域

[0001] 本发明涉及半导体领域,具体地,本发明涉及一种半导体器件及其制备方法、电子装置。

背景技术

[0002] 随着半导体技术的不断发展,集成电路性能的提高主要是通过不断缩小集成电路器件的尺寸以提高它的速度来实现的。目前,由于高器件密度、高性能和低成本的需求,半导体工业已经进步到纳米技术工艺节点,半导体器件的制备受到各种物理极限的限制。

[0003] 随着 CMOS 器件尺寸的不断缩小,来自制造和设计方面的挑战促使了三维设计如鳍片场效应晶体管 (FinFET) 的发展。相对于现有的平面晶体管,FinFET 是用于 20nm 及以下工艺节点的先进半导体器件,其可以有效控制器件按比例缩小所导致的难以克服的短沟道效应,还可以有效提高在衬底上形成的晶体管阵列的密度,同时,FinFET 中的栅极环绕鳍片 (鳍形沟道) 设置,因此能从三个面来控制静电,在静电控制方面的性能也更突出。

[0004] 在 FinFET 器件中,为了避免高温工艺的影响,通常选用后栅工艺制备金属栅极,即后形成高 K 介电层和金属栅极的工艺,在该步骤中需要首先去除虚拟栅极和位于所述虚拟栅极下方的虚拟栅极氧化物,并且形成界面层。目前通常选用 HF 去除所述虚拟栅极氧化物,由于所述 HF 对虚拟栅极周围的所述层间介电层和接触孔蚀刻停止层的高蚀刻速率,会造成层间介电层和接触孔蚀刻停止层的大量损失。

[0005] 为了改进该问题,可以选用 SiCoNi 制程去除所述虚拟栅极氧化物,以减小所述层间介电层和接触孔蚀刻停止层的损失,对于金属栅极高度的控制以及在金属栅极平坦化之后金属的残留有益,但是所述方法带来了另外一个问题,即在去除所述虚拟栅极氧化物之后会在衬底硅的表面形成含 F 副产物,所述含 F 副产物很难去除,会影响器件的迁移率和可靠性。

[0006] 为了提高半导体器件的性能和良率,需要对器件的制备方法作进一步的改进,以便消除上述问题。

发明内容

[0007] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0008] 本发明为了克服目前存在问题,提供了一种半导体器件的制备方法,包括:

[0009] 步骤 S1:提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及环绕所述鳍片的虚拟栅极氧化物层和虚拟栅极,在所述半导体衬底上还形成有填充相邻所述虚拟栅极之间间隙的层间介电层;

[0010] 步骤 S2:去除所述虚拟栅极,以露出所述虚拟栅极氧化物层;

[0011] 步骤 S3:选用 SiCoNi 的方法去除所述虚拟栅极氧化物层,以露出所述鳍片;

- [0012] 步骤 S4 :选用氮和氢等离子体去除所述鳍片表面上残留的含 F 副产物。
- [0013] 可选地,在所述步骤 S4 中,选用氮和氢弱等离子体去除所述鳍片表面上残留的含 F 副产物。
- [0014] 可选地,在所述步骤 S4 中,选用 NF_3 和 NH_3 等离子体去除所述鳍片表面上残留的含 F 副产物。
- [0015] 可选地,在所述步骤 S4 中,选用所述氮和氢等离子体去除所述含 F 副产物的温度大于 100°C 。
- [0016] 可选地,所述方法还进一步包括 :
- [0017] 步骤 S5 :通过化学氧化的方法在所述鳍片的表面形成界面层。
- [0018] 可选地,在形成所述界面层之后,还进一步包括选用 SC1 清洗液对所述界面层进行清洗的步骤,以在所述界面层上形成富含 OH 键的结构。
- [0019] 可选地,所述方法还进一步包括 :
- [0020] 步骤 S6 :沉积高 K 介电层,以覆盖所述界面层 ;
- [0021] 步骤 S7 :在所述高 K 介电层上形成金属栅极。
- [0022] 可选地,所述步骤 S1 包括 :
- [0023] 步骤 S11 :提供半导体衬底并执行离子注入,以形成阱 ;
- [0024] 步骤 S12 :图案化所述半导体衬底,形成所述鳍片 ;
- [0025] 步骤 S13 :沉积虚拟栅极氧化物层和虚拟栅极材料层并图案化,以形成所述虚拟栅极。
- [0026] 可选地,所述步骤 S1 还进一步包括 :
- [0027] 步骤 S14 :执行源漏 LDD 注入,并在虚拟栅极两侧的所述半导体衬底上外延生长半导体材料层,以形成抬升源漏 ;
- [0028] 步骤 S15 :再次执行离子注入,并进行快速热退火 ;
- [0029] 步骤 S16 :沉积所述层间介电层并平坦化,以填充所述虚拟栅极之间的间隙。
- [0030] 本发明还提供了一种上述的方法制备得到的半导体器件。
- [0031] 本发明还提供了一种电子装置,包括上述的半导体器件。
- [0032] 在本发明中为了解决现有技术中存在的问题,提供了一种半导体器件及其制备方法,在所述方法中在去除所述虚拟栅极之后,选用 SiCoNi 制程去除所述虚拟栅极氧化物,以露出所述鳍片,并且在形成界面层和高 K 介电层之前,对所述鳍片的表面进行氮和氢等离子体处理,以去除所述鳍片表面上残留的含 F 副产物,通过所述方法不仅可以完全去除所述虚拟栅极氧化物层,降低对接触孔蚀刻停止层和层间介电层的蚀刻损失,还可以解决含 F 污染物残留的问题,进一步提高了器件的迁移率和可靠性。

附图说明

- [0033] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的装置及原理。在附图中,
- [0034] 图 1a-1d 为本发明中所述半导体器件去除所述含 F 副产物的过程示意图 ;
- [0035] 图 2 为制备本发明所述半导体器件的工艺流程图。

具体实施方式

[0036] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0037] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0038] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0039] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0040] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0041] 现有技术中所述半导体器件的制备方法包括:首先提供衬底,在衬底上形成硬掩膜层;接着,图案化所述硬掩膜层,形成用于蚀刻衬底以在其上形成鳍片的多个彼此隔离的掩膜;接着,蚀刻衬底以在其上形成多个鳍片;接着,沉积形成多个鳍片之间的隔离结构;最后,蚀刻去除所述硬掩膜层。

[0042] 然后在所述鳍片上形成虚拟栅极氧化物层和虚拟栅极,并沉积介电层(图中未示出),以覆盖所述虚拟栅极,接着去除所述虚拟栅极、虚拟栅极氧化物层,露出所述鳍片,并在所述鳍片上依次形成界面层、高K介电层、覆盖层以及功函数金属层,在去除虚拟栅极虚拟栅极氧化物的步骤中通常选用HF,由于所述HF对虚拟栅极周围的所述层间介电层和接触孔蚀刻停止层的高蚀刻速率,会造成层间介电层和接触孔蚀刻停止层的大量损失。

[0043] 为了改进该问题,可以选用 SiCoNi 制程去除所述虚拟栅极氧化物,以减小所述层间介电层和接触孔蚀刻停止层的损失,对于金属栅极高度的控制以及在金属栅极平坦化之后金属的残留有益,但是所述方法带来了另外一个问题,即在去除所述虚拟栅极氧化物之后会在衬底硅的表面形成含 F 副产物,所述含 F 副产物很难去除,会影响器件的迁移率和可靠性。

[0044] 实施例 1

[0045] 下面结合图 1a-1d 以及图 2 对本发明所述半导体器件以及制备方法做进一步的说明。

[0046] 执行步骤 101,提供半导体衬底并执行离子注入,以形成阱。

[0047] 在该步骤中所述半导体衬底可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。

[0048] 其中所述半导体衬底包括 NMOS 区域和 PMOS 区域,以在后续的步骤中形成 NMOS 器件和 PMOS 器件。

[0049] 接着在所述半导体衬底上形成垫氧化物层(Pad oxide),其中所述垫氧化物层(Pad oxide)的形成方法可以通过沉积的方法形成,例如化学气相沉积、原子层沉积等方法,还可以通过热氧化所述半导体衬底的表面形成,在此不再赘述。

[0050] 进一步,在该步骤中还可以进一步包含执行离子注入的步骤,以在所述半导体衬底中形成阱,其中注入的离子种类以及注入方法可以为本领域中常用的方法,在此不一一赘述。

[0051] 接着执行步骤 202,在半导体衬底上形成多个鳍片,鳍片的宽度全部相同,或者鳍片分为具有不同宽度的多个鳍片组。

[0052] 具体的形成方法包括:在半导体衬底上形成硬掩膜层(图中未示出),形成所述硬掩膜层可以采用本领域技术人员所熟习的各种适宜的工艺,例如化学气相沉积工艺,所述硬掩膜层可以为自下而上层叠的氧化物层和氮化硅层;图案化所述硬掩膜层,形成用于蚀刻半导体衬底以在其上形成鳍片的多个彼此隔离的掩膜,在一个实施例中,采用自对准双图案(SADP)工艺实施所述图案化过程;蚀刻半导体衬底以在其上形成鳍片结构。

[0053] 执行步骤 203,沉积隔离材料层,以覆盖所述鳍片结构。

[0054] 具体地,如图 2 所示,沉积隔离材料层,以完全填充鳍片结构之间的间隙。在一个实施例中,采用具有可流动性的化学气相沉积工艺实施所述沉积。隔离材料层的材料可以选择氧化物,例如 HARP。

[0055] 然后回蚀刻所述隔离材料层,至所述鳍片的目标高度。

[0056] 具体地,回蚀刻所述隔离材料层,以露出部分所述鳍片,进而形成具有特定高度的鳍片。作为示例,实施高温退火,以使隔离材料层致密化,所述高温退火的温度可以为 700°C-1000°C;执行化学机械研磨,直至露出所述硬掩膜层的顶部;去除所述硬掩膜层中的氮化硅层,在一个实施例中,采用湿法蚀刻去除氮化硅层,所述湿法蚀刻的腐蚀液为稀释的氢氟酸;去除所述硬掩膜层中的氧化物层和部分隔离材料层,以露出鳍片结构的部分,进而形成具有特定高度的鳍片结构。

[0057] 执行步骤 204,在所述隔离材料层上形成虚拟栅极氧化物层和虚拟栅极,以覆盖所

述鳍片。

[0058] 具体地,在该步骤中沉积虚拟栅极氧化物层和虚拟栅极材料层,其中,所述虚拟栅极氧化物层可以选用常用的氧化物,例如 SiO_2 ,所述虚拟栅极材料层可以选用本领域常用的半导体材料,例如可以选用多晶硅等,并不局限于某一种,在此不再一一列举、

[0059] 所述栅极材料层的沉积方法可以选用化学气相沉积或者原子层沉积等方法。

[0060] 然后图案化所述虚拟栅极氧化物层和栅极材料层,以形成环绕所述鳍片的虚拟栅极。具体地,在所述虚拟栅极材料层上形成光刻胶层,然后曝光显影,以形成开口,然后以所述光刻胶层为掩膜蚀刻所述虚拟栅极材料层,以形成环绕虚拟栅极。

[0061] 执行步骤 205,执行源漏 LDD 注入,并在所述虚拟栅极的两侧外延生长半导体材料层,以形成抬升源漏。

[0062] 具体地,在该步骤中可以使用本领域常用的方法执行源漏 LDD 注入,在此不再赘述。

[0063] 然后在 NMOS 区域中在所述虚拟栅极的两侧外延生长 SiC 层,以形成抬升 SiC 源漏极。在本发明中采用选择性外延生长 (SEG) 形成所述 SiC 层,具体地,选用含硅气体作为原料气体,选用含 C 气体作为掺杂,在载气的输送下进入反应室,进而外延得到所述 SiC 层。可选地,外延生长所述 SiC 层的同时可以进行原位掺杂 (in-situ doped),可以掺杂磷或者砷等,例如外延的同时通入含磷或砷的气体。

[0064] 同样的,在所述 PMOS 区域中在所述虚拟栅极的两侧外延生长 SiGe,以形成 PMOS 的抬升源漏。

[0065] 执行步骤 206,再次执行离子注入步骤并进行快速热退火。

[0066] 在本发明中为了证激活杂质又能抑制杂质的深度和横向扩散,执行完所述离子注入后进行快速热退火,可选地,所述快速热退火温度为 $1000\text{--}1050^\circ\text{C}$ 。

[0067] 执行步骤 207,沉积所述层间介电层并平坦化,以填充所述虚拟栅极之间的间隙。

[0068] 具体地,沉积层间介电层并平坦化,平坦化所述对层间介电层至所述虚拟栅极的顶部。所述平坦化处理的非限制性实例包括机械平坦化方法和化学机械抛光平坦化方法。

[0069] 执行步骤 208,去除所述虚拟栅极。

[0070] 具体地,去除所述虚拟栅极,形成沟槽。所述去除的方法可以是光刻和蚀刻。在蚀刻过程中所用的气体包括 HBr,其作为主要蚀刻气体;还包括作为刻蚀补充气体的 O_2 或 Ar,其可以提高刻蚀的品质。

[0071] 执行步骤 209,选用 SiCoNi 的方法去除所述虚拟栅极氧化物层,以露出所述鳍片。

[0072] 具体地,在该步骤中为了减小去除所述虚拟栅极氧化物层过程中对其他材料层的损坏,不再选用 HF 进行蚀刻,而是选用选择性更高的 SiCoNi 制程,通过所述方法去除所述虚拟栅极氧化物层,不会对器件造成损坏。

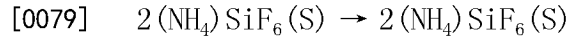
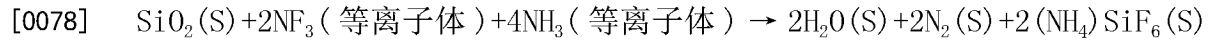
[0073] 其中去除过程如图 1a-1d 所示,如图 1a 所示,在鳍片 101 的上方形成有虚拟栅极氧化物层 102,比如 SiO_2 ,选用 SiCoNi 制程制程在去除所述虚拟栅极氧化物层 102 的过程中,首先形成 $(\text{NH}_4)\text{SiF}_6$ 的材料层 103,如图 1b 所示,再去掉所述 $(\text{NH}_4)\text{SiF}_6$ 的材料层的过程中会造成残留 1031,如图 1c 所示,从而使器件的迁移率和可靠性受到影响。

[0074] 执行步骤 210,选用氮和氢等离子体去除所述鳍片表面上残留的含 F 副产物。

[0075] 具体地,在该步骤中为了去除所述 $(\text{NH}_4)\text{SiF}_6$ 的材料层的残留 1031,在该步骤中选用氮和氢等离子体去除所述鳍片表面进行处理。

[0076] 可选地,选用用氮和氢弱等离子体去除所述鳍片表面上残留的含 F 副产物。进一步,选用 NF_3 和 NH_3 等离子体去除所述鳍片表面上残留的含 F 副产物。

[0077] 当选用 NF_3 和 NH_3 等离子体进行处理时,所述 NF_3 和 NH_3 等离子体和所述二氧化物硅发生反应,如下反应式所示:



[0081] 通过所述处理当温度大于 100°C 时很容易去除所述含 F 副产物,得到如图 1d 所示的图案。

[0082] 执行步骤 211,通过化学氧化的方法在所述鳍片的表面形成界面层。

[0083] 具体地,在该步骤中通过化学氧化的方法形成所述界面层并且在形成所述界面层之后,还进一步包括选用 SC1 清洗液对所述界面层进行处理的步骤,以在所述界面层上形成富含 OH 键的结构,以在更有利于高 K 介电层的形成,例如 HfO_2 。

[0084] 执行步骤 212,沉积高 K 介电层。

[0085] 具体地,其中,所述高 K 介电层的材料包括氧化铪、氧化铪硅、氮氧化铪硅、氧化镧、氧化锆、氧化锆硅、氧化钛、氧化钽、氧化钡锶钛、氧化钡钛、氧化锶钛、氧化铝等,特别优选的是氧化铪、氧化锆或氧化铝。

[0086] 执行步骤 213,在所述高 K 介电层上沉积 TiN 层和 TaN 层,作为覆盖层。

[0087] 执行步骤 214,在所述覆盖层上形成功函数金属层、阻挡层和金属铝材料层,以形成金属栅极。

[0088] 至此,完成了本发明实施例的半导体器件的制备过程的介绍。在上述步骤之后,还可以包括其他相关步骤,此处不再赘述。并且,除了上述步骤之外,本实施例的制备方法还可以在上述各个步骤之中或不同的步骤之间包括其他步骤,这些步骤均可以通过现有技术中的各种工艺来实现,此处不再赘述。

[0089] 在本发明中为了解决现有技术中存在的问题,提供了一种半导体器件及其制备方法,在所述方法中在去除所述虚拟栅极之后,选用 SiCoNi 制程去除所述虚拟栅极氧化物,以露出所述鳍片,并且在形成界面层和高 K 介电层之前,对所述鳍片的表面进行氮和氢等离子体处理,以去除所述鳍片表面上残留的含 F 副产物,通过所述方法不仅可以完全去除所述虚拟栅极氧化物层,降低对接触孔蚀刻停止层和层间介电层的蚀刻损失,还可以解决含 F 污染物残留的问题,进一步提高了器件的迁移率和可靠性。

[0090] 图 2 为本发明一具体地实施方式中所述半导体器件制备流程图,具体地包括:

[0091] 步骤 S1:提供半导体衬底,在所述半导体衬底上形成有若干鳍片以及环绕所述鳍片的虚拟栅极氧化物层和虚拟栅极,在所述半导体衬底上还形成有填充相邻所述虚拟栅极之间间隙的层间介电层;

[0092] 步骤 S2:去除所述虚拟栅极,以露出所述虚拟栅极氧化物层;

[0093] 步骤 S3:选用 SiCoNi 的方法去除所述虚拟栅极氧化物层,以露出所述鳍片;

[0094] 步骤 S4:选用氮和氢等离子体去除所述鳍片表面上残留的含 F 副产物。

[0095] 实施例 2

[0096] 本发明还提供了一种半导体器件,所述半导体器件选用实施例 1 所述的方法制

备。在所述半导体器件在选用 SiCoNi 制程去除所述虚拟栅极氧化物之后,对所述鳍片的表面进行氮和氢等离子体处理,去除所述鳍片表面上残留的含 F 副产物,进一步提高了器件的迁移率和可靠性。

[0097] 实施例 3

[0098] 本发明还提供了一种电子装置,包括实施例 2 所述的半导体器件。其中,半导体器件为实施例 2 所述的半导体器件,或根据实施例 1 所述的制备方法得到的半导体器件。

[0099] 本实施例的电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP 等任何电子产品或设备,也可作为任何包括所述半导体器件的中间产品。本发明实施例的电子装置,由于使用了上述的半导体器件,因而具有更好的性能。

[0100] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

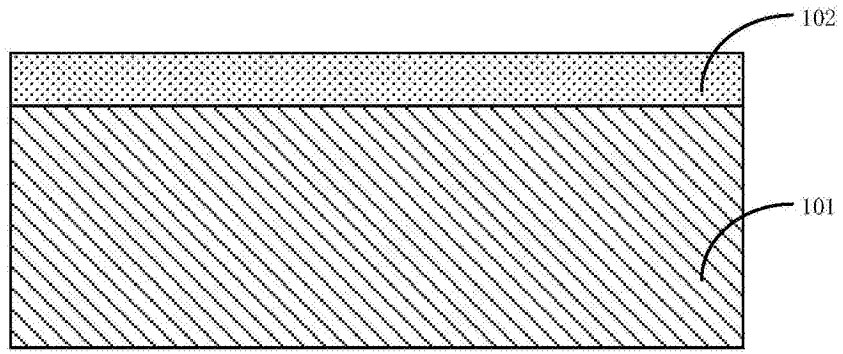


图 1a

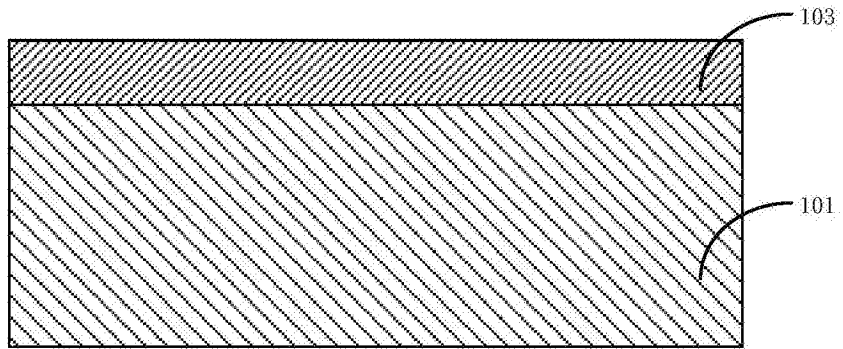


图 1b

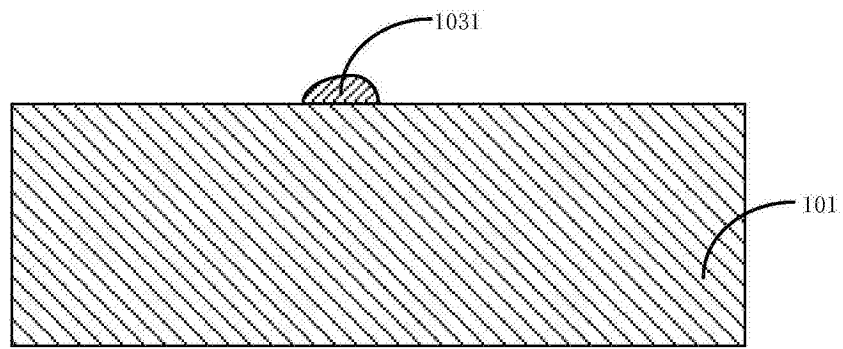


图 1c

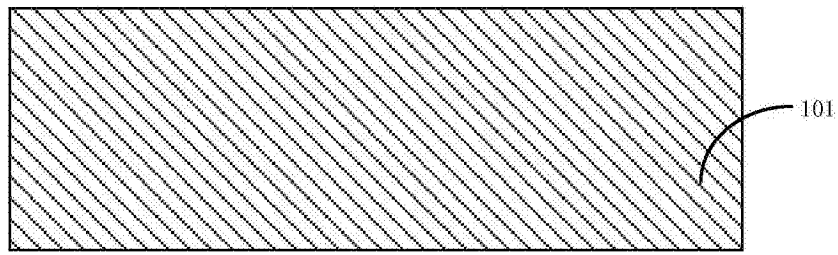


图 1d

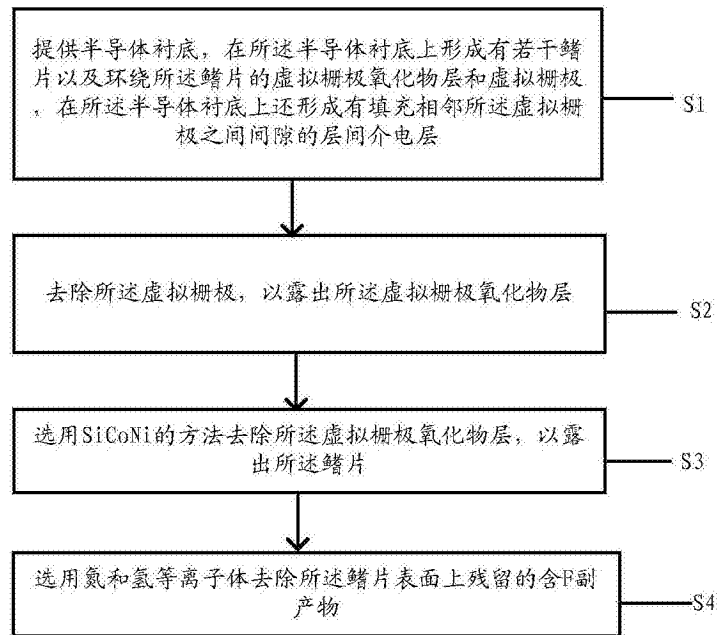


图 2