(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0057382
(43) 공개일자 2015년05월28일

(51) 국제특허분류(Int. Cl.)
G11C 17/18 (2006.01) *G11C 17/16* (2006.01)
(21) 출원번호 10-2013-0140699
(22) 출원일자 2013년11월19일
심사청구일자 2013년11월19일
기술이전 희망 : **기술양도**

(71) 출원인
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
(72) 발명자
김영희
경상남도 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
(74) 대리인
김종선, 이형석

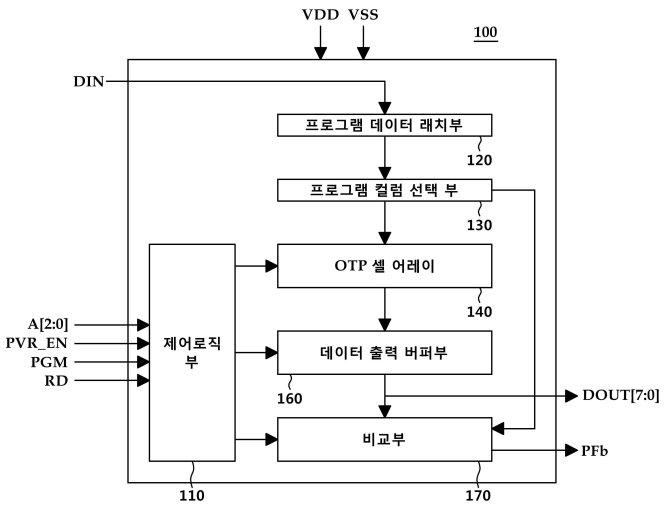
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **차동 쌍 구조의 이-퓨즈 OTP 메모리 장치**

(57) 요 약

본 발명은 차동 쌍 구조의 이퓨즈 OTP 메모리 장치에 관한 것이다. 본 발명은 하나 이상의 OTP 메모리 셀로 이루어진 셀 어레이; 및 읽기 모드에서 읽기 신호에 따라 상기 OTP 메모리 셀에 제공된 프로그램 데이터가 출력될 때, 상기 읽기 신호에 글리치 펄스(glitch pulse)가 발생하면 이후 읽기 모드는 미 수행되게 하는 IRD 제어 회로를 포함하며, 이때 IRD 제어회로는 읽기 신호가 하이 상태가 되면 현재 수행되는 읽기 모드가 계속 수행되게 하여 글리치 펄스 등의 잡음에 강인한 파워 IC 칩을 제공할 수 있도록 한다. 또한, 본 발명은 이-퓨즈 OTP 메모리 장치에서 비트라인 BL에 대한 센싱 동작이 완료될 때, 읽기 모드용으로 제공되는 제2 NMOS와 제4 NMOS가 오프(off) 되게 함으로써, 이퓨즈 링크가 EM 현상에 의해 블로우잉(blowing) 되는 것을 방지한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 1415128843
부처명 미래창조과학부
연구관리전문기관 정보통신산업진흥원
연구사업명 정보통신기술인력양성(칩설계 공동연구)
연구과제명 시스템반도체 설계인력양성사업(저전력 DVFS 플랫폼 및 핵심 혼성 신호 처리 IP 개발)
기 여 율 1/1
주관기관 한국전자통신연구원, 강원대학교 산학협력단
연구기간 2013.01.01 ~ 2013.11.30

명 세 서

청구범위

청구항 1

하나 이상의 OTP 메모리 셀로 이루어진 셀 어레이; 및

읽기 모드에서 읽기 신호에 따라 상기 OTP 메모리 셀에 제공된 프로그램 데이터가 출력될 때, 상기 읽기 신호에 글리치 펄스(glitch pulse)가 발생하면 이후 읽기 모드는 미 수행되게 하는 IRD 제어 회로를 포함하는 차동 쌍 구조의 이퓨즈 OTP 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 IRD 제어회로는,

상기 읽기 신호가 하이 상태가 되면 현재 수행되는 읽기 모드가 계속 수행되도록 IRD 신호를 출력하는 차동 쌍 구조의 이퓨즈 OTP 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 읽기 신호가 로우 상태가 되더라도 상기 IRD 신호는 하이 상태를 계속 유지하여 상기 읽기 신호에 의해 출력되는 데이터가 그대로 유지되게 하는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 IRD 신호가 로우 상태에서 하이 상태가 되면 상기 읽기 모드가 수행되고, 상기 읽기 모드는 IC 칩의 파워(power)가 다운될 때까지 계속 수행되는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 IRD 제어회로는,

읽기(RD) 신호를 인가받는 제1 인버터;

상기 제1 인버터의 출력과 제1 NAND의 출력을 인가받는 제2 NAND;

상기 제2 NAND의 출력과 IRSTb 신호를 인가받는 제3 NAND;

상기 제3 NAND의 출력과 제2 인버터를 통해 반전된 읽기(RD) 신호를 인가받고 IRD 신호를 출력하는 제4 NAND;를 포함하고,

상기 제1 NAND 게이트는 상기 IRSTb 신호와 상기 제2 NAND 게이트의 출력을 인가받고 논리 연산된 신호를 상기 제2 NAND 게이트의 입력 신호로 인가하도록 구성되는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

청구항 6

제 1 항에 있어서,

직렬로 연결되는 제1 NMOS 및 제2 NMOS;

상기 제1 NMOS와 제2 NMOS의 접속 노드에 연결된 제1 이퓨즈;

직렬로 연결되는 제3 NMOS 및 제4 NMOS;

상기 제3 NMOS와 제4 NMOS의 접속 노드에 연결된 제2 이퓨즈;

상기 제2 NMOS 및 제4 NMOS의 게이트에 연결되는 읽기 워드 라인(RWL); 및

가변 풀-업 부하 회로에 의하여 비트라인(BL)(BLb)의 전압이 풀-업 된 경우 상기 비트라인 BL과 BLb의 차동 전압을 센싱하는 감지 증폭기를 더 포함하고,

상기 비트라인 BL에 대한 센싱 동작이 완료될 때, 상기 제2 NMOS와 제4 NMOS는 오프(off) 되는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 제2 NMOS와 상기 제4 NMOS가 오프(off) 되면, DC 전류가 차단되는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

청구항 8

제 7 항에 있어서,

상기 DC 전류 차단은 워드 라인(WL)에 펄스를 인가하는 구동방식이 이용되는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

청구항 9

제 6 항에 있어서,

상기 가변 풀-업 부하 회로는 센싱 마진 테스트를 수행하며, 프로그램 검증 읽기 모드와 읽기 모드에서 사용되는 비트라인(Bit Line) 프리차지 회로의 풀-업 부하의 임피던스를 가변시키는 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 OTP 메모리 장치에 관한 것으로서, 더욱 상세하게는 파워 IC 칩의 파워 온(on) 시간 동안 읽기 신호(RD) 포트에서 발생하는 글리치 펄스(glitch pulse)에 대한 잡음 면역성을 강하시키고, 아울러 이퓨즈 링크가 일렉트로 마이그레이션(EM; Electro Migration) 현상에 의해 블로우잉(blowing) 되는 것을 방지하도록 한 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치에 관한 것이다. .

배 경 기 술

[0002] 파워 IC 칩은 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 비휘발성 메모리는 이피롬(EPROM), 이이피롬(EEPROM), 플래시 메모리와 같은 소자가 있다. 그러나 이들 비휘발성 메모리는 긴 공정 시간(Turn-Around Time:TAT), 복잡도의 증가, 낮은 신뢰성 및 높은 제조 비용을 유발하는 부가적인 공정을 필요로 한다.

[0003] 따라서 추가 공정이 필요 없는 이퓨즈(eFuse)나 안티퓨즈(anti-Fuse) 방식의 로직 공정 기반 설계가 가능한 OTP (One-Time Programmable) 메모리 장치가 많이 사용되고 있다. 근래에는 그 중 이퓨즈 방식의 OTP 메모리 장치가 많이 사용된다.

[0004] 이퓨즈 OTP 메모리 장치의 메모리 용량은 수십 비트 이하가 요구된다. 그리고 프로그램은 이퓨즈에 10mA ~ 20mA 정도의 과전류를 흘려 일렉트로 마이그레이션(EM) 현상과 열적 파열(thermal rupture)과 같은 방식으로 이퓨즈 링크를 블로잉(blowing) 하여 수행하고 있다. 이때 이퓨즈는 프로그램 이전 저항이 50 ~ 100Ω 정도이고, 이퓨즈 링크를 통해 프로그램 과전류가 흐르면서 데이터가 프로그램될 경우 이퓨즈는 수십 kΩ이상이 된다.

[0005] 한편, 상기한 이퓨즈 OTP 메모리 장치가 장착된 파워 IC 칩은 파워- 업(Power-up) 동작시 외부 전원전압이 소정 이상(예컨대, 약 1.7V 이상)이 되면 리셋(RST : Reset) 신호를 하이 상태에서 로우 상태로 스위칭하게 된다. 그

렇게 되면 상기 파워 IC 칩은 이퓨즈 OTP 메모리 장치에 저장된 프로그램 데이터를 읽어내어 아날로그 회로에 대한 트리밍(trimming) 동작을 수행한다.

[0006] 하지만, 일반적인 이퓨즈 OTP 메모리 장치가 장착된 파워 IC 칩은 다음과 같은 문제점이 있다.

[0007] 먼저, 파워 IC 칩은 큰 스위칭 전류로 인하여 파워(power)나 그라운드 잡음 등의 이유로 인하여 읽기(RD) 신호에 원하지 않은 글리치 펄스(glitch pulse)가 불필요하게 발생하고 있다. 상기 글리치 펄스가 발생하면, 파워 IC 칩은 읽기 모드를 정상적으로 수행할 수 없는 문제가 초래된다. 이는 파워 IC 칩이 이퓨즈 OTP 메모리 장치의 메모리 셀에 저장된 프로그램 데이터를 정상적으로 읽어내지 못하게 됨을 의미한다. 따라서 파워 IC 칩은 불량 데이터(failed data)를 출력할 수밖에 없고, 아날로그 회로에 대하여 목적하는 트리밍 동작을 수행할 수 없게 된다. 그렇기 때문에 파워 IC 칩의 동작 신뢰성을 향상시키기 위해 글리치 펄스와 같은 잡음 면역성이 강한 이퓨즈 OTP 메모리 장치가 필요하였다.

[0008] 또한 이퓨즈 OTP 메모리 장치에 제공된 읽기 모드용 트랜지스터의 경우, 종종 수십 ㎂의 DC 전류가 흐름으로써 EM 현상에 의해 이퓨즈 링크가 원하지 않게 끊어지는 문제가 발생한다. 이렇게 되면 출력 데이터의 오류를 초래한다.

[0009] 또한, 파워 IC 칩은 패키징(packaging) 된 이후에 내부 회로에서 전기적인 특성 변화가 발생할 수도 있다. 이 경우 파워 IC 칩은 성능 저하나 정상적인 동작이 어렵게 된다. 그렇기 때문에 파워 IC 칩이 패키징 된 이후에도 데이터를 프로그램할 수 있어야 한다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 한국공개특허 2012-0131470, 오티피(OTP) 메모리의 읽기 회로

(특허문헌 0002) 미국공개특허 2009-0251943, Test circuit for an unprogrammed OTP memory array

발명의 내용

해결하려는 과제

[0011] 따라서 본 발명의 목적은 상기한 문제점을 해결하기 위한 것으로, 파워 IC 칩의 읽기 모드시 읽기 신호에서 발생하는 글리치 펄스에 대한 잡음 면역성이 강한 차동 쌍 구조의 이퓨즈 OTP 메모리 장치를 제공하는 것이다.

[0012] 본 발명의 다른 목적은 이퓨즈 링크가 EM 현상에 의해 블로우잉되는 것을 방지하기 위한 것이다.

[0013] 본 발명의 다른 목적은 파워 IC 칩이 패키징 된 상태에서도 데이터를 프로그램할 수 있도록 하는 것이다.

과제의 해결 수단

[0014] 상기한 목적을 달성하기 위한 본 발명의 특징에 따르면, 하나 이상의 OTP 메모리 셀로 이루어진 셀 어레이; 및 읽기 모드에서 읽기 신호에 따라 상기 OTP 메모리 셀에 제공된 프로그램 데이터가 출력될 때, 상기 읽기 신호에 글리치 펄스(glitch pulse)가 발생하면 이후 읽기 모드는 미 수행되게 하는 IRD 제어 회로를 포함하는 차동 쌍 구조의 이퓨즈 OTP 메모리 장치를 제공한다.

[0015] 상기 IRD 제어회로는, 상기 읽기 신호가 하이 상태가 되면 현재 수행되는 읽기 모드가 계속 수행되도록 IRD 신호를 출력한다.

[0016] 상기 읽기 신호가 로우 상태가 되더라도 상기 IRD 신호는 하이 상태를 계속 유지하여 상기 읽기 신호에 의해 출력되는 데이터가 그대로 유지되게 한다.

[0017] 상기 IRD 신호가 로우 상태에서 하이 상태가 되면 상기 읽기 모드가 수행되고, 상기 읽기 모드는 IC 칩의 파워(power)가 다운될 때까지 계속 수행된다.

[0018] 상기 IC 칩은 상기 이퓨즈 OTP 메모리 장치를 포함한다.

[0019] 상기 IRD 제어회로는, 읽기(RD) 신호를 인가받는 제1 인버터; 상기 제1 인버터의 출력과 제1 NAND의 출력을 인

가받는 제2 NAND; 상기 제2 NAND의 출력과 IRSTb 신호를 인가받는 제3 NAND; 상기 제3 NAND의 출력과 제2 인버터를 통해 반전된 읽기(RD) 신호를 인가받고 IRD 신호를 출력하는 제4 NAND;를 포함하고, 상기 제1 NAND 게이트는 상기 IRSTb 신호와 상기 제2 NAND 게이트의 출력을 인가받고 논리 연산된 신호를 상기 제2 NAND 게이트의 입력 신호로 인가하도록 구성된다.

[0020] 본 발명의 이퓨즈 OTP 메모리 장치는, 직렬로 연결되는 제1 NMOS 및 제2 NMOS; 상기 제1 NMOS와 제2 NMOS의 접속 노드에 연결된 제1 이퓨즈; 직렬로 연결되는 제3 NMOS 및 제4 NMOS; 상기 제3 NMOS와 제4 NMOS의 접속 노드에 연결된 제2 이퓨즈; 상기 제2 NMOS 및 제4 NMOS의 게이트에 연결되는 읽기 워드 라인(RWL); 및 가변 풀-업 부하 회로에 의하여 비트라인(BL)(BLb)의 전압이 풀-업 된 경우 상기 비트라인 BL과 BLb의 차동 전압을 센싱하는 감지 증폭기를 더 포함하고, 상기 비트라인 BL에 대한 센싱 동작이 완료될 때, 상기 제2 NMOS와 제4 NMOS는 오프(off) 됨을 특징으로 한다.

[0021] 상기 제2 NMOS와 상기 제4 NMOS가 오프(off) 되면, DC 전류가 차단된다.

[0022] 상기 DC 전류 차단은 워드 라인(WL)에 펄스를 인가하는 구동방식이 이용된다.

[0023] 상기 가변 풀-업 부하 회로는 센싱 마진 테스트를 수행하며, 프로그램 검증 읽기 모드와 읽기 모드에서 사용되는 비트라인(Bit Line) 프리차지 회로의 풀-업 부하의 임피던스를 가변시킨다.

발명의 효과

[0024] 이와 같은 본 발명의 차동 쌍 구조의 이퓨즈 OTP 메모리 장치에 따르면 다음과 같은 효과가 있다.

[0025] 먼저 이퓨즈 OTP 메모리 장치에 글리치 펄스 등과 같은 잡음에 강한 IRD 제어회로를 제공하고 있다. IRD 제어회로는 읽기 모드에서 읽기 신호에 글리치 펄스가 발생할 경우 읽기 모드로 다시 진입하지 못하도록 막아주는 역할을 수행함으로써 한번 읽은 데이터는 그대로 유지되게 하는바, 글리치 펄스 등의 잡음에 강인한 파워 IC 칩을 제공할 수 있다.

[0026] 또한 이퓨즈 링크가 EM 현상에 의해 블로우잉 되는 것을 방지할 수 있어 이퓨즈 OTP 메모리 장치의 신뢰성이 향상되는 효과가 있다.

[0027] 그리고 파워 IC 칩이 패키징 된 상태에서도 데이터의 프로그램이 가능하기 때문에, 파워 IC 칩의 전기적인 특성 변화에 대한 대처가 가능한 효과도 기대할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 실시 예에 따른 이퓨즈(eFuse) OTP 메모리 장치의 블록 구성도

도 2는 도 1의 셀 어레이(140)를 구성하는 단위 메모리 셀인 차동 쌍 이퓨즈 셀을 보인 회로 구성도

도 3은 도 1의 셀 어레이를 구성하는 1행×8열의 셀 어레이 회로도

도 4a 및 도 4b는 도 1의 이퓨즈 OTP 메모리 장치가 프로그램 모드 및 읽기 모드에서 동작하는 타이밍 다이어그램

도 5는 도 1에 도시된 셀 어레이에서 프로그램된 이퓨즈 저항의 변동을 고려하여 센싱 마진 테스트를 수행하기 위한 가변 풀-업 부하 회로 구성도

도 6a 및 도 6b는 비트라인 BL과 BLb의 차동 전압을 감지하여 출력하는 회로 구성도

도 7은 도 1에 도시된 비교부의 회로 구성도

도 8은 본 발명의 실시 예에 따른 이퓨즈 OTP 메모리 장치가 프로그램 검증 읽기 모드로 동작할 때의 타이밍 다이어그램

도 9는 본 발명의 실시 예에 따라 이퓨즈 OTP 메모리 장치에 제공된 IRD 제어회로 구성도

도 10은 본 발명의 이퓨즈 OTP 메모리 장치의 제어 타이밍 다이어그램

도 11은 본 발명의 이퓨즈 OTP 메모리 장치에 제공된 SL 스위칭 회로 구성도

도 12는 본 발명의 실시 예에 따른 프로그램 검증 읽기 모드의 실험 결과로서, (a)는 '1'로 프로그램된 경우, (b)는 '0'으로 프로그램된 경우의 실험 결과 그래프

도 13은 본 발명에 따라 8비트 이퓨즈 OTP 메모리장치의 레이아웃을 보인 이미지 도면

발명을 실시하기 위한 구체적인 내용

[0029] 이하 본 발명에 의한 차동 쌍 구조의 이-퓨즈 OTP 메모리 장치의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0030] 본 발명의 차동 쌍 구조의 이퓨즈 OTP 메모리 장치(이하, '이퓨즈 OTP 메모리 장치'라 함)는 TSMC 0.18㎛ 공정을 이용하여 설계한 8-비트 이퓨즈 OTP 메모리 장치를 말하며, 이러한 이퓨즈 OTP 메모리 장치의 전체 구성도는 도 1을 참조한다.

[0031] 도 1은 본 발명의 실시 예에 따른 이퓨즈 OTP 메모리 장치의 블록 구성도이다.

[0032] 도 1에 도시된 바와 같이 이퓨즈 OTP 메모리 장치(100)는 제어신호에 따른 동작 모드에 적합한 내부 제어신호(control signal)를 공급하는 제어 로직부(110)를 구비한다. 여기서, 상기 동작 모드는 읽기 모드, 프로그램 모드, 프로그램 검증 읽기 모드, 및 리셋 모드로 구분할 수 있다. 그리고 상기 제어신호는 읽기(RD: read) 신호, 프로그램 (PGM: Program) 신호, 프로그램 검증 읽기 인에이블(PVR_EN : Program-verify-read_Enable) 신호, 및 리셋(RST) 신호로 구분된다. 동작모드와 제어신호는 각각 대응된다. 한편, 상기 PVR_EN 신호는 프로그램 검증 읽기 (program-verify-read) 모드와 읽기(read) 모드를 구분하는 역할을 한다. 프로그램 검증 읽기 모드는 프로그램된 이퓨즈의 저항 변동을 고려하여 가변 풀-업 부하를 이용한 센싱 마진 테스트를 수행하는 동작과, 프로그램된 데이터와 이퓨즈 OTP 메모리 셀에 저장된 데이터를 비교하는 동작을 함께 수행한다. 읽기 모드는 프로그램을 리드하는 노말(normal) 리드 모드를 말한다.

[0033] 이퓨즈 OTP 메모리 장치(100)는 어드레스 신호(ADD[2:0])를 디코딩하여 프로그램되는 열(column)을 선택하는 프로그램 컬럼 선택부(PGM_COL_SEL)(120)와, 프로그램 컬럼 선택부(120)에 의해 선택된 메모리 셀에 프로그램된 데이터를 저장하는 프로그램 데이터 래치부(PD latch)(130)를 구비한다. 프로그램 데이터 래치부(130)는 프로그램 모드에서 이퓨즈 OTP 메모리 장치(100)를 프로그램하는데 사용하는 프로그램 입력 데이터(DIN)를 래치하는 역할을 한다.

[0034] 또한 이퓨즈 OTP 메모리 장치(100)에는 상기 동작 모드에 따라 이퓨즈를 프로그램하거나 프로그램된 데이터를 읽는 동작을 수행하도록 OTP 셀 어레이(이하, '셀 어레이'라고 하기도 함)(140)가 구비된다. 실시 예에서는 셀 어레이(140)는 1행 × 8열로 구성되며, 이퓨즈 링크의 센싱 저항이 작은 차동 쌍 이퓨즈 OTP 셀(differential paired eFuse OTP cell: 이하, '메모리 셀'이라고 하기도 함)을 사용하였다. 그리고 이퓨즈에 사용되는 링크(즉, 이퓨즈 링크)는 'n-poly silicon' 또는 'Co-silicide'을 사용한다. 이와 같은 셀 어레이(140)를 구성하는 메모리 셀에 대해서는 도 2를 참조하여 아래에서 상세하게 설명할 것이다.

[0035] 또한 이퓨즈 OTP 메모리 장치(100)에는 제어 로직부(110)의 제어동작에 따라 셀 어레이(140)로부터 데이터를 제공받는 데이터 출력 버퍼부(160)가 구비된다. 그리고 데이터 출력 버퍼부(160)는 데이터를 출력 포트([7:0])(DOUT/DOUTb)를 통해 출력하거나 프로그램 검증 읽기 모드를 위해 사용된다.

[0036] 또한 이퓨즈 OTP 메모리 장치(100)에는 비교부(170)가 구비된다. 비교부(170)는 프로그램 데이터 래치부(130)의 프로그램 데이터(PD[7:0])와 데이터 출력 버퍼부(160)에 저장된 읽기 데이터(DOUT[7:0])가 서로 일치하는지 비교하는 역할을 한다. 상기 비교 결과, 비교부(170)는 PFb(pass fail bar) 핀을 통해 '1' 또는 '0' 신호를 선택적으로 출력하게 된다. 신호 '1'은 8-비트가 모두 일치하여 정상적으로 프로그램된 경우에 출력되는 신호이고, 신호 '0'은 8- 비트 중 적어도 하나의 비트가 일치하지 않아 정상적으로 프로그램이 되지 않았을 때 출력되는 신호이다. 이와 같은 과정은 프로그램 검증 읽기 모드에서 수행된다.

[0037] 이어서는 이퓨즈 OTP 메모리 장치(100)의 특징에 대해 살펴본다.

[0038] 이퓨즈 OTP 메모리 장치(100)는 1-비트의 프로그램 비트와 8-비트의 읽기 비트를 사용한다. 그리고 메모리 셀(141, 도 2)에 데이터를 프로그램하는 프로그램 시간은 200㎲ 이다. 또한 사용되는 전원전압 VDD은 단일 전원이 사용된다. VDD 전압은 프로그램 모드에서는 이퓨즈 링크에 충분한 프로그램 파워(power)를 공급하기 위하여 3.9V가 사용되고, 읽기 모드에서는 3.0 ~ 3.6V가 사용된다. 또한 3.3V MOS 트랜지스터만 사용하여 제조공정에서의 마스크(Mask) 개수를 줄였다.

[0039] 위에서 설명한 이퓨즈 OTP 메모리 장치(100)의 주요 특징을 표 1로 나타내면 다음과 같다.

표 1

[0040]

항목	주요 특징
제조공정	TSMC 0.18㎛ 공정
OTP cell array size	1행 * 8열
Fuse Type	n-poly silicon (Co-silicide)
공급전압	3.0V ~ 3.6V
온도	-40 ℃ ~ 125 ℃
동작모드	프로그램 모드 (Program mode)
	프로그램 검증 읽기 모드 (Program -Verify -Read mode)
	노말 읽기 모드 (Normal Read mode)
	리셋 모드
Program bit/Read bit	1bit/8bit
Program 전압	3.9V
Program 시간	200㎲
액세스 시간	200ns

[0041] 다음에는 이퓨즈 OTP 메모리 장치(100)에 적용되는 메모리 셀(141)의 구성을 도 2를 참조하여 살펴본다. 도 2는 도 1의 셀 어레이(140)를 구성하는 단위 메모리 셀인 차동 쌍 이퓨즈 셀을 보인 회로 구성도이다.

[0042] 도 2에 도시된 바와 같이 메모리 셀(141)은 총 4개의 MOS 트랜지스터 및 2개의 이퓨즈 소자로 구성되며 서로 대칭되는 구조이다.

[0043] 구체적으로 보면 메모리 셀(141)은 프로그램 데이터를 저장하는 제1 데이터저장부(142) 및 상보적(complementary) 프로그램 데이터를 저장하는 제2 데이터저장부(144)로 구분된다.

[0044] 제1 데이터저장부(142)는 제1 NMOS(MN1)와 제2 NMOS(MN2)가 직렬 연결되는 구성이며, 연결되는 노드 N1에 제1 이퓨즈(eFuse 1)가 연결된다. 제1 NMOS(MN1)는 게이트 단자를 통해 비트라인(BL)의 선택을 위한 'PGM_BL_SEL' 신호를 인가받고 소스 단자에는 접지전압(Vss) 라인이 연결된다. 그리고 제2 NMOS(MN2)는 게이트 단자에 읽기 워드 라인(RWL : read word line)이 연결되고, 드레인 단자에 비트 라인(BL)이 연결된다.

[0045] 제2 데이터저장부(144)는 제1 데이터저장부(142)를 구성하는 동일한 소자가 제공되며 서로 대칭되어 구성된다. 즉 제3 NMOS(MN3)와 제4 NMOS(MN4)는 직렬 연결된다. 그리고 연결되는 노드 N2에 제2 이퓨즈(eFuse 2)가 연결된다. 또한 제3 NMOS(MN3)는 게이트 단자를 통해 프로그램 비트라인(BLb) 선택을 위한 'PGM_BLb_SEL' 신호를 인가받고 소스 단자에는 접지전압(Vss) 라인이 연결된다. 그리고 제4 NMOS(MN4)는 게이트 단자에 읽기 워드 라인(RWL : read word line)이 연결되고, 드레인 단자에 비트 라인(BLb)이 연결된다.

[0046] 여기서, 제1 NMOS(MN1) 및 제3 NMOS(MN3)는 큰 프로그램 전류를 흐를 수 있는 프로그램 트랜지스터로 사용되고, 제2 NMOS 트랜지스터(MN2) 및 제4 NMOS 트랜지스터(MN4)는 읽기 모드 시의 전류를 줄일 수 있는 읽기 전용 트랜지스터로 사용된다.

[0047] 또한 제1 이퓨즈(eFuse 1) 및 제2 이퓨즈(eFuse 2)가 연결되는 노드 N3에 선택라인(SL)이 연결된다. 선택라인(니은 동작모드에 따라 서로 다른 전압을 인가하는 스위칭 전원의 역할을 한다. 즉, 프로그램 모드에서는 3.9V의 프로그램 전압을 인가하여 이퓨즈 링크에 과전류를 흘려주고, 읽기 모드, 프로그램 검증 읽기 모드 및 리셋 모드에서는 0V를 인가하게 된다.

[0048] 한편, 메모리 셀(141)의 제 1 내지 제 4 NMOS(MN1)(MN2)(MN3)(MN4)는 '0' 또는 '1'의 프로그램 데이터에 따라 서로 다른 상태를 갖는다.

[0049] 즉 프로그램 데이터가 '1'인 경우를 먼저 설명한다. 이때는 PGM_BL_SEL 신호 및 PGM_BLb_SEL 신호는 각각 3.9V 및 0V로 인가된다. 따라서 제1 이퓨즈(eFuse 1)와 제1 NMOS(MN1)를 통해 과전류가 흐르면서 제1 이퓨즈(eFuse 1)는 블로잉(blowing) 상태가 된다. 상기 블로잉은 이퓨즈 링크가 오픈(open)된 상태를 말하며, 이 경우 저항은 수십 kΩ이 되어 프로그램을 할 수 없는 상태가 된다.그리고 제3 NMOS(MN3)는 오프(off) 상태이기 때문에 제2 이퓨즈(eFuse 2)는 블로잉(blowing) 되지 않는다.

[0050] 반면, 프로그램 데이터가 '0'인 경우이다. 이때는 반대로 제1 NMOS(MN1)는 오프 상태, 제3 NMOS(MN2)는 온(on)

상태를 갖는다. 따라서 제2 이퓨즈(eFuse 2)만 블로잉(blowing) 상태가 되고, 제1 이퓨즈(eFuse 1)는 블로잉(blowing) 되지 않는다.

[0051] 그리고 메모리 셀(141)은 프로그램 모드와 읽기 모드시에 서로 다른 셀 바이어스 조건을 제공한다. 프로그램 모드와 읽기 모드에 따른 셀 바이어스 전압은 [표 2]에 나타내고 있다.

표 2

[0052]

	프로그램 모드				읽기 모드	
	Unselected Cell		Selected Cell			
DIN	0	1	0	1	0	1
RWL	0	0	0	0	VDD	7VDD
PGM_BL_SEL	0V	0V	0V	VDD	0V	0V
PGM_BLb_SEL	0V	0V	VDD	0V	0V	0V
SL	VDD	VDD	VDD	VDD	0V	0V
BL	Floating	Floating	Floating	Floating	0V	VDD
BLb	Floating	Floating	Floating	Floating	VDD	0V

[0053] 도 3은 도 1의 셀 어레이를 구성하는 1행×8열의 셀 어레이 회로도이다.

[0054] 이를 보면 도 2에 도시한 메모리 셀이 1행×8열로 배치되어 구성됨을 알 수 있다. 물론 도면에서는 메모리 셀의 일부를 생략한 채, 2개의 메모리 셀만 도시하였다.

[0055] 그리고 셀 어레이는 읽기 워드 라인(RWL)과 선택 라인(SL)은 행(row) 방향이며, BL[7:0], BLb[7:0], PGM_BL_SEL[7:0]과 PGM_BLb_SEL[7:0]은 열(column) 방향으로 라우팅된다.

[0056] 이어서는 이퓨즈 OTP 메모리 장치(100)의 동작 타이밍을 살펴보기로 한다.

[0057] 도 4a 및 도 4b는 도 1의 이퓨즈 OTP 메모리 장치가 프로그램 모드 및 읽기 모드에서 동작하는 타이밍 다이어그램을 나타낸다.

[0058] 도 4a의 프로그램 모드를 보면, 먼저 어드레스 신호 A[2:0]와 입력 데이터(DIN)가 인가되면(a, b 시점), 프로그램 신호가 c 시점에서 하이 상태로 활성화된다. 그러면 제어 로직부(110)는 프로그램 컬럼 선택부(120)에 의해 선택된 메모리 셀에 1 비트의 입력 데이터를 프로그램하게 된다.

[0059] 프로그램은 프로그램 시간인 t_{PGM} 동안 수행된다. 프로그램이 완료되면, 어드레스 신호 A[2:0]와 입력 데이터(DIN)는 로우 상태가 된다.

[0060] 도 4b는 읽기 모드 시의 타이밍 다이어그램이다. 읽기 모드는 읽기 신호(RD) 신호가 하이 상태로 활성화 되면(a 시점), 제어 로직부(110)는 셀 어레이(140)를 구성하는 8개의 메모리 셀에 저장된 8비트 데이터를 액세스 시간 파라미터인 t_{AC} 시간이 지난 b 시점에 데이터 출력 버퍼부(160)를 통해 출력시킨다.

[0061] 한편, 이퓨즈 OTP 메모리 장치(100)는 프로그램 검증 읽기 모드와 읽기 모드에서 프로그램된 이퓨즈 링크의 센싱 능력이 있어야 한다. 즉, 이퓨즈 OTP 메모리 장치(100)는 데이터 보존 시간동안 프로그램된 이퓨즈 링크의 저항이 줄어들기 때문에, 이 경우에도 센싱 불량이 발생하지 않도록 해야 한다. 이를 위해서 본 발명은 가변 풀-업 부하를 이용한 센싱 마진 테스트 기능을 제공한다. 이는 도 5를 참조한다.

[0062] 도 5는 도 1에 도시된 셀 어레이에서 프로그램된 이퓨즈 저항의 변동을 고려하여 센싱 마진 테스트를 수행하기 위한 가변 풀-업 부하 회로 구성도이다.

[0063] 도 5에 도시된 바와 같이, 가변 풀-업 부하회로(150)는 PMOS 소자로 구성되며 BL_LOADb 신호를 인가받는 읽기 모드용 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)와, PMOS 소자로 구성되며 TM_BL_LOADb 신호를 인가받는 프로그램 검증 읽기용 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)를 포함한다. 그리고 제1 및 제3 풀-업 부하 트랜지스터(MP1)(MP3)는 비트라인(BL)과 연결되며, 제2 및 제4 풀-업 부하트랜지스터(MP2)(MP4)는 비트라인(BLb)과 연결된다. 이와 같은 제1 내지 제4 풀-업 트랜지스터(MP1)(MP2)(MP3)(MP4)는 모두 하이-임피던스(high-impendance)를 유지하도록 설계된다.

[0064] 또한 가변 풀-업 부하회로(150)에는 BL 프리차지를 위한 BL_PCG 신호를 인가받는 NMOS용 제1 및 제2 트랜지스터

(MN1)(MN2)가 포함되고 있다.

[0065] 여기서 제1 트랜지스터(MN1)는 제1 및 제3 풀-업 부하 트랜지스터(MP1)(MP3)와 연결되고, 제2 트랜지스터(MN2)는 제2 및 제4 풀-업 부하 트랜지스터(MP2)(MP4)와 연결된다.

[0066] 이러한 구성의 가변 풀-업 부하회로(150)는 메모리 셀(141)의 읽기 워드 라인(RWL) 신호가 전원전압(VDD)으로 활성화되면 BL_LOADb 신호가 0V 구간 동안 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)에 의해 비트라인(BL, BLb)는 전원전압(VDD)로 풀-업된다. 이때 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)는 오프 상태가 된다.

[0067] 그리고 제1 내지 제4 풀-업 트랜지스터(MP1)(MP2)(MP3)(MP4)의 임피던스는 크기 때문에, 프로그램되지 않은 이퓨즈에 연결된 비트라인(BL)은 접지전압(VSS)을 유지하고, 반면 프로그램된 이퓨즈에 연결된 비트라인(BL)은 전원전압(VDD)으로 풀-업 된다. 만약 프로그램되지 않은 메모리 셀(141)을 읽는 경우 비트라인(BL)의 프리차지 전압인 전원전압(VDD)은 도 2에 도시된 제2 NMOS(MN2) 및 제4 NMOS(MN4)와 제1 이퓨즈(eFuse 1) 및 제2 이퓨즈(eFuse 2)를 통해 그라운드(GND)로 방전된다.

[0068] 한편 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)는 OTP IP의 테스트 동안에만 사용되며, 이때 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)는 오프 상태이다.

[0069] 따라서 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)는 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)의 임피던스보다 크다. 이 때문에, 프로그램 검증 읽기 모드에서의 차동 전압은 읽기 모드의 차동 전압보다 줄어들며, 센싱 가능한 이퓨즈 저항은 읽기 모드보다 커야한다.

[0070] 결국 센싱 가능한 이퓨즈 저항의 차이 값이 생기며, 이러한 저항 차이 값이 데이터 보존 시간 동안의 마진(margin) 저항이 된다. 상기 마진 저항을 통해 프로그램된 이퓨즈 링크의 저항 변동에 대한 마진 테스트를 수행할 수가 있는 것이다.

[0071] 다음에는 비트라인 BL과 BLb의 차동 전압을 감지하여 출력하는 회로를 도 6a 및 도 6b를 참조하여 설명한다.

[0072] 도 6에는 도 5에 도시된 가변 풀-업 부하 회로에 의하여 비트라인(BL)(BLb)의 전압이 풀-업된 경우 그 비트라인인 BL과 BLb의 차동 전압(Differential voltage)을 감지하는 BL 감지 증폭기(BL S/A, BL Sense Amplifier)의 회로 구성도가 도시되어 있다.

[0073] BL S/A(161)는 BL과 BLb의 차동전압(differential voltage)을 센싱하는 S/A 기반의 D 플립플롭 회로로서 'negative edge triggered D F/F'를 사용하고 있다. 아울러 센싱된 차동 전압을 래치하도록 SR 래치 회로가 함께 구비된다.

[0074] 이와 같은 BS S/A(161)는 SAENb가 하이(high) 구간 동안에는 노드 N1과 N2는 접지전압(VSS)를 유지한다. 그리고 SR 래치 회로는 이전 상태의 데이터를 래치한다. 그러다가 상기 SAENb가 로우(low) 상태가 되면 비트라인 BL과 BLb의 차동 전압(differential voltage)을 센싱하고 이를 데이터 출력포트인 DOUT와 DOUTb를 통해 출력하는 역할을 한다.

[0075] 이때, 도 6a는 리셋 모드에서 DOUT를 '0'으로 리셋하고, 도 6b는 리셋 모드에서 DOUT를 '1'로 리셋한다.

[0076] 이처럼 BL 감지 증폭기(161)는 데이터 출력 버퍼부(160)의 기능을 수행하는 것이다. 즉 데이터 출력 버퍼부(160)가 BL 감지 증폭기(161)의 전부 또는 일부 기능을 수행한다고 할 수 있다.

[0077] 한편, 본 발명은 이퓨즈 OTP 메모리 장치(100)의 메모리 셀에 데이터가 정상적으로 프로그램되었는지 여부를 확인할 수 있는 기능도 제공한다. 이는 도 7 및 도 8을 참조하기로 한다.

[0078] 도 7은 도 1에 도시된 비교부의 회로 구성도이고, 도 8은 본 발명의 실시 예에 따른 이퓨즈 OTP 메모리 장치가 프로그램 검증 읽기 모드로 동작할 때의 타이밍 다이어그램이다.

[0079] 동적 의사 NMOS(Dynamic pseudo NMOS) 로직 회로를 이용하는 비교부(170) 동작은 다음과 같다.

[0080] 프로그램 모드 이후 데이터 비교를 위한 인에이블 신호(COMP_EN)가 하이 상태로 활성화되면 프로그램 검증 읽기 모드가 수행된다.

[0081] 프로그램 검증 읽기 모드에 따라 읽기 신호와 PVR_EN 신호는 모두 하이(high) 상태가 되고, 소정의 액세스 시간(t_{AC}) 동안 비교부(170)는 프로그램 데이터 래치부(130)에 래치된 프로그램 데이터(PD[7:0])와 데이터 출력 버퍼부(160)에 저장된 읽기 데이터(DOUT[7:0])가 서로 일치하는지 비교한다.

[0082] 그리고, 상기 액세스 시간(t_{AC})이 지난 이후 PFb 핀을 통해 비교결과를 출력한다. 비교 결과는 프로그램 데이터(PD[7:0])와 읽기 데이터(DOUT[7:0])가 모두 일치한 경우에는 매치(Match) 신호는 전원 전압(VDD)를 유지하면서 PFb 핀을 통해 전원전압(VDD)을 출력한다. 반면 프로그램 데이터(PD[23:0])와 읽기 데이터(DOUT[23:0]) 중 적어도 한 비트 이상이 상이하면 매치 신호는 0V로 방전되고 PFb는 0V를 출력한다.

[0083] 따라서 이퓨즈 OTP 메모리 장치(100)는 패키징 된 상태에서도 데이터가 메모리 셀(141)에 정상적으로 프로그램 되었는지를 테스트할 수 있다.

[0084] 한편, 이-퓨즈 OTP 메모리 장치(100)가 제공되는 파워 IC 칩은 큰 스위칭 전류로 인한 파워(power)나 그라운드(ground) 잡음 등으로 인하여 읽기 신호에 불필요한 글리치 펄스가 발생할 수 있고, 이로 인해 아날로그 회로를 정상적으로 트리밍 할 수 없음은 앞서 설명한 바 있다.

[0085] 따라서 본 발명은 읽기 모드에서 읽은 프로그램 데이터를 계속 유지할 수 있도록 하는 잡음 면역성이 강한 이-퓨즈 OTP 메모리 장치를 제공한다. 이를 위해 이-퓨즈 OTP 메모리 장치(100)에는 IRD(Internal Read Data) 제어회로(180)가 제공된다.

[0086] IRD 제어회로(180)는 도 9를 참조한다.

[0087] 도 9에 도시된 바와 같이 IRD 제어회로(180)는, 읽기 신호를 인가받는 제1 인버터와, 제1 인버터의 출력과 제1 NAND의 출력을 인가받는 제2 NAND와, 제2 NAND의 출력과 IRSTb 신호를 인가받는 제3 NAND와, 제3 NAND와 제2 인버터를 통해 반전된 읽기 신호를 인가받고 IRD 신호를 출력하는 제4 NAND를 포함한다. 이때, 제1 NAND는 IRSTb 신호와 상기 제2 NAND의 출력을 인가받아 논리 연산하고 그 출력을 상기 제2 NAND의 입력 신호로 인가하게 된다.

[0088] 이렇게 구성된 IRD 제어회로(180)는, 읽기 신호에 글리치 펄스(glitch pulse)가 발생하더라도 파워(power)가 다운될 때까지 다시 읽기 모드로 진입하지 못하도록 막아주는 역할을 한다. 즉, IRD 신호는 읽기 신호가 하이 상태에서 로우 상태가 되더라도 계속 하이 상태를 유지함으로써, 다시 읽기 모드가 수행되지 않게 하는 것이다.

[0089] 한편, 본 발명은 이퓨즈 링크가 EM(Electro-Migration) 현상에 의해 강제로 블로우잉 되는 것을 방지하여 신뢰성을 개선하고 있다.

[0090] 이는 이퓨즈 OTP 메모리 장치(100)의 제어 타이밍 다이어그램을 설명한 도 10을 참조하여 설명한다.

[0091] 도 10을 보면, 읽기 신호가 하이 상태가 되면 IRD 신호도 하이 상태로 스위칭 동작하면서 읽기 모드로 진입한다. 그러면 RWL 신호에 의해 메모리 셀(141)의 데이터는 BL 및 BLb로 전달되고 BL 감지 증폭기(161)의 SAENb 신호에 의해 차동 입력을 센싱하는 동작이 수행된다.

[0092] 그리고 워드 라인(WL)에 펄스를 인가하는 방식(즉, pulsed WL 구동방식)을 이용하여 비트 라인(BL)에 대한 센싱 동작이 완료되는 순간, 도 2에서 읽기 워드 라인(RWL)과 연결된 제2 및 제4 NMOS(MN2)(MN4)를 오프 시킨다.

[0093] 그러면 상기 제2 및 제4 NMOS(MN2)(MN4)를 통해 흐르는 DC 전류가 차단되기 때문에 이-퓨즈 OTP 메모리 장치(100)의 고신뢰성을 확보할 수 있게 된다.

[0094] 이렇게 함으로써, 종래 EM(Electro-Migration) 현상으로 인하여 이퓨즈 링크가 원하지 않게 끊어지게 되는 문제를 방지할 수 있게 된다. 즉 종래에는 읽기 워드 라인(RWL) 신호가 계속 하이 상태를 유지할 경우, 도 2에 도시한 상기 제2 및 제4 NMOS(MN2)(MN4)와, 도 5에 도시한 제1 및 제3 풀-업 부하 트랜지스터(MP1)(MP3)가 항상 온(on) 상태를 유지하기 때문에 이퓨즈 링크를 통해 수십 ㎂의 DC 전류가 계속 흘러 이퓨즈 링크가 원하지 않게 끊어졌고, 이처럼 이퓨즈 링크가 EM 현상으로 끊어지면, 이는 결국 'Low'로 읽혀져야 할 정보가 'High'로 읽혀지는 오류가 발생했던 것이다. 이때, 이퓨즈 링크가 프로그램되어 끊어진 상태를 'High', 그렇지 않은 상태를 'Low'로 한다.

[0095] 한편 본 발명은 파워 IC 칩이 패키징 된 상태에서 전기적인 특성 변화가 발생할 수도 있다. 그래서 파워 IC 칩이 패키징 상태에서도 메모리 셀에 데이터를 프로그램할 수 있는 기능도 제공한다.

[0096] 데이터 프로그램은, 단일전원인 VDD를 사용하며 프로그램 모드에서 수행된다. 즉 프로그램 모드가 수행되면, 프로그램 데이터는 도 2의 제1 및 제3 NMOS (MN1)(MN3)의 게이트 단자에 공급되고 스위칭 전원인 선택 라인(SL)를 통해 프로그램 전압(즉 3.9v)이 공급된다. 물론, 프로그램 모드가 아니고 읽기 모드가 되면 상기 선택라인(SL)의 스위칭 전압은 0v를 유지할 것이다.

[0097] 이처럼 프로그램 전압이 공급되면 이퓨즈 링크는 블로우잉되며, 그 결과 이퓨즈 링크에 데이터를 다시 프로그램하는 것이 가능해진다.

[0098] 여기서, 상기 프로그램 모드가 수행될 때 전원전압(VDD)과 접지전압(VSS) 상호 간의 스위칭 전류로 인하여 발생하는 전압 강하를 줄이기 위한 요구가 필요하다. 그래서 도 11에 도시한 SL 스위칭회로를 사용할 수 있다.

[0099] 도 11에 도시한 SL 스위칭 회로(190)의 구성을 살펴보면, 우선 전원전압(VDD)과 접지전원(VSS) 사이에 PMOS와 NMOS가 직렬 연결된다. 그리고 PMOS와 NMOS 사이의 노드는 선택라인(SL)에 연결된다.

[0100] 또한 PMOS의 게이트에는 제1 NAND 및 제1 내지 제6 인버터가 직렬 연결되고, NMOS의 게이트에는 제2 NAND 및 제1-1 내지 제5-1 인버터가 직렬 연결된다. 여기서, 제1 NAND는 제1 신호와 상기 제4-1 인버터의 출력신호를 입력으로 받고, 제2 NAND는 제2 신호와 제4 인버터의 출력신호를 입력으로 받는다. 제2 신호는 제1 신호가 인버터를 통해 출력되는 신호이다.

[0101] 이렇게 하면, 전원전압(VDD)과 접지전압(VSS) 사이에서 발생하는 전압강하를 줄일 수 있다.

[0102] 이어서는 본 실시 예인 이퓨즈 OTP 메모리 장치에서 프로그램된 이퓨즈 링크의 센싱 저항에 대한 실험 결과를 알아보기로 한다.

[0103] 실험에 사용된 본 발명의 이퓨즈 OTP 메모리 장치(100)는 TSMC 0.18㎛ 공정을 이용하여 8 비트로 설계하였다. 그리고 모의 실험 조건은 전원전압(VDD)= 3.6V, FF 모델 파라미터, -40℃이다.

[0104] 실험 결과는 다음의 표 3 및 표 4에 나타냈다. 표 3은 읽기 모드에서 프로그램된 이퓨즈 링크의 센싱 저항에 대한 실험 결과이고, 표 4는 프로그램 검증 읽기 모드에서 프로그램된 이퓨즈 링크의 센싱 저항에 대한 실험 결과이다.

표 3

[0105]

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3.0v	-40℃	4K	3K	4K	4K	3K
	25℃	5K	4K	4K	4K	4K
	125℃	5K	4K	5K	5K	4K
3.3v	-40℃	3K	3K	3K	3K	3K
	25℃	4K	3K	3K	4K	3K
	125℃	4K	4K	4K	4K	4K
3.6v	-40℃	3K	3K	3K	3K	2K
	25℃	3K	3K	3K	3K	3K
	125℃	4K	3K	3K	4K	3K

표 4

[0106]

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3.0v	-40℃	30K	24K	26K	29K	22K
	25℃	35K	28K	30K	33K	26K
	125℃	43K	34K	37K	40K	31K
3.3v	-40℃	25K	20K	21K	23K	19K
	25℃	29K	23K	25K	27K	22K
	125℃	35K	27K	29K	32K	25K
3.6v	-40℃	20K	16K	17K	18K	15K
	25℃	23K	18K	20K	22K	17K
	125℃	29K	23K	24K	26K	21K

[0107] 이를 보면, 읽기 모드의 센싱 저항은 2kΩ이고, 프로그램 검증 읽기 모드의 센싱 저항은 15kΩ로 나타났다. 이를 통해 본 발명의 이퓨즈 OTP 메모리 장치(100)는 프로그램된 이퓨즈 저항이 13kΩ로 이하로 떨어지지 않는 이상 정상적으로 센싱이 가능함을 확인할 수 있었다.

[0108] 도 12는 본 발명의 실시 예에 따른 프로그램 검증 읽기 모드의 실험 결과로서, 도 12a는 '1'로 프로그램된

경우, 도 12b는 '0'으로 프로그램된 경우이다.

[0109] 이를 보면, 읽기 신호가 활성화되면 소정의 액세스 시간이 지난 후 출력 데이터가 출력된다.

[0110] 그리고 이후에 비교를 위한 인에이블 신호가 활성화되면 비교부(170)의 PFb는 프로그램 데이터(PD[7:0])와 읽기 데이터(DOUT[7:0])를 비교하고 그 결과를 출력하고 있다. 비교 결과, 프로그램 데이터(PD[7:0])와 읽기 데이터(DOUT[7:0])가 일치하면 'PASS'를 출력하고 있고 반대로 일치하지 않는 경우에는 'FAIL'를 출력하고 있다.

[0111] 도 13은 본 발명에 따라 8비트 이퓨즈 OTP 메모리장치의 레이아웃을 보인 이미지 도면이다.

[0112] 레이 아웃 면적은 189.625㎛ × 138.850㎛으로, 0.0263㎟이다.

[0113] 이상에서 설명한 바와 같이 본 발명은 글리치 펄스 등의 잡음에 강인하고, 이퓨즈 링크가 EM 현상에 의해 강제적으로 블로우잉 되는 것을 방지하는 이퓨즈 OTP 메모리 장치를 제공하는 것을 기본적인 기술적 요지로 하고 있음을 알 수 있다.

[0114] 이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

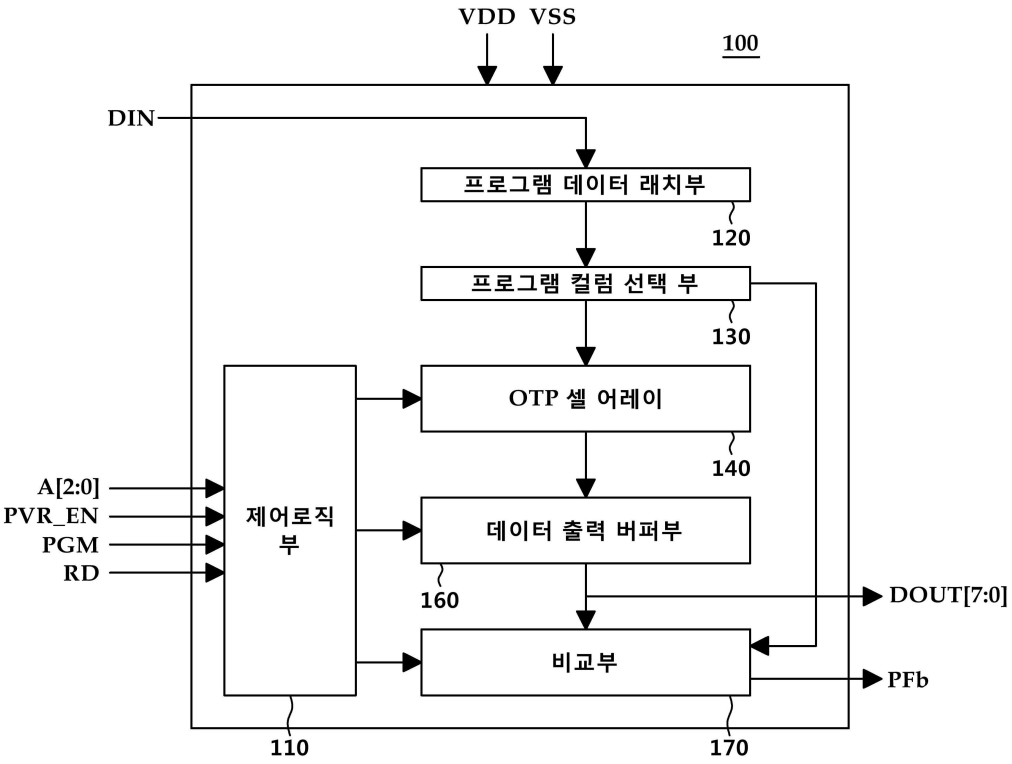
부호의 설명

[0115]

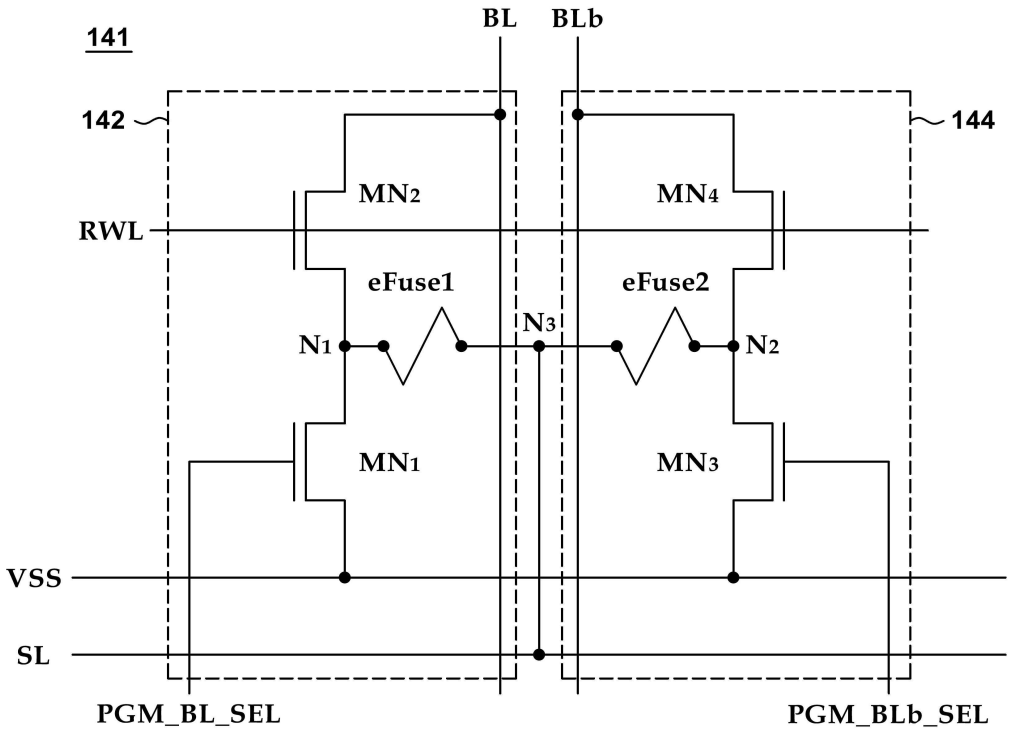
100 : 이퓨즈 OTP 메모리 장치	110 : 제어 로직부
120 : 프로그램 컬럼 선택부	130 : 프로그램 데이터 래치부
140 : OTP 셀 어레이	141 : 메모리 셀
150 : 가변 풀-업 부하회로	160 : 데이터 출력 버퍼부
161 : BL 감지 증폭기	170 : 비교부
180 : IRD 제어회로	190 : SL 스위칭 회로

도면

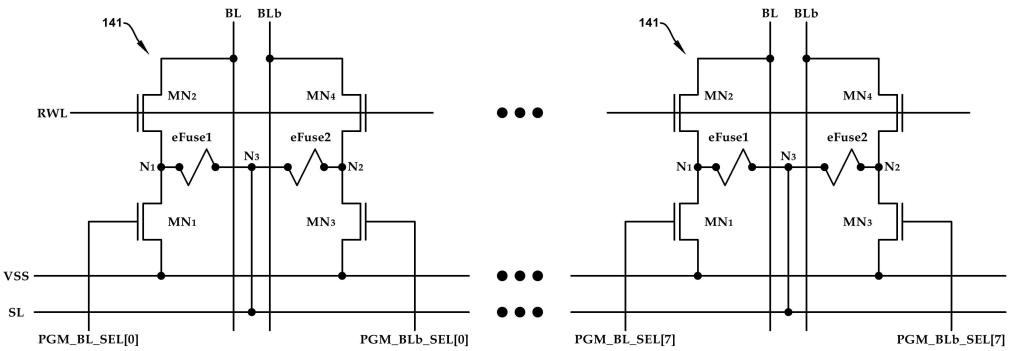
도면1


VDD VSS
100
DIN
프로그램 데이터 래치부
120
프로그램 컬럼 선택 부
130
OTP 셀 어레이
140
A[2:0]
PVR_EN
PGM
RD
제어로직 부
데이터 출력 버퍼부
160
DOUT[7:0]
비교부
PFb
110
170

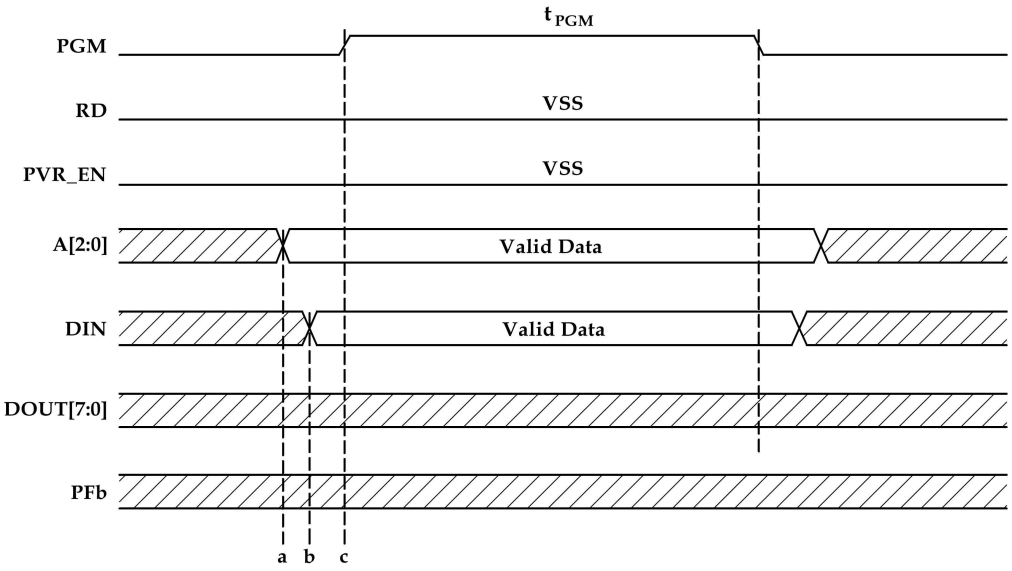
도면2


BL
BLb
141
142
144
MN2
MN4
RWL
eFuse1
eFuse2
N3
N1
N2
MN1
MN3
VSS
SL
PGM_BL_SEL
PGM_BLb_SEL

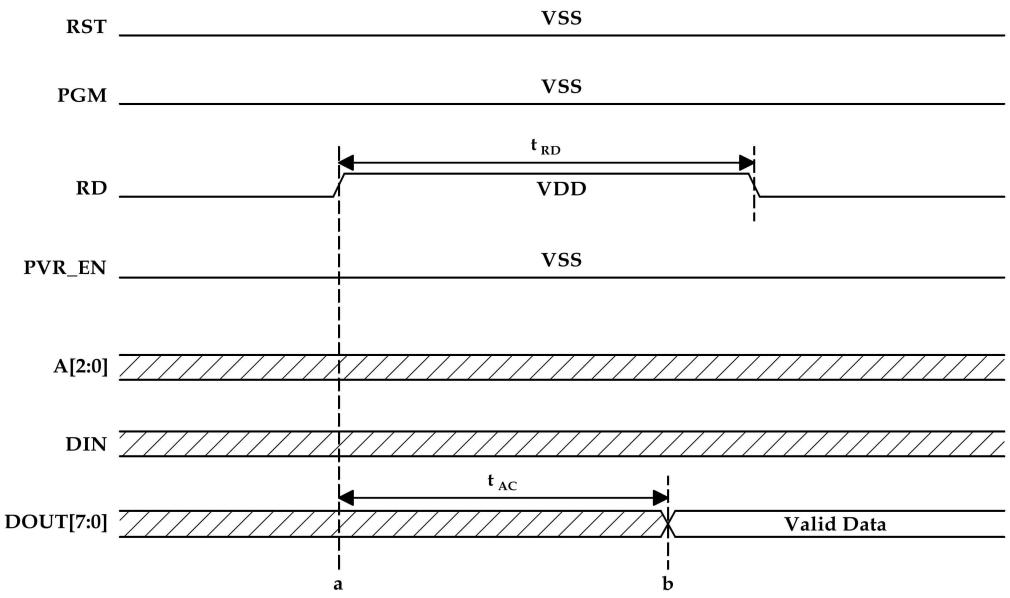
도면3



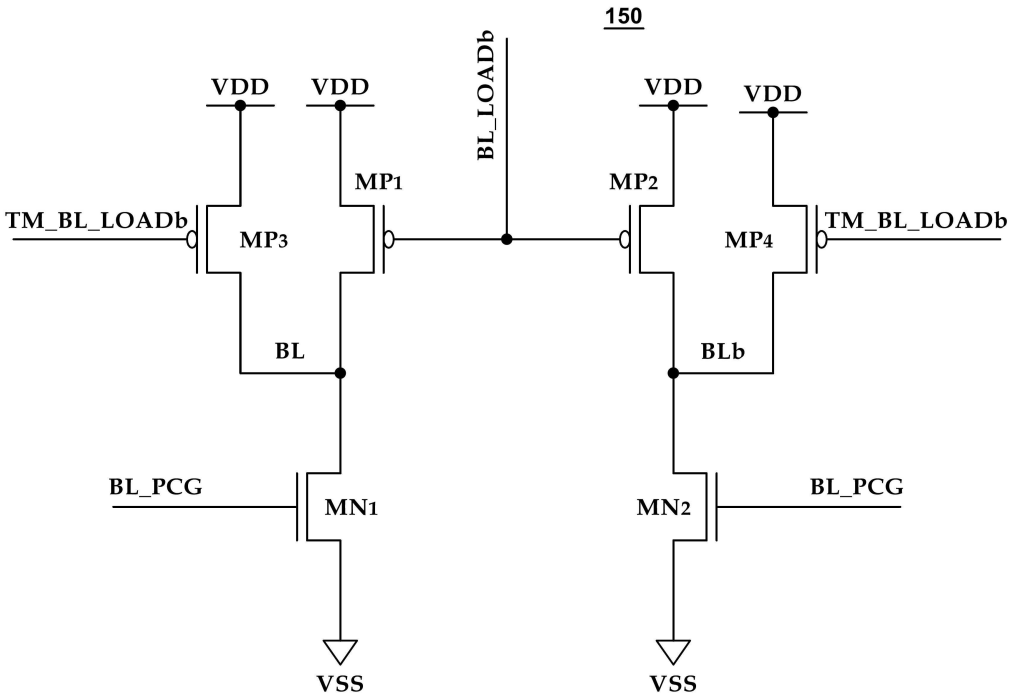
도면4a



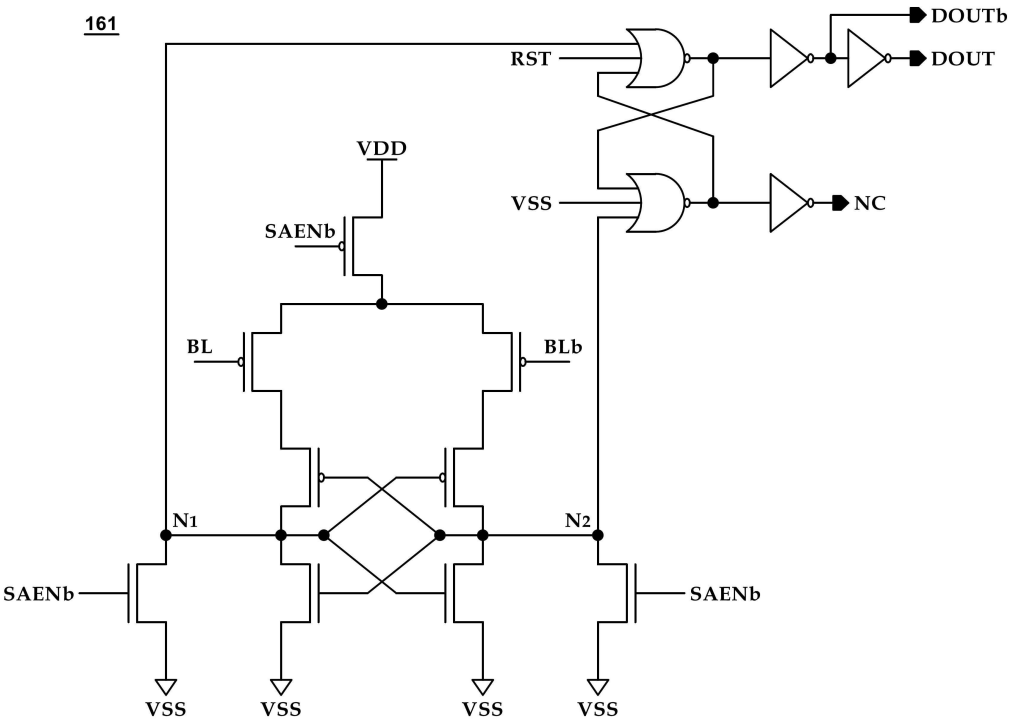
도면4b



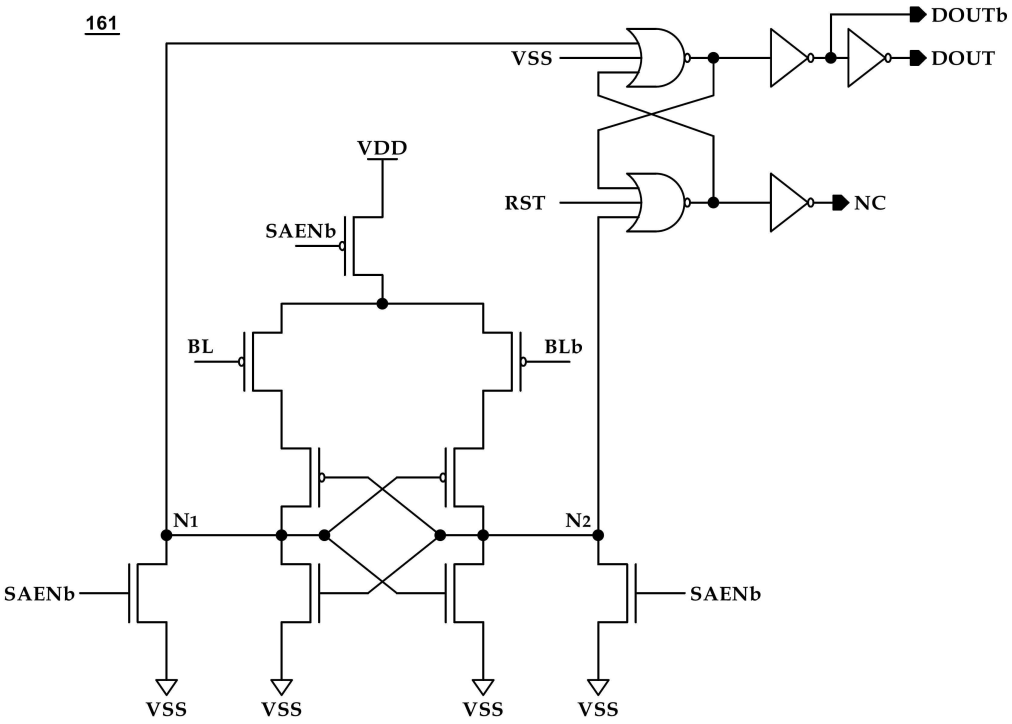
도면5


150
BL_LOADb
VDD
VDD
VDD
VDD
MP1
MP2
TM_BL_LOADb
MP3
MP4
TM_BL_LOADb
BL
BLb
BL_PCG
MN1
MN2
BL_PCG
VSS
VSS

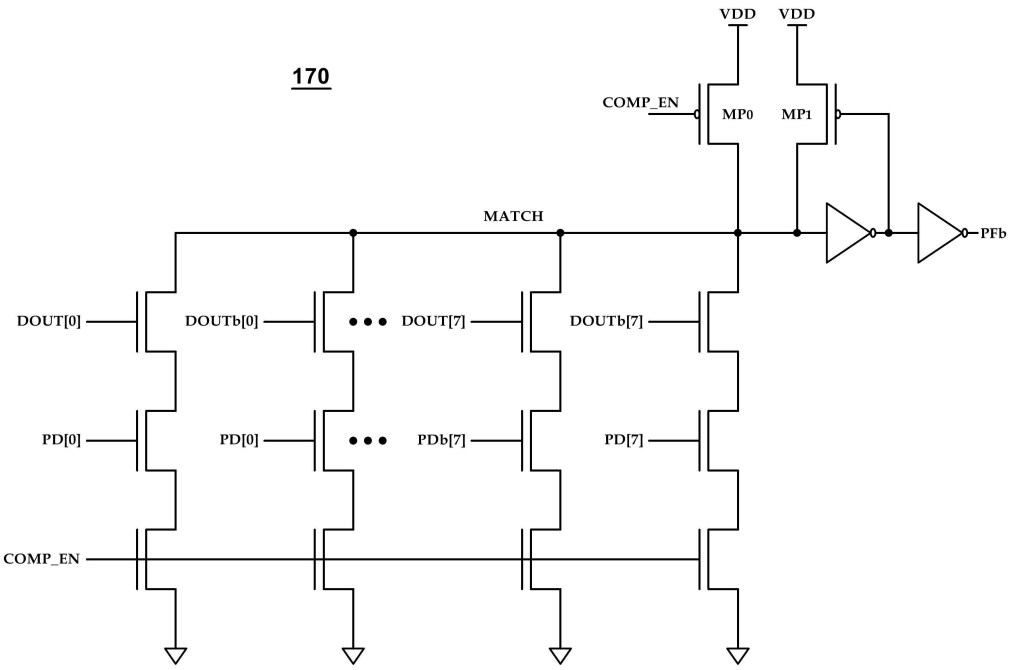
도면6a


161
DOUTb
RST
DOUT
VDD
VSS
NC
SAENb
BL
BLb
N1
N2
SAENb
SAENb
VSS
VSS
VSS
VSS

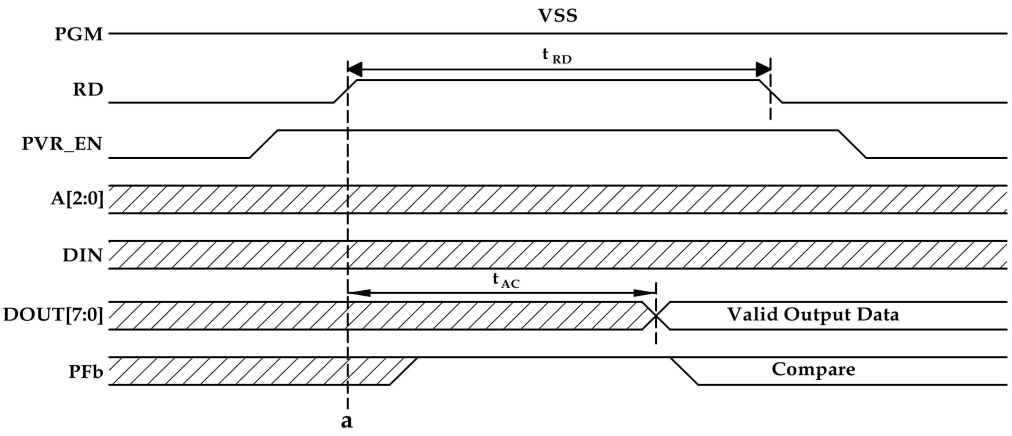
도면6b


161
VSS
DOUTb
DOUT
VDD
RST
NC
SAENb
BL
BLb
N1
N2
SAENb
SAENb
VSS
VSS
VSS
VSS

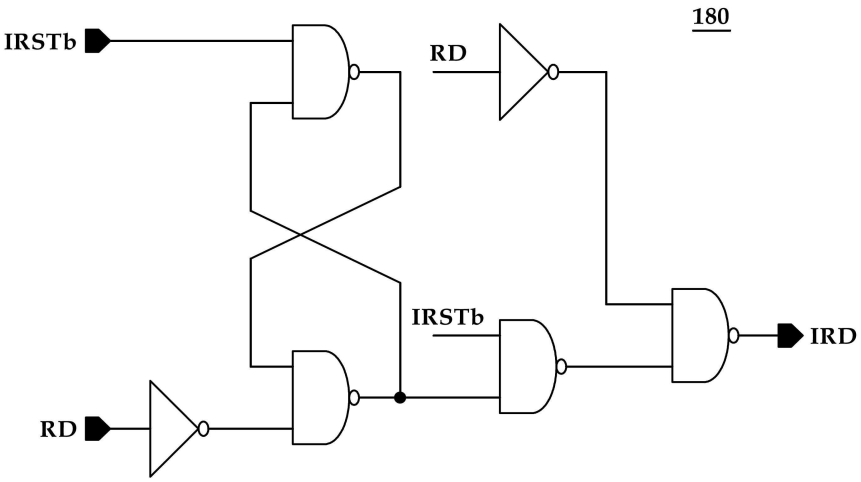
도면7


170
VDD
VDD
COMP_EN
MP0
MP1
MATCH
PFb
DOUT[0]
DOUTb[0]
DOUT[7]
DOUTb[7]
PD[0]
PD[0]
PDb[7]
PD[7]
COMP_EN

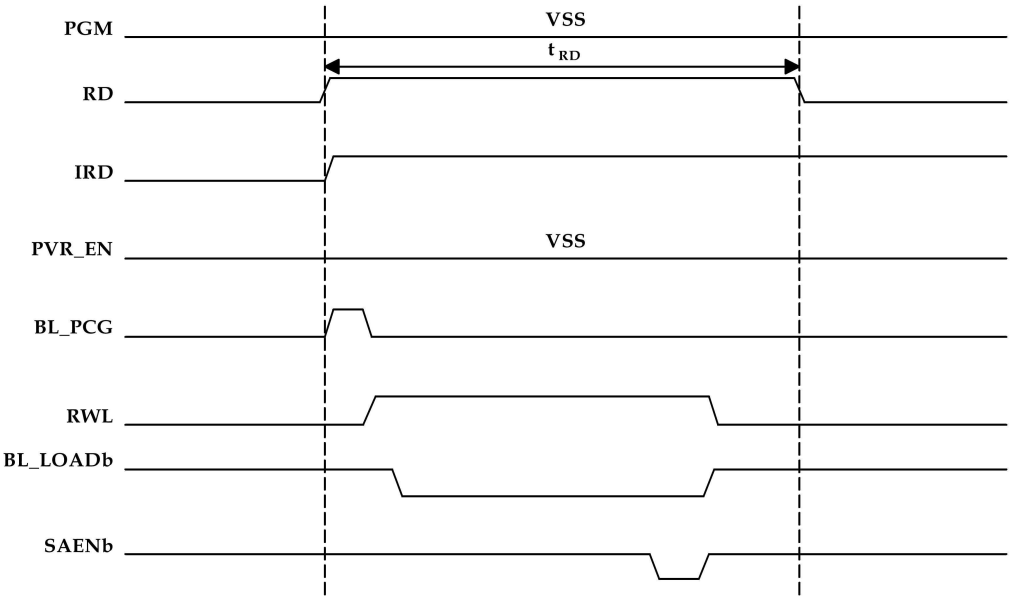
도면8


VSS
PGM
t_{RD}
RD
PVR_EN
A[2:0]
DIN
t_{AC}
DOUT[7:0]
Valid Output Data
PFb
Compare
a

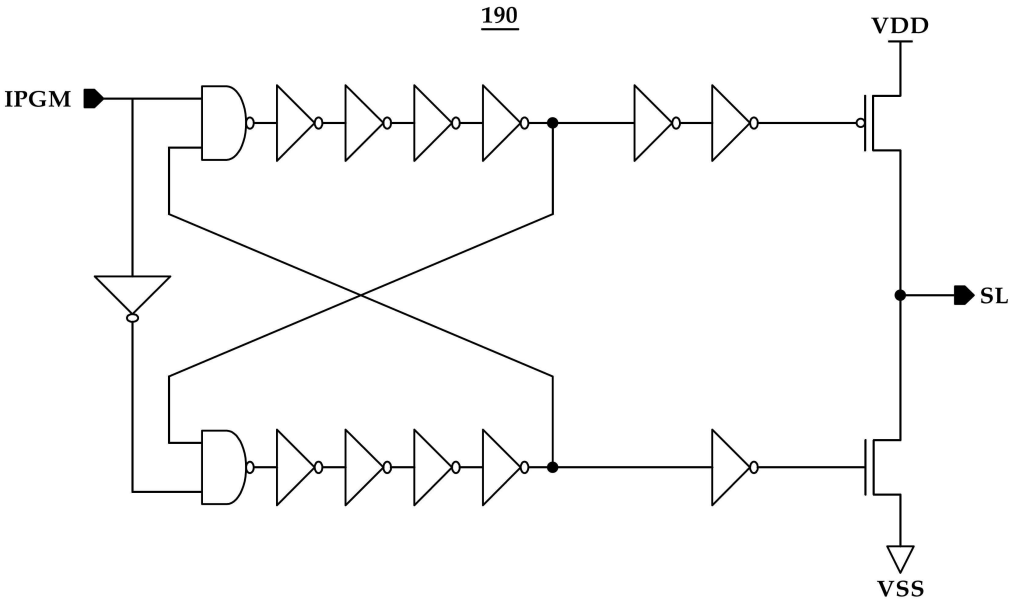
도면9


180
IRSTb
RD
IRSTb
IRD
RD

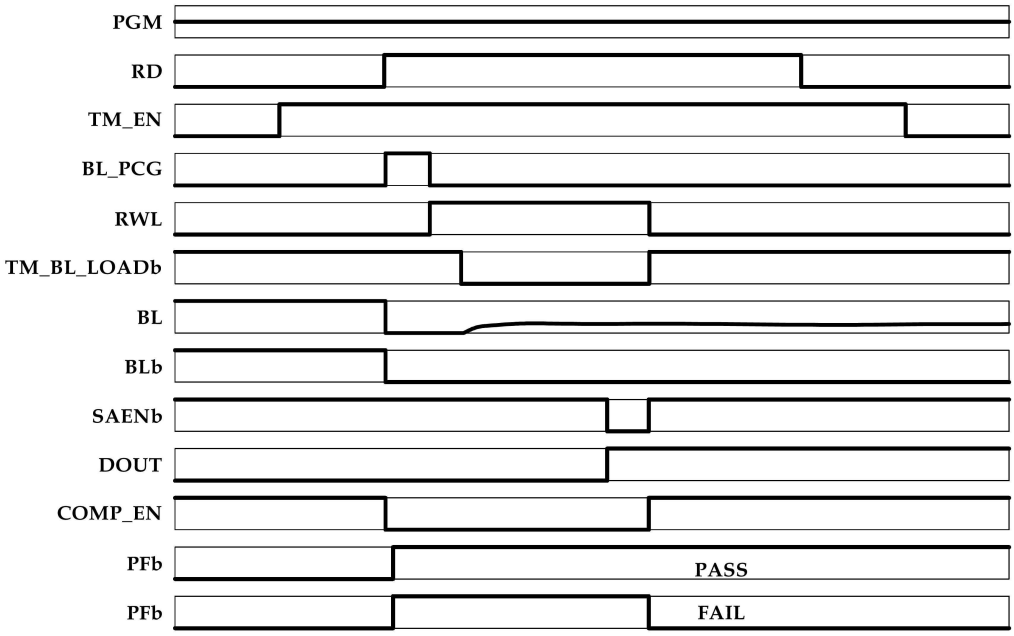
도면10


PGM
VSS
t_{RD}
RD
IRD
PVR_EN
VSS
BL_PCG
RWL
BL_LOADb
SAENb

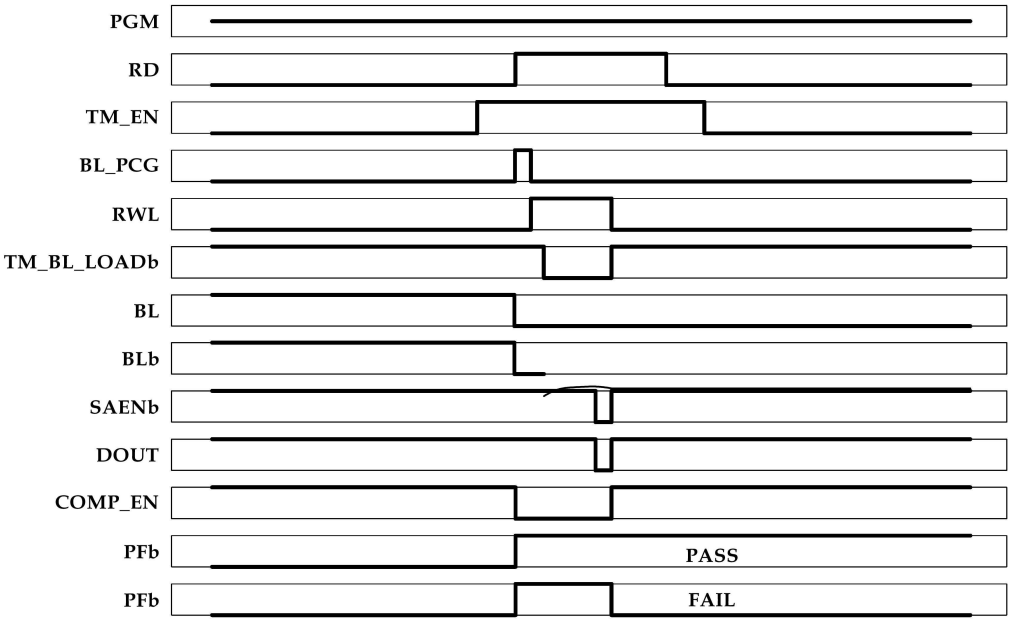
도면11


190
VDD
IPGM
SL
VSS

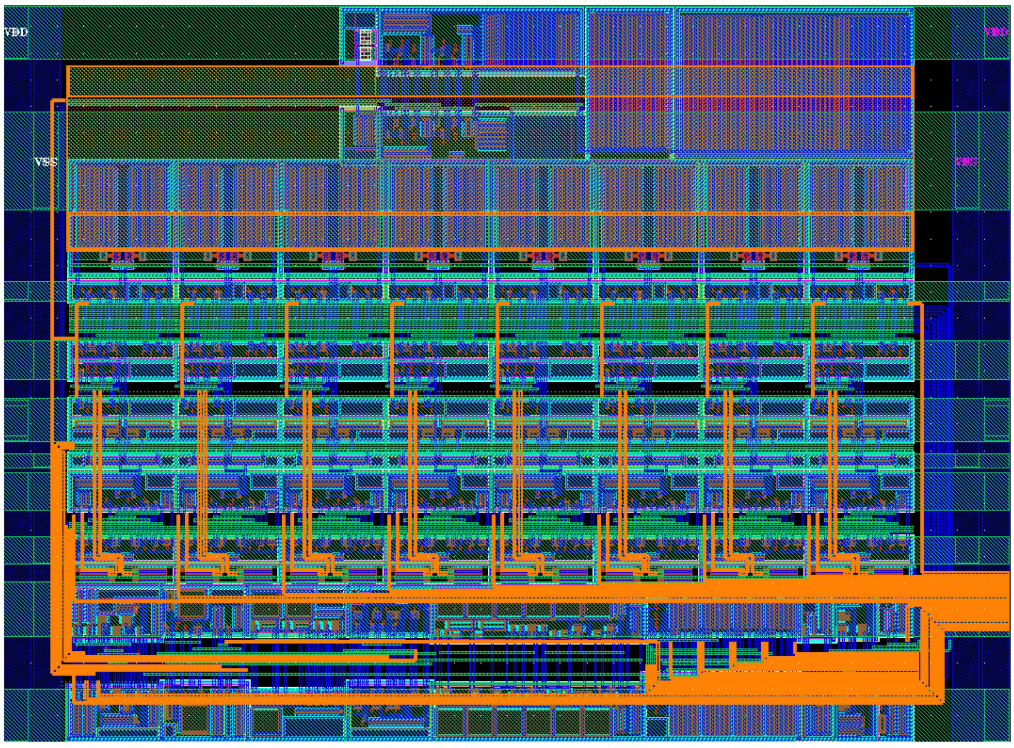
도면12a


PGM
RD
TM_EN
BL_PCG
RWL
TM_BL_LOADb
BL
BLb
SAENb
DOUT
COMP_EN
PFb
PASS
PFb
FAIL

도면12b


PGM
RD
TM_EN
BL_PCG
RWL
TM_BL_LOADb
BL
BLb
SAENb
DOUT
COMP_EN
PFb
PASS
PFb
FAIL

도면13


VDD
VSS