



(12) 发明专利申请

(10) 申请公布号 CN 104704563 A

(43) 申请公布日 2015. 06. 10

(21) 申请号 201380048582. 4

代理人 王勇 王博

(22) 申请日 2013. 09. 18

(51) Int. Cl.

(30) 优先权数据

61/702, 846 2012. 09. 19 US

61/713, 008 2012. 10. 12 US

13/835, 968 2013. 03. 15 US

G11C 7/10(2006. 01)

G11C 16/06(2006. 01)

(85) PCT国际申请进入国家阶段日

2015. 03. 18

(86) PCT国际申请的申请数据

PCT/CA2013/000782 2013. 09. 18

(87) PCT国际申请的公布数据

W02014/043788 EN 2014. 03. 27

(71) 申请人 诺瓦芯片加拿大公司

地址 加拿大安大略省

(72) 发明人 HJ·欧 J·K·金 H·W·李 Y·G·金

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

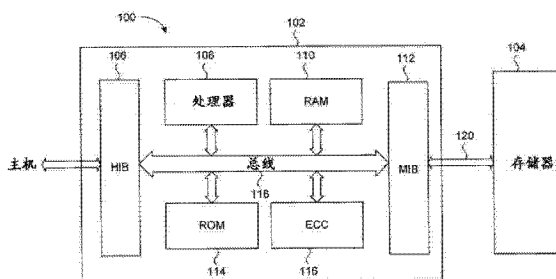
权利要求书2页 说明书18页 附图15页

(54) 发明名称

具有双模式引脚的闪存存储器控制器

(57) 摘要

与主机 (14) 通信的数据存储装置 (12) 的存储器控制器 (40) 被配置成具有至少两个不同的引脚分配 (30) 和 (32), 用于与各个不同类型的存储器装置进行接口连接。每个引脚分配对应于特定的存储器接口协议。存储器控制器的每个存储器接口端口包括端口缓冲器电路 (400、404、406), 其可基于所选择的待用存储器接口协议, 而配置成用于不同的功能信号分配。针对每个存储器接口端口的接口电路配置可通过设置存储器控制器的预定端口或寄存器来选择。



1. 一种双接口存储器控制器,包括:

具有至少一个存储器接口端口的存储器接口,所述至少一个存储器接口端口包括配置成至少缓冲第一信号或第二信号的电路,所述第一信号对于以第一存储器接口协议进行通信是兼容的,所述第二信号对于以不同于所述第一存储器接口协议的第二存储器接口协议进行通信是兼容的;以及

主机接口,其具有用于在主机装置和所述存储器接口之间传递信息的主机接口端口。

2. 如权利要求 1 所述的双接口存储器控制器,还包括:模式选择器电路,用于响应于施加的电压电平而启用第一信号路径或第二信号路径。

3. 如权利要求 2 所述的双接口存储器控制器,还包括:电耦合到所述模式选择器电路的焊盘,用于接收所述施加的电压电平。

4. 如权利要求 2 所述的双接口存储器控制器,其中所述电路包括:配置成缓冲所述第一信号的第一信号路径,以及配置成缓冲所述第二信号的第二信号路径。

5. 如权利要求 4 所述的双接口存储器控制器,其中所述至少一个存储器接口端口包括单个焊盘。

6. 如权利要求 5 所述的双接口存储器控制器,其中所述第一信号路径包括:输入电路,其配置成用于从所述单个焊盘接收与所述第一存储器接口协议相对应的输入信号。

7. 如权利要求 6 所述的双接口存储器控制器,其中所述输入电路是第一输入电路,以及所述第二信号路径包括:第二输入电路,其配置成用于从所述单个焊盘接收与所述第二存储器接口协议相对应的另一输入信号。

8. 如权利要求 7 所述的双接口存储器控制器,还包括:选择器电路,用于响应于由所述模式选择器电路提供的具有第一逻辑状态和第二逻辑状态之一的选择信号,选择性地将所述单个焊盘耦合到所述第一输入电路或所述第二输入电路之一。

9. 如权利要求 6 所述的双接口存储器控制器,其中所述第二信号路径包括:输出电路,其配置成用于向所述单个焊盘提供与所述第二存储器接口协议相对应的输出信号。

10. 如权利要求 8 所述的双接口存储器控制器,其中所述电路包括配置成缓冲第三信号的第三信号路径,所述第三信号对应于所述第一存储器接口协议。

11. 如权利要求 10 所述的双接口存储器控制器,其中所述第三信号路径包括:输出电路,其配置成用于向所述单个焊盘提供与所述存储器接口协议相对应的输出信号。

12. 如权利要求 11 所述的双接口存储器控制器,其中所述至少一个存储器接口端口包括由处于所述第一逻辑状态的选择信号启用的用于利用所述输出信号驱动所述单个焊盘的输出驱动器,以及当所述选择信号处于所述第一逻辑状态时,所述选择器电路将所述单个焊盘耦合到所述第二输入电路。

13. 如权利要求 5 所述的双接口存储器控制器,其中所述第一信号路径包括:输出电路,其配置成用于向所述单个焊盘提供与所述第一存储器接口协议相对应的输出信号。

14. 如权利要求 13 所述的双接口存储器控制器,其中所述输出电路是第一输出电路,以及所述第二信号路径包括:第二输出电路,其配置成用于向所述单个焊盘提供与所述第二存储器接口协议相对应的另一输出信号。

15. 如权利要求 14 所述的双接口存储器控制器,还包括:选择器电路,用于响应于由所述模式选择器电路提供的具有第一逻辑状态和第二逻辑状态之一的选择信号,选择性地将

所述单个焊盘耦合到所述第一输出电路或所述第二输出电路之一。

16. 如权利要求 1 所述的双接口存储器控制器,其中所述第一存储器接口协议是 ONFi 存储器接口协议,以及所述第二存储器接口协议是 HLNAND 存储器接口协议。

17. 一种非易失性存储器系统,包括:

包括通道控制模块的存储器控制器,所述通道控制模块具有至少一个输入/输出端口,所述至少一个输入/输出端口配置有:电路,用于响应于来自主机装置的请求,而缓冲与第一存储器接口协议引脚和第二存储器接口协议引脚之一相对应的信号;以及

至少一个存储器,其具有通过所述至少一个输入/输出端口与所述通道控制模块通信的第一存储器接口协议引脚或第二存储器接口协议引脚。

18. 如权利要求 17 所述的非易失性存储器系统,还包括:用于将所述至少一个输入/输出端口电连接到所述至少一个存储器装置的通道。

19. 如权利要求 18 所述的非易失性存储器系统,其中所述至少一个存储器包括至少两个并联连接到所述通道的存储器芯片。

20. 如权利要求 18 所述的非易失性存储器系统,其中所述至少一个存储器包括:至少两个存储器芯片,其被串联连接为与所述通道控制模块形成环形拓扑配置。

21. 如权利要求 17 所述的非易失性存储器系统,其中所述第一存储器接口协议引脚对应于 ONFi 存储器接口引脚,以及所述第二存储器接口协议引脚对应于 HLNAND 存储器接口引脚。

具有双模式引脚的闪存存储器控制器

[0001] 相关申请的交叉引用

[0002] 本申请要求 2012 年 9 月 19 日提交的美国临时专利申请号 61/702,846、2012 年 10 月 12 日提交的美国临时专利申请号 61/713,008、以及美国专利申请号 13/835,968 的优先权,特此通过引用将这些申请结合在本文中。

技术领域

[0003] 本公开通常涉及存储器系统。更特别地,本申请涉及非易失性存储器控制器。

背景技术

[0004] 当今,许多电子装置包括用来存储供其所用的信息(数据)的存储器系统。例如,一些数字音频播放器包括用来存储可由该播放器播放的数字化音频的存储器系统。同样,个人计算机系统通常采用存储器系统来存储由计算机系统使用的软件。

[0005] 在许多电子装置中,存储器系统通常包括控制器和一个或多个存储器装置。控制器一般包含配置成生成信号的电路,所述信号被用来指导存储器装置存储和取回信息。存储器装置一般将信息存储在存储器装置中所包含的存储器中。存储器可以是易失性的或非易失性的。包含易失性存储器的存储器装置通常在电源从装置移除时丢失所存储的信息。包含非易失性存储器的存储器装置通常即使当电源从装置移除时仍保持所存储的信息。

[0006] 在某些常规的存储器系统中,数据和控制信号使用并行总线并行地在控制器和存储器装置之间传递。通常,许多线路被用来实施总线,并且取决于存储器系统的布局,所述线路可扩展一定长度。

[0007] 电子设备使用半导体装置诸如存储器装置。存储器装置可以包括随机存取存储器(RAM),闪存数据或信息。存储器装置可以被组合以形成为存储装置(例如,固态驱动器(SSD))。

发明内容

[0008] 根据本公开的第一方面,提供了一种双接口存储器控制器。该双接口存储器控制器包括存储器接口和主机接口。存储器接口包括:至少一个存储器接口端口,其包括配置成至少缓冲第一信号或第二信号的电路,所述第一信号对于以第一存储器接口协议进行通信是兼容的,所述第二信号对于以不同于第一存储器接口协议的第二存储器接口协议进行通信是兼容的。主机接口包括用于在主机装置和存储器接口之间传递信息的主机接口端口。根据一个实施例,第一存储器接口协议是 ONFi 存储器接口协议,且第二存储器接口协议是 HLNAND 存储器接口协议。根据第一方面的实施例,双接口存储器控制器还包括:模式选择器电路,用于响应于施加的电压电平而启用第一信号路径或第二信号路径。在该实施例中,还包括电耦合到模式选择器电路的焊盘(pad),用于接收施加的电压电平。在该实施例中,所述电路包括:配置成缓冲第一信号的第一信号路径,以及配置成缓冲第二信号的第二信号路径。至少一个存储器接口端口可以包括单个焊盘,并且第一信号路径包括:输入电路,

其配置成用于从单个焊盘接收与第一存储器接口协议相对应的输入信号。

[0009] 在本实施例的一个方面中,输入电路是第一输入电路,且第二信号路径包括:第二输入电路,其配置成用于从单个焊盘接收与第二存储器接口协议相对应的另一输入信号。双接口存储器控制器还可以包括:选择器电路,用于响应于由模式选择器电路提供的具有第一逻辑状态和第二逻辑状态之一的选择信号,选择性地将单个焊盘耦合到第一输入电路或第二输入电路之一。在本实施例的另一方面中,第二信号路径包括:输出电路,其配置成用于向单个焊盘提供与第二存储器接口协议相对应的输出信号;并且所述电路包括配置成缓冲第三信号的第三信号路径,该第三信号对应于第一存储器接口协议。在该实施例中,第三信号路径包括:输出电路,其配置成用于向单个焊盘提供与所述存储器接口协议相对应的输出信号。此外,至少一个存储器接口端口可以包括由处于第一逻辑状态的选择信号启用的用于利用输出信号驱动单个焊盘的输出驱动器,并且当选择信号处于第一逻辑状态时,选择器电路将单个焊盘耦合到第二输入电路。

[0010] 在本方面的另一实施例中,第一信号路径包括:输出电路,其配置成用于向单个焊盘提供与第一存储器接口协议相对应的输出信号。该输出电路是第一输出电路,并且第二信号路径包括:第二输出电路,其配置成用于向单个焊盘提供与第二存储器接口协议相对应的另一输出信号。双接口存储器控制器还可以包括:选择器电路,用于响应于由模式选择器电路提供的具有第一逻辑状态和第二逻辑状态之一的选择信号,选择性地将单个焊盘耦合到第一输出电路或第二输出电路之一。

[0011] 根据本公开的第二方面,提供了一种包括存储器控制器和至少一个存储器的非易失性存储器系统。该存储器控制器包括通道控制模块,该通道控制模块具有至少一个输入/输出端口,该至少一个输入/输出端口配置有:电路,用于响应于来自主机装置请求,而缓冲与第一存储器接口协议引脚和第二存储器接口协议引脚之一相对应的信号。至少一个存储器具有通过至少一个输入/输出端口与通道控制模块通信的第一存储器接口协议引脚或第二存储器接口协议引脚。在第二方面的一个实施例中,还包括用于将至少一个输入/输出端口电连接到至少一个存储器装置的通道。在该实施例中,至少一个存储器包括至少两个并联连接到所述通道的存储器芯片。可替换地,至少一个存储器包括:至少两个存储器芯片,其被串联连接为与通道控制模块形成环形拓扑配置。根据第二方面的另一实施例,第一存储器接口协议引脚对应于 ONFi 存储器接口引脚,并且第二存储器接口协议引脚对应于 HLNAND 存储器接口引脚。

[0012] 在结合附图回顾下面的具体实施例的描述后,本公开的其他方面和特征对于本领域普通技术人员而言将变得明显。

附图说明

[0013] 现在将参考附图仅通过举例的方式描述本公开的各实施例。

[0014] 图 1 是本公开的实施例所应用于的存储器系统的框图;

[0015] 图 2A 是示出第一类型的存储器控制器的功能引脚的框图;

[0016] 图 2B 是示出第二类型的存储器控制器的功能引脚的框图;

[0017] 图 3A 是示出多分支存储器系统的示意图;

[0018] 图 3B 是示出串行连接的存储器系统的示意图;

- [0019] 图 4 是根据本公开实施例的使用双模式引脚存储器控制器的固态存储装置的框图；
- [0020] 图 5 是根据本公开实施例的图 4 所示的双引脚存储器控制器的存储器接口块的框图；
- [0021] 图 6 是根据本公开实施例的使用双引脚存储器控制器的多分支总线架构存储器系统的框图；
- [0022] 图 7 是根据本公开实施例的使用双引脚存储器控制器的串行点对点架构存储器系统的框图；
- [0023] 图 8 是根据本公开实施例的图 7 和 8 中所示的存储器接口块的通道控制模块的框图；
- [0024] 图 9 是根据本公开实施例的将信号映射到双引脚通道控制模块的端口的双引脚映射的图示；
- [0025] 图 10 是根据本公开实施例的模式选择接口电路的电路示意图；
- [0026] 图 11 是根据本公开实施例的双模式双向接口电路的电路示意图；
- [0027] 图 12 是根据本公开实施例的双模式输出接口电路的电路示意图；
- [0028] 图 13 是根据本公开实施例的备选的双模式双向接口电路的电路示意图；并且
- [0029] 图 14 是根据本公开实施例的双模式输入接口电路的电路示意图。

具体实施方式

[0030] 通常,本公开提供了一种用于数据存储装置的存储器控制器,其中存储器控制器可配置成具有用于与各个不同类型的存储器装置进行接口连接的至少两个不同的引脚分配。每个引脚分配对应于特定的存储器接口协议。存储器控制器的每个存储器接口端口包括接口电路,其可基于所选择的待用存储器接口协议,而配置成用于不同的功能信号分配。针对每个存储器接口端口的接口电路配置可通过设置存储器控制器的预定端口或寄存器来选择。

[0031] 闪存存储器是广泛地用作消费电子产品(诸如数码相机和便携式数字音乐播放器)的大容量存储装置的一种常用类型的非易失性存储器。这样的闪存存储器采用存储卡或通用串行总线(USB)型存储棒的形式,所述存储卡或 USB 型存储棒各自具有形成在其中的至少一个存储器装置和存储器控制器。另一种大容量存储应用是固态驱动器(SSD),其可用作计算机硬盘驱动器的替代物。这些固态驱动器可用在计算机工作站、网络中,以及用于需要存储大量数据的几乎任何应用。

[0032] 图 1 描绘了本公开的实施例所应用于的系统诸如非易失性存储器系统。参考图 1,非易失性存储器系统 10 包括数据存储装置 12 和作为外部装置或设备的主机 14。数据存储装置 12 的非限制性示例是固态驱动器(SSD)。主机 14 的非限制性示例是计算机或其他计算系统。

[0033] 数据存储装置 12 包括存储器控制器 16 和存储器 18。存储器 18 包括易失性存储器装置或非易失性存储器装置(诸如闪存存储器装置)。存储器 18 可以包括传统的旋转磁存储盘。主机 14 经由接口协议总线 20 与数据存储装置 12 耦合,并且使用接口协议与存储器控制器 16 通信。接口协议包括例如外围组件快速互连(PCI-E)协议、高级技术附件(ATA)

协议、串行 ATA (SATA) 协议、并行 ATA (PATA) 协议、或串行连接 SCSI (SAS) 协议。然而,主机 14 和数据存储装置 12 之间的接口协议不限于上述示例,并且可以包括其他接口协议,诸如通用串行总线 (USB) 协议、多媒体卡 (MMC) 协议、增强型小型磁盘接口 (ESDI) 协议、集成驱动电子 (IDE) 协议、等等。接口协议总线 20 在主机 14 和存储器控制器 16 之间传递数据和命令,并且具有引脚、端口和其他物理接口的形式。数据存储装置 12 可以具有任何类型的形状因子,包括例如常规 HDD (硬盘驱动器) 形状因子、PCIe PCB 卡形状因子、插件模块 (例如 DIMM) 形状因子或者便携式存储卡 (例如,安全数字 (SD) 卡或 MMC) 形状因子。

[0034] 在该说明性配置中,存储器 18 包括至少一个 NAND 闪存存储器装置 (例如但不限于 NAND 闪存存储器)。存储器 18 可以包括相变随机存取存储器 (PCRAM)、磁阻式 RAM (MRAM)、电阻式 RAM (ReRAM)、铁电 RAM (FeRAM)、或其他类型的存储器。当存储器 18 是闪存存储器装置时,它可以是例如使用浮栅技术或电荷提取闪存 (CTF) 技术的 NAND 闪存存储器装置。

[0035] 存储器控制器 16 与存储器协议总线 22 耦合。存储器控制器 16 包括用于使用存储器协议与存储器 18 传递命令和数据的接口。取决于在数据存储装置 12 中用作存储器 18 的存储器的特定类型,使用适合于存储器的特定类型的特定协议。因此,存储器控制器 16 被配置成使用正在使用的存储器 18 的类型所专用的特定协议与存储器 18 通信。例如,不同类型的前面提及的非易失性存储器中的每一种类型都可以具有不同的通信协议,在这些不同的通信协议中,命令操作代码可能不同,控制信号的类型可能不同,并且数据格式可能不同。总之,不同存储器的通信协议相互不兼容。因此,需要不同的存储器控制器来与数据存储装置 12 中使用的不同类型的存储器 18 进行接口连接。数据存储装置 12 的制造商的成本因此增加,因为所述制造商必须使用不同的各自配置成与特定类型的存储器 18 通信的存储器控制器 16。因此,如果一种特定类型的数据存储装置 12 失去消费者的喜爱、或者特定类型的存储器 18 不再被生产,则数据存储装置的制造商的风险会增加。

[0036] 用于数据存储装置的存储器控制器使用端口 (诸如物理引脚) 来将信号与主机装置以及与至少一个存储器装置电耦合。用于诸如 USB 存储棒和 SSD 之类的固态存储装置的存储器控制器一般具有多个通道,其中每个通道被电连接到至少一个存储器装置。

[0037] 图 2A 示出配置成用于 ONFi 存储器接口协议的存储器控制器 30 的功能引脚,所述 ONFi 存储器接口协议是特定存储器接口协议的一个示例。在图 2A 的示例中,示出了用于一个通道的端口。表 1 提供了图 2A 中所示端口的信号说明。

[0038] 表 1

[0039]

引脚名称	类型	说明
CE#	输出	芯片使能：芯片使能信号选择目标 NAND 闪存芯片。当芯片使能为高电平且目标处于就绪状态时，目标进入低功耗待机状态。当芯片使能为低电平时，目标被选择。
CLE	输出	命令锁存使能：命令锁存使能信号控制目标 NAND 闪存芯片以便将来自 DQ[0:7]的命令加载到其命令寄存器中。
ALE	输出	地址锁存使能：地址锁存使能信号控制目标 NAND 闪存芯片以便将来自 DQ[0:7]的地址加载到其地址寄存器中。
WE#	输出	写使能 写使能信号控制命令、地址和输入数据的锁存。数据、命令和地址在 WE# 的上升沿被锁存。
RE	输出	读使能真 读使能（真）信号使能 DQ[0:7]上的数据输出。
RE#	输出	读使能互补（complement） 读使能互补信号是读使能真的互补信号。具体地，当 CE#为低电平时，读使能互补具有与读使能真相反的值，即如果 RE 为高电平则 RE#为低电平；如果 RE 为低电平则 RE#为高电平。
DQ[0:7]	I/O	数据输入/输出：DQ[0:7] DQ 端口是用于向和从装置传递地址、命令和数据 的 8 位宽的双向端口。
DQS	I/O	DQ 数据选通真：DQS 是为数据输入提供同步基准的数据选通信号。数据选通信号指示数据有效窗口。
DQS#	I/O	DQ 数据选通互补 数据选通互补信号是可选地在 NV-DDR2 数据接口中使用的针对数据选通真的互补信号。具体地，当 CE#为低电平时，数据选通互补具有与数据选通真相反的值，即如果 DQS 为高电平则 DQS#为低电平；如果 DQS 为低电平则 DQS#为高电平。
WP#	输出	写保护：保护免受无意的 PROGRAM（编程）和 ERASE（擦除）操作。当 WP#为低电平时，所有 PROGRAM 和 ERASE 操作被禁用。
R/B#	输入	就绪/忙碌：就绪/忙碌信号指示目标状态。当为低电平时，该信号指示一个或多个 LUN 操作正在进行中。该信号是漏极开路输出且需要外部上拉。

[0040] 在当前所示示例中，需要 8 个端口用于 8 位宽的数据信号，并且需要 9 个端口用于运载 ONFi 闪存存储器装置的使能操作所需的控制信号。因此，需要总共 17 个端口用于将被连接到至少一个 ONFi 闪存存储器装置的通道。如果存储器控制器 30 包括 8 个通道，则存储器控制器 30 需要至少 $8 \times 17 = 136$ 个端口。这排除了与主机系统进行接口连接所需的端口。

[0041] 图 2B 示出配置成用于以另一协议操作的另一类型的存储器装置的存储器控制器 32 的功能引脚，所述另一协议是所选的存储器接口协议的一个示例。所选的存储器接口协议的一个示例是 HLNAND™存储器接口协议。存储器装置可以以另一类型的存储器接口协议操作。在图 2B 的示例中，示出了用于一个通道的端口。表 2 提供了对图 2A 中所示端口的信号说明。

[0042] 表 2

[0043]

引脚名称	类型	说明
CKI/CKI#	输入	时钟: CKI 和 CKI#是来自 (最后一个) HLNAND™ 装置的时钟输入。CKI 和 CKI#是差分信号。来自 (最后一个) HLNAND 装置的所有到来的命令、地址、读出数据以 CKI 和 CKI#在两个方向上的交叉沿为基准。
CKO/ CKO#	输出	时钟: CKO 和 CKO#是差分时钟输出。所有输出的命令、地址和数据以 CKO 和 CKO#的交叉沿为基准。
CE#	输出	芯片使能: 当 CE#为低电平时, 装置被使能。一旦装置变为“忙碌”, 则 CE#引脚应该为低电平直到装置变为“就绪”。另外, CE#低电平会激活内部时钟信号, 并且 CE#高电平会去激活内部时钟信号。
D[7:0]	输入	数据输入: 当 DSI 为高电平且以 CKI 和 CKI#在两个方向上的交叉沿为基准时, D[7:0]接收来自 (最后一个) HLNAND 装置的读出数据。
Q[7:0]	输出	数据输出: Q[7:0]在写操作期间随着 CSO 而传送命令和/或地址包, 并随着 DSO 而传送写数据。
CSO	输出	命令选通输出: 当 CSO 为高电平时, 装置在 CKI 和 CKI#的交叉点处锁存通过 D[7:0]的命令、地址和/或写数据。当 CSO 为低电平时, 装置忽略来自 D[7:0]的输入信号。CSO 仅与命令和地址包一起使用。
CSI	输入	命令选通输入: CSO 的回声信号。在某些情况下可以不被控制器使用。
DSI	输入	数据选通输入: DSO 的回声信号。DSI 以 CKO 和 CKO#的交叉沿为基准, 并圈定 (delineate) D[7:0]引脚上的来自 (最后一个) HLNAND 装置的 Q[7:0]引脚的有效读出数据。
DSO	输出	数据选通输出: 在 READ 组命令后, DSO 在为高电平时使能所选的 HLNAND 装置的 Q[7:0]缓冲器。当 DSO 为低电平且 CSO 为低电平时, 所选的 HLNAND 装置的 Q[7:0]缓冲器保持先前的状态。在 WRITE 组命令后且 DSO 为高电平时, 通过 Q[7:0]的写数据包被传送到 (第一个) HLNAND 装置, 并且将被所选的装置在 CKI 和 CKI#的交叉点处锁存。

[0044] 在当前所示的示例中, 需要 8 个端口用于 Q0-Q7 数据输出, 需要 8 个端口用于 D0-D7 数据输入, 并且需要 8 个端口用于运载 HLNAND 闪存存储器装置的使能操作所需的控制信号。因此, 需要总共 24 个端口用于将被连接到至少一个 HLNAND 闪存存储器装置的通道。如果存储器控制器 32 包括 8 个通道, 则存储器控制器 32 需要至少 $8 \times 24 = 192$ 个端口。这排除了与主机系统进行接口连接所需的端口。

[0045] 尽管 ONFi 和 HLNAND 存储器接口协议的某些信号名称和功能可能显得彼此类似, 但是它们被使用的方式以及存储器装置与存储器控制器互连的方式彼此非常的不同。该不同之处在图 3A 和 3B 中示出。

[0046] 图 3A 示出使用 ONFi NAND 闪存装置的示例非易失性存储器系统。该存储器系统包括具有 ONFi 配置的存储器控制器 40 和若干个 ONFi 闪存装置 42、44 和 46。每个闪存存储器装置中除芯片选择 (CE#) 信号之外的所有输入和输出信号被连接到公共总线或通道。因此, ONFi 闪存装置 42、44 和 46 与存储器控制器 40 并联连接, 并且也被称为多分支配置。每个 ONFi NAND 闪存存储器装置可以通过使能 CE# 信号而被选择。例如, 第一 ONFi 闪存装置 42 可以通过断言 (assert) CE#_1 (CE#_1 = 低电平) 而被选择并访问。其余的 ONFi 闪

存装置通过保持 CE#₂ 和 CE#_N 为高电平而不被选择,使得它们忽略来自存储器控制器 40 的类似命令或地址的任何输入。此外,未选择的 ONFi 闪存装置的输出信号被设置为高阻抗 (即 Hi-Z) 状态。

[0047] ONFi 闪存装置 42、44 和 46 中的每一个使用相同的电信号用于通过通道控制模块来协调 ONFi 闪存装置和主机控制器装置 (未示出) 之间的命令和数据传递。在当前所示的示例中,用于一个通道控制模块的端口在图 3A 中示出。这些信号包括数据线和控制信号,诸如 ALE (地址锁存使能)、CLE (命令锁存使能)、WE# (写使能)、RE# (读使能) 以及如之前于表 1 中所示的其他信号。该类型的接口协议在本领域中被称为“ONFi NAND 接口”。即使“NAND 接口协议”迄今仍未由标准化组织正式标准化,NAND 闪存装置的制造商全都遵循类似协议以支持 NAND 闪存功能的基础子集。通过这样做,使得在其电子产品内使用 NAND 闪存存储器装置的客户可以使用来自任何制造商的 NAND 闪存存储器装置,而无需将其硬件或软件定制成与特定供应商的装置一起操作。应注意的是,一些 NAND 闪存存储器供应商可以提供此基础功能子集之外的额外功能,同时确保基础功能被提供以便提供与其他供应商使用的协议的兼容性。

[0048] 图 3B 示出使用 HLNAND 闪存存储器装置的非易失性存储器系统的示例。该存储器系统包括 HLNAND™配置的存储器控制器 60 和若干个 HLNAND 兼容闪存装置 62、64、66 和 68。参考图 3B,HLNAND 存储器装置 62、64、66 和 68 使用高度复用的单向点对点总线架构来传递信息诸如命令、地址和数据。存储器装置之间的这些命令、地址和数据的每个互连被称为“链路”。在一个示例中,一个单一链路由六个信号即 CSI (=命令选通输入)、CS0 (=命令选通输出)、DSI (=数据选通输入)、DS0 (=数据选通输出)、D[0:7] (=数据输入) 和 Q[0:7] (=数据输出)、连同两个差分时钟输入信号 CKI/CKI#、时钟输出信号 CKO/CKO#、以及可选的公共信号 CE# (芯片使能) 和 RST# (重置) 组成。

[0049] 下面是这些控制信号中的一部分在图 3B 的存储器系统中被使用的方式的简要讨论。CKI/CKI# 是输入时钟。由 CSI 圈定的 D[0:7] 端口上的命令 / 地址包在 CKI 的上升沿或 CKI# 的下降沿上被锁存。由 DSI 圈定的 D[0:7] 上的写数据包在 CKI 的上升沿或 CKI# 的下降沿上被锁存。由 DS0 圈定的 Q[0:7] 上的读数据包在 CKO 的上升沿或 CKO# 的下降沿上被引用 (referenced)。CKO/CKO# 是输出时钟,它们是 CKI/CKI# 的延迟版本。

[0050] CS0、DS0 和 Q[0:7] 信号以 CKO 的上升沿或 CKO# 的下降沿为基准。当命令选通输入 (= CSI) 为高电平时,通过 D[0:7] 的命令 / 地址包在 CKI 的上升沿或 CKI# 的下降沿上被锁存。命令选通输出 (= CS0) 是 CSI 的回声信号。利用以 CKO 的上升沿或 CKO# 的下降沿为基准的一个时钟周期延迟 (= tIOL),该命令选通输出绕开 CSI 转变 (=或者发出 CSI 转变的回声)。一个时钟周期延迟是本公开中的示例性实施例之一,然而取决于设计变化,它可以是任意数量的时钟周期。

[0051] 当数据选通输入 (= DSI) 为高电平而 HLNAND 兼容存储器装置处于“读模式”中时,这会使能读数据输出路径和 Q[0:7] 缓冲器。如果 DSI 为低电平,则 Q[0:7] 缓冲器保持先前被访问的数据。如果 DSI 为高电平而存储器装置处于“写模式”中,这会使能 D[0:7] 缓冲器并在 CKI 的上升沿或 CKI# 的下降沿上接收写数据包。

[0052] 数据选通输出 (= DS0) 是 DSI 的回声信号。利用以 CKO 的上升沿或 CKO# 的下降沿为基准的一个时钟周期延迟 (= tIOL),该数据选通输出绕开 DSI 转变或发出 DSI 转变的

回声。一个时钟周期延迟是本公开中的示例性实施例之一，然而取决于设计变化，它可以是任意数量的时钟周期。

[0053] 数据输入信号 D[0:7] 运载命令、地址和 / 或输入数据信息，而数据输出信号 Q[0:7] ($n = 0, 1, 2, 3, 4, 5, 6$ 或 7) 运载读操作期间的输出数据，或者绕开在 D[0:7] 上接收的命令、地址或输入数据。

[0054] 存储器控制器 60 从其端口 CK0/CK0# 驱动差分时钟，并且所有的 HLNAND 兼容存储器装置 62、64、66 和 68 通过其自己的时钟端口 CKI/CKI# 从先前的 CK0/CK0# 端口以串联流通方式接收差分时钟总线。存储器控制器 60 分别通过其端口 CS0、DS0 和 Q[0:7] 驱动三个不同的总线 70、72 和 74。第一存储器装置 62 分别通过其端口 CSI、DSI 和 D[0:7] 接收三个总线 70、72 和 74。并且，第一存储器装置 62 分别通过其输出端口 CS0、DS0 和 Q[0:7] 重新驱动三个对应总线 76、78 和 80，带有一个时钟周期延迟 ($= t_{IOL}$)。这种接收信号和将其重新驱动到相继的存储器装置的模式继续进行，直到最后一个存储器装置 68 分别通过存储器控制器的输入端口 CSI、DSI 和 D[0:7] 将最后的总线 82、84 和 86 重新驱动回到存储器控制器 60 为止。在本示例中，没必要重新驱动来自存储器装置 68 的 CS0 端口的信号，因此存储器控制器 60 的 CSI 输入端口可以省略，并且也不需要最后的总线 84。

[0055] 对于本领域的任何技术人员来说清楚的是，ONFi 和 HLNAND 存储器接口协议彼此充分地不同，并且配置成用于 ONFi 存储器接口协议的任何存储器控制器将不能与 HLNAND 存储器装置一起工作，反之亦然。之前讨论的 ONFi 和 HLNAND 存储器系统仅仅是两个不同类型的彼此不兼容的存储器接口协议的示例。前面提到的任何存储器装置类型都高度不可能彼此兼容，因为每种类型需要的特定存储器接口协议不会与不同的存储器装置类型一同工作。

[0056] 鉴于不同类型的可用存储器装置，制造商可以基于不同类型的存储器装置来设计不同的数据存储装置。例如，由于传统 NAND 闪存存储器装置的可用性和低成本，基于传统 NAND 闪存存储器装置的数据存储装置通常是可用的。例如，这些可以是 ONFi 类型的闪存存储器装置。不幸地是，图 3A 中所示的 ONFi 类型闪存存储器系统的多分支配置将具有数量有限的存储器装置，这些存储器装置可以被并联连接到存储器控制器 40 的一个通道而不降低系统的总体速度和性能。这是由于连接到总线的每个存储器装置的累积负载效应。因此，尽管这样的数据存储装置的成本可能较低，但是最大存储密度也将相对较低。

[0057] 另一方面，HLNAND 类型的存储器装置不受多分支配置的存储器系统的限制。在诸如图 3B 中示出的 HLNAND 存储器系统中，任意数量的存储器装置可以彼此串联连接到存储器控制器 60 的一个通道。因此，使用 HLNAND 类型的存储器装置的数据存储装置的总存储密度可以非常大。

[0058] 制造商所面对的问题是对不同的存储器控制器的购买需求，所述不同的存储器控制器被配置成用于特定类型的存储器装置或特定的存储器接口协议，用于生产不同类型的数据存储装置。为了减轻成本风险，配置成与两个或多个存储器接口协议一起操作的存储器控制器是可能的，只要分立的端口可用于与所选类型的存储器装置连接。不幸地，由于存储器控制器封装上需要的端口数量，提供分立的端口组变得不切实际。例如，以前面讨论的 ONFi 和 HLNAND 存储器控制器示例为例。如果 8 通道 ONFi 接口需要总共 136 个端口仅用于 ONFi NAND 信号，并且 8 通道 HLNAND 存储器控制器接口需要总共 192 个端口，则配置成

以任一接口协议操作的存储器控制器将需要 328 个端口。本领域技术人员应理解的是,存储器控制器封装尺寸由端口的数量支配。因此,具有 328 个端口的封装在面积方面将可能显著大于具有 136 个或 192 个端口的封装。

[0059] 根据本公开的实施例,提供了一种存储器控制器,其可配置成对每个通道使用一组端口而以两个不同的存储器接口协议中的至少一个操作。通道的端口被映射到至少两个不同的功能分配,其中每个功能分配与特定于一个存储器接口协议的信号相对应。每个端口包括用于与去往存储器装置的信号导线电连接的焊盘,以及用于至少两个功能分配中的每一个的缓冲器电路。每个端口的不同缓冲器电路基于所选的待用存储器接口协议而被选择性地启用。

[0060] 根据本公开实施例的使用双模式引脚存储器控制器的固态存储装置的框图在图 4 中示出。固态存储装置 100 包括双模式引脚存储器控制器 102 和存储器 104。在某些实施例中,存储器 104 包括非易失性存储器,诸如 ONFi 闪存存储器装置或 HLNAND 闪存存储器装置。在本实施例中,任何类型的存储器装置可用作存储器 104。在本上下文下,存储器 104 包括存储器装置。

[0061] 控制器 102 控制固态存储装置 100 的总体操作,并且控制主机和存储器 104 之间的数据交换。例如,响应于来自主机(未示出)的请求,控制器 102 控制存储器 104 写数据或读数据。此外,控制器 102 控制为非易失性存储器的特性或存储器 104 的高效管理所需要的内部操作,诸如性能控制、合并和磨损均衡。控制器 102 驱动用于控制存储器 104 的操作的固件和/或软件,其被称为闪存转换层 (FTL) (未示出)。基于来自主机的请求,控制器 102 可以控制存储器 104 以从存储器装置 104 中所包括的多个非易失性存储器当中控制大量存储器的操作。存储器 104 提供用于存储数据的存储介质。如果存储器 104 至少是非易失性存储器装置,则数据以非易失性方式被存储。例如,非易失性存储器装置可以存储操作系统 (OS)、各种程序以及各种多媒体数据。

[0062] 在其主要操作模式中,双模式引脚存储器控制器 102 控制主机和存储器 104 之间的数据交换。双模式引脚存储器控制器 102 包括主机接口块 (HIB) 106、中央处理单元 108、随机存取存储器 (RAM) 110、存储器接口块 (MIB) 112、只读存储器 (ROM) 114、以及纠错码 (ECC) 引擎 116,它们通过总线 118 互连。控制器 102 可以操作实施为软件或固件的 FTL。RAM 110 被示出集成在控制器 102 内部,但是它也可以在替代实施例中位于控制器 102 的外部。

[0063] 主机接口块 106 经由主机接口端口从主机接收数据、地址信息、外部命令和其他信号。这些通常被称为信息。地址信息、命令和任何其他非数据相关信号可以被简单称为控制信息。此外,主机接口块 106 经由相同或不同的主机接口端口向主机发送数据和状态信息。这些接口端口可以包括引脚或其他物理连接器。从主机接收的外部命令被用来控制存储器控制器 102。通过作为针对数据的入口的主机接口块 106,主机提供给固态存储装置 100 的数据和其他信息被输入到固态存储装置 100 的功能块(例如缓冲器 RAM 110)。此外,从固态存储装置 100 提供到主机的数据和其他信息通过作为针对数据的出口的主机接口块 106 被提供。

[0064] 中央处理器 108 从 ROM 114 或存储器 104 读取程序代码,并且根据所读取的程序代码控制控制器 102 中所包括的所有功能块。程序代码指定中央处理器 108 的操作。中央

处理器 108 基于所读取的程序代码控制对存储器 104 的访问。在一种操作模式中,当固态存储装置 100 被启动时,存储在存储器 104 中的程序代码从存储器 104 被读取并被写入 RAM 110。

[0065] RAM 110 可以被用作处理器 108 的操作存储器,并且可以被实施为动态 RAM(DRAM)、静态 RAM(SRAM) 等等。此外, RAM 110 可以充当用于临时存储从主机接收到的数据的缓冲存储器。处理器 108 执行总体控制操作以向存储器 104 写入数据或者从存储器 104 读取数据。此外,处理器 108 可以基于来自主机的请求来控制或者执行 FTL 的操作。

[0066] ECC 块 116 生成与将被写入存储器 104 的数据有关的 ECC(纠错码)。数据同与其有关的 ECC 一起被存储。此外, ECC 块 116 基于与所读取的数据相关联的 ECC,检测并纠正从存储器 104 读取的数据中的位差错。

[0067] ROM 114 存储用于与主机进行接口连接的代码数据。在 ROM 114 中,存储有控制存储器 104 所需的固件。附带地,仅仅为启动所需的最少固件可以被存储在 ROM 114 中,并且其他固件可以被存储在存储器 104 中。因为 ROM 是固定的只读存储器,所以将其他固件存储在存储器 102 中会便于固件的更新。中央处理器 108、RAM 110、ROM 114、ECC 引擎 116 和处理从主机或 MIB 112 接收的信息所需的任何其他电路可以被称为核心电路。

[0068] 存储器接口块 112 从 ROM 114 或存储器 104 读取序列码。序列码指定由存储器接口块 112 执行的各种操作。存储器接口块 112 基于所读取的序列码执行各种操作。序列码由多个代码组构成。代码组包括多个代码。每个代码组指定与之相对应的操作。在基于序列码执行的操作中,在存储器接口块 112 和存储器 104 之间,数据、地址信息、状态信息、内部命令等等通过内部存储器总线 120 被传递。内部存储器总线 120 包括用于将控制器 102 的端口电连接到存储器 104 的对应端口的信号导线。内部存储器总线 120 可以运载对应于多个通道的信号。内部命令用于控制器 102 控制存储器 104,并且存储器装置 104 根据该内部命令工作。附带地,在操作被执行之前,存储器 104 中存储的序列码从存储器 104 中被读取并被写入 RAM 110。

[0069] FTL 包括用于执行数据映射操作的映射表(未示出)。通常,映射表被存储在 RAM 110 中。在映射表中,多个逻辑页编号(LPN)被记录以分别映射到存储器 104。在存储器 104 被实施为一个或多个 NAND 闪存存储器装置的示例中,数据以页为单位被写或读。LPN 因此可以被用作映射单位。

[0070] 此外,FTL 可以基于来自主机的请求是写命令还是读命令来控制存储器 104,并且可以只要主机提供的写命令或读命令在存储器 104 上被执行时就管理映射表以使其被更新。例如,当来自主机的请求是写命令时,FTL 控制数据以使其被写入存储器 104 的对应于一 LPN 的存储器装置之一,并且将该 LPN 和对应的存储器装置写入映射表中。当来自主机的请求是读命令时,基于映射表,FTL 控制数据以使其从对应于一 LPN 的非易失性存储器之一中被读取。

[0071] 如上所提及,存储器 104 可以包括多个非易失性存储器,这多个非易失性存储器中的每一个可以实施为利用特定的存储器接口协议执行操作的 NAND 闪存存储器装置。根据本实施例,具有不同存储器接口协议的不同类型的存储器装置可以与同一双引脚存储器控制器 104 一起使用。在本实施例中,存储器接口块 112 包括用于每个通道的一组端口,其中至少一个端口可动态配置成以两种模式之一工作,并且每种模式对应于不同的存储器接

口协议。因此,两种不同类型的存储器 104 可以连接到存储器接口块 112 的通道而无需任何额外端口,因为两种类型的存储器 104 都可以经由总线 120 的信号线被连接到通道的相同端口。

[0072] 通过将专用或现有端口连接到正电源或接地电源 (VDD 或 VSS),端口可以被配置成以两种存储器接口协议中的任一协议工作。尽管这样的技术对于在两个存储器接口协议之间进行选择是有效的,但是存储器接口块 112 可以配置成具有任意数量的存储器接口协议。在这样的实施例中,寄存器可以通过烧熔丝或反熔丝而被电编程,或者被激光编程,以提供多位代码来选择 n 种操作模式之一。可替换地,多于两个端口可以被连接到 VDD 或 VSS 以便提供多位代码来选择 n 种操作模式之一。在所有这些实施例中,每种操作模式所需的缓冲器电路可选择性地耦合到存储器接口块 112 的各个端口。从总线 118 接收的本地存储器控制器信号被所选的缓冲器电路转换成与所选存储器接口协议兼容的格式。类似地,从总线 120 接收的信号被所选的缓冲器电路转换成本地存储器控制器信号。

[0073] 在讨论端口缓冲器电路的细节之前,首先参考图 5 和 8 描述存储器接口块 112 的组织。

[0074] 图 5 示出图 4 中所示的双引脚存储器控制器 102 的存储器接口块 112 的框图,其中存储器接口块 112 被连接到至少一个存储器装置。存储器接口块 112 包括高达 n 个通道控制模块 (CCM) 200,其中 n 可以是大于零的任何整数值。每个通道控制模块 200 与一通道相关联,并且因此经由通道总线 204 被连接到至少一个存储器装置 202。应注意的是,通道总线 204 的集合形成图 4 中所示的总线 120。类似地,所有存储器装置 202 都被包括在图 4 中所示的存储器 104 内。存储器接口块 112 还包括模式选择器 206,其包括可被偏置到 VDD 或 VSS 的端口。在图 5 中,用于将模式选择器端口连接到 VDD 或 VSS 的选项是通过包含开关装置 208 而示出的。模式选择器 206 及其对应端口可以可替换地被放置在存储器接口块 112 的外部,且在双模式引脚存储器控制器 102 的内部。响应于端口的连接,模式选择器 206 向通道控制模块中的每一个提供模式选择信号。

[0075] 根据本实施例,每个通道控制模块 200 包括一组端口,其中所述端口中的至少一个包括缓冲器电路,其可配置成响应于模式选择信号而以两种不同模式中的至少一种工作。例如,如果存储器装置 202 是 ONFi 类型闪存存储器装置,则存储器装置 202 及其通道控制模块的互连配置将表现为图 3A 中所示。另一方面,如果存储器装置 202 是 HLNAND 类型闪存存储器装置,则存储器装置 202 及其通道控制模块的互连配置将表现为图 3B 中所示。根据本实施例,ONFi 类型闪存存储器装置和 HLNAND 类型闪存存储器装置都可以连接到通道控制模块 200。

[0076] 图 6 是根据一个实施例的具有双引脚存储器控制器的多分支总线架构存储器系统的框图。更具体地,图 6 示出以多分支架构配置的图 4 的固态存储装置 100 的示例配置。双引脚存储器控制器的存储器接口块 220 包括多个各自用于控制相应的通道 224-1 至 224-N(也被称为 ONFi CH-1 至 ONFi CH-N)的通道控制模块 222-1 至 222-N。应注意的是,“N”是表示基数所指的最后的元件单位的整数。通道被提供给非易失性存储器 226。与每个通道电通信的是存储器装置 228-1、228-2 和 228-N,其中每个存储器装置可以是单个封装的存储器装置。每个存储器装置包括多个 ONFi 非易失性 NAND 闪存存储器芯片 230,图 6 中只标注了其中的一个。每个 ONFi NAND 闪存存储器芯片 230 与其相关联的通道进行双向

通信,以用于从通道控制模块接收信息或用于向通道控制模块提供信息。存储器装置的存储器芯片 230 并联连接到通道。

[0077] 为了控制非易失性存储器 226 (特别地,各个单独的存储器装置 228-1 至 228-N) 的目的,存储器接口块 220 的通道控制模块 222-1 至 222-N 中的每一个专用于非易失性存储器 226 的各个通道 ONFi CH-1 至 ONFi CH-N。例如,通常是固件和 / 或软件的闪存转换层 (FTL) 基于来自主机的请求,控制与通道 ONFi CH1 至 ONFi CH-N 相对应的通道控制模块 222-1 至 222-N 的操作,以便控制非易失性存储器 226 激活或去激活连接到通道 ONFi CH-1 至 ONFi CH-N 的各种 ONFi NAND 闪存存储器芯片 230。存储器芯片的激活可以包括启动所选存储器芯片中的各种类型的存储器操作。

[0078] 为了增加存储容量以及提高在固态存储系统 (诸如用于替代 HDD 的基于 SATA 或 PCIe 的固态驱动器 (SSD)) 中实施的大量非易失性闪存存储器装置上的信号完整性,可以使用备选类型的闪存存储器。闪存存储器的一个示例备选类型是之前描述的 HLNAND 闪存存储器。HLNAND 闪存存储器是一种使用点到点串行连接技术的高级和高性能同步非易失性闪存存储器装置,一般与存储器控制器一起布置在环形拓扑中,例如如图 3B 中所示。

[0079] 图 7 是根据本实施例的具有与图 6 的存储器系统相同的双引脚存储器控制器的串行点到点架构存储器系统的框图。更具体地,图 7 示出使用 HLNAND 闪存存储器以串行点到点架构配置的图 4 的固态存储装置 100 的示例配置。存储器接口块 220 具有相同的通道控制模块 222-1 至 222-N。图 7 的实施例与图 6 的实施例的不同在于,非易失性存储器 250 由 HLNAND 闪存存储器装置构成。如图 7 所示,非易失性存储器 250 包括 HLNAND 闪存存储器装置 252-1 至 252-N,它们中的每一个可以包括由多个 HLNAND 存储器芯片 254 (图中仅标注了其中的一个) 组成的封装装置。诸如存储器装置 252-1 的存储器装置的所有 HLNAND 存储器芯片 254 经由单向点对点连接被彼此串联连接。这些点对点连接在一个示例中通过让装置的输出引脚连接到下一装置的输入引脚而被形成,并且可以采用单向总线的形式。因此,该串行互连也可被称为菊花链级联连接,或者与主机 (诸如通道控制模块 222-1) 的环形拓扑配置。

[0080] 因此,与图 6 实施例的另一不同之处在于,通道控制模块 222-1 至 222-N 各自被连接到相应的 HLNAND 通道 256-1 至 256-N (也被称为 HL CH-1 至 HL CH-N)。每个 HLNAND 通道包括输入子通道 258-1 和输出子通道 260-1。参考例如通道控制模块 222-1,输入子通道 258-1 是一组连接,用于从通道控制模块 222-1 的输出端向存储器装置 252-1 的串联连接的存储器芯片的第一 HLNAND 存储器芯片 254 提供数据和控制信息。输出子通道 260-1 是一组连接,用于从存储器装置 252-1 的串联连接的存储器芯片的最后一个 HLNAND 存储器芯片 254 向通道控制模块 222-1 的输入端提供数据和控制信息。

[0081] 因此,该系统中的通道控制模块 222-1 至 222-N 只需要与存储器装置的第一个 HLNAND 存储器芯片和最后一个 HLNAND 存储器芯片进行接口连接。结果,不存在使用多分支连接的系统中的芯片之间的物理距离差别所引起的时钟偏斜和数据偏斜问题。此外,由于在存储器芯片和对应通道控制模块之间使用点到点连接,所以不需要一般在多分支总线架构中使用的总线终端。结果,与使用多分支总线架构的闪存存储器相比,实现了较低的功耗。

[0082] 因为存在与每个存储器装置的存储器芯片相关联的一个通道控制模块,所以 FTL

可以基于来自主机装置（诸如图 1 的主机 14）的请求而控制通道控制模块 222-1 至 222-N 的操作，以便控制非易失性存储器 250 来激活或去激活与通道 HL CH-1 至 HL CH-N 相对应的各种 HLNAND 闪存存储器芯片 254。存储器芯片的激活可以包括启动所选存储器芯片中的各种类型的存储器操作。

[0083] 图 6 和 7 的之前示出的实施例说明了根据本公开的使用相同的双引脚存储器控制器的存储器系统。用于非易失性存储器 226 和 250 的 ONFi 和 HLNAND 存储器类型仅仅是本公开的双引脚存储器控制器可以与之一起使用的两个不同类型的存储器的示例。双引脚存储器控制器的不同实施例可以配置成与当前已知的存储器和具有不同输入 / 输出接口的未来存储器进行接口连接。

[0084] 图 8 是图 5 中所示通道控制模块 200 之一的框图。在该特定实施例中，通道控制模块 200 可配置成利用两种存储器接口协议之一操作。为了示例说明的目的，所使用的两个存储器接口协议是 ONFi 和 HLNAND 存储器接口协议。

[0085] 在当前示出的实施例中，通道控制模块 200 包括 ECC 编码器 300、ECC 解码器 302、命令处理器 304、地址处理器 306、通道控制逻辑 308、数据加扰器 310、数据解扰器 312、加密处理器 314、EDC 处理器 316 以及双存储器接口模块 318。双存储器接口模块 318 包括用于电耦合到存储器装置（未示出）的一组端口。进一步参考图 4 的框图描述上述组件中的一部分组件的功能。

[0086] 通常，通过通道控制模块 200 被编程到存储器装置中的数据具有附加到其上、且与主数据一起存储在存储器装置的存储器单元阵列中的差错检测或差错纠正代码。

[0087] 通道控制模块 200 将 ECC 编码器 300 用于此功能。当这样的数据从存储器装置被读取到图 4 的 RAM 110 时，ECC 解码器 302 根据该数据重新生成 ECC 码、并将其与在编程到存储器装置中时附加到该数据上的 ECC 码进行比较。如果该数据与被写入的数据相同，则 ECC 电路指示不存在数据差错。如果在读取的数据中检测到一些差别，并且该差别足够小到在 ECC 纠正的能力内，则读取的数据（一般被包含在 RAM 110 中）通过处理器 108 所控制的 ECC 纠正引擎 116 被“纠正”或修改以将其恢复到原始值。如果数据差错超过了 ECC 纠正能力，则“不可纠正”的读差错发生。通常，不可纠正的读差错会导致差错状态在读取时被返回给主机接口。

[0088] 当主机通过主机接口块 106 向处理器 108 发送请求时，响应于此，处理器 108 从主机接口块 106 读取命令，并且基于该命令在通道控制模块 200 中建立数据路径并将该命令存储在命令处理器 304 的通道控制模块的命令寄存器中。

[0089] 处理器 108 还将来自主机接口块 106 的地址转换成内部 NAND 地址，并将其存储在通道控制模块的地址处理器 306 中。如果逻辑到物理地址转换将被执行，则处理器 108 可以使用映射表来创建正确的物理地址。处理器 108 还可以执行下面描述的一个或多个附加功能。然后，处理器 108 建立从 RAM 110 到通道控制模块 200 的数据传递。应注意的是，存储器接口块 112 可以如图 5 中所示包括多个通道控制模块。

[0090] 通道控制模块 200 取得来自地址处理器 306 的值，并且根据 ONFi 存储器接口协议格式或 HLNAND 存储器接口协议格式对其进行格式化。存储在 RAM 110 中的数据被发送到加密处理器 314 进行加密，然后通过数据加扰器 310 被发送。数据加扰器 310 加扰该数据，然后将加扰后的数据输出到 ECC 编码器 300，ECC 编码器 300 生成将与该数据一起存储的 ECC

校验位。然后,通过双存储器接口模块 318 端口,数据和 ECC 校验位以 ONFi 存储器接口协议格式或 HLNAND 存储器接口协议格式与页编程或写命令一起被传递到存储器装置进行存储。

[0091] 通道控制模块 200 还包括 EDC 处理器 316,EDC 处理器 316 包括 EDC 编码器和 EDC 解码器。EDC 处理器 316 执行针对 HLNAND 或 ONFi 存储器接口协议的差错检测编码算法。通道控制逻辑 308 通常负责将处理后的信息和数据从一个功能块路由到另一个、然后到双存储器接口模块 318 和总线。

[0092] 总之,与正使用的存储器接口协议无关,通道控制模块 200 的前面描述的功能块对将被写到存储器装置的数据、以及从存储器装置读取的数据执行数据处理操作。应注意的是,通道控制逻辑 308 还可以确定何时通过双存储器接口模块 318 驱动控制信号(诸如控制信号 CLE、ALE、CS0 和 DSO),使得它们的断言将与特定的存储器操作以及与适当的序列相协调。因此,通道控制逻辑 308 被配置成执行特定于 HLNAND 和 ONFi 两者的算法。

[0093] 双存储器接口模块 318 负责捕获在单组端口处接收的数据和其他信息,并且负责将该数据和接收的信息从两种存储器接口协议格式之一转换成本地存储器控制器格式。相反,双存储器接口模块 318 负责以两种存储器接口协议格式之一提供命令、地址和写数据。因为仅单组端口可用,所以至少一个端口被分配两个不同的功能。可能的是,在两种不同的存储器接口协议之间,仅有一个信号在功能上是不同的。另一方面,可能的是,两种不同的存储器接口协议之间的每个信号在功能上都是不同的。

[0094] 图 9 是图 8 的双存储器接口模块 318 的框图,对每个端口都有多个功能分配。根据本实施例,只要可能,两种存储器接口协议中的特定类别的信号被映射到同一端口。信号的类别包括输出信号、输入信号和双向信号。对于信号的每一类别,只要可能,两种存储器接口协议中的相似类型的信号被映射到同一端口。信号的类型包括控制、状态、数据和时钟信号。信号的每个类别具有连接到焊盘的缓冲器电路的对应类型。在图 9 的实施例中,双存储器接口模块 318 具有配置成用于两种不同的存储器接口协议(诸如 ONFi 和 HLNAND 存储器接口协议)的端口缓冲器电路。

[0095] 图 9 的双存储器接口模块 318 实施例包括用于每个焊盘的端口缓冲器电路,其中焊盘是半导体衬底的金属化区域,用于电连接到键合线的一端。键合线的另一端被连接到封装半导体衬底的封装体的物理引脚。双存储器接口模块 318 实施例包括由附图标记 400、402、404 和 406 指示的多个端口缓冲器电路。端口缓冲器电路 400 是输入缓冲器电路,其在本实施例中是模式选择器电路。如图 9 的表中所示,将端口缓冲器电路 400 的焊盘连接到 VDD(逻辑 1)或 VSS(逻辑 0)会选择其他端口缓冲器电路 402、404 和 406 将被配置为两个存储器接口协议中的哪一个。端口缓冲器电路 402 和 406 是双向端口缓冲器电路,这意味着它们包括分别用于输出信号和接收信号的驱动器和接收器电路。端口缓冲器电路 402 和 406 由于它们各自接收的信号的类型而被相互不同地进行配置。端口缓冲器电路 404 是单向端口缓冲器电路,并且特别地仅包括用于输出信号的驱动器电路。

[0096] 双存储器接口模块 318 的右侧是列出针对每个端口缓冲器电路的信号分配的表格。最左列列出针对每个端口缓冲器电路的 ONFi 存储器接口协议信号,而最右列列出针对同一端口缓冲器电路的 HLNAND 存储器接口协议信号。本示例示出用于端口缓冲器电路的一个可能的双引脚映射。如图 9 的表格中所示,来自两个存储器接口协议的诸如 CKI 和 DQS

之类的时钟信号被映射到同一端口缓冲器电路 402, 诸如 CLE 和 CS0 之类的控制信号被映射到同一端口缓冲器电路 404。应注意的是, ONFi 存储器接口协议使用 8 个双向端口缓冲器电路来提供和接收数据信号 DQ[0] 至 DQ[7], 而 HLNAND 存储器接口协议需要 8 个端口来接收输入数据 D[0] 至 D[7], 且需要 8 个端口用于驱动输出数据 Q[0] 至 Q[7]。因此, 不存在 HLNAND 存储器接口协议的 16 个数据信号到 ONFi 存储器接口协议的 8 个数据信号的直接映射。然而, ONFi 存储器接口协议需要各个单独的芯片使能信号 CE[0] 至 CE[7] 来使能通道的各个 ONFi 存储器装置, 这在 HLNAND 存储器接口协议中是不需要的。因此, 用于 ONFi 存储器接口协议的芯片使能端口被配置成以 HLNAND 存储器接口协议输出数据。图 9 的双存储器接口模块 318 意在说明多个信号如何被分配给同一端口的示例, 因此可能没有示出针对 ONFi 和 HLNAND 存储器接口协议的所有端口和信号。

[0097] 端口缓冲器电路 400、402、404 和 406 的实施例在图 10、11、12 和 13 的电路示意图中示出。

[0098] 图 10 是根据本公开的实施例的图 9 中所示的模式选择电路 400 的电路示意图。如后面进一步详细示出, 取决于模式选择电路 400 被如何设置, 其他端口缓冲器电路被配置成以两种不同模式之一操作。

[0099] 在图 10 的实施例中, 焊盘 500 是半导体芯片或衬底的表面上的金属化区域, 诸如金线键合之类的连接可以向所述金属化区域作出。在本示例中, 焊盘 500 被引线键合到电源 VDD 或接地 VSS 之一。诸如输入缓冲器电路之类的输入接收器电路 502 检测焊盘 500 的 VDD 或 VSS 连接, 以将内部选择信号 SEL 驱动到内部高或低逻辑电平。在本示例中, 当 SEL 为逻辑低电平 (0) 时, 双模式引脚存储器控制器 102 被设置成用第一存储器接口协议 (诸如 ONFi 存储器接口协议) 操作。当 SEL 处于逻辑高电平 (1) 时, 双模式引脚存储器控制器 102 被设置成用第二存储器接口协议 (诸如 HLNAND 存储器接口协议) 操作。更具体地, 双模式引脚存储器控制器的其他端口缓冲器电路中的每一个被配置成接收或提供映射到它的两个信号之一。

[0100] 如前面所提及, 两个或更多焊盘可用于在多于两个不同的存储器接口协议模式之间选择, 其中每个焊盘被连接到相应的输入缓冲器电路, 并且输出可以被解码来使能每个端口缓冲器电路的特定逻辑电路。

[0101] 图 11 是根据本公开实施例的图 9 中所示的双向端口缓冲器电路 402 的电路示意图。焊盘 510 可以被电耦合至 ONFi 存储器装置的 DQS 引脚或符合 HLNAND 的存储器装置的 CKI 引脚。缓冲器电路包括接收路径和输出路径。接收路径包括诸如输入缓冲器的接收器 512, 诸如解复用器 514 的选择器, 以及配置成用于接收来自一个存储器接口协议 (诸如 HLNAND 存储器接口协议) 的信号的第一逻辑块 516。第一逻辑块 516 被具体配置成经由解复用器 514 从焊盘 510 接收 CKI 信号, 并且可以配置成根据 HLNAND 存储器接口协议的要求来处理该信号, 并向通道控制模块 200 的特定电路块提供任何需要的信号。特别地, HLNAND 逻辑块 516 向通道控制模块提供缓冲的时钟信号, 并且可以包括延迟锁定环 (DLL) 或相位锁定环 (PLL)。解复用器 514 接收的信号被称为“输入 (in)”, 其可以对应于在焊盘 510 接收的 DQS 或 CKI 信号。解复用器 514 被选择信号 SEL 控制以将信号“输入”传递到标为“0”和“1”的两个输出之一。在本示例中, 当 SEL 处于对应于选择 HLNAND 存储器接口协议模式的逻辑电平时, “输入”被传递到“1”输出。相反, 当 SEL 处于对应于 ONFi 存储器接口协议

模式的逻辑电平时，“输入”被传递到“0”输出。

[0102] 在图 11 的示例中，SEL 对于 ONFi 存储器接口存储器协议模式处于低逻辑电平，且对于 HLNAND 存储器接口协议模式处于高逻辑电平。在 HLNAND 存储器接口协议模式中，解复用器 514 向逻辑块 516 提供时钟信号 CLK_in，而在 ONFi 存储器接口协议模式中，解复用器 514 向第二逻辑块 518 提供数据时钟信号 DQS_in。

[0103] 输出路径包括第二逻辑块 518，其控制输出数据时钟信号 DQS_out 和接收到的输入数据时钟信号 DQS_in 这两者。特别地，第二逻辑块 518 从双存储器接口模块 318 接收 DQS_in，并且根据 ONFi 存储器接口协议的要求来处理该信号以提供输入数据同步，并且向通道控制模块 200 的特定电路块提供任何需要的信号。类似地，第二逻辑块 518 从诸如双存储器接口模块 318 之类的通道控制模块 200 的其他电路接收信号，以生成用于输出数据同步的输出数据时钟信号 DQS_out。DQS_out 信号由输出驱动器 520 驱动到焊盘 510。应注意的是，输出驱动器 520 由选择信号 SEL 启用或禁用。如之前针对解复用器 514 所讨论，处于低逻辑电平的 SEL 对应于 ONFi 存储器接口协议模式。因此，在该操作模式中，输出驱动器 520 被启用或接通以用于放大 DQS_out 信号并驱动焊盘 510。在另一操作模式中，即当 SEL 处于对应于 HLNAND 存储器接口协议模式的高逻辑电平时，输出驱动器 520 被禁用或关闭，留下接收器 512 被接通以便经由解复用器 514 从焊盘 510 向逻辑块 516 提供接收的 CKI 信号。然后，缓冲的时钟信号被提供给双存储器接口模块 318。

[0104] 应注意的是，当 SEL 处于低逻辑电平时，输出驱动器 520 和接收器 512 都被启用，使得任何输出 DQS 信号都可以被驱动到焊盘 510 上，同时任何接收到的输入 DQS 信号都可以通过接收器 512 和解复用器 514 由逻辑块 518 接收。

[0105] 在图 11 的实施例中，端口缓冲器电路 402 被配置成用于双向 DQS 信号或接收到的 CKI 信号。然而，类似的端口缓冲器电路可以被用于图 9 中标为 402 的其他端口缓冲器电路。如图 9 的实施例中所示，每个 ONFi 信号是双向信号，而被映射到每个双向 ONFi 信号的 HLNAND 信号是输入信号。因此，尽管图 11 的相同电路块将被用于其他端口缓冲器电路 402，但是图 11 中所示的逻辑块 516 和 518 将被配置成用于处理被映射到它们的那些特定信号。

[0106] 图 12 是根据本公开实施例的图 9 中所示的输出端口缓冲器电路 404 的电路示意图。输出端口缓冲器电路 404 包括配置成处理与第一存储器接口协议相对应的信号的第一逻辑块 530，配置成处理与第二存储器接口协议相对应的信号的第二逻辑块 532，诸如复用器 534 的选择器，输出驱动器 536，以及焊盘 538。在当前所示的示例中，第一逻辑块 530 是 ONFi 逻辑块，且第二逻辑块 532 是 HLNAND 逻辑块。ONFi 逻辑块 530 从双接口存储器模块 318 接收信息，用于响应于通道控制模块 200 的其他电路块而提供读使能信号 RE_out，其由复用器 534 的“0”输入端接收。更具体地，ONFi 逻辑块 530 被配置成根据协议的要求来处理接收到的信号以生成 RE_out 信号。HLNAND 逻辑块 532 响应于从双接口存储器模块 318 接收的信息而提供输出时钟信号 CKO_out，其由复用器 534 的“1”输入端接收。更具体地，HLNAND 逻辑块 532 被配置成根据协议的要求来处理接收到的信号以生成 CKO_out 信号。

[0107] 复用器 534 响应于选择信号 SEL 而传递 RE_out 和 CKO_out 之一作为信号“输出(out)”。在本示例中，处于高逻辑电平的 SEL 对应于 HLNAND 存储器接口协议模式，由此将 CKO_out 传递到输出驱动器 536。另一方面，处于低逻辑电平的 SEL 对应于 ONFi 存储器接口协议模式，由此将 RE_out 传递到输出驱动器 536。输出驱动器 536 然后放大其接收到的

信号并将其驱动到焊盘 538 上。应注意的是,信号 RE 和 CKO 都是针对 ONFi 和 HLNAND 存储器接口协议的输出信号。因此,图 12 的实施例是示出端口缓冲器电路如何被配置成提供两个不同的输出信号的示例。

[0108] 图 13 是根据本公开实施例的图 9 中所示的备选的双向端口缓冲器电路 406 的电路示意图。双向端口缓冲器电路 406 包括接收路径和输出路径。输出路径包括第一逻辑块 550,以及用于放大信号并将其驱动到焊盘 554 上的输出驱动器 552。接收路径包括用于预处理在焊盘 554 处接收的信号接收器 556,以及第二逻辑块 558。在本示例中,第一逻辑块是 ONFi 逻辑块,其响应于通道控制模块 200 的其他电路块而提供写使能信号 WE_out,并且第二逻辑块是 HLNAND 逻辑块,其接收数据选通输入信号 DSI_in,该数据选通输入信号 DSI_in 被提供给通道控制模块 200 的其他电路块。特别地,逻辑块 550 被配置成根据所选协议的要求来处理从通道控制模块 200 的其他电路块接收的信号,以用于生成 WE_out 信号。类似地,逻辑块 558 被配置成根据所选协议的要求来处理 DSI_in 信号,并且将任何需要的信号提供给通道控制模块 200 的特定电路块。

[0109] 当前示出的双向端口缓冲器电路说明了这样的示例配置:焊盘以第一存储器接口协议模式提供输出信号,并且以第二存储器接口协议模式接收输入信号。例如,当选择信号 SEL 处于低逻辑电平时,输出驱动器 552 被启用,而接收器 556 被禁用。相反,当 SEL 处于高逻辑电平时,输出驱动器 552 被禁用,而接收器 556 被启用。因此,取决于选择信号 SEL 的状态,接收路径和输出路径中只有一个是活动的。

[0110] 应注意的是,图 13 的实施例示出输出驱动器 520 和输入缓冲器 512 通过选择信号 SEL 被启用或禁用。尽管图 11 的实施例仅示出输出驱动器 520 通过 SEL 被启用或禁用,但是在替代实施例中,输入缓冲器 512 也可以通过 SEL 被启用或禁用。

[0111] 图 14 是根据本公开实施例的双模式输入接口电路的电路示意图。当针对两个不同的存储器接口协议的输入信号被映射到同一端口时,可以使用该特定电路实施例。如图 14 所示,双输入端口缓冲器电路 570 包括焊盘 572,被连接到焊盘 572 的接收器 574,诸如解复用器 576 的选择器,配置成处理与第一存储器接口协议相对应的信号的第一逻辑块 578,以及配置成处理与第二存储器接口协议相对应的信号的第二逻辑块 580。在当前示出的实施例中,未示出特定于任何存储器接口协议的信号。因此,焊盘 572 可以被电耦合来接收各自对应于不同存储器接口协议的第一输入或第二输入。接收器 574 缓冲在焊盘 572 处接收的信号,并将该信号作为“输入(in)”传递到解复用器 576 的输入端。解复用器 576 响应于选择信号 SEL 的状态而将“输入”传递到其“0”或“1”输出端。如前面所提及,SEL 被设置成高或低逻辑电平以指示正在使用的所选存储器接口协议。逻辑块 578 和 580 被配置成根据所选协议的要求来处理信号,并且将任何需要的信号提供给通道控制模块 200 的特定电路块。

[0112] 图 9 的之前所示的实施例、以及图 10 至 14 的端口缓冲器电路实施例示出用于双模式引脚存储器控制器实施例的一个可能的双引脚映射配置的示例。其他双引脚映射是可能的,只要信号被映射到的端口被配置成接收或提供被映射的信号。之前示出的端口缓冲器电路实施例可用于将输入、输出和双向信号的组合映射到单个端口。在任何情况下,在端口缓冲器电路处接收的信号由通道控制模块 200 接收和处理,然后经由总线 118 传递给存储器控制器 102 的其他电路块。最终,数据经由主机接口 106 被提供给主机。类似地,在主

机接口 106 处接收的任何数据和命令经由总线 118 由存储器控制器的电路块处理,并且最终被提供给存储器接口 112 的目标通道控制模块,其执行向存储器装置发信号所必要的协议适配。

[0113] 之前示出的实施例说明了两个存储器接口协议的信号如何被映射到存储器控制器的单组端口。在替代实施例中,每个端口缓冲器电路可以配置成接收多于 2 个不同类型的信号。例如,所示的 2-1 复用器或 1-2 解复用器可以被替换为 3-1 复用器或 1-3 解复用器,并且可以包括额外的逻辑块用于处理信号以用于输出第三信号,或用于处理接收到的第三信号。理解图 10 至 14 的端口缓冲器电路实施例的本领域技术人员将理解如何扩展电路以便将多于 2 个映射信号容纳到每个端口。

[0114] 双模式引脚存储器控制器实施例可以用在任何存储器系统中,诸如包括 SSD 驱动器和其他便携存储器存储装置的固态驱动器系统。双模式引脚存储器控制器实施例还可以与诸如包括例如移动电话、膝上型计算机和平板电脑的便携式电子装置中的使用非易失性存储器的系统集成。

[0115] 在上述实施例中,装置元件和电路为简化起见如图所示被彼此连接。在本公开的实际应用中,元件、电路等等可以直接彼此连接。元件、电路等等也可以通过为装置和设备的操作所必需的其他元件、电路等而被间接地彼此连接。因此,在实际配置中,电路元件和电路被直接或间接地彼此耦合或彼此连接。

[0116] 在前面的描述中,为了解释的目的阐述了大量细节以便提供对实施例的彻底理解。然后,对本领域技术人员而言明显的是,这些特定细节不是必需的。在其他情况下,熟知的电气结构和电路以框图形式被示出以便不会使理解模糊。

[0117] 上述实施例意在仅是举例。在不脱离仅由所附权利要求限定的范围的前提下,本领域技术人员可以对特定实施例做出变更、修改和变型。

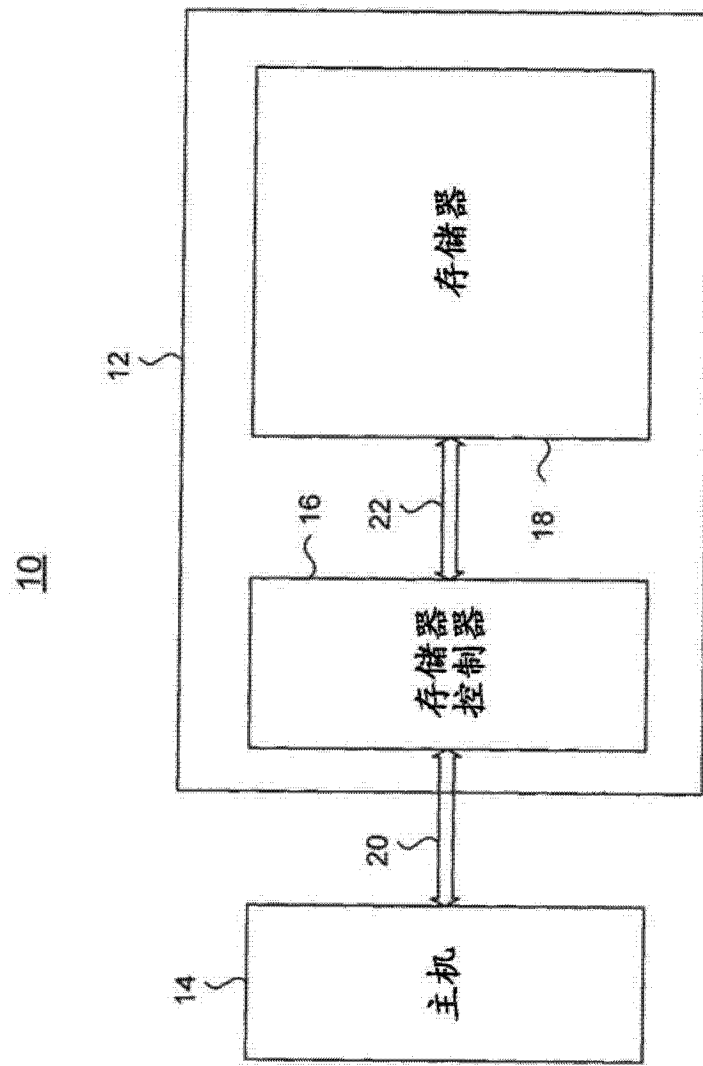


图 1

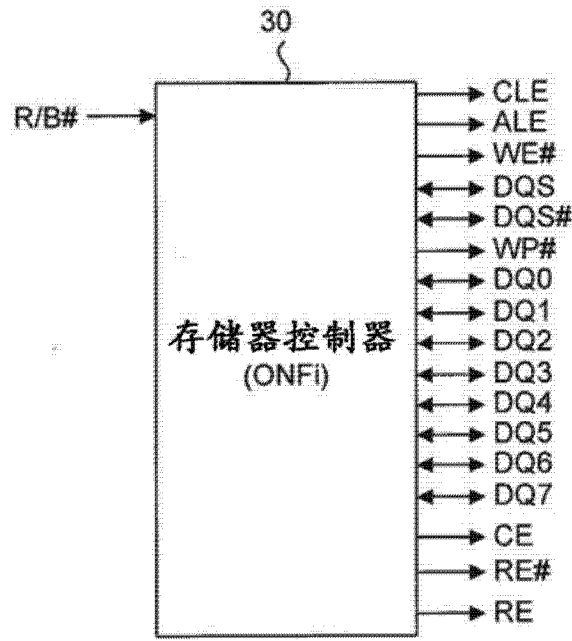


图 2A

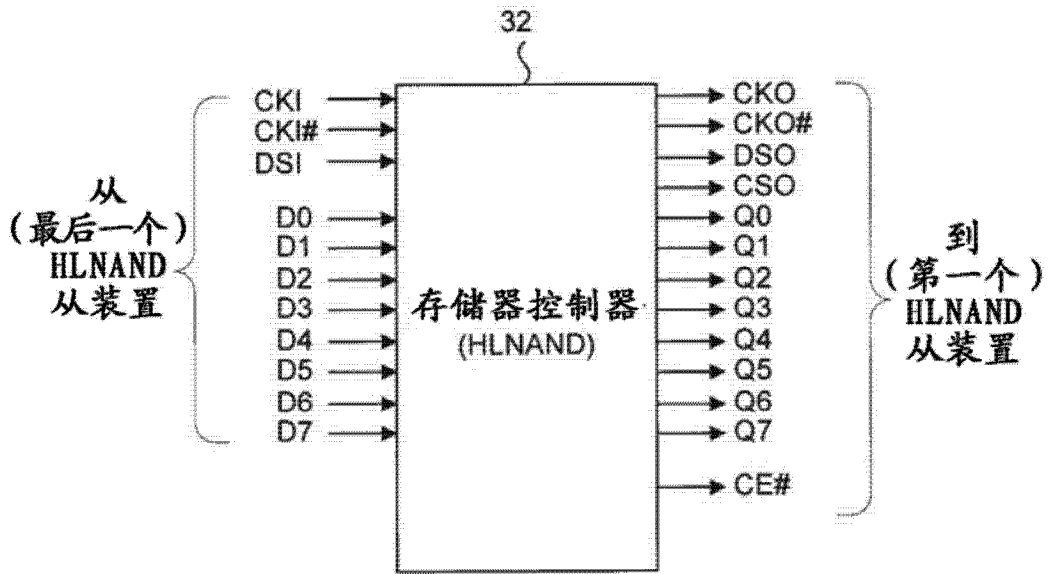


图 2B

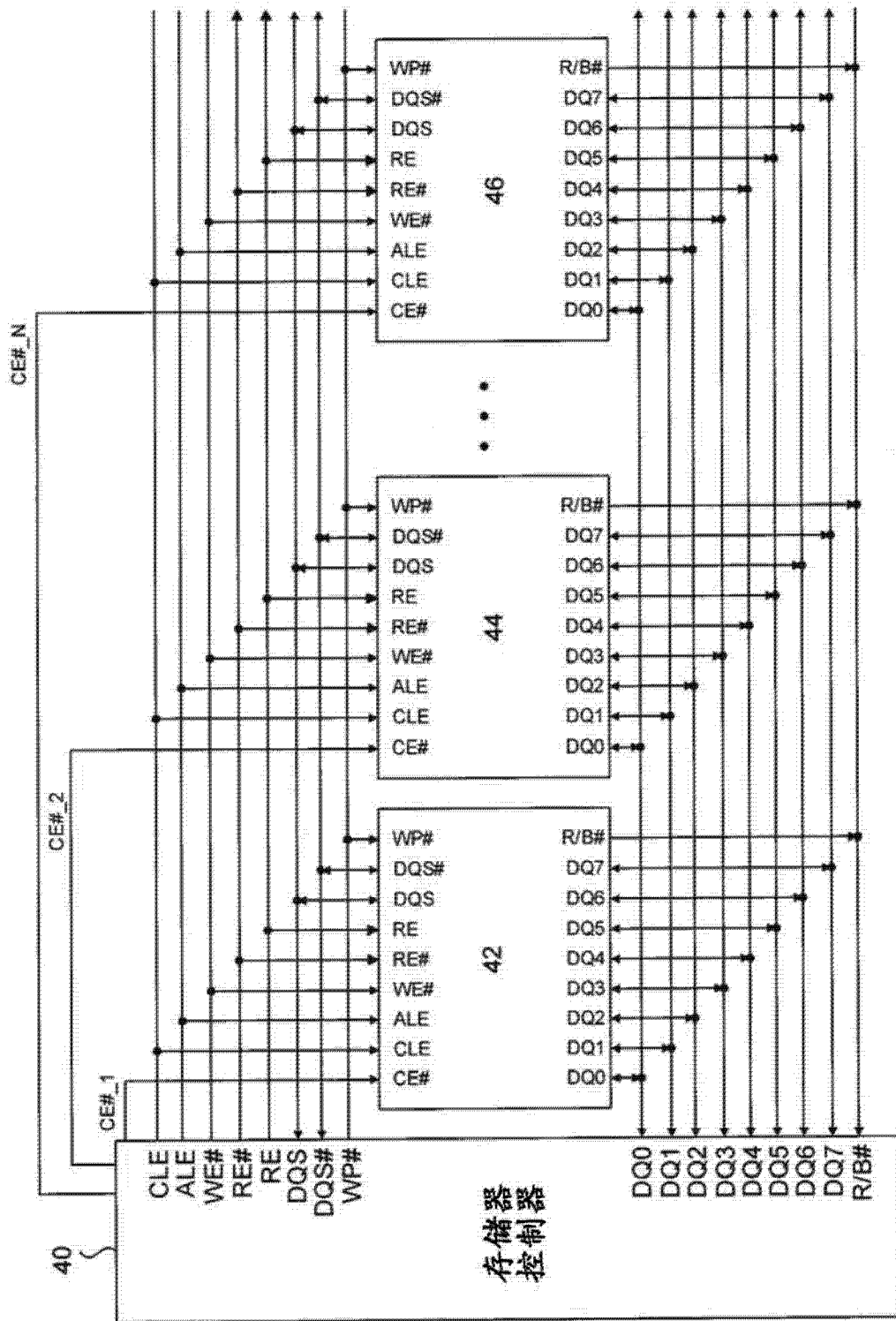


图 3A

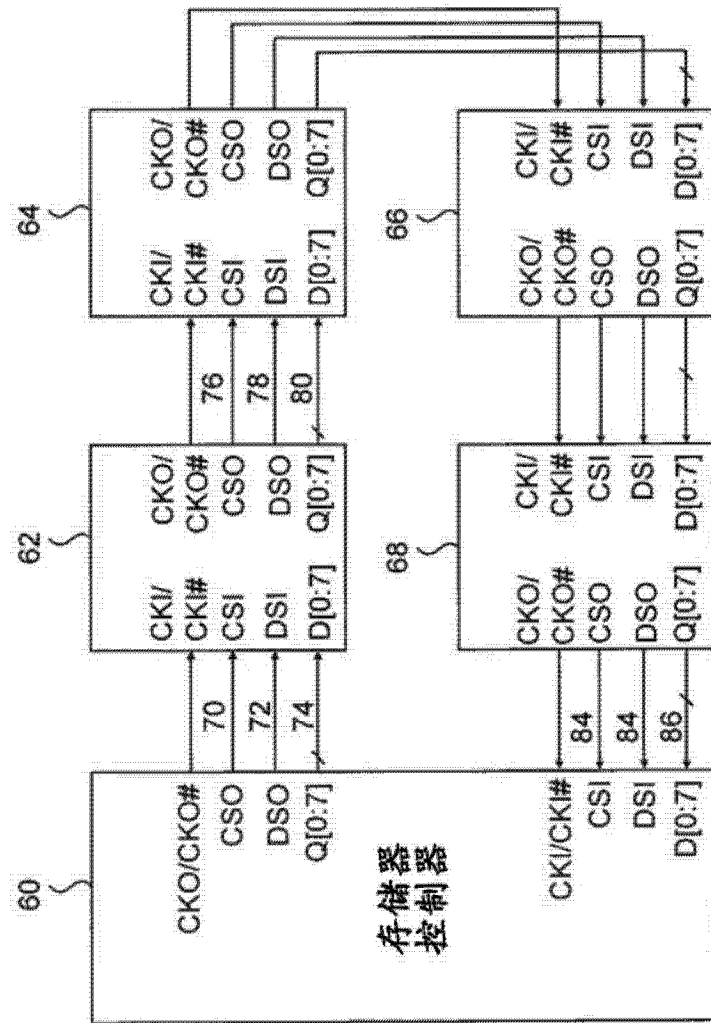


图 3B

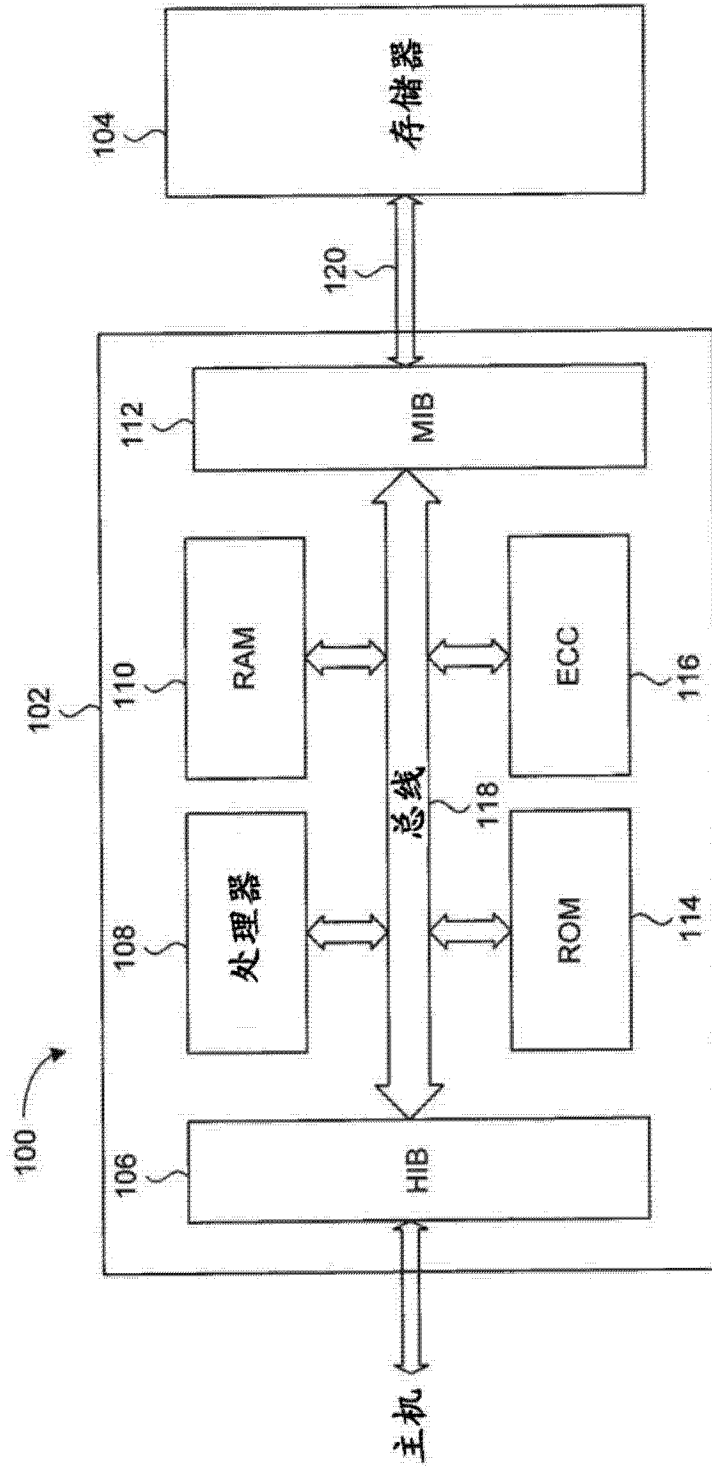


图 4

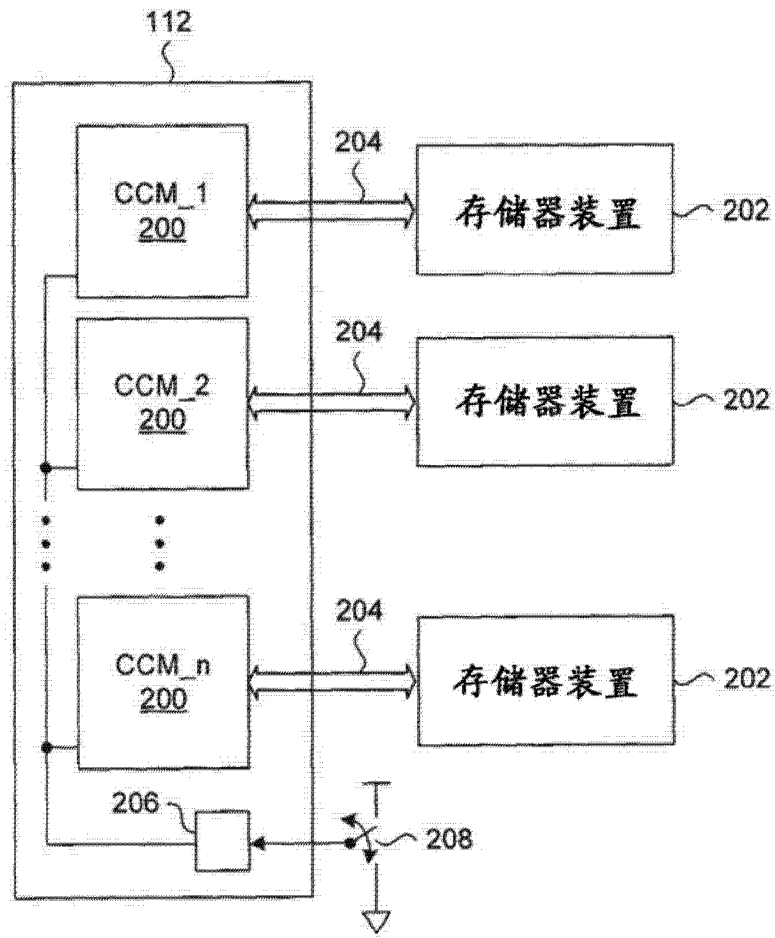


图 5

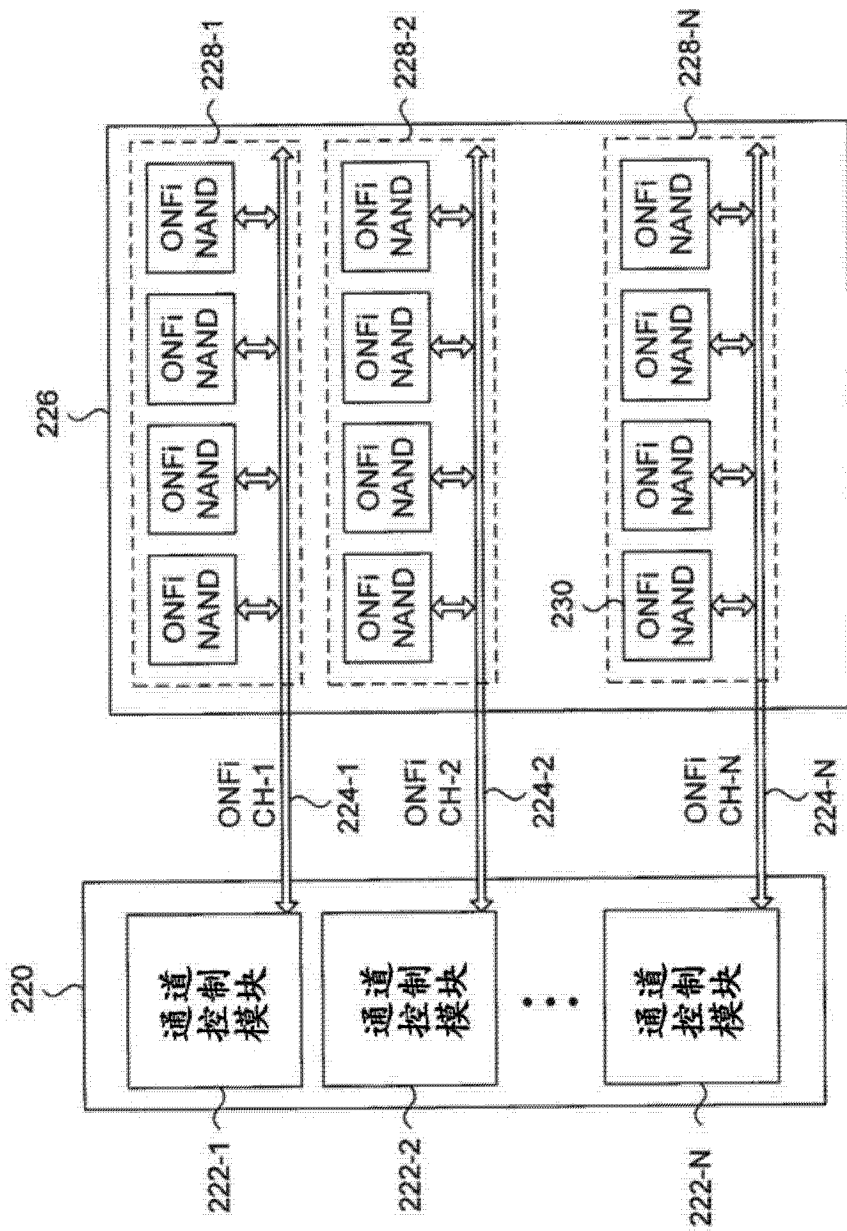


图 6

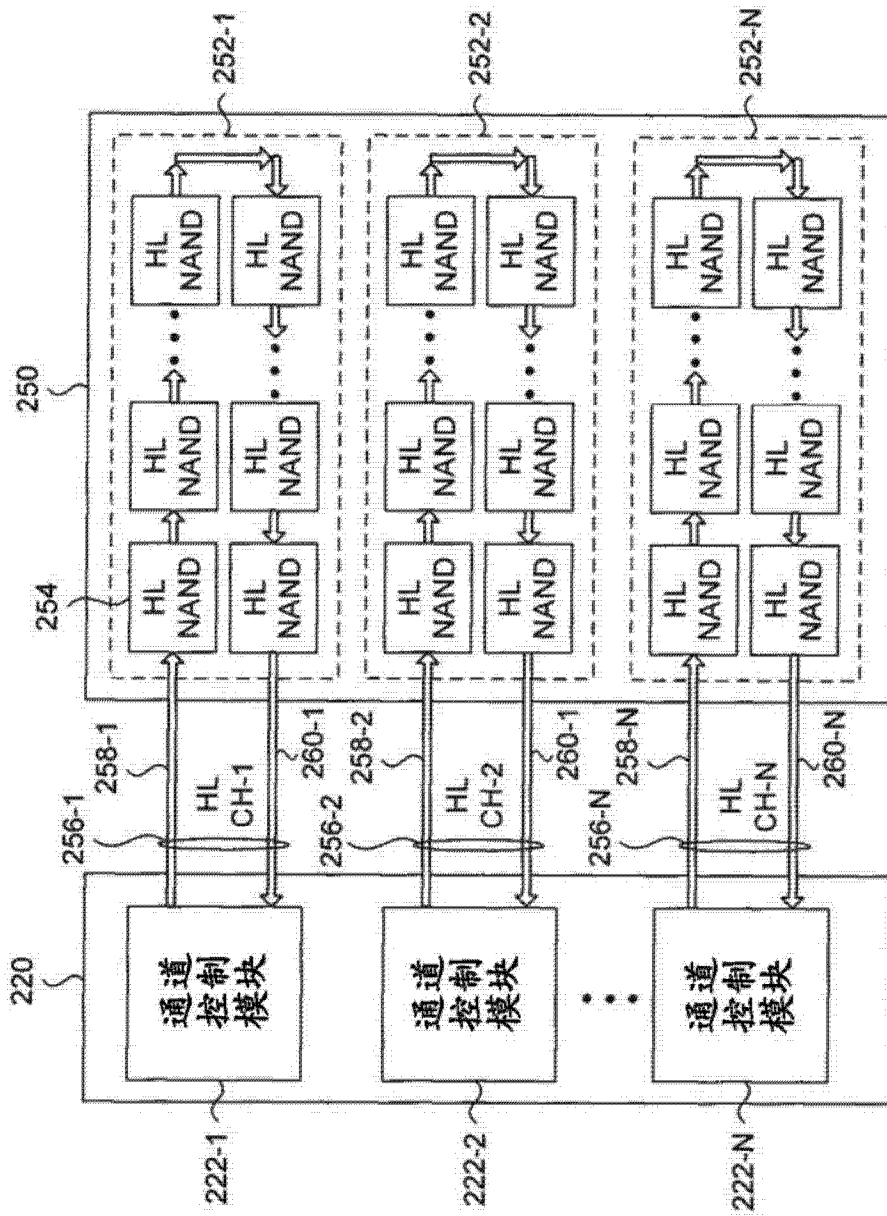


图 7

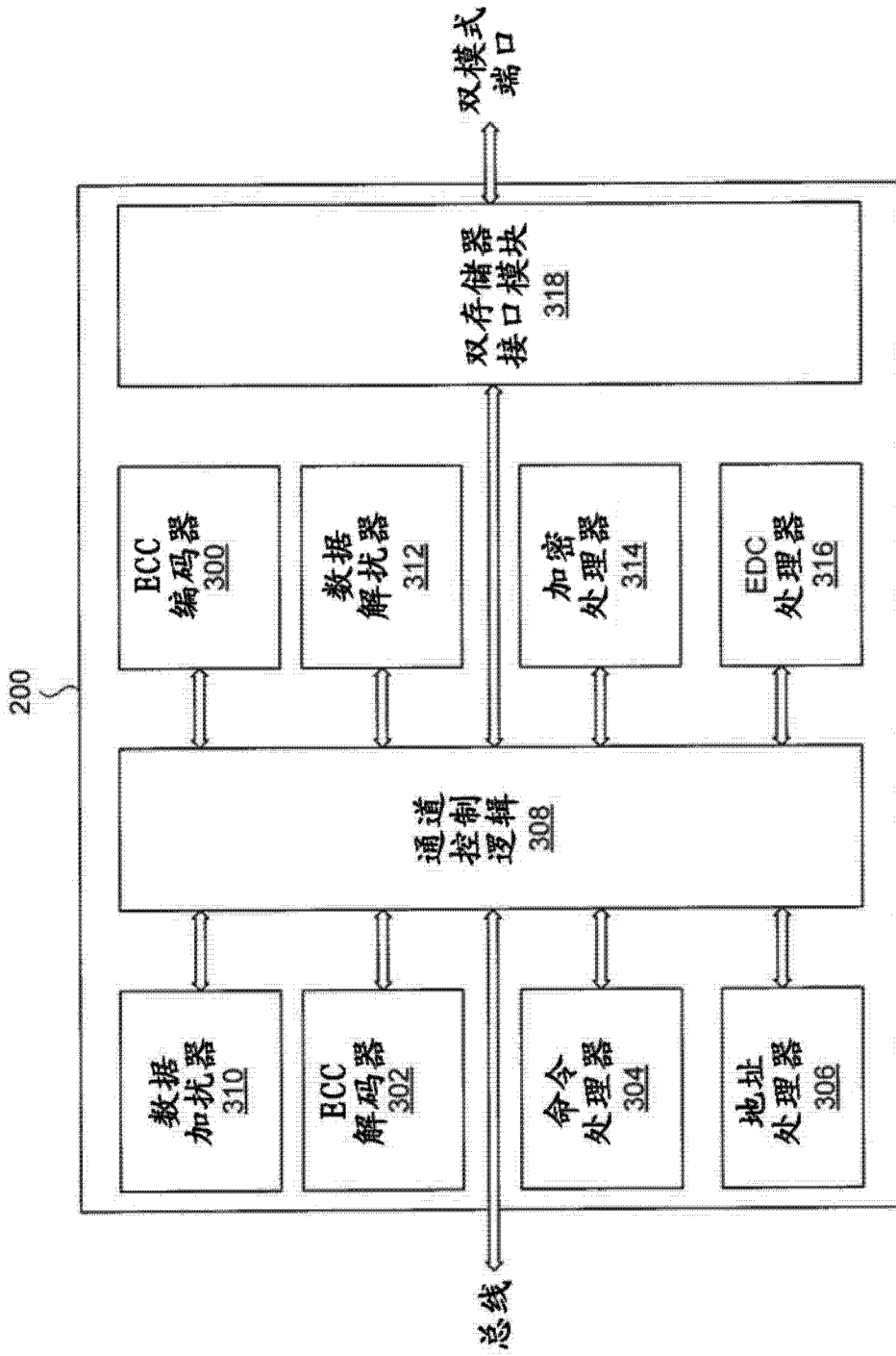


图 8

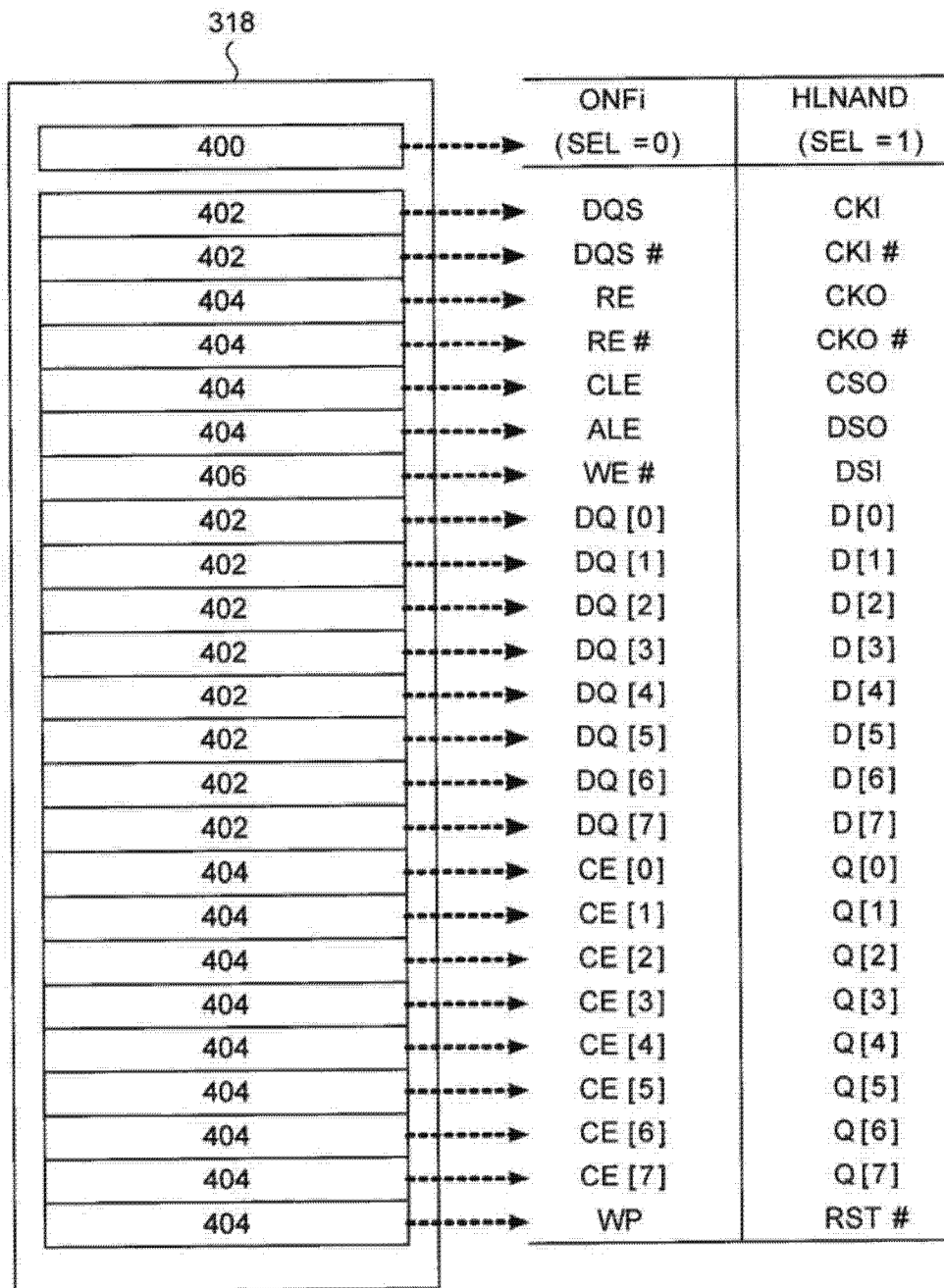


图 9

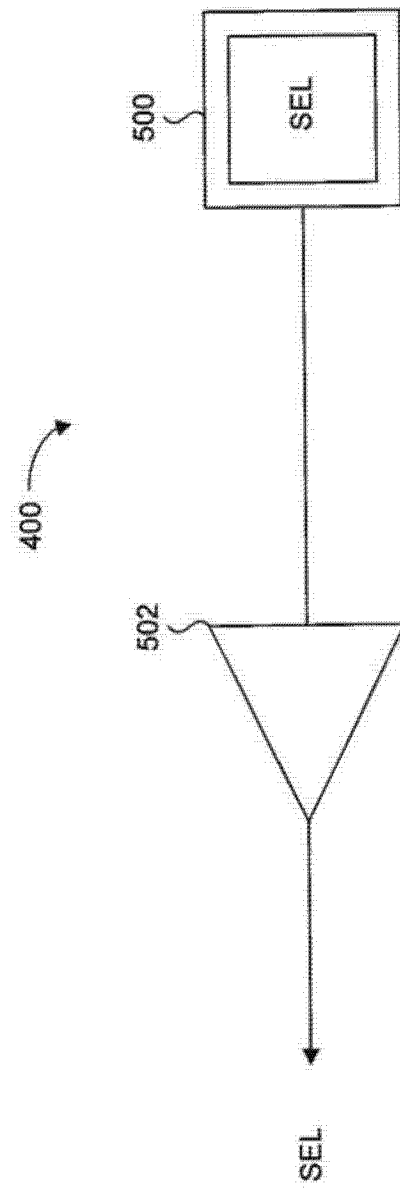


图 10

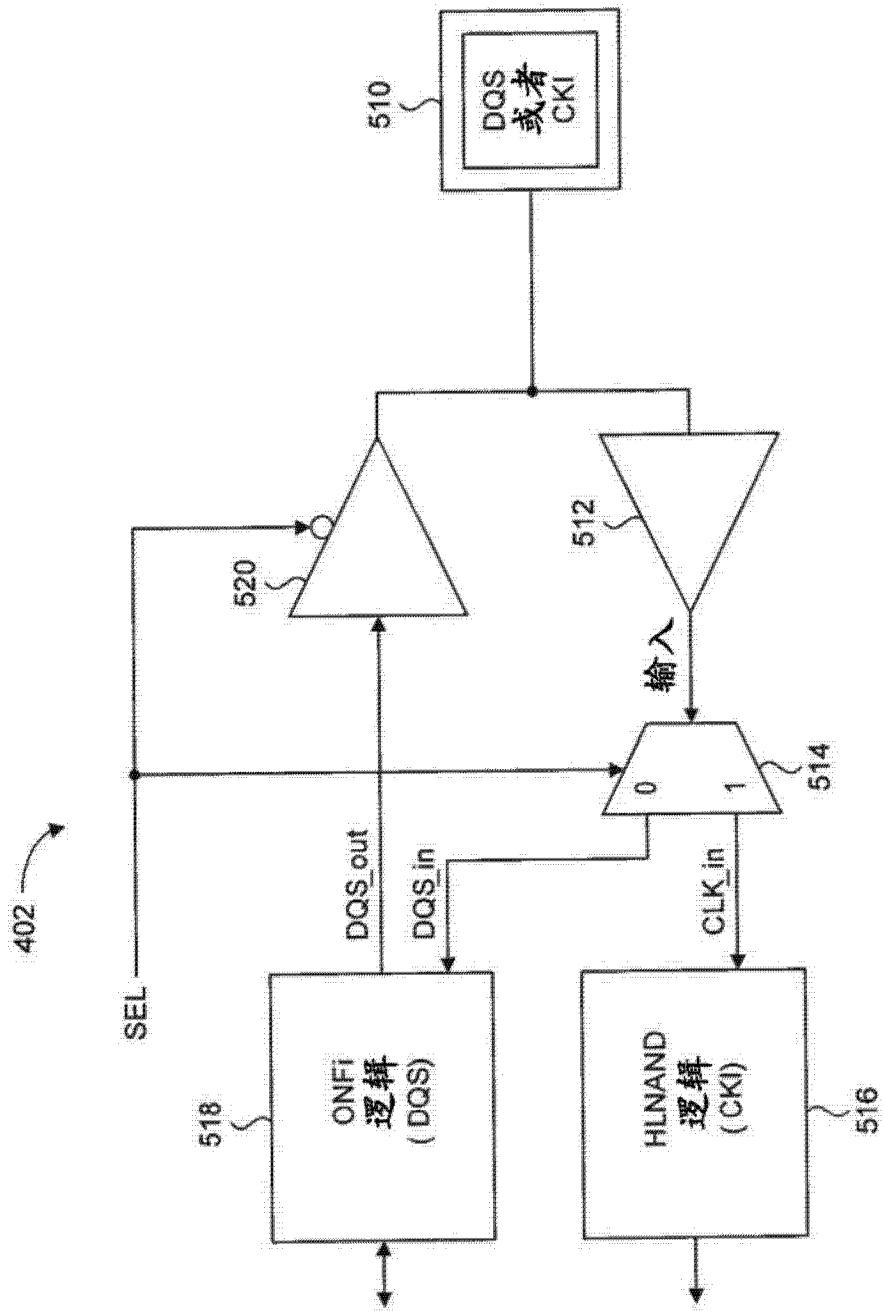


图 11

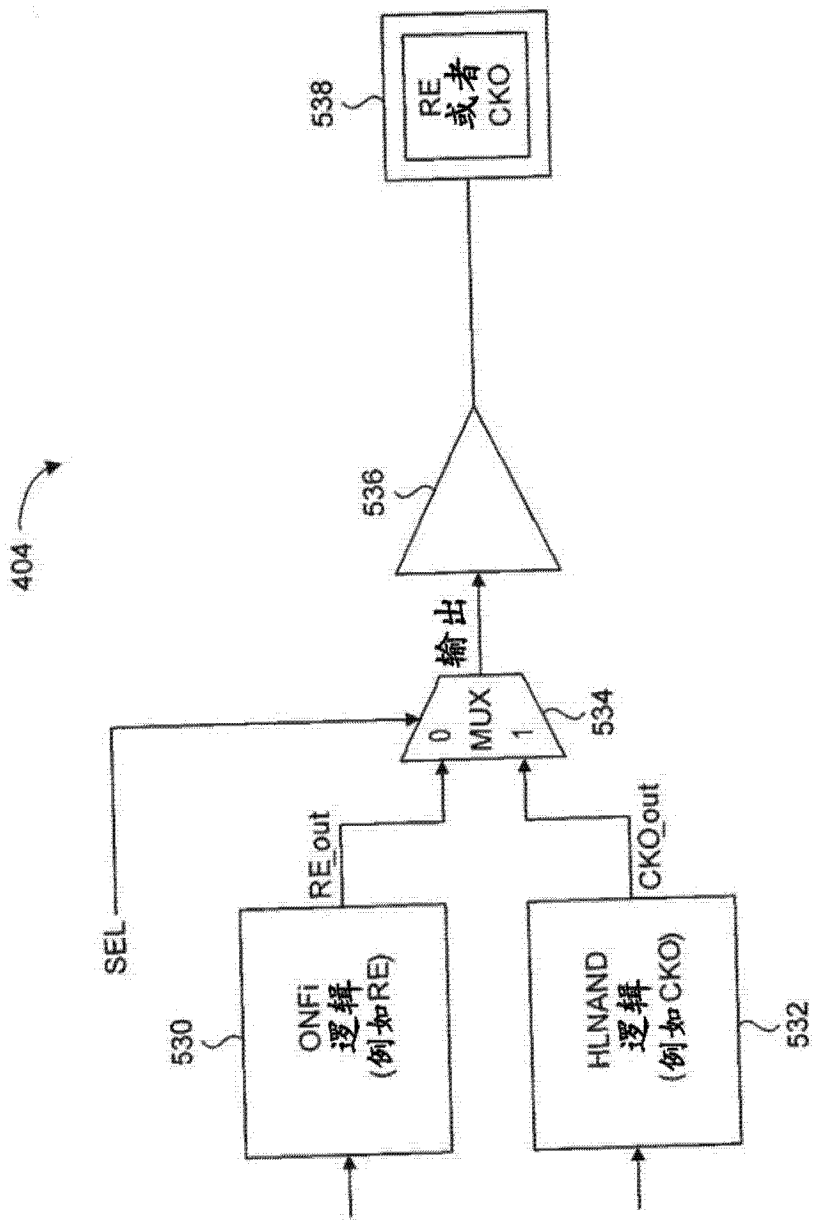


图 12

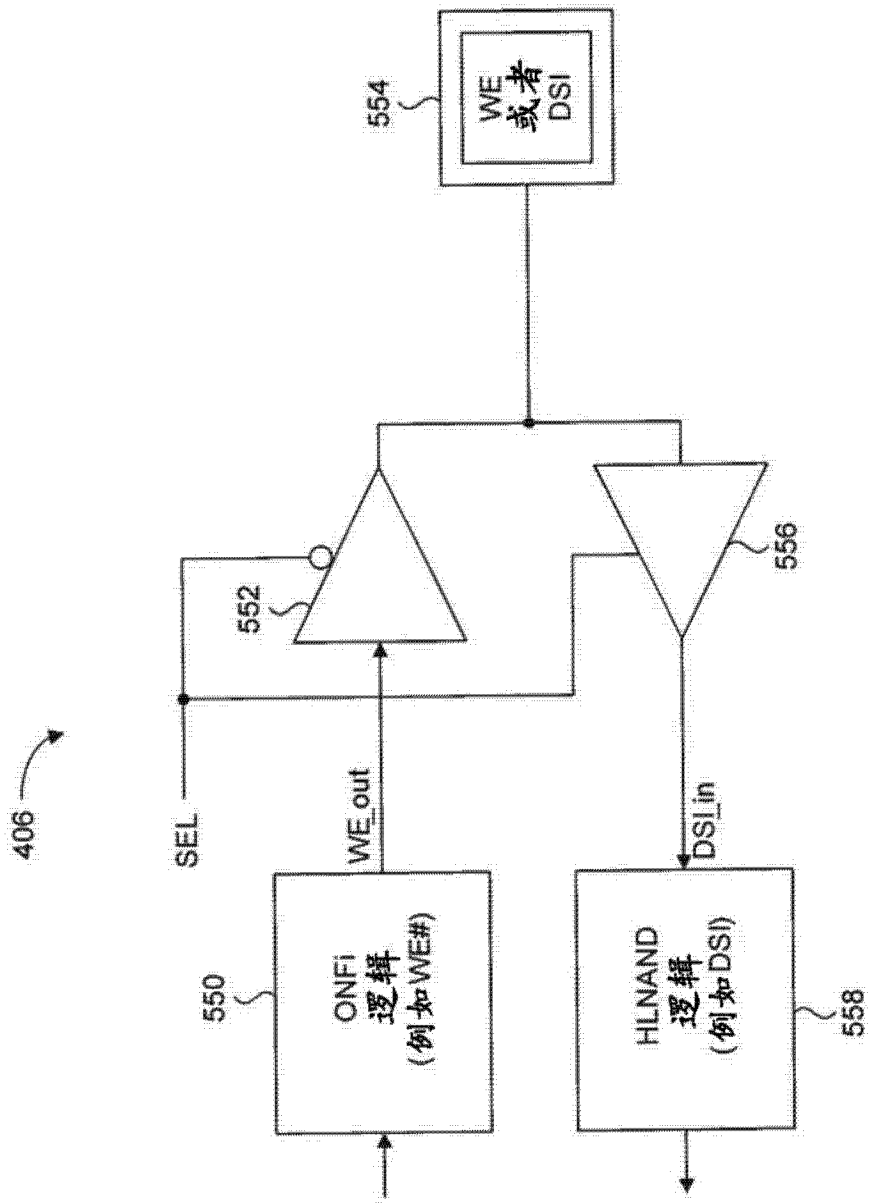


图 13

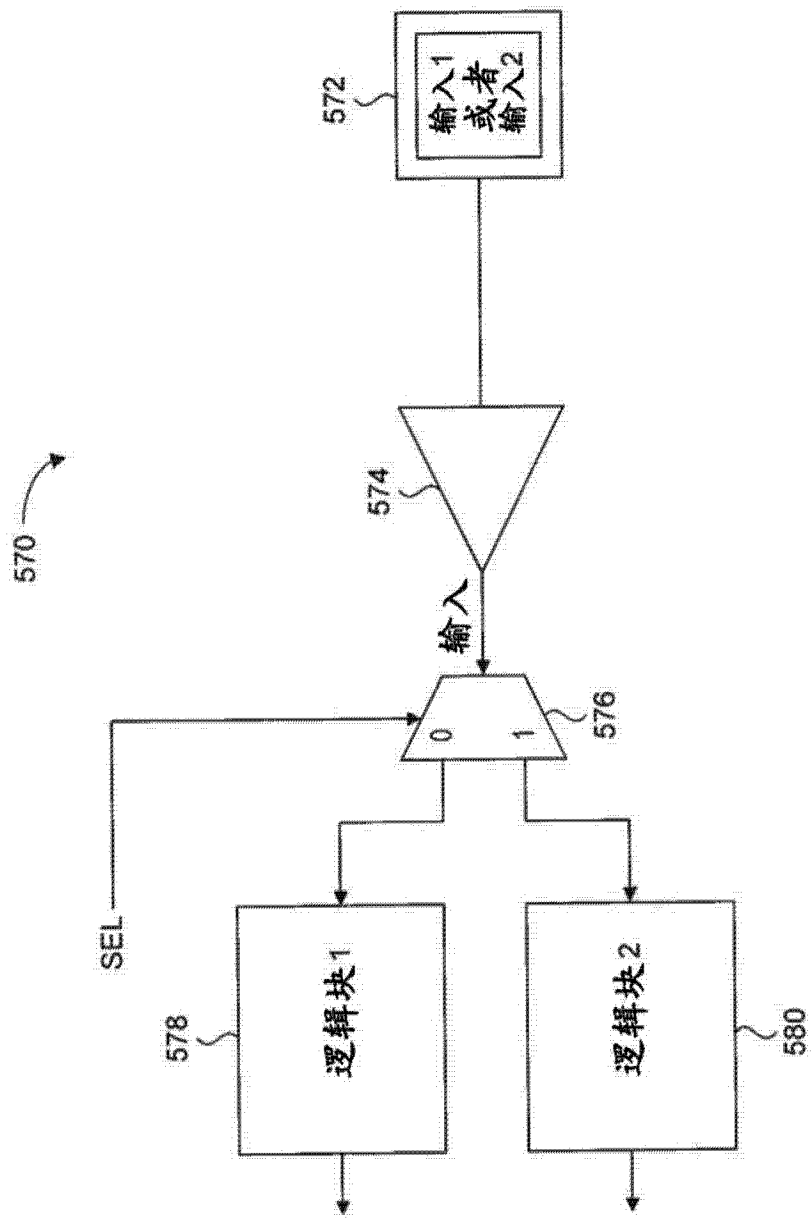


图 14