



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월20일

(11) 등록번호 10-1521833

(24) 등록일자 2015년05월14일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0020213

(22) 출원일자 2009년03월10일

심사청구일자 2014년02월27일

(65) 공개번호 10-2009-0097131

(43) 공개일자 2009년09월15일

(30) 우선권주장

JP-P-2008-058906 2008년03월10일 일본(JP)

(56) 선행기술조사문현

US05510916 A

JP06082831 A

KR100669093 B1

KR1020080001181 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

미야리 히데카즈

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398,

가부시키가이샤한도오따이 에네루기 켄큐쇼 내

미조구치 타카후미

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398,

가부시키가이샤한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 17 항

심사관 : 최혜미

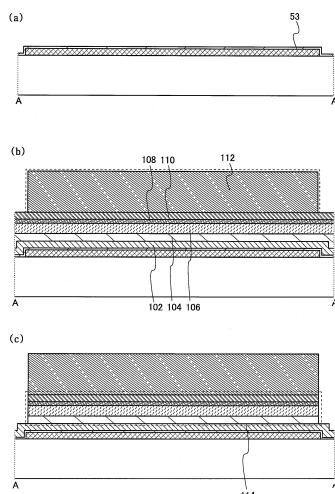
(54) 발명의 명칭 박막 트랜지스터 및 그 제작 방법, 및 표시 장치 및 그 제작 방법

### (57) 요 약

종래보다 적은 마스크 수로 박막 트랜지스터 및 표시 장치를 제작하는 방법이 제공된다.

제 1 레지스트 마스크를 사용하여 차광층(遮光層)을 형성하고, 차광층 위에 하지막을 형성하고, 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 적층하고, 제 2 도전막 위의 제 2 레지스트 마스크를 사용하여 제 2 도전막, 불순물 반도체 막, 반도체 막, 제 1 절연막에 제 1 에칭을 행하고, 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행함으로써 게이트 전극층을 형성하고, 제 3 레지스트 마스크를 사용하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성하고, 제 1 레지스트 마스크와 제 2 레지스트 마스크는 동일한 포토 마스크에 의하여 형성함으로써, 박막 트랜지스터를 제작한다.

### 대 표 도 - 도2



## 명세서

### 청구범위

#### 청구항 1

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;

폐턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;

상기 제 1 레지스트 마스크를 제거하는 단계와;

상기 차광층 위에 하지막을 형성하는 단계와;

상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;

상기 제 2 도전막 위에 노광 및 현상에 의해 제 2 레지스트 마스크를 형성하는 단계와;

적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;

게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;

상기 제 2 에칭을 행한 후에, 상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하는 단계와;

소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성하기 위해서 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하는 단계를 포함하고,

상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크를 사용하여 형성되는, 박막 트랜지스터의 제작 방법.

#### 청구항 2

제 1 항에 있어서,

소자 영역이 상기 제 1 에칭에 의하여 형성되고,

상기 제 2 에칭에 의하여 상기 소자 영역의 측면으로부터 같은 거리만큼 내측에 상기 게이트 전극층의 측면을 형성하는, 박막 트랜지스터의 제작 방법.

#### 청구항 3

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;

폐턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;

상기 제 1 레지스트 마스크를 제거하는 단계와;

상기 차광층 위에 하지막을 형성하는 단계와;

상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;

상기 제 2 도전막 위에 노광 및 현상에 의해 제 2 레지스트 마스크를 형성하는 단계와;

적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;

상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하는 단계와;

상기 제 3 레지스트 마스크를 형성한 후에, 게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;

소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성하기 위해서 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하는 단계를 포함하고,

상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크를 사용하여 형성되는, 박막 트랜ジ스터의 제작 방법.

#### 청구항 4

제 3 항에 있어서,

상기 제 2 레지스트 마스크는 상기 제 1 레지스트 마스크의 면적보다 작게 형성되는, 박막 트랜ジ스터의 제작 방법.

#### 청구항 5

제 4 항에 있어서,

상기 제 2 레지스트 마스크는 산소 플라즈마에 의하여 애싱掴으로써 형성되는, 박막 트랜ジ스터의 제작 방법.

#### 청구항 6

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;

페턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;

상기 제 1 레지스트 마스크를 제거하는 단계와;

상기 차광층 위에 하지막을 형성하는 단계와;

상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;

상기 제 2 도전막 위에 오목부를 갖는 제 2 레지스트 마스크를 노광 및 현상에 의해 형성하는 단계와;

적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;

게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;

상기 제 2 에칭을 행한 후에, 상기 제 2 레지스트 마스크를 후퇴시킴으로써 상기 제 2 레지스트 마스크의 상기 오목부와 중첩하는 상기 제 2 도전막의 일부를 노출시키고 제 3 레지스트 마스크를 형성하는 단계와;

소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성하기 위해서 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하는 단계를 포함하고,

상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크를 사용하여 형성되는, 박막 트랜ジ스터의 제작 방법.

#### 청구항 7

제 6 항에 있어서,

상기 제 2 레지스트 마스크는 다계조 마스크를 사용하여 형성되는, 박막 트랜ジ스터의 제작 방법.

#### 청구항 8

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;  
페턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;  
상기 제 1 레지스트 마스크를 제거하는 단계와;  
상기 차광층 위에 하지막을 형성하는 단계와;  
상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;  
상기 제 2 도전막 위에 오목부를 갖는 제 2 레지스트 마스크를 노광 및 현상에 의해 형성하는 단계와;  
적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;  
상기 제 2 레지스트 마스크를 후퇴시킴으로써 상기 제 2 레지스트 마스크의 상기 오목부와 중첩하는 상기 제 2 도전막의 일부를 노출시키고 제 3 레지스트 마스크를 형성하는 단계와;  
상기 제 3 레지스트 마스크를 형성한 후에, 게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;  
소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성하기 위해서 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하는 단계를 포함하고,  
상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크를 사용하여 형성되는, 박막 트랜지스터의 제작 방법.

#### 청구항 9

제 8 항에 있어서,  
상기 제 1 에칭은 드라이 에칭이고,  
상기 제 2 에칭은 웨트 에칭인, 박막 트랜지스터의 제작 방법.

#### 청구항 10

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;  
페턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;  
상기 제 1 레지스트 마스크를 제거하는 단계와;  
상기 차광층 위에 하지막을 형성하는 단계와;  
상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;  
상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 같은 포토마스크를 사용하여 노광 및 현상에 의해 제 2 레지스트 마스크를 형성하는 단계와;  
적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;  
게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;  
상기 제 2 에칭을 행한 후에, 상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하는 단계와;  
상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지

스터를 형성하는 단계와;

상기 제 3 레지스트 마스크를 제거하는 단계와;

상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계와;

상기 소스 및 드레인 전극층의 일부를 노출하기 위해서 상기 제 2 절연막에 개구부를 형성하는 단계와;

상기 개구부와 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는, 표시 장치의 제작 방법.

## 청구항 11

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;

페던을 갖는 차광층을 형성하기 위해서 상기 차광막의 일부를 에칭하는 단계와;

상기 차광층 위에 하지막을 형성하는 단계와;

상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;

상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 같은 포토마스크를 사용하여 제 2 레지스트 마스크를 형성하는 단계와;

적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;

상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하는 단계와;

게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;

상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지스터를 형성하는 단계와;

상기 제 3 레지스트 마스크를 제거하는 단계와;

상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계와; 상기 소스 및 드레인 전극층의 일부를 노출하기 위해서 상기 제 2 절연막에 개구부를 형성하는 단계와;

상기 개구부와 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는, 표시 장치의 제작 방법.

## 청구항 12

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;

페던을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;

상기 제 1 레지스트 마스크를 제거하는 단계와;

상기 차광층 위에 하지막을 형성하는 단계와;

상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;

상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 같은 포토마스크를 사용하여 노광 및 현상에 의해 제 2 레지스트 마스크를 형성하는 단계와;

적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;

상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하는 단계와;

상기 제 3 레지스트 마스크를 형성한 후에, 게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이

드 에칭을 수반하는 제 2 에칭을 행하는 단계와;

상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지스터를 형성하는 단계와;

상기 제 3 레지스트 마스크를 제거하는 단계와;

상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계와;

상기 소스 및 드레인 전극층의 일부를 노출하기 위해서 상기 제 2 절연막에 개구부를 형성하는 단계와;

상기 개구부와 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는, 표시 장치의 제작 방법.

### 청구항 13

제 12 항에 있어서,

상기 제 1 에칭은 드라이 에칭이고,

상기 제 2 에칭은 웨트 에칭인, 표시 장치의 제작 방법.

### 청구항 14

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;

패턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;

상기 제 1 레지스트 마스크를 제거하는 단계와;

상기 차광층 위에 하지막을 형성하는 단계와;

상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;

상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 같은 포토마스크를 사용하여 오목부를 갖는 제 2 레지스트 마스크를 노광 및 현상에 의해 형성하는 단계와;

적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;

게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;

상기 제 2 에칭을 행한 후에, 상기 제 2 레지스트 마스크를 후퇴시킴으로써 상기 제 2 레지스트 마스크의 상기 오목부와 중첩하는 상기 제 2 도전막의 일부를 노출시키고 제 3 레지스트 마스크를 형성하는 단계와;

상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지스터를 형성하는 단계와;

상기 제 3 레지스트 마스크를 제거하는 단계와;

상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계와;

상기 소스 및 드레인 전극층의 일부를 노출하기 위해서 상기 제 2 절연막에 개구부를 형성하는 단계와;

상기 개구부와 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는, 표시 장치의 제작 방법.

### 청구항 15

제 14 항에 있어서,

상기 제 2 레지스트 마스크는 다계조 마스크를 사용하여 형성되는, 표시 장치의 제작 방법.

## 청구항 16

차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하는 단계와;  
 패턴을 갖는 차광층을 형성하기 위해서 상기 제 1 레지스트 마스크를 사용하여 상기 차광막의 일부를 에칭하는 단계와;  
 상기 제 1 레지스트 마스크를 제거하는 단계와;  
 상기 차광층 위에 하지막을 형성하는 단계와;  
 상기 하지막 위에 제 1 도전막, 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 순차로 형성하는 단계와;  
 상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 같은 포토마스크를 사용하여 오목부를 갖는 제 2 레지스트 마스크를 노광 및 현상에 의해 형성하는 단계와;  
 적어도 상기 제 1 도전막을 노출시키기 위해서, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 및 상기 제 1 절연막에 제 1 에칭을 행하는 단계와;  
 상기 제 2 레지스트 마스크를 후퇴시킴으로써 상기 제 2 레지스트 마스크의 상기 오목부와 중첩하는 상기 제 2 도전막의 일부를 노출시키고 제 3 레지스트 마스크를 형성하는 단계와;  
 상기 제 3 레지스트 마스크를 형성한 후에, 게이트 전극층을 형성하기 위해서 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하는 단계와;  
 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 및 드레인 전극층, 소스 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지스터를 형성하는 단계와;  
 상기 제 3 레지스트 마스크를 제거하는 단계와;  
 상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계와;  
 상기 소스 및 드레인 전극층의 일부를 노출하기 위해서 상기 제 2 절연막에 개구부를 형성하는 단계와;  
 상기 개구부와 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는, 표시 장치의 제작 방법.

## 청구항 17

제 16 항에 있어서,

상기 제 2 절연막은 CVD법 또는 스퍼터링법에 의하여 형성한 절연막과 스피너 코팅법에 의하여 형성한 절연막을 적층하여 형성되는, 표시 장치의 제작 방법.

### 발명의 설명

#### 발명의 상세한 설명

##### 기술 분야

[0001] 박막 트랜지스터 및 그 제작 방법 및 상기 박막 트랜지스터를 갖는 표시 장치 및 그 제작 방법에 관한 것이다.

##### 배경 기술

[0002] 근년에 들어, 유리 기판 등의 절연성 표면을 갖는 기판 위에 형성된, 막 두께가 수nm 내지 수백nm 정도의 반도체 박막으로 구성되는 박막 트랜지스터가 주목을 받고 있다. 박막 트랜지스터는 IC(Integrated Circuit) 및 전기 광학 장치를 비롯한 전자 디바이스에 광범위하게 응용된다. 박막 트랜지스터는, 특히 액정 표시 장치 또는 EL(Electro Luminescence) 표시 장치 등으로 대표되는 화상 표시 장치의 스위칭 소자로서 개발이 활발해지고 있다. 액티브 매트릭스형 액정 표시 장치에서는, 선택된 스위칭 소자에 접속된 화소 전극과, 상기 화소 전극에 대응하는 대향 전극의 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극의 사이에 배치된 액정층의 광학 변화가 행하여짐으로 이 광학 변화가 표시 패턴으로서 관찰자에 인식된다. 여기서, 액티브 매트릭스형 액정 표시

장치란, 매트릭스 형상으로 배치된 화소 전극을 스위칭 소자에 의하여 구동함으로써, 화면상에 표시 패턴이 형성되는 방식을 채용한 액정 표시 장치를 가리킨다. 액티브 매트릭스형 EL 표시 장치란, 매트릭스 형상으로 배치된 화소를 스위칭 소자에 의하여 구동함으로써, 화면상에 표시 패턴이 형성되는 방식을 채용한 EL 표시 장치를 가리킨다.

[0003] 상기와 같은 액티브 매트릭스형 표시 장치의 용도는 확대되고 있고, 화면 사이즈의 대면적화, 고정세(高精細)화 및 고개구율화의 요구가 높아진다. 또한, 액티브 매트릭스형 표시 장치에는 높은 신뢰성이 요구되고, 그 생산 방법에는 높은 생산성 및 생산 비용의 저감이 요구된다. 생산성을 높이고, 생산 비용을 저감하는 방법의 하나로서, 공정의 간략화를 들 수 있다.

[0004] 액티브 매트릭스형 표시 장치에서는, 스위칭 소자로서, 주로 박막 트랜지스터가 사용된다. 박막 트랜지스터의 제작 공정에 있어서, 포토리소그래피에 사용하는 포토 마스크의 매수를 삭감하는 것은 공정의 간략화를 위해서 중요하다. 예를 들어, 포토 마스크가 1장 증가하면, 레지스트 도포, 프리 베이크, 노광, 현상, 포스트 베이크 등의 공정과, 그 전후의 공정에 있어서, 피막(被膜)의 형상 및 에칭 공정, 또한 레지스트 박리, 세정 및 건조 공정 등이 필요하게 된다. 따라서, 제작 공정에 사용하는 포토 마스크가 1장 증가하면 공정이 대폭적으로 증가한다. 따라서, 제작 공정에 있어서의 포토 마스크의 매수를 저감시키기 위해서, 수 많은 기술 개발이 진행되고 있다.

[0005] 박막 트랜지스터는, 채널 형성 영역이 게이트 전극보다 하층에 형성되는 톱 게이트형과, 채널 형성 영역이 게이트 전극보다 상층에 형성되는 보텀 게이트형으로 크게 나누어진다. 보텀 게이트형 박막 트랜지스터의 제작 공정에 있어서 사용되는 포토 마스크의 매수는 톱 게이트형 박막 트랜지스터의 제작 공정에 있어서 사용되는 포토 마스크의 매수보다 적은 것이 알려져 있다. 보텀 게이트형 박막 트랜지스터는, 3장의 포토 마스크에 의하여 제작되는 것이 일반적이다.

[0006] 포토 마스크의 매수를 저감시키는 종래의 기술로서는, 이면 노광, 레지스트 리플로우 또는 리프트 오프법이라고 하는 복잡한 기술을 사용하는 것이 많고, 특수한 장치를 필요로 하는 것이 많다. 이러한 복잡한 기술을 사용함으로써, 이것에 기인하는 다양한 문제가 생기고, 수율 저하의 한 원인이 된다. 또한, 박막 트랜지스터의 전기적 특성을 희생(犧牲)해야만 하는 경우도 많다.

[0007] 박막 트랜지스터의 제작 공정에 있어서의 포토 마스크의 매수를 저감시키기 위한 대표적인 수단으로서, 다계조 마스크(하프 톤 마스크 또는 그레이 톤 마스크라고 불리는 마스크)를 사용한 기술이 널리 알려져 있다. 다계조 마스크를 사용하여 제작 공정을 저감시키는 기술로서, 예를 들어, 특히 문헌 1을 들 수 있다.

[0008] [특허 문헌 1] 특개2003-179069호 공보

## 발명의 내용

### 해결 하고자하는 과제

[0009] 그러나, 상술한 다계조 마스크를 사용하여 보텀 게이트형 박막 트랜지스터를 제작하는 경우라고, 적어도 2장의 포토 마스크가 필요하고, 더 이상 포토 마스크의 매수를 저감하는 일은 어렵다. 이 중에서, 1장은 게이트 전극 층의 패터닝 위하여 사용된다.

[0010] 여기서, 본 발명의 일 형태는, 게이트 전극층의 패터닝을 위한 포토 마스크를 새롭게 사용하지 않고 박막 트랜지스터를 제작 할 수 있는, 새로운 방법을 제공하는 것을 과제의 하나로 한다. 즉, 복잡한 기술을 사용할 필요가 없고, 또 1장의 포토 마스크로 제작할 수 있는 박막 트랜지스터의 제작 방법이 개시된다.

[0011] 이로써, 박막 트랜지스터의 제작 공정에 있어서, 사용하는 포토 마스크의 매수를 종래보다 적게 할 수 있다.

[0012] 또한, 본 발명의 일 형태는, 특히 표시 장치의 화소에 사용되는 박막 트랜지스터(화소 TFT라고도 한다)에 적용할 수 있다. 따라서, 본 발명의 일 형태는 복잡한 기술을 사용하지 않고, 포토리소그래피법에 사용하는 포토 마스크의 매수를 종래보다 적게 한 표시 장치의 제작 방법의 제공을 과제로 한다.

[0013] 또한, 포토 마스크의 매수를 삭감하는 것뿐만 아니라, 광 리크 전류가 작고, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 양호한 표시 특성을 갖는 표시 장치를 제공하는 것을 과제로 한다. 특히, 액정 표시 장치에 있어서, 백 라이트 층으로부터의 빛이 반도체 층에 침입하는 것을 방지하는 것을 과제로 한다.

### 과제 해결수단

[0014]

본 발명의 일 형태인 박막 트랜지스터의 제작 방법에서는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 차광막의 일부를 에칭함으로써 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 상기 제 1 도전막 위에 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 이 차례로 적층한 박막 적층체와, 상기 박막 적층체 위에 제 2 레지스트 마스크를 형성하고, 제 1 에칭에 의하여 적어도 상기 제 1 도전막을 노출시키면서 상기 박막 적층체의 패턴을 형성하고, 제 2 에칭에 의하여 제 1 도전막의 패턴을 형성한다. 여기서, 제 2 에칭은, 제 1 도전막이 선택적으로 사이드 에칭되는 조건에 의거하여 행하여지고, 제 1 레지스트 마스크와 제 2 레지스트 마스크는 동일한 포토 마스크로 형성된다.

[0015]

여기서, 제 1 에칭은, 드라이 에칭 또는 웨트 에칭을 사용하면 좋지만, 이방성이 높은 에칭 방법(물리적 에칭)에 의하여 행하는 것이 바람직하다. 제 1 에칭에 이방성이 높은 에칭 방법을 사용함으로써, 패턴의 가공 정밀도를 향상시킬 수 있다. 또한, 제 1 에칭을 드라이 에칭에 의하여 행하는 경우는, 1개의 공정으로 행할 수 있지만, 제 1 에칭을 웨트 에칭에 의하여 행하는 경우에는, 복수의 공정에 의하여 제 1 에칭을 행한다. 따라서, 제 1 에칭에는 드라이 에칭을 사용하는 것이 바람직하다.

[0016]

또한, 제 2 에칭은, 드라이 에칭 또는 웨트 에칭을 사용하면 좋지만, 등방성(等方性)의 에칭이 지배적(支配的)인 에칭 방법(화학적 에칭)에 의하여 행하는 것이 바람직하다. 제 2 에칭에 등방성의 에칭이 지배적인 에칭 방법(화학적 에칭)을 사용함으로써, 제 1 도전막을 사이드 에칭할 수 있다. 따라서, 제 2 에칭에는 웨트 에칭을 사용하는 것이 바람직하다.

[0017]

또한, 제 1 도전막의 패턴이란, 예를 들어, 게이트 전극 및 게이트 배선 및 용량 전극 및 용량 배선, 전원선 등을 형성하는 금속 배선의 상면 레이아웃을 가리킨다.

[0018]

또한, 차광층은 차광성을 갖는 재료의 막에 의하여 형성하면 좋다. 차광성을 갖는 막으로서는, 예를 들어, 금속막을 들 수 있고, 바람직하게는, 크롬 또는 산화크롬 등을 사용하여 형성하면 좋다. 또한, 차광층은 적어도 박막 적층체가 갖는 반도체 막과 중첩하도록 형성된다. 바람직하게는, 박막 적층체보다 넓게 형성된다.

[0019]

또한, 차광층과 박막 적층체는, 동일한 포토 마스크에 의하여 형성된다. 박막 적층체와 동일한 포토 마스크에 의하여 차광층을 형성함으로써, 포토 마스크를 새롭게 추가하지 않고, 차광층을 형성할 수 있다.

[0020]

또한, 상술한 바와 같이, 차광층은 박막 적층체보다 넓게 형성되는 것이 바람직하기 때문에, 박막 적층체를 형성하는 제 2 레지스트 마스크는, 차광층을 형성하는 제 1 레지스트 마스크보다 후퇴되어 형성되는 것이 바람직하다. 레지스트 마스크를 후퇴시키는 수단으로서, 예를 들어, 산소 플라즈마에 의한 애싱 등을 사용하면 좋다.

[0021]

본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써, 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성하고, 상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크로 형성되는 것을 특징으로 하는 박막 트랜지스터의 제작 방법이다.

[0022]

본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써, 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성하고, 상기 제 1 레지스트 마스크와 상기 제 2 레지

스트 마스크는 동일한 포토 마스크로 형성되는 것을 특징으로 하는 박막 트랜지스터의 제작 방법이다.

[0023] 본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 오목부를 갖는 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 2 레지스트 마스크를 후퇴시킴으로써, 상기 제 2 레지스트 마스크의 오목부와 중첩하는 상기 제 2 도전막을 노출시키면서 제 3 레지스트 마스크를 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성하고, 상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크로 형성되는 것을 특징으로 하는 박막 트랜지스터의 제작 방법이다.

[0024] 본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 오목부를 갖는 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 2 레지스트 마스크를 후퇴시킴으로써, 상기 제 2 레지스트 마스크의 오목부와 중첩하는 상기 제 2 도전막을 노출시키면서 제 3 레지스트 마스크를 형성하고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성하고, 상기 제 1 레지스트 마스크와 상기 제 2 레지스트 마스크는 동일한 포토 마스크로 형성되는 것을 특징으로 하는 박막 트랜지스터의 제작 방법이다.

[0025] 상기 구성의 제작 방법이며, 제 1 레지스트 마스크가 오목부를 갖는 경우는, 상기 제 1 레지스트 마스크는 다계조 마스크를 사용하여 형성하는 것이 바람직하다. 다계조 마스크를 사용함으로써, 간략한 공정으로 오목부를 갖는 레지스트 마스크를 형성할 수 있다.

[0026] 상기 구성의 제작 방법을 적용함으로써, 상기 제 1 에칭에 의하여 소자 영역이 형성되고, 상기 제 2 에칭에 의하여 상기 소자 영역의 측면으로부터 대략 같은 거리만큼 내측에 게이트 전극층의 측면을 형성할 수 있다.

[0027] 상기 구성의 제작 방법에 있어서, 상기 제 2 레지스트 마스크의 면적은 상기 제 1 레지스트 마스크의 면적보다 작게 형성하는 것이 바람직하다. 반도체 층의 차광을 확실하게 행하기 위해서이다.

[0028] 제 2 레지스트 마스크의 면적을 제 1 레지스트 마스크의 면적보다 작게 형성하는 상기 구성의 본 발명에 있어서, 상기 제 2 레지스트 마스크는 산소 플라즈마에 의하여 애싱되어 형성될 수 있다.

[0029] 상기 구성의 제 1 에칭 및 제 2 에칭을 사용하는 제작 방법에 있어서, 상기 제 1 에칭은 드라이 에칭에 의하여 행하고, 상기 제 2 에칭은 웨트 에칭에 의하여 행하는 것이 바람직하다. 제 1 에칭에 의한 가공은 고정밀하게 행하는 것이 바람직하고, 제 2 에칭에 의한 가공은 사이드 에칭을 수반할 필요가 있다. 고정밀한 가공을 행하기 위해서는, 드라이 에칭이 바람직하고, 또한, 웨트 에칭은 화학 반응을 이용하기 때문에 드라이 에칭보다 사이드 에칭이 생기기 쉽기 때문이다.

[0030] 본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써, 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 동일한 포토 마스크에 의하여 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및

반도체 층을 형성함으로써 박막 트랜지스터를 형성하고, 상기 제 3 레지스트 마스크를 제거하고, 상기 박막 트랜지스터를 덮어 제 2 절연막을 형성하고, 상기 소스 전극층 및 드레인 전극층의 일부를 노출시키도록 상기 제 3 절연막에 개구부를 형성하고, 상기 개구부 및 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는 것을 특징으로 하는 표시 장치의 제작 방법이다.

[0031] 본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써, 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 동일한 포토 마스크에 의하여 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 2 도전막 위에 제 3 레지스트 마스크를 형성하고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지스터를 형성하고, 상기 제 3 레지스트 마스크를 제거하고, 상기 박막 트랜지스터를 덮어 제 2 절연막을 형성하고, 상기 소스 전극층 및 드레인 전극층의 일부를 노출시키도록 상기 제 3 절연막에 개구부를 형성하고, 상기 개구부 및 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는 것을 특징으로 하는 표시 장치의 제작 방법이다.

[0032] 본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써, 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 동일한 포토 마스크에 의하여 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 2 레지스트 마스크를 후퇴시킴으로써 상기 제 2 레지스트 마스크의 오목부와 중첩하는 상기 제 2 도전막을 노출시키면서 제 3 레지스트 마스크를 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성함으로써, 박막 트랜지스터를 형성하고, 상기 제 3 레지스트 마스크를 제거하고, 상기 박막 트랜지스터를 덮어 제 2 절연막을 형성하고, 상기 소스 전극층 및 드레인 전극층의 일부를 노출시키도록 상기 제 3 절연막에 개구부를 형성하고, 상기 개구부 및 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는 것을 특징으로 하는 표시 장치의 제작 방법이다.

[0033] 본 발명의 일 형태는, 차광막과 상기 차광막 위에 제 1 레지스트 마스크를 형성하고, 상기 차광막의 일부를 에칭함으로써, 패턴을 갖는 차광층을 형성하고, 상기 차광층 위에 하지막을 형성하고, 상기 하지막 위에 제 1 도전막과 제 1 절연막, 반도체 막, 불순물 반도체 막 및 제 2 도전막을 차례로 적층하여 형성하고, 상기 제 2 도전막 위에 상기 제 1 레지스트 마스크와 동일한 포토 마스크에 의하여 오목부를 갖는 제 2 레지스트 마스크를 형성하고, 상기 제 2 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막, 상기 반도체 막, 상기 제 1 절연막에 제 1 에칭을 행함으로써, 적어도 상기 제 1 도전막을 노출시키고, 상기 제 2 레지스트 마스크를 후퇴시킴으로써, 상기 제 2 레지스트 마스크의 오목부와 중첩하는 상기 제 2 도전막을 노출시키면서 제 3 레지스트 마스크를 형성하고, 상기 제 1 도전막의 일부에 사이드 에칭을 수반하는 제 2 에칭을 행하여 게이트 전극층을 형성하고, 상기 제 3 레지스트 마스크를 사용하여 상기 제 2 도전막, 상기 불순물 반도체 막 및 상기 반도체 막의 일부에 제 3 에칭을 행하여 소스 전극층 및 드레인 전극층, 소스 영역층 및 드레인 영역층 및 반도체 층을 형성함으로써 박막 트랜지스터를 형성하고, 상기 제 3 레지스트 마스크를 제거하고, 상기 박막 트랜지스터를 덮어 제 2 절연막을 형성하고, 상기 소스 및 드레인 전극층의 일부를 노출시키도록 상기 제 3 절연막에 개구부를 형성하고, 상기 개구부 및 상기 제 2 절연막 위에 화소 전극을 선택적으로 형성하는 것을 특징으로 하는 표시 장치의 제작 방법이다.

[0034] 상기 구성의 표시 장치의 제작 방법에 있어서도, 상기 제 1 레지스트 마스크는 다계조 마스크를 사용하여 형성하는 것이 바람직하다.

[0035] 상기 구성의 표시 장치의 제작 방법을 적용함으로써, 상기 제 1 에칭에 의하여 소자 영역이 형성되고, 상기 제 2 에칭에 의하여 상기 소자 영역의 측면으로부터 대략 같은 거리만큼 내측에 게이트 전극층의 측면을

형성할 수 있다.

[0036] 상기 구성의 표시 장치의 제작 방법에 있어서도, 상기 제 1 에칭은 드라이 에칭이며, 상기 제 2 에칭은, 웨트 에칭인 것이 바람직하다.

[0037] 상기 구성의 표시 장치의 제작 방법에 있어서, 상기 제 2 절연막은, CVD법 또는 스퍼터링법에 의하여 형성한 절연막과, 스펀 코팅법에 의하여 형성한 절연막을 적층하여 형성하는 것이 바람직하다. 특히, 바람직하게는, 제 2 절연막을 CVD법 또는 스퍼터링법에 의하여 형성하고, 유기 수지막을 스펀 코팅법에 의하여 형성한다. 이와 같이 보호 절연막을 형성함으로써, 박막 트랜지스터의 전기적 특성을 영향을 미칠 수 있는 불순물 원소 등으로부터 박막 트랜지스터를 보호하고, 또 화소 전극의 괴형성면의 평탄성을 향상시킴으로써, 수율의 저하를 방지할 수 있다.

[0038] 또한, 본 발명의 일 형태인 박막 트랜지스터는, 차광막 위에 절연막을 갖고, 상기 절연막 위에 게이트 전극층을 갖고, 상기 게이트 전극층 위에 게이트 절연막을 갖고, 상기 게이트 절연막 위에 반도체 층을 갖고, 상기 반도체 층 위에 소스 영역 및 드레인 영역을 갖는 불순물 반도체 층을 갖고, 상기 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극을 갖고, 상기 게이트 전극층의 측면에 접하여 공동(空洞)이 형성되는 것이다.

[0039] 또한, 에칭은 「도시하지 않는 에칭」이 극력(極力) 생기지 않는 조건으로 행하는 것이 바람직하다.

[0040] 또한, 임의의 막이 "내열성을 갖는다"란 후의 공정에 있어서의 온도에 의하여 상기 막이 막으로서의 형태를 유지하고, 또 상기 막에 요구되는 기능 및 특성을 유지할 수 있는 것을 가리킨다.

[0041] 또한, "게이트 배선"이란 박막 트랜지스터의 게이트 전극에 접속되는 배선을 가리킨다. 게이트 배선은, 게이트 전극층에 의하여 형성된다. 또한, 게이트 배선은 주사선이라고 불리는 경우가 있다.

[0042] 또한, "소스 배선"이란 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽에 접속되는 배선을 가리킨다. 소스 배선은, 소스 전극층 및 드레인 전극층에 의하여 형성된다. 또한, 소스 배선은 신호선이라고 불리는 경우가 있다.

[0043] 또한, "전원선"이란, 전원에 접속된 일정한 전위로 유지된 배선을 가리킨다.

### 효과

[0044] 게이트 전극의 패턴 형성에 새로운 포토 마스크를 필요로 하지 않고, 박막 트랜지스터의 제작 공정수를 대폭적으로 줄여 수작업으로도 가능하다. 따라서, 표시 장치의 제작 공정수를 대폭적으로 줄여 수작업으로도 가능하다.

[0045] 보다 구체적으로는, 포토 마스크의 매수를 줄여 수작업으로도 가능하다. 하나의 포토 마스크(다계조 마스크)를 사용하여 박막 트랜지스터를 제작할 수도 있다. 따라서, 박막 트랜지스터 또는 표시 장치의 제작 공정수를 대폭적으로 줄여 수작업으로도 가능하다. 또한, 1장의 포토 마스크를 사용하여 박막 트랜지스터를 제작할 수 있기 때문에, 포토 마스크의 위치 맞춤을 행할 때, 차이가 발생하는 것을 방지할 수 있다.

[0046] 또한, 포토 마스크의 매수의 저감을 목적으로 한 종래의 기술과 달리, 이면 노광, 레지스트 리플로우 및 리프트 오프(lift-off)법 등의 복잡한 공정을 거칠 필요가 없다. 따라서, 수율을 저하시키지 않고, 표시 장치의 제작 공정수를 대폭적으로 줄여 수작업으로도 가능하다.

[0047] 또한, 포토 마스크의 매수의 저감을 목적으로 한 종래의 기술에서는, 전기적 특성을 회생해야만 하는 것도 적지 않았지만, 본 발명의 일 형태는, 박막 트랜지스터의 전기적 특성을 유지하면서, 박막 트랜지스터의 제작 공정을 대폭적으로 줄여 수작업으로도 가능하다. 따라서, 표시 장치의 표시 품질 등을 회생하지 않고, 표시 장치의 제작 공정수를 대폭적으로 줄여 수작업으로도 가능하다.

[0048] 또한, 상기 효과에 의하여 박막 트랜지스터 및 표시 장치의 제작 비용을 대폭적으로 줄여 수작업으로도 가능하다.

[0049] 그리고, 반도체 층을 차광할 수 있기 때문에, 광 리크 전류가 저감된 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 품질이 양호한 표시 장치를 제작할 수 있다.

[0050] 또한, 게이트 전극층 단부에 생기는 리크 전류가 작은 박막 트랜지스터를 제작할 수 있기 때문에, 콘트라스트 비율이 높고, 표시 품질이 양호한 표시 장치를 얻을 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0051]

이하에서는, 본 발명의 실시형태에 대해서, 도면을 사용하여 자세히 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명의 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되지 않는다. 또한, 도면을 사용하여 발명의 구성을 설명하는 데, 동일한 것을 가리키는 부호는 다른 도면간에서도 공통으로 사용한다. 또한, 동일한 것을 가리킬 때에는, 해치 패턴(hatch pattern)을 동일하게 하고, 특히 부호를 붙이지 않는 경우가 있다. 또한, 하지막, 제 1 절연막 및 제 2 절연막은 상면도에는 도시하지 않는다.

[0052]

(실시형태 1)

[0053]

본 실시형태에서는, 박막 트랜지스터의 제작 방법 및 상기 박막 트랜지스터가 매트릭스 형상으로 배치된 표시 장치의 제작 방법의 일례에 대해서 도 1a 내지 도 30b-2를 참조하여 설명한다.

[0054]

또한, 도 17 내지 도 25에는 본 실시형태에 따른 박막 트랜지스터의 상면도를 도시하고, 도 20은 화소 전극까지 형성한 완성도이다. 도 1a 내지 도 4c는, 도 17 내지 도 25에 도시하는 A-A'에 있어서의 단면도이다. 도 5a 내지 도 7c는 도 19 내지 도 20에 도시하는 B-B'에 있어서의 단면도이다. 도 8a 내지 도 10c는 도 19 내지 도 25에 도시하는 C-C'에 있어서의 단면도이다. 도 11a 내지 도 13c는 도 19 내지 도 25에 도시하는 D-D'에 있어서의 단면도이다. 도 14a 내지 도 16c는 도 19 내지 도 25에 도시하는 E-E'에 있어서의 단면도이다.

[0055]

우선, 기판(100)의 하나의 주표면 위에 차광막(50)을 형성한다. 차광막(50)은 기판(100)의 하나의 주표면과 반대 측의 면으로부터 입사하는 외광(外光), 또는 다른 면으로부터 입사하는 미광(迷光) 등을 가리기 위해서 형성된다.

[0056]

기판(100)은, 절연성 기판이다. 표시 장치에 적용하는 경우에는, 기판(100)으로서는 유리 기판 또는 석영 기판을 사용할 수 있다. 본 실시형태에 있어서는, 유리 기판을 사용한다.

[0057]

차광막(50)은 차광할 수 있는 재료의 막에 의하여 형성하면 좋고, 특정한 재료에 한정되지 않는다. 차광할 수 있는 재료의 막으로서, 예를 들어 크롬을 주성분으로 하는 재료의 막 또는 카본 블랙을 함유하는 수지막 등을 들 수 있지만, 내열성의 점에 있어서, 크롬을 주성분으로 하는 재료의 막을 사용하는 것이 바람직하다. 크롬을 주성분으로 하는 재료로서는, 예를 들어, 크롬, 산화크롬, 질화크롬 또는 불화크롬 등을 들 수 있다.

[0058]

또한, 차광막(50)은 예를 들어, 스퍼터링법 또는 CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 등에 의하여 형성할 수 있다. 다만, 특정한 방법에 한정되지 않는다.

[0059]

다음, 차광막(50) 위에 제 1 레지스트 마스크(51)를 형성한다(도 1a, 도 17 참조).

[0060]

다음, 제 1 레지스트 마스크(51)를 사용하여 차광막(50)을 에칭하고, 차광층(52)을 형성한다(도 1b, 도 18 참조). 에칭에는 드라이 에칭 또는 웨트 에칭의 어느 하나를 사용할 수 있지만, 드라이 에칭을 사용하는 것이 바람직하다. 웨트 에칭을 사용하면 차광막(50)이 후퇴함으로써 차광층(52)이 충분한 면적을 확보할 수 없을 우려가 있기 때문이다. 드라이 에칭을 사용함으로써, 제 1 레지스트 마스크(51)의 패턴을 강하게 반영(反映)한 형상으로 할 수 있다. 또한, 차광층(52)을 형성하는 상기 에칭 공정에서는, 기판(100)이 에칭될 우려가 있다. 따라서, 기판(100)과 차광막(50) 사이에는, 미리 "하지가 되는 절연막"을 형성하는 것이 바람직하다. 이 "하지가 되는 절연막"은 다음에 설명하는 하지막(53)과 같은 재료 및 같은 형성 방법을 사용하여 형성하면 좋다. 기판(100)과 차광막(50)의 사이에 "하지가 되는 절연막"을 가짐으로써 기판(100) 중에 포함되는 불순물 금속 원소의 반도체 층에 대한 부착 및 반도체 층 내부로의 침입을 방지할 수 있다.

[0061]

다음, 제 1 레지스트 마스크(51)를 제거하고(도 1c, 도 19 참조), 차광층(52) 위에 하지막(53)을 형성한다(도 2a, 도 5a, 도 8a, 도 11a, 도 14a 참조).

[0062]

하지막(53)은, 절연성 재료에 의하여 형성한다. 하지막(53)은 예를 들어, 산화실리콘막, 질화실리콘막, 산화질화실리콘막 또는 질화산화실리콘막 등을 사용하여 형성할 수 있다. 다만, 후의 공정(제 1 절연막(104)의 형성 등)에 견딜 수 있을 정도의 내열성은 필요하다. 또한, 후의 공정(제 2 도전막(110)의 에칭 등)으로 식각 또는 부식(腐食)되지 않는 재료를 선택한다.

[0063]

기판(100)으로서 유리 기판을 사용하는 경우에는, 하지막(53)에는 질화실리콘막 또는 질화산화실리콘막을 사용하는 것이 바람직하다. 하지막(53)이 질소를 포함함으로써, 유리 기판(100) 중의 불순물 금속 원소가

반도체 층에 침입하는 것도 효과적으로 방지할 수 있기 때문이다. 또한, 하지막(53)이 할로겐(불소, 염소 또는 브롬)을 포함하는 것이 바람직하다. 하지막(53)이 할로겐을 포함함으로써, 유리 기판(100) 중의 불순물 금속 원소가 반도체 층에 침입하는 것을 보다 효과적으로 방지할 수 있기 때문이다. 하지막(53)에 할로겐을 포함시키기 위해서는, 형성에 사용하는 가스에 할로겐 가스 또는 할로겐 화합물로 이루어지는 가스를 포함시키면 좋다.

[0064] 또한, 하지막(53)은 예를 들어, CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 또는 스퍼터링법 등에 의하여 형성할 수 있지만, 특정한 방법에 한정되는 것이 아니다. 또한, 하지막(53)은 단층으로 형성하여도 좋고, 복수의 층을 적층하여 형성하여도 좋다.

[0065] 다음, 하지막(53) 위에 제 1 도전막(102), 제 1 절연막(104), 반도체 막(106), 불순물 반도체 막(108) 및 제 2 도전막(110)을 형성한다. 이들의 막은 단층으로 형성하여도 좋고, 복수 막을 적층하여 형성한 적층막이라도 좋다.

[0066] 제 1 도전막(102)은 도전성 재료에 의하여 형성한다. 제 1 도전막(102)은 예를 들어, 티타늄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 니오븀 또는 스칸듐 등의 금속 또는 이들을 주성분으로 하는 합금 등의 도전성 재료를 사용하여 형성할 수 있다. 다만, 후의 공정(제 2 절연막(110)의 형성 등)에 견딜 수 있을 정도의 내열성이 필요하며, 후의 공정에서 식각 또는 부식되지 않는 재료를 선택하는 것이 필요하다. 이 제한에 있어서, 제 1 도전막(102)은 특정한 재료에 한정되지 않는다.

[0067] 또한, 제 1 도전막(102)은 예를 들어, 스퍼터링법 또는 CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 등에 의하여 형성할 수 있다. 다만, 특정한 방법에 한정되지 않는다.

[0068] 제 1 절연막(104)은 절연성 재료로 형성된다. 제 2 절연막(104)은, 예를 들어, 산화실리콘막, 질화실리콘막, 산화질화실리콘막 또는 질화산화실리콘막 등을 사용하여 형성할 수 있다. 다만, 제 1 도전막(102)과 마찬가지로, 내열성이 필요하며, 후의 공정에서 식각 또는 부식되지 않는 재료를 선택하는 것이 필요하다. 이 제한에 있어서, 제 2 절연막(104)은 특정한 재료에 한정되지 않는다.

[0069] 또한, 제 1 절연막(104)은, 예를 들어, CVD법(열 CVD법, 또는 플라즈마 CVD법 등을 포함한다) 또는 스퍼터링법 등에 의하여 형성할 수 있지만, 특정한 방법에 한정되지 않는다.

[0070] 또한, 제 1 절연막(104)은 게이트 절연막으로서 기능한다.

[0071] 반도체 막(106)은 반도체 재료에 의하여 형성한다. 반도체 막(106)은 예를 들어, 실란 가스에 의하여 형성되는 비정질 실리콘 등을 사용하여 형성할 수 있다. 다만, 제 1 도전막(102) 등과 마찬가지로, 후의 공정(제 2 도전막(110) 등의 형성 등)에 견딜 수 있을 정도의 내열성이 필요하며, 후의 공정에서 식각 또는 부식되지 않는 재료를 선택하는 것이 필요하다. 이 제한에 있어서, 반도체 막(106)은 특정한 재료에 한정되지 않는다. 따라서, 게르마늄 등을 사용하여도 좋다. 또한, 반도체 막(106)의 결정성에 대해서도 특히 한정되지 않는다.

[0072] 또한, 반도체 막(106)은 예를 들어, CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 또는 스퍼터링법 등에 의하여 형성할 수 있다. 다만, 특정한 방법에 한정되지 않는다.

[0073] 불순물 반도체 막(108)은, 일 도전성을 부여하는 불순물 원소를 포함하는 반도체 막이며, 일 도전성을 부여하는 불순물 원소가 첨가된 반도체 형성용의 재료 가스 등에 의하여 형성된다. 예를 들어, 포스핀(화학식:  $\text{PH}_3$ ) 또는 디보란(화학식:  $\text{B}_2\text{H}_6$ )을 포함하는 실란 가스에 의하여 형성되는 인 또는 봉소를 포함하는 실리콘막이다. 다만, 제 1 도전막(102) 등과 마찬가지로, 후의 공정(제 2 도전막(110)의 형성 등)에 견딜 수 있을 정도의 내열성이 필요하고, 후의 공정에서 식각 또는 부식되지 않는 재료를 선택하는 것이 필요하다. 이 제한에 있어서, 불순물 반도체 막(108)의 결정성에 대해서도 특히 한정되지 않는다.

[0074] 또한, n형의 박막 트랜지스터를 제작하는 경우에는, 첨가하는 일 도전성을 부여하는 불순물 원소로서, 인 또는 비소 등을 사용하면 좋다. 즉, 형성에 사용되는 실란 가스에는 포스핀 또는 아르신(화학식:  $\text{AsH}_3$ ) 등을 원하는 농도로 포함시키면 좋다. 또는 p형의 박막 트랜지스터를 제작하는 경우에는, 일 도전성을 부여하는 불순물 원소로서, 봉소 등을 첨가하면 좋다. 즉, 형성에 사용되는 실란 가스에는, 디보란 등을 원하는 농도로 포함시키면 좋다. 또한, 반도체 막(106)에 의하여 형성되는 반도체 층의 일부에 도핑 등에 의하여 소스 전극층 및 드레인 전극층과 오믹 접촉(ohmic contact)할 수 있는 영역을 형성하는 경우 등에는, 불순물 반도체 막(10

8)을 형성할 필요가 없다.

[0075] 또한, 불순물 반도체 막(108)은, 예를 들어, CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 등에 의하여 형성할 수 있다. 다만, 특정한 방법에 한정되지 않는다.

[0076] 제 2 도전막(110)은, 도전성 재료(제 1 도전막(102)으로서 열거한 재료 등)이며, 제 1 도전막(102)과 상이한 재료에 의하여 형성한다. 여기서, "상이한 재료"란 주성분이 상이한 재료를 가리킨다. 구체적으로는, 후에 설명하는 제 2 에칭에 의하여 에칭되기 어려운 재료를 선택하면 좋다. 또한, 제 1 도전막(102) 등과 마찬가지로 후의 공정(제 1 보호막(126) 등의 형성 등)에 견딜 수 있을 정도의 내열성이 필요하며, 후의 공정에서 식각 또는 부식되지 않는 재료를 선택하는 것이 필요하다. 따라서, 이 제한에 있어서, 제 2 도전막(110)은 특정한 재료에 한정되지 않는다.

[0077] 또한, 제 2 도전막(110)은, 예를 들어, 스퍼터링법 또는 CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 등에 의하여 형성할 수 있다. 다만, 특정한 방법에 한정되지 않는다.

[0078] 또한, 상기 설명한 차광막(50), 하지막(53), 제 1 도전막(102), 제 1 절연막(104), 반도체 막(106), 불순물 반도체 막(108) 및 제 2 도전막(110)에 대해서 요구되는 내열성은, 차광막(50)이 가장 높고, 이하 상술한 순차로 계속해서, 제 2 도전막(110)이 가장 낮다. 예를 들어, 반도체 막(106)이 수소를 포함하는 비정질 반도체 막인 경우에는, 약 300°C 이상으로 함으로써, 반도체 막(106) 중의 수소가 탈리하여 전기적 특성이 변화한다. 따라서, 예를 들어, 반도체 막(106)을 형성한 후의 공정에서는, 300°C를 넘지 않는 온도로 하면 좋다.

[0079] 다음, 제 2 도전막(110) 위에 제 2 레지스트 마스크(112)를 형성한다(도 2b, 도 5b, 도 8b, 도 11b, 도 14b, 도 20을 참조).

[0080] 제 2 레지스트 마스크(112)는, 제 1 레지스트 마스크(51)의 형성에 사용된 포토 마스크와 동일한 포토 마스크를 사용하여 형성한다. 그러나, 제 1 레지스트 마스크(51)의 형성과 동일한 포토 마스크를 사용하면, 반도체 층의 가장자리부가 차광층(52)에서 벗어나고, 차광층(52)에 의한 반도체 층의 차광이 불충분하게 될 우려가 있다. 따라서, 제 2 레지스트 마스크(112)는, 제 1 레지스트 마스크(51)와 동일한 포토 마스크에 의하여 패턴을 형성한 후에 후퇴시키면 좋다. 레지스트 마스크를 후퇴시키는 수단으로서는, 예를 들어, 산소 플라즈마를 사용한 애성을 들 수 있다(도 2b에 있어서 점선으로 도시하는 직사각형 영역과 제 2 레지스트 마스크(112) 참조).

[0081] 다음, 제 2 레지스트 마스크(112)를 사용하여 제 1 에칭을 행한다. 즉, 제 1 절연막(104), 반도체 막(106), 불순물 반도체 막(108) 및 제 2 도전막(110)을 에칭에 의하여 패터닝하여, 박막 적층체(114)를 형성한다(도 2c, 도 5c, 도 8c, 도 11c, 도 14c, 도 21 참조). 이 때, 적어도 제 1 도전막(102)의 표면을 노출시키면 좋다. 본 명세서에 있어서, 이 에칭 공정을 제 1 에칭이라고 부른다. 제 1 에칭은, 드라이 에칭 또는 웨트 에칭을 사용하면 좋다. 또한, 제 1 에칭을 드라이 에칭에 의하여 행하는 경우에는, 1개의 공정으로 행할 수 있지만, 제 1 에칭을 웨트 에칭에 의하여 행하는 경우에는, 복수의 공정으로 제 1 에칭을 행하면 좋다. 웨트 에칭에서는, 피에칭 막의 종류에 따라 에칭 레이트가 상이하고, 1개의 공정으로 에칭하는 것이 어렵기 때문이다.

[0082] 또한, 제 1 에칭은, 예를 들어, 3단계의 드라이 에칭에 의하여 행하면 좋다. 우선, Cl<sub>2</sub> 가스와 CF<sub>4</sub> 가스와 O<sub>2</sub> 가스의 혼합 가스 중에서 에칭을 행하고, 다음 Cl<sub>2</sub> 가스만을 사용하여 에칭을 행하고, 마지막으로 CHF<sub>3</sub> 가스만을 사용하여 에칭을 행하면 좋다.

[0083] 또한, 제 1 에칭에 의하여 제 1 도전막(102)을 에칭하여 하지막(53)을 노출시켜도 좋다. 이 때, 기판(100)을 노출시키지 않도록 에칭을 행하는 것이 바람직하다.

[0084] 다음, 제 2 레지스트 마스크(112)를 사용하여 제 2 에칭을 행한다. 즉, 제 1 도전막(102)을 에칭에 의하여 패터닝하고, 게이트 전극층(116)을 형성한다(도 3a, 도 6a, 도 9a, 도 12a, 도 15a, 도 22 참조). 이 에칭 공정을 제 2 에칭이라고 부른다.

[0085] 또한, 게이트 전극층(116)은, 박막 트랜지스터의 게이트 전극, 게이트 배선, 용량 소자의 한쪽의 전극, 용량 배선 및 지지부를 구성한다. 게이트 전극층(116A)이라고 표기하는 경우에는, 게이트 배선과 박막 트랜지스터의 게이트 전극을 구성하는 게이트 전극층을 가리킨다. 게이트 전극층(116B) 또는 게이트 전극층(116D)이라고 표기하는 경우에는, 지지부를 구성하는 게이트 전극층을 가리킨다. 게이트 전극층(116C)이라고 표기하는 경우에는, 용량 배선과 용량 소자의 한쪽의 전극을 구성하는 게이트 전극층을 가리킨다. 그리고, 이들을 총괄

하여 게이트 전극층(116)이라고 부른다.

[0086] 제 2 에칭은, 제 1 도전막(102)에 의하여 형성되는 게이트 전극층(116)의 측면이, 박막 적층체(114)의 측면보다 내측에 형성되는 에칭 조건으로 행해진다. 바꿔 말하면, 게이트 전극층(116)의 측면이 박막 적층체(114)의 저면(底面)에 접하여 형성되도록 에칭을 행한다(도 22 내지 도 25에 있어서의 A-A' 단면에 있어서 게이트 전극층(116)의 폭이 박막 적층체(114)의 폭보다 작게 되도록 에칭을 행한다). 또한, 제 2 도전막(110)에 대한 에칭 레이트가 작고, 또 제 1 도전막(102)에 대한 에칭 레이트가 큰 조건으로 행해진다. 바꿔 말하면, 제 2 도전막(110)에 대한 제 1 도전막(102)의 에칭 선택 비율이 큰 조건으로 행한다. 이러한 조건으로 제 2 에칭을 행함으로써, 게이트 전극층(116)을 형성할 수 있다.

[0087] 또한, 게이트 전극층(116)의 측면의 형상은 특히 한정되지 않는다. 예를 들어, 테이퍼 형상이라도 좋다. 게이트 전극층(116)의 측면의 형상은, 제 2 에칭에 있어서 사용되는 약액(藥液) 등의 조건으로 결정되는 것이다.

[0088] 여기서, "제 2 도전막(110)에 대한 에칭 레이트가 작고, 또 제 1 도전막(102)에 대한 에칭 레이트가 큰 조건" 또는 "제 2 도전막(110)에 대한 제 1 도전막(102)의 에칭 선택 비율이 큰 조건"이란 이하의 제 1 요건 및 제 2 요건을 충족시키는 것을 가리킨다.

[0089] 제 1 요건은, 게이트 전극층(116)이 필요한 개소에 잔존하는 것이다. 게이트 전극층(116)의 필요한 개소란, 도 22 내지 도 25에 있어서의 레지스트 마스크 내에 접선으로 도시되는 영역을 가리킨다. 즉, 제 2 에칭 후에 게이트 전극층(116)이 게이트 배선, 용량 배선 및 지지부를 구성하도록 잔존하는 것이 필요하다. 게이트 전극층이 게이트 배선 및 용량 배선을 구성하기 위해서는, 이들의 배선이 단선(斷線)하지 않도록 제 2 에칭을 행할 필요가 있다. 도 3a, 도 9a 및 도 15a에 도시하는 바와 같이, 박막 적층체(114)의 측면으로부터 간격  $d_1$  만큼 내측에 게이트 전극층(116)의 측면이 형성되는 것이 바람직하고, 간격  $d_1$ 은, 실시자가 레이아웃에 따라 적절히 설정하면 좋다.

[0090] 제 2 요건은, 게이트 전극층(116)에 의하여 구성되는 게이트 배선 및 용량 배선의 최소폭(最小幅)  $d_3$ , 및 소스 전극층 및 드레인 전극층(120A)에 의하여 구성되는 소스 배선의 최소폭  $d_2$ 가 적절하게 되는 것이다(도 25 참조). 제 2 에칭에 의하여 소스 전극층 및 드레인 전극층(120A)이 에칭되면, 소스 배선의 최소폭  $d_2$ 가 작게 되고, 소스 배선의 전류 밀도가 과대(過大)가 되고, 전기적 특성이 저하되기 때문이다. 따라서, 제 2 에칭은 제 1 도전막(102)의 에칭 레이트가 과대해지지 않고, 또 제 2 도전막(110)의 에칭 레이트가 가능한 한 작은 조건으로 행한다.

[0091] 또한, 소스 배선의 최소폭  $d_2$ 는 크게 하는 것이 어렵다. 소스 배선의 최소폭  $d_2$ 는 소스 배선과 중첩하는 반도체 층의 최소폭  $d_4$ 에 의하여 결정되고, 소스 배선의 최소폭  $d_2$ 를 크게 하기 위해서는, 반도체 층의 최소폭  $d_4$ 를 크게 해야 하고, 인접하는 게이트 배선과 용량 배선을 절연시키는 것이 어렵게 되기 때문이다. 따라서, 반도체 층의 최소폭  $d_4$ 는, 상술한 간격  $d_1$ 의 대략 2배보다 작게 한다. 바꿔 말하면, 간격  $d_1$ 은, 반도체 층의 최소폭  $d_4$ 의 대략 1/2보다 크게 한다.

[0092] 또한, 소스 배선과 중첩하는 반도체 층의 폭을 최소폭  $d_4$ 로 하는 부분은, 게이트 배선과, 상기 게이트 배선과 서로 인접하는 용량 배선의 사이에 적어도 1개소 있으면 좋다. 바람직하게는, 도 25에 도시하는 바와 같이, 게이트 배선에 인접하는 영역 및 용량 배선에 인접하는 영역의 반도체 층의 폭을 최소폭  $d_4$ 로 하면 좋다.

[0093] 또한, 소스 전극층 및 드레인 전극층에 의하여 형성되는 화소 전극층과 접속되는 부분의 전극의 폭은, 소스 배선의 최소폭  $d_2$ 로 하는 것이 바람직하다.

[0094] 상술한 바와 같이, 사이드 에칭을 수반하는 조건으로 제 2 에칭을 행하는 것은 매우 중요하다. 제 2 에칭이 제 1 도전막(102)의 사이드 에칭을 수반함으로써 게이트 전극층(116)에 의하여 구성되는 인접하는 게이트 배선과 용량 배선을 절연시킬 수 있기 때문이다(도 22 참조). 여기서, 제 2 에칭은, 사이드 에칭을 수반하는 에칭이기 때문에, 에칭은 대략 등방적으로 진행된다.

[0095] 여기서, 사이드 에칭이란, 피에칭 막의 두께 방향(기판 면에 수직인 방향 또는 하지막의 면에 수직인 방향)뿐만 아니라, 두께 방향에 대해서 수직인 방향(기판 면에 평행한 방향 또는 하지막의 면에 평행한 방향)에

도 피에칭 막이 에칭되는 에칭을 가리킨다. 사이드 에칭된 피에칭 막의 단부는, 피에칭 막에 대한 에칭 가스 또는 에칭에 사용하는 약액의 에칭 레이트에 의하여 다양한 형상으로 되도록 형성되지만, 단부가 곡면이 되도록 형성되는 것이 많다.

[0096] 또한, 도 22에 도시하는 바와 같이, 제 1 에칭에 의하여 형성되는 박막 적층체(114)는, 게이트 전극층(116B) 및 게이트 전극층(116D)에 의하여 구성되는 지지부에 접하는 부분에서는 가늘어지도록 설계된다(도 22에 있어서, 양쪽 화살표로 도시하는 부분을 참조). 이러한 구조로 함으로써, 제 2 에칭에 의하여 게이트 전극층(116A)과, 게이트 전극층(116B) 또는 게이트 전극층(116D)을 분단하여 절연시킬 수 있다.

[0097] 또한, 도 22에 도시하는 게이트 전극층(116B) 및 게이트 전극층(116D)은, 박막 적층체(114)를 베티는 지지부로서 기능한다. 지지부를 가짐으로써, 게이트 전극층보다 위에 형성되는 게이트 절연막의 막 박리를 방지할 수 있다. 또한, 지지부를 형성함으로써, 제 2 에칭에 의하여 게이트 전극층(116)에 접하여 형성되는, 공동의 영역이 필요 이상으로 넓게 되는 것을 방지할 수 있다. 또한, 지지부를 형성함으로써, 박막 적층체(114)가 자중(自重)에 의하여 파괴되거나 파손되는 것도 방지할 수 있고, 수율이 향상되기 때문에 바람직하다. 다만, 본 실시형태는 지지부를 갖는 형태에 한정되지 않고, 지지부를 형성하지 않아도 좋다. 지지부를 갖지 않는 형태의 상면도(도 25에 대응한다)의 일례를 도 26에 도시한다.

[0098] 상술한 바와 같이, 제 2 에칭은 웨트 에칭에 의하여 행하는 것이 바람직하다.

[0099] 제 2 에칭을 웨트 에칭에 의하여 행하는 경우, 제 1 도전막(102)을 알루미늄 또는 몰리브덴에 의하여 형성하고, 제 2 도전막(110)을 티타늄 또는 텅스텐에 의하여 형성하고, 에칭에는 초산(硝酸), 아세트산 및 인산을 포함하는 약액을 사용하면 좋다. 또는, 제 1 도전막(102)을 몰리브덴에 의하여 형성하고, 제 2 도전막(110)을 티타늄, 알루미늄, 또는 텅스텐에 의하여 형성하고, 에칭에는 과산화 수소수를 포함하는 약액을 사용하면 좋다.

[0100] 제 2 에칭을 웨트 에칭에 의하여 행하는 경우, 가장 바람직하게는, 제 1 도전막(102)으로서 네오디뮴을 첨가한 알루미늄 위에 몰리브덴을 형성한 적층막을 형성하고, 제 2 도전막(110)을 텅스텐에 의하여 형성하고, 에칭에는 초산을 2%, 아세트산을 10%, 인산을 72% 포함하는 약액을 사용한다. 이러한 조성의 약액을 사용함으로써, 제 2 도전막(110)이 에칭되지 않고, 제 1 도전막(102)이 에칭된다. 또한, 제 1 도전막(102)에 첨가한 네오디뮴은, 알루미늄의 저저항화와 힐록(hilllock) 방지를 목적으로 하여 첨가된 것이다.

[0101] 또한, 도 22에 도시하는 바와 같이, 상면으로부터 본 게이트 전극층(116)은 모서리(예를 들어, 모서리(151))를 갖는다. 이것은, 게이트 전극층(116)을 형성하는 제 2 에칭이 대략 등방적이기 때문에, 게이트 전극층(116)의 측면과 박막 적층체(114)의 측면의 간격  $d_1$ 이 대략 같아지도록 에칭되기 때문이다.

[0102] 다음, 제 3 레지스트 마스크(118)를 형성한다(도 3b, 도 6b, 도 9b, 도 12b, 도 15b, 도 23 참조). 또한, 여기서는 제 2 에칭 후에 제 3 레지스트 마스크(118)를 형성하지만, 본 발명은 이것에 한정되지 않고, 제 3 레지스트 마스크(118)를 형성한 후에 제 2 에칭을 행하여도 좋다.

[0103] 다음, 제 3 레지스트 마스크(118)를 사용하여, 박막 적층체(114)에 있어서의 제 2 도전막(110)을 에칭하고, 소스 전극층 및 드레인 전극층(120)을 형성한다. 여기서의 에칭 조건은, 제 2 도전막(110) 이외의 막에 대한 식각 및 부식이 일어나지 않고, 또는 일어나기 어려운 조건을 선택한다. 특히, 게이트 전극층(116)의 식각 및 부식이 일어나지 않고, 또는 일어나기 어려운 조건으로 행하는 것이 중요하다.

[0104] 또한, 소스 전극층 및 드레인 전극층(120)은, 박막 트랜지스터의 소스 전극 또는 드레인 전극, 소스 배선, 박막 트랜지스터와 화소 전극을 접속하는 전극, 및 용량 소자의 다른 쪽의 전극을 구성한다. "소스 전극층 및 드레인 전극층(120A)" 또는 "소스 전극층 및 드레인 전극층(120C)"이라고 표기하는 경우에는, 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽, 및 소스 배선을 구성하는 전극층을 가리킨다. "소스 전극층 및 드레인 전극층(120B)"이라고 표기하는 경우에는, 박막 트랜지스터의 소스 전극 및 드레인 전극의 다른 쪽, 및 박막 트랜지스터와 화소 전극을 접속하는 전극을 구성하는 전극층을 가리킨다. "소스 전극층 및 드레인 전극층(120D)"이라고 표기하는 경우에는, 용량 소자의 다른 쪽의 전극을 구성하는 전극층을 가리킨다. 그리고, 이들을 총괄하여 "소스 전극층 및 드레인 전극층(120)"이라고 부른다.

[0105] 또한, 박막 적층체(114)에 있어서의 제 2 도전막(110)의 에칭은, 웨트 에칭 또는 드라이 에칭의 어느 쪽을 사용하여도 좋다.

[0106] 계속해서, 박막 적층체(114)에 있어서의 불순물 반도체 막(108) 및 반도체 막(106)의 상부(백 채널부)

를 예칭하여 소스 영역 및 드레인 영역(122)을 형성한다(도 3c, 도 6c, 도 9c, 도 12c, 도 15c, 도 24 참조). 여기서의 예칭 조건은, 불순물 반도체 막(108) 및 반도체 막(106) 이외의 막에 대한 식각 및 부식이 일어나지 않는 조건 또는 일어나기 어려운 조건을 선택한다. 특히, 게이트 전극층(116)의 식각 및 부식이 일어나지 않는 조건 또는 일어나기 어려운 조건으로 행하는 것이 중요하다.

[0107] 또한, 박막 적층체(114)에 있어서의 불순물 반도체 막(108) 및 반도체 막(106)의 상부(백 채널부)의 예칭은, 드라이 예칭 또는 웨트 예칭에 의하여 행할 수 있다.

[0108] 그 후, 제 3 레지스트 마스크(118)를 제거하여 박막 트랜지스터가 완성한다. 상술한 바와 같이, 차광층과 박막 트랜지스터를 1장의 포토 마스크(다계조 마스크)에 의하여 제작할 수 있다.

[0109] 또한, 상기 도 3c를 참조하여 설명한 공정을 일괄적으로 제 3 예칭이라고 부른다. 제 3 예칭은, 상술한 바와 같이, 복수 단계로 분할하여 행하여도 좋고, 일괄적으로 행하여도 좋다.

[0110] 이상과 같이 형성한 박막 트랜지스터를 덮고 제 2 절연막을 형성한다. 여기서, 제 2 절연막은 제 1 보호막(126)만으로 형성하여도 좋지만, 바람직하게는, 제 1 보호막(126)과 제 2 보호막(128)에 의하여 형성한다(도 4a, 도 7a, 도 10a, 도 13a, 도 16a 참조). 제 1 보호막(126)은, 제 1 절연막(104)과 마찬가지로 형성하면 좋다.

[0111] 제 2 보호막(128)은, 표면이 대략 평탄해지는 방법에 의하여 형성한다. 제 2 보호막(128)의 표면을 대략 평탄하게 함으로써, 제 2 보호막(128) 위에 형성되는 화소 전극층(132)의 단절(斷切) 등을 방지할 수 있기 때문이다. 따라서, 여기서 "대략 평탄"이란 상기의 목적을 달성할 수 있을 정도의 것이라면 좋고, 높은 평탄성이 요구되는 것이 아니다.

[0112] 또한, 제 2 보호막(128)은 예를 들어, 감광성 폴리이미드, 아크릴 또는 에폭시 수지 등을 사용하여 스펀 코팅법 등에 의하여 형성할 수 있다. 다만, 이를 재료 또는 형성 방법에 한정되지 않는다.

[0113] 다음, 제 2 절연막에 제 1 개구부(130) 및 제 2 개구부(131)를 형성한다(도 4b, 도 7b, 도 10b, 도 13b, 도 16b 참조). 제 1 개구부(130) 및 제 2 개구부(131)는, 소스 전극층 및 드레인 전극층(120)의 적어도 표면에 도달하도록 형성된다. 제 1 개구부(130) 및 제 2 개구부(131)의 형성 방법은, 특정한 방법에 한정되지 않고, 제 1 개구부(130)의 직경에 따라, 실시자가 적절히 선택하면 좋다. 예를 들어, 포토리소그래피법에 의하여 드라이 예칭을 행함으로써 제 1 개구부(130) 및 제 2 개구부(131)를 형성할 수 있다.

[0114] 또한, 포토리소그래피법에 의하여 개구부를 형성함으로써, 포토 마스크를 1장 사용한다.

[0115] 다음, 제 2 절연막 위에 화소 전극층(132)을 형성한다(도 4c, 도 7c, 도 10c, 도 13c, 도 16c, 도 25 참조). 화소 전극층(132)은, 개구부를 통하여 소스 전극층 및 드레인 전극층(120)에 접속되도록 형성한다. 구체적으로는, 화소 전극층(132)은, 제 1 개구부(130)를 통하여 소스 전극층 및 드레인 전극층(120B)에 접속되고, 제 2 개구부(131)를 통하여 소스 전극층 및 드레인 전극층(120D)에 접속되도록 형성된다. 화소 전극층(132)은, 투광성을 갖는 도전성 재료에 의하여 형성되는 것이 바람직하다. 여기서, 투광성을 갖는 도전성 재료로서는, 인듐주석산화물(이하, ITO라고 한다), 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐아연산화물, 또는 산화실리콘을 첨가한 인듐주석산화물 등을 들 수 있다. 투광성을 갖는 도전성 재료의 막의 형성은 스퍼터링법 또는 CVD법 등에 의하여 행하면 좋지만, 특정한 방법에 한정되지 않는다. 또한, 화소 전극층(132)에 대해서도 단층으로 형성하여도 좋고, 복수의 막을 적층한 적층막으로 하여도 좋다.

[0116] 또한, 본 실시형태에 있어서는, 화소 전극층(132)에만 투광성을 갖는 도전성 재료를 사용하지만, 본 실시형태는 이것에 한정되지 않는다. 제 1 도전막(102) 및 제 2 도전막(110)의 재료로서 투광성을 갖는 도전성 재료를 사용할 수도 있다.

[0117] 또한, 포토리소그래피법에 의하여 화소 전극층(132)을 형성함으로써, 포토 마스크를 1장 사용한다.

[0118] 상술한 바와 같이, 본 실시형태에 따른 액티브 매트릭스 기판의 제작(소위 어레이 공정)이 완료된다. 본 실시형태에서 설명한 바와 같이, 사이드 예칭을 이용하여 게이트 전극층을 형성함으로써, 종래보다 포토 마스크의 매수를 1장 저감한 박막 트랜지스터의 제작이 가능하게 된다.

[0119] 상기와 같이 제작한 박막 트랜지스터는, 차광층 위에 하지막을 갖고, 상기 하지막 위에 게이트 전극층을 갖고, 상기 게이트 전극층 위에 게이트 절연막을 갖고, 상기 게이트 절연막 위에 반도체 층을 갖고, 상기 반

도체 층 위에 소스 영역 및 드레인 영역을 갖는 불순물 반도체 층을 갖고, 상기 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극을 갖고, 상기 게이트 전극층의 측면에 접하여 공동을 갖는 구조가 된다(도 4c 참조). 이러한 박막 트랜지스터는 게이트 전극층의 측면에 접하여 공동을 갖기 때문에, 게이트 전극층 단부에 있어서의 리크 전류가 작다. 또한, 차광층을 가짐으로써, 광 리크 전류가 작은 박막 트랜지스터로 할 수 있다.

[0120] 여기서, 상기 공정에 의하여 제작한 액티브 매트릭스 기판의 단자 접속부에 대해서 도 27 내지 도 29c를 참조하여 설명한다.

[0121] 도 27 내지 도 29c에는, 상기 공정에 의하여 제작한 액티브 매트릭스 기판에 있어서의 게이트 배선 측의 단자 접속부 및 소스 배선 측의 단자 접속부의 상면도와 단면도를 도시한다.

[0122] 도 27에는, 게이트 배선 측의 단자 접속부 및 소스 배선 측의 단자 접속부에 있어서의 화소부로부터 연장한 게이트 배선 및 소스 배선의 상면도를 도시한다.

[0123] 도 28은, 도 27의 X-X'에 있어서의 단면도를 도시한다. 즉, 도 28에는 게이트 배선 측의 단자 접속부에 있어서의 단면도를 도시한다. 도 28에서는, 게이트 전극층(116)이 노출된다. 이 게이트 전극층(116)이 노출된 영역에 단자부가 접속된다.

[0124] 도 29a 내지 도 29c는, 소스 배선 측의 단자 접속부에 있어서의 단면도를 도시한다. 도 29a 내지 도 29c의 Y-Y'에 있어서, 게이트 전극층(116)과 소스 전극층 및 드레인 전극층(120)은 화소 전극층(132)을 통하여 접속된다. 도 29a 내지 도 29c에는 게이트 전극층(116) 소스 전극층 및 드레인 전극층(120)의 다양한 접속 형태를 도시한다. 개시하는 표시 장치의 발명에 있어서의 단자 접속부에는 이들의 어느 형태를 사용하여도 좋고, 도 29a 내지 도 29c에 도시하는 것 이외의 접속 형태를 사용하여도 좋다. 소스 전극층 및 드레인 전극층(120)을 게이트 전극층(116)에 접속시킴으로써, 단자의 접속부의 높이를 대략 같게 할 수 있다.

[0125] 도 29a에서는, 제 1 보호막(126) 및 제 2 보호막(128)의 단부가 예칭 등에 의하여 제거되고, 게이트 전극층(116)과 소스 전극층 및 드레인 전극층(120)이 노출되고, 이 노출된 영역에 화소 전극층(132)을 형성함으로써, 전기적인 접속을 실현한다. 도 29a는 도 27의 Y-Y'에 있어서의 단면도에 상당한다.

[0126] 또한, 게이트 전극층(116)과 소스 전극층 및 드레인 전극층(120)이 노출된 영역의 형성은, 제 1 개구부(130) 및 제 2 개구부(131)의 형성과 동시에 행할 수 있다.

[0127] 도 29b에서는, 제 1 보호막(126) 및 제 2 보호막(128)에 제 3 개구부(160A)가 형성되고, 제 1 보호막(126) 및 제 2 보호막(128)의 단부가 예칭 등에 의하여 제거됨으로써, 게이트 전극층(116)과 소스 전극층 및 드레인 전극층(120)이 노출되고, 이 노출된 영역에 화소 전극층(132)을 형성함으로써, 전기적인 접속을 실현한다.

[0128] 또한, 제 3 개구부(160A)의 형성, 및 게이트 전극층(116)이 노출된 영역의 형성은, 제 1 개구부(130) 및 제 2 개구부(131)의 형성과 동시에 행할 수 있다.

[0129] 도 29c에서는, 제 1 보호막(126) 및 제 2 보호막(128)에 제 3 개구부(160B) 및 제 4 개구부(161)가 형성됨으로써, 게이트 전극층(116)과 소스 전극층 및 드레인 전극층(120)이 노출되고, 이 노출된 영역에 화소 전극층(132)을 형성함으로써, 전기적인 접속을 실현한다. 여기서, 도 29a 및 도 29b와 마찬가지로 제 1 보호막(126) 및 제 2 보호막(128)의 단부는 예칭 등에 의하여 제거되지만, 이 영역은 단자의 접속부로서 사용된다.

[0130] 또한, 제 3 개구부(160B) 및 제 4 개구부(161)의 형성, 및 게이트 전극층(116)이 노출된 영역의 형성은, 제 1 개구부(130) 및 제 2 개구부(131)의 형성과 동시에 행할 수 있다.

[0131] 또한, 개구부의 수는 도 29a 내지 도 29c에 도시하는 개구부의 수에 한정되지 않는다. 1개의 단자에 대해서 1개의 개구부를 형성할 뿐만 아니라, 1개의 단자에 대해서 복수의 개구부를 형성하여도 좋다. 1개의 단자에 대해서 복수의 개구부를 형성함으로써, 개구부를 형성하는 예칭 공정이 불충분(不充分)하다는 등의 이유로 개구부가 양호하게 형성되지 않아도, 다른 개구부에 의하여 전기적 접속을 실현할 수 있다. 또한, 모든 개구부가 문제없이 형성된 경우라도, 접촉 면적을 넓게 할 수 있기 때문에, 콘택트 저항을 저감할 수 있어 바람직하다.

[0132] 다음, 상술한 공정에 의하여 제작한 표시 장치의 액티브 매트릭스 기판을 사용하여 액정 표시 장치를 제작하는 방법에 대해서 설명한다. 즉, 셀 공정 및 모듈 공정에 대해서 설명한다. 다만, 본 실시형태에 따른 표시 장치의 제작 방법에 있어서, 셀 공정 및 모듈 공정은 이하의 설명에 한정되지 않는다.

[0133] 셀 공정에서는, 상술한 공정에 의하여 제작한 액티브 매트릭스 기판과, 이것에 대향하는 기판(이하, 대

향 기판이라고 한다)을 접합하여 액정을 주입한다. 우선, 대향 기판의 제작 방법에 대해서 이하에 간단하게 설명한다. 또한, 특히 설명하지 않는 경우라도, 대향 기판 위에 형성하는 막은 단층이라도 좋고, 적층하여 형성하여도 좋다.

[0134] 우선, 기판 위에 차광층을 형성하고, 차광층 위에 적색, 녹색, 청색의 어느 하나의 컬러 필터층을 형성하고, 컬러 필터층 위에 화소 전극층을 선택적으로 형성하고, 화소 전극층 위에 리브(rib)를 형성한다.

[0135] 차광층으로서는, 차광성을 갖는 재료의 막을 선택적으로 형성한다. 차광성을 갖는 재료로서는, 예를 들어, 흑색 수지(카본 블랙)를 포함하는 유기 수지를 사용할 수 있다. 또는, 크롬을 주성분으로 하는 재료막의 적층막을 사용하여도 좋다. 크롬을 주성분으로 하는 재료막이란, 크롬, 산화크롬 또는 질화크롬을 가리킨다. 차광층에 사용되는 재료는 차광성을 갖는 것이라면 특히 한정되지 않는다. 차광성을 갖는 재료의 막을 선택적으로 형성하기 위해서는 포토리소그래피법 등을 사용한다.

[0136] 컬러 필터층은, 백 라이트로부터 백색광이 조사되면, 적색, 녹색, 청색의 어느 하나의 광만을 투과시킬 수 있는 유기 수지막에 의하여 선택적으로 형성하면 좋다. 컬러 필터층은 형성시에 분할 도포를 행함으로써, 선택적으로 형성할 수 있다. 컬러 필터의 배열은 스트라이프 배열, 델타 배열, 또는 정방 배열을 사용하면 좋다.

[0137] 대향 기판의 화소 전극층은, 액티브 매트릭스 기판이 갖는 화소 전극층(132)과 마찬가지로 형성할 수 있다. 다만, 선택적으로 형성할 필요가 없기 때문에, 대향 기판의 전체 면에 형성하면 좋다.

[0138] 화소 전극 위에 형성하는 리브는, 시야각의 확대를 목적으로 하여 형성되는 패턴 형성된 유기 수지막이다. 특히 필요가 없는 경우에는 형성하지 않아도 좋다.

[0139] 또한, 대향 기판의 제작 방법으로서는, 상술한 형태 이외에 다양한 형태를 생각할 수 있다. 예를 들어, 컬러 필터층을 형성한 후, 화소 전극층의 형성 전에 오버 코팅층을 형성하여도 좋다. 오버 코팅층을 형성함으로써 화소 전극의 폐형성면의 평탄성을 향상시킬 수 있기 때문에, 수율이 향상된다. 또한, 컬러 필터층에 포함되는 재료의 일부가 액정 재료 중에 침입하는 것을 방지할 수 있다. 오버 코팅층에는 아크릴 수지 또는 에폭시 수지를 베이스로 한 열 경화성 재료가 사용된다.

[0140] 또한, 리브의 형성 전 또는 형성 후에 포스트 스페이서(주형 스페이서)를 형성하여도 좋다. 포스트 스페이서란, 액티브 매트릭스 기판과 대향 기판의 사이의 갭을 일정하게 유지하는 것을 목적으로 하여, 대향 기판 위에 일정한 간격으로 형성하는 구조물을 가리킨다. 비즈 스페이서(구형(球形) 스페이서)를 사용하는 경우에는, 포스트 스페이서를 형성하지 않아도 좋다.

[0141] 다음, 배향막을 액티브 매트릭스 기판 및 대향 기판에 형성한다. 배향막의 형성은, 예를 들어, 폴리이미드 수지 등을 유기 용제에 용해시키고, 이것을 인쇄법 또는 스픬 코팅법 등에 의하여 도포하고, 유기 용매를 유거(溜去)한 후에 기판을 전조하여 소성함으로써 행한다. 형성되는 배향막의 막 두께는, 일반적으로, 50nm 이상 100nm 이하 정도로 한다. 배향막에는, 액정 분자가 어떤 일정한 프리틸트(pretilt)각을 갖고 배향하도록 러빙 처리를 행한다. 러빙 처리는 예를 들어, 벨벳(velvet) 등의 털이 긴 직물에 의하여 배향막을 문지름으로써 행한다.

[0142] 다음, 액티브 매트릭스 기판과 대향 기판을 셀 재료에 의하여 접합한다. 대향 기판에 포스트 스페이서가 형성되지 않는 경우에는, 비즈 스페이서를 원하는 영역에 분산시켜 접합하면 좋다.

[0143] 다음, 접합된 액티브 매트릭스 기판과 대향 기판의 사이에 액정 재료를 주입한다. 액정 재료를 주입한 후, 주입구를 자외선 경화 수지 등으로 밀봉한다. 또는, 액정 재료를 액티브 매트릭스 기판 또는 대향 기판 위에 적하한 후에 이들의 기판을 접합시켜도 좋다.

[0144] 다음, 액티브 매트릭스 기판과 대향 기판을 접합한 액정 셀의 양면에 편광판을 접합하여 셀 공정이 완료된다.

[0145] 다음, 모듈 공정으로서 단자부의 입력 단자(도 29a 내지 도 29c에 있어서, 게이트 전극층(116)이 노출된 영역)에 FPC(Flexible Printed Circuit)를 접속한다. FPC는 폴리이미드 등의 유기 수지 필름 위에 도전막에 의하여 배선이 형성되고, 이방성 도전성 페이스트(Anisotropic Conductive Paste. 이하, ACP라고 한다)를 통하여 입력 단자와 접속된다. ACP는 접착제로서 기능하는 페이스트와 금 등이 도금된 직경이 수십  $\mu\text{m}$  내지 수백  $\mu\text{m}$ 의 도전성 표면을 갖는 입자에 의하여 구성된다. 페이스트 중에 혼입된 입자가 입력 단자 위의 도전층과, FPC에 형성된 배선에 접속된 단자 위의 도전층에 접촉함으로써, 전기적인 접속을 실현한다. 또한, FPC의 접속

후에 액티브 매트릭스 기판과 대향 기판에 편광판을 접합하여도 좋다. 이상과 같이, 표시 장치에 사용하는 액정 패널을 제작할 수 있다.

[0146] 이상과 같이, 표시 장치에 사용되는 화소 트랜지스터를 갖는 액티브 매트릭스 기판을 3장의 포토 마스크에 의하여 제작할 수 있다.

[0147] 따라서, 박막 트랜지스터 및 표시 장치의 제작 공정수를 대폭적으로 줄일 수 있다.

[0148] 또한, 이면 노광, 레지스트 리플로우, 및 리프트 오프법 등의 복잡한 공정을 거치지 않고, 박막 트랜지스터의 제작 공정수를 대폭적으로 줄일 수 있다. 따라서, 복잡한 공정을 거치지 않고, 표시 장치의 제작 공정수를 대폭적으로 줄일 수 있다. 따라서, 수율을 저하시키지 않고, 표시 장치의 제작 공정수를 대폭적으로 줄일 수 있다.

[0149] 또한, 박막 트랜지스터의 전기적 특성을 유지하면서 박막 트랜지스터의 제작 공정을 대폭적으로 줄일 수 있다.

[0150] 또한, 상기 효과에 의하여 제작 비용을 대폭적으로 줄일 수 있다.

[0151] 또한, 반도체 층을 차광할 수 있기 때문에, 광 리크 전류가 저감된, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 장치를 제작할 수 있다. 또한, 반도체 층을 차광하는 차광층을 박막 트랜지스터의 형성에 사용하는 포토 마스크에 의하여 형성할 수 있기 때문에, 마스크 매수를 증가시키지 않고, 광 리크 전류가 저감된, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 장치를 제작할 수 있다.

[0152] 또한, 게이트 전극층 단부에 발생하는 리크 전류가 작은 박막 트랜지스터를 제작할 수 있기 때문에, 콘트라스트 비율이 높고, 표시 품질이 양호한 표시 장치를 얻을 수 있다.

[0153] 또한, 개시하는 발명은 상기 설명한 화소 구조에 한정되지 않고, 다양한 액정 표시 장치에 적용될 수 있다.

[0154] (실시형태 2)

[0155] 본 실시형태에서는, 개시하는 발명의 하나인 박막 트랜지스터의 제작 방법 및 표시 장치의 제작 방법이며, 실시형태 1과 상이한 방법에 대해서 설명한다. 구체적으로는, 다계조 마스크를 사용하여, 실시형태 1과 마찬가지로 박막 트랜지스터를 제작하는 방법에 대해서 도 30a-1 내지 도 35를 참조하여 설명한다.

[0156] 또한, 도 31a 내지 도 31c는 실시형태 1에 있어서의 도 2a 내지 도 2c 및 도 3a 내지 도 3c에 대응하는 것이다. 도 32a 내지 도 32c는 실시형태 1에 있어서의 도 11a 내지 도 11c 및 도 12a 내지 도 12c에 대응하는 것이다. 도 33, 도 34 및 도 35는 실시형태 1에 있어서의 도 20, 도 21 및 도 24에 대응하는 것이다. 또한, 도 33 내지 도 35에 도시하는 A-A'에 있어서의 단면도가 도 31a 내지 도 31c에 상당하고, 도 33 내지 도 35에 도시하는 D-D'에 있어서의 단면도가 도 32a 내지 도 32c에 상당한다.

[0157] 우선, 실시형태 1과 마찬가지로, 기판(100) 위의 차광막(50)에 제 1 레지스트 마스크를 사용하여 예칭 함으로써 차광층(52)을 형성하고, 차광층(52) 위에 하지막(53)을 형성하고, 하지막(53) 위에 제 1 도전막(102), 제 1 절연막(104), 반도체 막(106), 불순물 반도체 막(108) 및 제 2 도전막(110)을 형성한다(도 31a 및 도 32a 참조). 이들에 사용할 수 있는 재료 및 이들의 형성에 적용할 수 있는 방법은, 실시형태 1과 마찬가지다. 또한, 기판(100)과 차광층(52)의 사이에는 "하지가 되는 절연막"이 형성되어도 좋다. 또한, 반도체 막(106)에 의하여 형성되는 반도체 층의 일부에 도핑 등에 의하여 소스 전극층 및 드레인 전극층과 오믹 접촉할 수 있는 영역을 형성하는 경우 등에는, 불순물 반도체 막(108)을 형성할 필요가 없다.

[0158] 다음, 제 2 도전막(110) 위에 제 2 레지스트 마스크(170)를 형성한다(도 31b, 도 32b 및 도 33 참조). 본 실시형태에 있어서의 제 2 레지스트 마스크(170)는 오목부 또는 불록부를 갖는 레지스트 마스크이다. 바꿔 말하면, 두께가 다른 복수의 영역(여기서는, 2개의 영역)으로 이루어지는 레지스트 마스크라고도 말할 수 있다. 제 2 레지스트 마스크(170)에 있어서, 두꺼운 영역을 제 2 레지스트 마스크(170)의 불록부라고 부르고, 얇은 영역을 제 2 레지스트 마스크(170)의 오목부라고 부른다.

[0159] 제 2 레지스트 마스크(170)에 있어서, 소스 전극층 및 드레인 전극층(120)이 형성되는 영역에는, 불록부가 형성되고, 소스 전극층 및 드레인 전극층(120)을 갖지 않고, 반도체 층을 노출시켜 형성하는 영역에는 오목부가 형성된다.

- [0160] 또한, 제 2 레지스트 마스크(170)는, 제 1 레지스트 마스크와 동일한 포토 마스크에 의하여 형성되는 것이 바람직하다. 따라서, 제 1 레지스트 마스크도 오목부 또는 볼록부를 갖는 레지스트 마스크인 것이 바람직하다.
- [0161] 제 2 레지스트 마스크(170)는, 다계조 마스크를 사용함으로써 형성할 수 있다. 여기서, 다계조 마스크에 대해서 도 30a-1 내지 도 30b-2를 참조하여 이하에 설명한다.
- [0162] 다계조 마스크란, 다단계의 광량(光量)으로 노광을 행할 수 있는 마스크이며, 대표적으로는, 노광 영역, 반노광 영역 및 미노광 영역의 3단계의 광량으로 노광을 행하는 것을 가리킨다. 다계조 마스크를 사용함으로써, 한번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2종류)의 두께를 갖는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수를 삭감할 수 있다.
- [0163] 도 30a-1 및 도 30b-1은, 대표적인 다계조 마스크의 단면도를 도시한다. 도 30a-1에는, 그레이 톤 마스크(140)를 도시하고, 도 30b-1에는 하프 톤 마스크(145)를 도시한다.
- [0164] 도 30a-1에 도시하는 그레이 톤 마스크(140)는, 투광성을 갖는 기판(141) 위에 차광막에 의하여 형성된 차광부(142), 및 차광막의 패턴에 의하여 형성된 회절 격자부(143)로 구성된다.
- [0165] 회절 격자부(143)는, 노광에 사용하는 빛의 해상도(解像度) 한계 이하의 간격으로 형성된 슬릿, 도트, 또는 매쉬 등을 가짐으로써, 빛의 투과량을 제어한다. 또한, 회절 격자부(143)에 형성되는 슬릿, 도트 또는 매쉬는 주기적인 것이라도 좋고, 비주기적인 것이라도 좋다.
- [0166] 투광성을 갖는 기판(141)으로서는, 석영 등을 사용할 수 있다. 차광부(142) 및 회절 격자부(143)를 구성하는 차광막은, 금속막을 사용하여 형성하면 좋고, 바람직하게는, 크롬 또는 산화크롬 등에 의하여 형성된다.
- [0167] 그레이 톤 마스크(140)에 노광하기 위한 빛을 조사한 경우, 도 30a-2에 도시하는 바와 같이, 차광부(142)에 중첩하는 영역에 있어서의 투광률은 0%가 되고, 차광부(142) 또는 회절 격자부(143)가 형성되지 않는 영역에 있어서의 투광률은 100%가 된다. 또한, 회절 격자부(143)에 있어서의 투광률은, 대략 10% 내지 70%의 범위이며, 회절 격자의 슬릿, 도트, 매쉬 등의 간격에 따라, 조절할 수 있다.
- [0168] 도 30b-1에 도시하는 하프 톤 마스크(145)는, 투광성을 갖는 기판(146) 위에 반투광막에 의하여 형성된 반투광부(147), 및 차광막에 의하여 형성된 차광부(148)로 구성된다.
- [0169] 반투광부(147)는, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등의 막을 사용하여 형성할 수 있다. 차광부(148)는, 그레이 톤 마스크의 차광막과 마찬가지의 금속막을 사용하여 형성하면 좋고, 바람직하게는, 크롬 또는 산화크롬 등에 의하여 형성된다.
- [0170] 하프 톤 마스크(145)에 노광시키기 위한 빛을 조사한 경우, 도 30b-2에 도시하는 바와 같이, 차광부(148)에 중첩하는 영역에 있어서의 투광률은 0%가 되며, 차광부(148) 또는 반투광부(147)가 형성되지 않는 영역에 있어서의 투광률은 100%가 된다. 또한, 반투광부(147)에 있어서의 투광률은, 대략 10% 내지 70%의 범위이며, 형성하는 재료의 종류 또는 형성하는 막 두께 등에 따라 조절할 수 있다.
- [0171] 다계조 마스크를 사용하여 노광하여 현상을 행함으로써, 막 두께가 다른 영역을 갖는 제 2 레지스트 마스크(170)를 형성할 수 있다. 다만, 본 실시형태는 이것에 한정되지 않고, 다계조 마스크를 사용하지 않고 제 2 레지스트 마스크(170)를 형성하여도 좋다.
- [0172] 다음, 제 2 레지스트 마스크(170)를 사용하여 제 1 에칭을 행한다. 즉, 제 1 절연막(104), 반도체 막(106), 불순물 반도체 막(108) 및 제 2 도전막(110)을 에칭에 의하여 패터닝하여 제 1 도전막(102) 위에 박막 적층체(114)를 형성한다(도 31b, 도 32b, 도 34 참조).
- [0173] 다음, 실시형태 1과 마찬가지로 제 2 에칭을 행함으로써, 게이트 전극층(116)을 형성한다.
- [0174] 여기서, 제 2 에칭 조건은, 실시형태 1에 있어서의 제 2 에칭과 마찬가지다.
- [0175] 다음, 제 2 레지스트 마스크(170)를 후퇴시킴으로써, 박막 적층체(114) 위에 제 3 레지스트 마스크(171)를 형성한다. 제 3 레지스트 마스크(171)를 사용하여 소스 전극 및 드레인 전극층(120), 소스 영역 및 드레인 영역(122), 반도체 층(124)을 형성한다(도 31c, 도 32c, 도 35 참조). 제 2 레지스트 마스크(170)를 후퇴시키기 위해서는, 산소 플라즈마에 의한 애칭 등을 행하면 좋다. 에칭 조건 등은, 실시형태 1과 마찬가지다. 또한, 그 후의 공정은 실시형태 1과 마찬가지다.

[0176] 또한, 여기서는 제 2 에칭 후에 제 2 레지스트 마스크(170)를 형성하는 경우에 대해서 설명하였지만, 본 발명은 이것에 한정되지 않고, 제 2 레지스트 마스크(170)를 형성한 후에 제 2 에칭을 행하여도 좋다.

[0177] 이상, 본 실시형태에서 설명한 바와 같이, 다계조 마스크를 사용함으로써, 박막 트랜지스터를 제작할 수 있다. 다계조 마스크를 사용함으로써 사용하는 포토 마스크의 매수를 더욱 저감할 수 있다.

[0178] 또한, 본 실시형태에 따른 박막 트랜지스터 및 표시 장치의 제작 방법은, 상술한 점을 제외하고 실시형태 1과 마찬가지다. 따라서, 실시형태 1에 따른 박막 트랜지스터 및 표시 장치의 제작 방법과 같은 효과를 갖는 것은 물론이지만, 사용하는 마스크 수는 1장 감소된다. 즉, 본 실시형태에 의하면, 1장의 포토 마스크를 사용하여 박막 트랜지스터를 제작할 수 있다. 또한, 3장의 포토 마스크를 사용하여 화소 트랜지스터를 갖는 액티브 매트릭스 기판을 제작할 수 있다. 따라서, 사용하는 포토 마스크의 매수를 저감됨으로써, 박막 트랜지스터 및 표시 장치의 제작 공정수를 대폭적으로 줄일 수 있다. 또한, 높은 수율로 제작할 수 있으므로, 비용을 낮게 억제할 수도 있다.

[0179] 또한, 실시형태 1과 마찬가지로, 박막 트랜지스터의 전기적 특성을 유지하면서 박막 트랜지스터의 제작 공정을 대폭적으로 줄일 수 있다.

[0180] 또한, 본 실시형태의 제작 방법을 적용하여 제작한 박막 트랜지스터도, 실시형태 1에서 설명한 박막 트랜지스터와 마찬가지로 게이트 전극층의 측면에 접하여 공동(空洞)을 갖는다. 게이트 전극층의 측면에 접하여 공동을 갖도록 형성함으로써, 게이트 전극층 단부에 있어서의 리크 전류가 작은 박막 트랜지스터를 제작할 수 있다. 따라서, 본 발명의 박막 트랜지스터를 표시 장치에 적용함으로써, 콘트라스트 비율이 높고, 표시 품질이 양호한 표시 장치를 얻을 수 있다.

[0181] 또한, 실시형태 1에서 설명한 박막 트랜지스터와 마찬가지로 반도체 층을 차광할 수 있기 때문에, 광리크 전류가 저감된, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 장치를 제작할 수 있다. 또한, 반도체 층을 차광하는 차광층을 박막 트랜지스터의 형성에 사용하는 포토 마스크에 의하여 형성할 수 있기 때문에, 마스크 매수를 증가시키지 않고 광리크 전류가 저감된, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 장치를 제작할 수 있다.

[0182] (실시형태 3)

[0183] 본 실시형태에서는, 박막 트랜지스터 및 상기 박막 트랜지스터가 매트릭스 형상으로 배치된 EL 표시 장치를 제작하는 방법의 일례에 대해서 도 36 내지 도 45c 및 도 46a 및 도 46b를 참조하여 설명한다.

[0184] 박막 트랜지스터를 스위칭 소자로서 사용하는 EL 표시 장치(액티브형 EL 표시 장치)의 화소 회로로서는, 다양한 것이 검토된다. 본 실시형태에서는, 단순한 화소 회로의 일례를 도 36에 도시하고, 이 화소 회로를 적용한 화소 구조의 제작 방법에 대해서 설명한다. 다만, 개시하는 EL 표시 장치의 화소 회로는 도 36에 도시하는 구성에 한정되지 않는다.

[0185] 도 36에 도시하는 EL 표시 장치의 화소 구조에 있어서, 화소(191)는 제 1 트랜지스터(181), 제 2 트랜지스터(182), 제 3 트랜지스터(183), 용량 소자(184) 및 발광 소자(185)를 갖는다. 제 1 트랜지스터 내지 제 3 트랜지스터는 n형 트랜지스터이다. 제 1 트랜지스터(181)의 게이트 전극은, 게이트 배선(186)에 접속되고, 소스 전극 및 드레인 전극의 한쪽(제 1 전극으로 한다)은, 소스 배선(188)에 접속되고, 소스 전극 및 드레인 전극의 다른 쪽(제 2 전극으로 한다)은, 제 2 트랜지스터(182)의 게이트 전극 및 용량 소자(184)의 한쪽의 전극(제 1 전극으로 한다)에 접속된다. 용량 소자(184)의 다른 쪽의 전극(제 2 전극으로 한다)은, 제 2 트랜지스터(182)의 소스 전극 및 드레인 전극의 한쪽(제 1 전극으로 한다), 제 3 트랜지스터(183)의 소스 전극 및 드레인 전극의 한쪽(제 1 전극으로 한다), 및 발광 소자(185)의 한쪽의 전극(제 1 전극으로 한다)에 접속된다. 제 2 트랜지스터(182)의 소스 전극 및 드레인 전극의 다른 쪽(제 2 전극으로 한다)은, 제 2 전원선(189)에 접속된다. 제 3 트랜지스터(183)의 소스 전극 및 드레인 전극의 다른 쪽(제 2 전극으로 한다)은, 제 1 전원선(187)에 접속되고, 게이트 전극은 게이트 배선(186)에 접속된다. 발광 소자(185)의 다른 쪽의 전극(제 2 전극으로 한다)은, 공통 전극(190)에 접속된다. 또한, 제 1 전원선(187)과 제 2 전원선(189)의 전위는 다르다.

[0186] 화소(191)의 동작에 대해서 설명한다. 게이트 배선(186)의 신호에 의하여 제 3 트랜지스터(183)가 온(ON)되면, 제 2 트랜지스터(182)의 제 1 전극, 발광 소자(185)의 제 1 전극, 및 용량 소자(184)의 제 2 전극의 전위가 제 1 전원선(187)의 전위( $V_{187}$ )와 동일하게 된다. 여기서, 제 1 전원선(187)의 전위( $V_{187}$ )를 일정하게 하기 때문에, 제 2 트랜지스터(182)의 제 1 전극 등의 전위는 일정( $V_{187}$ )하다.

[0187]

게이트 배선(186)의 신호에 의하여 제 1 트랜지스터(181)가 선택되어 온이 되면, 소스 배선(188)으로부터의 신호의 전위( $V_{188}$ )가 제 1 트랜지스터(181)를 통하여 제 2 트랜지스터(182)의 게이트 전극에 입력된다. 이 때, 제 2 전원선(189)의 전위( $V_{189}$ )가 제 1 전원선(187)의 전위( $V_{187}$ )보다 높으면,  $V_{gs}=V_{188}-V_{187}$ 이 된다. 그리고,  $V_{gs}$ 가 제 2 트랜지스터(182)의 임계값 전압보다 크면, 제 2 트랜지스터(182)는 온이 된다.

[0188]

따라서, 제 2 트랜지스터(182)를 선형 영역에서 동작시킬 때는, 소스 배선(188)의 전위( $V_{188}$ )를 변화시킴으로써(예를 들어, 2치), 제 2 트랜지스터(182)의 온과 오프를 제어할 수 있다. 즉, 발광 소자(185)가 갖는 EL총에 전압을 인가할지 여부를 제어할 수 있다.

[0189]

또한, 제 2 트랜지스터(182)를 포화 영역에서 동작시킬 때는, 소스 배선(188)의 전위( $V_{188}$ )를 변화시킴으로써, 발광 소자(185)에 흐르는 전류량을 제어할 수 있다.

[0190]

이상과 같이, 제 2 트랜지스터(182)를 선형 영역에서 동작시키는 경우, 발광 소자(185)에 전압을 인가할지 여부를 제어할 수 있고, 발광 소자(185)의 발광 상태와 비발광 상태를 제어할 수 있다. 이러한 구동 방법은, 예를 들어, 디지털 시간 계조 구동에 사용할 수 있다. 디지털 시간 계조 구동은, 1프레임을 복수의 서브 프레임으로 분할하여, 각 서브 프레임에 있어서 발광 소자(185)의 발광 상태와 비발광 상태를 제어하는 구동 방법이다. 또한, 제 2 트랜지스터(182)를 포화 영역에서 동작시키는 경우, 발광 소자(185)에 흐르는 전류량을 제어할 수 있고, 발광 소자(185)의 휘도를 조정할 수 있다. 도 49a 내지 도 49c는 도 42에 도시하는 B-B'에 있어서의 단면도이다.

[0191]

다음, 도 36에 도시하는 화소 회로를 적용한 화소 구조와 그 제작 방법에 대해서 이하에 설명한다.

[0192]

또한, 도 37 내지 도 42에는 본 실시형태에 따른 박막 트랜지스터의 상면도를 도시하고, 도 42는 화소 전극까지 형성한 완성도이다. 도 43a 내지 도 45c는, 도 37 내지 도 42에 도시하는 A-A'에 있어서의 단면도이다.

[0193]

우선, 기판(200) 위에 차광층(197)을 형성하고, 차광층(197)을 덮어 하지막(198)을 형성한다(도 37 및 도 43a 참조). 차광층(197)은, 차광막(195)을 형성하고, 차광막(195) 위에 제 1 레지스트 마스크(196)를 형성하고, 제 1 레지스트 마스크(196)를 사용하여 차광막(195)을 에칭 등 행함으로써 패터닝을 행하여 형성한다.

[0194]

또한, 기판(200)에는 실시형태 1에 있어서의 기판(100)과 같은 것을 사용할 수 있다. 차광막(195)은 실시형태 1에 있어서의 차광막(50)에 상당하고, 제 1 레지스트 마스크(196)는 실시형태 1에 있어서의 제 1 레지스트 마스크(51)에 상당하고, 차광층(197)은 실시형태 1에 있어서의 차광층(52)에 상당하고, 하지막(198)은 실시형태 1에 있어서의 하지막(53)에 상당한다. 따라서, 실시형태 1에 있어서의 것과 같은 재료 및 같은 형성 방법에 의하여 형성하면 좋다.

[0195]

다음, 하지막(198) 위에 제 1 도전막(202), 제 1 절연막(204), 반도체 막(206), 불순물 반도체 막(208) 및 제 2 도전막(210)을 형성한다(도 43a 참조).

[0196]

또한, 제 1 도전막(202)은 실시형태 1에 있어서의 제 1 도전막(102)과 같은 재료 및 방법에 의하여 형성할 수 있다. 제 1 절연막(204)은 실시형태 1에 있어서의 제 1 절연막(104)과 같은 재료 및 방법에 의하여 형성할 수 있다.

[0197]

반도체 막(206)은, 결정성 반도체 막과 비정질 반도체 막의 적층막을 사용하는 것이 바람직하다. 결정성 반도체 막으로서는, 다결정 반도체 막 또는 미결정 반도체 막 등을 들 수 있다.

[0198]

다결정 반도체 막이란, 결정립에 의하여 구성되고, 상기 결정립간에 많은 입체를 포함하는 반도체 막을 가리킨다. 다결정 반도체 막은, 예를 들어 열 결정화법 또는 레이저 결정화법에 의하여 형성된다. 여기서, 열 결정화법이란, 기판 위에 비정질 반도체 막을 형성하고, 상기 기판을 가열함으로써 비정질 반도체를 결정화하는 결정화법을 가리킨다. 또한, 레이저 결정화법이란, 기판 위에 비정질 반도체 막을 형성하고, 상기 비정질 반도체 막에 대해서 레이저를 조사하여 비정질 반도체를 결정화하는 결정화법을 가리킨다. 또한, 니켈 등의 결정화 촉진 원소를 첨가하여 결정화하는 결정화법을 사용하여도 좋다. 결정화 촉진 원소를 첨가하여 결정화하는 경우에는, 상기 반도체 막에 대해서 레이저 조사 행하는 것이 바람직하다.

[0199]

다결정 반도체는, 유리 기판에 변형이 발생하지 않을 정도의 온도와 시간으로 결정화를 행하는 LTPS(Low Temperature Poly Silicon)와, 보다 고온에서 결정화를 행하는 HTPS(High Temperature Poly Silico

n)로 분류된다.

[0200] 미결정 반도체 막이란, 입경이 대략 2nm 이상 100nm 이하의 결정립을 포함하는 반도체 막을 가리키고, 막의 전체 면이 결정립만으로 구성되는 것, 또는 결정립간에 비정질 반도체가 개재하는 것을 포함한다. 미결정 반도체 막의 형성 방법으로서는, 결정 핵을 형성하여 상기 결정 핵을 성장시키는 방법, 비정질 반도체 막을 형성하여 상기 비정질 반도체 막에 접하여 절연막과 금속막을 형성하고, 상기 금속막에 대해서 레이저를 조사함으로써 상기 금속막에 발생한 열에 의하여 비정질 반도체를 결정화시키는 방법 등을 사용하면 좋다. 다만, 비정질 반도체 막에 대해서 열 결정화법 또는 레이저 결정화법을 사용하여 형성한 결정성 반도체 막은 포함하지 않는다.

[0201] 반도체 막(206)으로서 예를 들어, 결정성 반도체 막 위에 비정질 반도체 막을 적층하여 형성한 적층막을 사용하면, EL 표시 장치의 화소 회로가 갖는 트랜지스터를 고속으로 동작시킬 수 있다. 여기서, 결정성 반도체 막으로서는, 다결정 반도체(LTPS 및 HTPS를 포함한다) 막을 적용하여도 좋고, 미결정 반도체 막을 적용하여도 좋다.

[0202] 또한, 결정성 반도체 막 위에 비정질 반도체 막을 가짐으로써, 미결정 반도체 막의 표면이 산화되는 것을 방지할 수 있다. 또한, 내압을 향상시키고, 오프 전류를 저하시킬 수 있다.

[0203] 다만, EL 표시 장치의 화소 회로가 정상으로 동작하는 한, 반도체 막(206)의 결정성에 대해서는 특히 한정되지 않는다.

[0204] 불순물 반도체 막(208)은, 일 도전성을 부여하는 불순물 원소를 포함하는 반도체 막이며, 일 도전성을 부여하는 불순물 원소가 침가된 반도체 재료 형성용의 가스 등에 의하여 형성된다. 본 실시형태에서는 n형의 박막 트랜지스터를 형성하기 위해서, 예를 들어, 포스핀(화학식: PH<sub>3</sub>)을 포함하는 실란 가스에 의하여 형성되는, 인을 포함하는 실리콘 막으로 형성하면 좋다. 다만, 제 1 도전막(202) 등과 마찬가지로, 내열성이 필요하고, 후의 공정에서 식각 또는 부식되지 않는 재료를 선택하는 것이 필요하다. 이 제한에 있어서, 불순물 반도체 막(208)은, 특정한 재료에 한정되지 않는다. 또한, 불순물 반도체 막(208)의 결정성에 대해서도 특히 한정되지 않는다. 또한, 반도체 막(206)에 의하여 형성되는 반도체 층의 일부에 도핑 등에 의하여 소스 전극층 및 드레인 전극층과 오믹 접촉할 수 있는 영역을 형성하는 경우 등에는, 불순물 반도체 막(208)을 형성할 필요가 없다.

[0205] 본 실시형태에서는, n형의 박막 트랜지스터를 제작하기 위해서, 침가하는 일 도전성을 부여하는 불순물 원소로서 비소 등을 사용하여도 좋고, 불순물 반도체 막(208)의 형성에 사용하는 실란 가스에는 아르신(화학식: AsH<sub>3</sub>)을 원하는 농도로 포함시키면 좋다.

[0206] 또한, 불순물 반도체(208)의 형성은, 예를 들어, CVD법(열 CVD법 또는 플라즈마 CVD법 등을 포함한다) 등에 의하여 행할 수 있다. 다만, 특정한 방법에 한정되지 않는다.

[0207] 제 2 도전막(210)은, 실시형태 1에 있어서의 제 2 도전막(110)과 같은 재료 및 방법에 의하여 형성할 수 있고, 제 1 도전막(202)과 상이한 재료에 의하여 형성한다.

[0208] 다음, 제 2 도전막(210) 위에 제 2 레지스트 마스크(212)를 형성한다(도 43a 참조). 여기서, 제 2 레지스트 마스크(212)는 실시형태 2와 마찬가지로 오목부 또는 볼록부를 갖는 레지스트 마스크인 것이 바람직하다. 바꿔 말하면, 두께가 다른 복수의 영역(여기서는, 두개의 영역)으로 이루어지는 레지스트 마스크라고도 말할 수 있다. 제 2 레지스트 마스크(212)에 있어서, 두꺼운 영역을 제 2 레지스트 마스크(212)의 볼록부라고도 부르고, 얇은 영역을 제 2 레지스트 마스크(212)의 오목부라고 부른다. 제 2 레지스트 마스크(212)는 다계조 마스크로 형성할 수 있다. 또한, 실시형태 1에서 설명한 바와 같이, 제 2 레지스트 마스크(212)는 제 1 레지스트 마스크(196)와 동일한 포토 마스크로 형성할 수 있다. 제 2 레지스트 마스크(212)가 오목부 또는 볼록부를 갖는 레지스트 마스크인 경우는, 소스 전극층 및 드레인 전극층이 형성되는 영역에는, 볼록부가 형성되고, 소스 전극층 및 드레인 전극층을 갖지 않고, 반도체 층을 노출시켜 형성되는 영역에는 오목부가 형성된다.

[0209] 또한, 제 2 레지스트 마스크(212)는, 본 실시형태는 이것에 한정되지 않고, 다계조 마스크를 사용하지 않고, 실시형태 1과 마찬가지로 형성하여도 좋다.

[0210] 다음, 제 2 레지스트 마스크(212)를 사용하여 제 1 에칭을 행한다. 즉, 적어도 제 1 절연막(204), 반도체 막(206), 불순물 반도체 막(208) 및 제 2 도전막(210)을 에칭에 의하여 패터닝하여 박막 적층체(214)를 형성한다(도 38 및 도 43b 참조).

[0211] 다음, 제 2 레지스트 마스크(212)를 사용하여 제 2 에칭을 행한다. 즉, 제 1 도전막(202)을 에칭에 의하여 패터닝하여 게이트 전극층(216)을 형성한다(도 39 및 도 43c 참조).

[0212] 또한, 게이트 전극층(216)은, 박막 트랜지스터의 게이트 전극, 게이트 배선, 용량 소자의 한쪽의 전극, 및 지지부를 구성한다. 게이트 전극층(216A)이라고 표기하는 경우는, 게이트 배선, 제 1 트랜지스터(181)의 게이트 전극, 및 제 3 트랜지스터(183)의 게이트 전극을 구성하는 전극층을 가리킨다. 게이트 전극층(216B)이라고 표기하는 경우에는, 제 2 트랜지스터(182)의 게이트 전극, 및 용량 소자(184)의 한쪽의 전극을 구성하는 전극층을 가리킨다. 게이트 전극층(216C)이라고 표기하는 경우에는, 지지부를 구성하는 전극층을 가리킨다. 그리고, 이들을 총괄하여 게이트 전극층(216)이라고 부른다.

[0213] 제 2 에칭은, 제 1 도전막(202)에 의하여 형성되는 게이트 전극층(216)의 측면이, 박막 적층체(214)의 측면보다 내측에 형성되는 에칭 조건으로 행해진다. 바꿔 말하면, 게이트 전극층(216)의 측면이 박막 적층체(214)의 저면(底面)에 접하여 형성되도록 에칭을 행한다(A-A' 단면에 있어서 게이트 전극층(216)의 폭이 박막 적층체(214)의 폭보다 작게 되도록 에칭을 행한다). 또한, 제 2 도전막(210)에 대한 에칭 레이트가 작고, 또 제 1 도전막(202)에 대한 에칭 레이트가 큰 조건으로 행해진다. 바꿔 말하면, 제 2 도전막(210)에 대한 제 1 도전막(202)의 에칭 선택 비율이 큰 조건으로 행한다. 이러한 조건으로 제 2 에칭을 행함으로써, 게이트 전극층(216)을 형성할 수 있다.

[0214] 또한, 게이트 전극층(216)의 측면의 형상은 특히 한정되지 않는다. 예를 들어, 테이퍼 형상이라도 좋다. 게이트 전극층(216)의 측면의 형상은, 제 2 에칭에 있어서 사용되는 약액 등의 조건으로 결정되는 것이다.

[0215] 여기서, "제 2 도전막(210)에 대한 에칭 레이트가 작고, 또 제 1 도전막(202)에 대한 에칭 레이트가 큰 조건" 또는 "제 2 도전막(210)에 대한 제 1 도전막(202)의 에칭 선택 비율이 큰 조건"이란 이하의 제 1 요건 및 제 2 요건을 충족시키는 것을 가리킨다.

[0216] 제 1 요건은, 게이트 전극층(216)이 필요한 개소에 잔존하는 것이다. 게이트 전극층(216)의 필요한 개소란, 도 39 내지 도 42에 점선으로 도시되는 영역을 가리킨다. 즉, 제 2 에칭 후에 게이트 전극층(216)이 게이트 배선, 트랜지스터가 갖는 게이트 전극, 및 용량 소자가 갖는 1개의 전극을 구성하도록 잔존하는 것이 필요하다. 게이트 전극층이 게이트 배선 및 용량 배선을 구성하기 위해서는, 이들의 배선이 단선하지 않도록 제 2 에칭을 행할 필요가 있다. 도 39 및 도 43c 내지 도 43c에 도시하는 바와 같이, 박막 적층체(214)의 측면으로부터 간격  $d_1$ 만큼 내측에 게이트 전극층(216)의 측면이 형성되는 것이 바람직하고, 간격  $d_1$ 은, 실시자가 레이아웃에 따라 적절히 설정하면 좋다.

[0217] 제 2 요건은, 게이트 전극층(216)에 의하여 구성되는 게이트 배선의 최소 폭  $d_3$ , 및 소스 전극층 및 드레인 전극층(220)에 의하여 구성되는 소스 배선 및 전원선의 최소폭  $d_2$ 가 적절하게 되는 것이다(도 42 참조). 제 2 에칭에 의하여 소스 전극층 및 드레인 전극층(220)이 에칭되면, 소스 배선 및 전원선의 최소폭  $d_2$ 가 작게 되고, 소스 배선 및 전원선의 전류 밀도가 과대해지고, 전기적 특성이 저하되기 때문이다. 따라서, 제 2 에칭은 제 1 도전막(202)의 에칭 레이트가 과대해지지 않고, 또 제 2 도전막(210)의 에칭 레이트가 가능한 한 작은 조건으로 행한다.

[0218] 또한, 소스 배선 및 전원선의 최소폭  $d_2$ 는 크게 하는 것이 어렵다. 소스 배선 및 전원선의 최소폭  $d_2$ 는 소스 배선 및 전원선과 중첩하는 반도체 층의 최소폭  $d_4$ 에 의하여 결정되고, 소스 배선 및 전원선의 최소폭  $d_2$ 를 크게 하기 위해서는, 반도체 층의 최소폭  $d_4$ 를 크게 해야 하고, 인접하는 게이트 배선과 용량 배선을 절연시키는 것이 어렵게 되기 때문이다. 반도체 층의 최소폭  $d_4$ 는, 상술한 간격  $d_1$ 의 대략 2배보다 작게 한다. 바꿔 말하면, 간격  $d_1$ 은, 반도체 층의 최소폭  $d_4$ 의 대략 1/2보다 크게 한다.

[0219] 또한, 소스 배선 및 전원선과 중첩하는 반도체 층의 폭을 최소폭  $d_4$ 로 하는 부분은, 게이트 전극층을 소자마다 분리하기 위해서 필요한 개소에 적절히 형성하면 좋다. 제 2 에칭에 의하여 반도체 층의 최소 폭을  $d_4$ 로 한 개소와 중첩하는 부분에는 게이트 전극층(216)이 잔존하지 않는 패턴을 형성할 수 있다.

[0220] 또한, 소스 전극층 및 드레인 전극층에 의하여 형성되는 화소 전극층과 접속되는 부분의 전극의 폭은, 소스 배선 및 전원선의 최소폭  $d_2$ 로 하는 것이 바람직하다.

[0221] 상술한 바와 같이, 사이드 에칭을 수반하는 조건으로 제 2 에칭을 행하는 것은 매우 중요하다. 제 2 에칭이 제 1 도전막(202)의 사이드 에칭을 수반함으로써 게이트 전극층(216)에 의하여 구성되는, 인접하는 게이트 배선간뿐만 아니라, 화소 회로 내의 소자의 접속을 원하는 것으로 하도록 패턴을 형성할 수 있기 때문이다. 제 2 에칭은, 사이드 에칭을 수반하는 에칭이기 때문에, 에칭은 대략 등방적으로 진행된다.

[0222] 여기서, 사이드 에칭이란, 피에칭 막의 두께 방향(기판 면에 수직인 방향 또는 하지막의 면에 수직인 방향)뿐만 아니라, 두께 방향에 대해서 수직인 방향(기판 면에 평행한 방향 또는 하지막의 면에 평행한 방향)에도 피에칭 막이 에칭되는 에칭을 가리킨다. 사이드 에칭된 피에칭 막의 단부는, 피에칭 막에 대한 에칭 가스 또는 에칭에 사용하는 약액의 에칭 레이트에 의하여 다양한 형상이 되도록 형성되지만, 단부가 곡면이 되도록 형성되는 것이 많다.

[0223] 또한, 도 39에 도시하는 게이트 전극층(216C)은, 박막 적층체(214)를 베터는 지지부로서 기능한다. 지지부를 가짐으로써, 게이트 전극층보다 위에 형성되는 게이트 절연막 등의 막 박리를 방지할 수 있다. 또한, 지지부를 형성함으로써, 제 2 에칭에 의하여 게이트 전극층(216)에 접하여 형성되는, 공동의 영역이 필요 이상으로 넓게 되는 것을 방지할 수 있다. 또한, 지지부를 형성함으로써, 박막 적층체(214)가 자중(自重)에 의하여 과괴되거나 과손되는 것도 방지할 수 있고, 수율이 향상되기 때문에 바람직하다. 다만, 본 발명은 지지부를 갖는 형태에 한정되지 않고, 지지부를 형성하지 않아도 좋다.

[0224] 상술한 바와 같이, 제 2 에칭은 웨트 에칭에 의하여 행하는 것이 바람직하다.

[0225] 제 2 에칭을 웨트 에칭에 의하여 행하는 경우, 제 1 도전막(202)으로서 알루미늄 또는 몰리브덴을 형성하고, 제 2 도전막(210)으로서 티타늄 또는 텅스텐을 형성하고, 에칭에는 초산, 아세트산 및 인산을 포함하는 약액을 사용하면 좋다. 또는, 제 1 도전막(202)으로서 몰리브덴을 형성하고, 제 2 도전막(210)으로서 티타늄, 알루미늄, 또는 텅스텐에 의하여 형성하고, 에칭에는 과산화 수소수를 포함하는 약액을 사용하면 좋다.

[0226] 제 2 에칭을 웨트 에칭에 의하여 행하는 경우, 가장 바람직하게는, 제 1 도전막(202)으로서 네오디뮴을 첨가한 알루미늄 위에 몰리브덴을 형성한 적층막을 형성하고, 제 2 도전막(210)을 텅스텐에 의하여 형성하고, 에칭에는 초산을 2%, 아세트산을 10%, 인산을 72% 포함하는 약액을 사용한다. 이러한 조성의 약액을 사용함으로써, 제 2 도전막(210)이 에칭되지 않고, 제 1 도전막(202)이 에칭된다. 또한, 제 1 도전막(202)에 첨가한 네오디뮴은, 알루미늄의 저저항화와 힐록(hilllock)의 발생 방지를 목적으로 하여 첨가된 것이다.

[0227] 또한, 상면으로부터 본 게이트 전극층(216)은 모서리를 갖도록 형성된다(도 39 참조). 이것은, 게이트 전극층(216)을 형성하는 제 2 에칭이 대략 등방적으로 진행되기 때문에, 게이트 전극층(216)의 측면과 박막 적층체(214)의 측면의 간격  $d_1$ 이 대략 같아지도록 에칭되기 때문이다.

[0228] 다음, 제 1 레지스트 마스크(212)를 후퇴시켜 제 2 도전막(210)을 노출시키면서, 제 3 레지스트 마스크(218)를 형성한다. 제 2 레지스트 마스크(212)를 후퇴시켜 제 3 레지스트 마스크(218)를 형성하는 수단으로서는, 예를 들어 산소 플라즈마를 사용한 애싱을 들 수 있다. 그러나, 제 2 레지스트 마스크(212)를 후퇴시켜 제 3 레지스트 마스크(218)를 형성하는 수단은 이것에 한정되지 않는다. 제 3 레지스트 마스크(218)가 형성되는 영역은, 제 2 레지스트 마스크(212)의 볼록부의 영역과 대략 일치한다. 또한, 여기서는 제 2 에칭 후에 제 3 레지스트 마스크(218)를 형성하는 경우에 대해서 설명하였지만, 본 실시형태는 이것에 한정되지 않고, 제 3 레지스트 마스크(218)를 형성한 후에 제 2 에칭을 행하여도 좋다.

[0229] 또한, 제 2 레지스트 마스크(212)의 형성에 다계조 마스크를 사용하지 않는 경우에는, 다른 포토 마스크를 사용하여 제 3 레지스트 마스크(218)를 별도 형성하면 좋다.

[0230] 다음, 제 3 레지스트 마스크(218)를 사용하여, 박막 적층체(214)에 있어서의 제 2 도전막(210)을 에칭하고, 소스 전극층 및 드레인 전극층(220)을 형성한다(도 40 및 도 44a 참조). 여기서의 에칭 조건은, 제 2 도전막(210) 이외의 막에 대한 식각 및 부식이 일어나지 않고, 또는 일어나기 어려운 조건을 선택한다. 특히, 게이트 전극층(216)의 식각 및 부식이 일어나지 않고, 또는 일어나기 어려운 조건으로 행하는 것이 중요하다.

[0231] 또한, 소스 전극층 및 드레인 전극층(220)은, 박막 트랜지스터의 소스 전극 또는 드레인 전극, 소스 배선, 전원선, 용량 소자의 다른 쪽 전극, 및 박막 트랜지스터와 발광 소자의 1개의 전극을 접속하는 전극을 구성한다. 소스 전극층 및 드레인 전극층(220A)이라고 표기하는 경우에는, 소스 배선(188) 및 제 1 트랜지스터(181)의 소스 전극 및 드레인 전극의 한쪽을 구성하는 전극층을 가리킨다. 소스 전극층 및 드레인 전극층(220B)이라고 표기하는 경우에는, 제 1 전원선(187)을 구성하는 전극층을 가리킨다. 소스 전극층 및 드레인 전

극총(220C)이라고 표기하는 경우에는, 제 1 트랜지스터(181)의 소스 전극 및 드레인 전극의 다른 쪽, 및 제 1 트랜지스터(181)와 화소 전극을 접속하는 전극을 구성하는 전극총을 가리킨다. 소스 전극총 및 드레인 전극총(220D)이라고 표기하는 경우는, 제 2 전원선(189), 및 제 2 트랜지스터(182)의 소스 전극 및 드레인 전극의 한 쪽을 구성하는 전극총을 가리킨다. 소스 전극총 및 드레인 전극총(220E)이라고 표기하는 경우에는, 제 3 트랜지스터(183)의 소스 전극 및 드레인 전극의 한 쪽을 구성하는 전극총을 가리킨다. 소스 전극총 및 드레인 전극총(220F)이라고 표기하는 경우에는, 용량 소자(184)의 다른 쪽의 전극, 제 2 트랜지스터(182)의 소스 전극 및 드레인 전극의 다른 쪽, 제 3 트랜지스터(183)의 소스 전극 및 드레인 전극의 다른 쪽, 및 이들로 발광 소자의 1개의 전극에 접속되는 전극을 구성하는 전극총을 가리킨다.

[0232] 또한, 제 2 레지스트 마스크(218A)는, 소스 전극총 및 드레인 전극총(220A)과 중첩하는 것을 가리키고, 제 2 레지스트 마스크(218B)는, 소스 전극총 및 드레인 전극총(220B)과 중첩하는 것을 가리키고, 제 2 레지스트 마스크(218C)는, 소스 전극총 및 드레인 전극총(220C)과 중첩하는 것을 가리키고, 제 2 레지스트 마스크(218D)는 소스 전극총 및 드레인 전극총(220D)과 중첩하는 것을 가리키고, 제 2 레지스트 마스크(218E)는, 소스 전극총 및 드레인 전극총(220E)과 중첩하는 것을 가리키고, 제 2 레지스트 마스크(218F)는 소스 전극총 및 드레인 전극총(220F)과 중첩하는 것을 가리킨다. 그리고, 이들을 총괄하여 제 3 레지스트 마스크(218)라고 부른다.

[0233] 또한, 박막 적층체(214)에 있어서의 제 2 도전막(210)의 에칭은, 웨트 에칭 또는 드라이 에칭의 어느 쪽을 사용하여도 좋다.

[0234] 계속해서, 박막 적층체(214)에 있어서의 불순물 반도체 막(208) 및 반도체 막(206)의 상부(백 채널부)를 에칭하여 소스 영역 및 드레인 영역(222), 반도체 층(224)을 형성한다(도 41 및 도 44b 참조). 여기서의 에칭 조건은, 불순물 반도체 막(208) 및 반도체 막(206) 이외의 막에 대한 식각 및 부식이 일어나지 않는 조건 또는 일어나기 어려운 조건을 선택한다. 특히, 게이트 전극총(216)의 식각 및 부식이 일어나지 않는 조건 또는 일어나기 어려운 조건으로 행하는 것이 중요하다.

[0235] 또한, 박막 적층체(214)에 있어서의 불순물 반도체 막(208) 및 반도체 막(206)의 상부(백 채널부)의 에칭은, 드라이 에칭 또는 웨트 에칭에 의하여 행할 수 있다.

[0236] 그 후, 제 2 레지스트 마스크(218)를 제거하여, 박막 트랜지스터가 완성된다(도 44c 참조). 상술한 바와 같이, EL 표시 장치에 적용할 수 있는 박막 트랜지스터를 1장의 포토 마스크(다계조 마스크)에 의하여 제작할 수 있다.

[0237] 또한, 상기 도 44a 및 도 44b를 참조하여 설명한 공정을 일괄적으로 제 3 에칭이라고 부른다. 제 3 에칭은, 상술한 바와 같이, 복수 단계로 분할하여 행하여도 좋고, 일괄적으로 행하여도 좋다.

[0238] 이상과 같이 형성한 박막 트랜지스터를 덮고 제 2 절연막을 형성한다. 여기서, 제 2 절연막은 제 1 보호막(226)만으로 형성하여도 좋지만, 여기서는, 제 1 보호막(226)과 제 2 보호막(228)에 의하여 형성한다(도 45a 참조). 제 1 보호막(226)은, 제 1 절연막(204)과 마찬가지로 형성하면 좋지만, 바람직하게는, 수소를 포함하는 질화실리콘 또는 수소를 함유하는 산화질화실리콘에 의하여 형성하고, 반도체 층에 금속 등의 불순물이 침입하여 확산함으로써 오염되는 것을 방지한다.

[0239] 제 2 보호막(228)은, 표면이 대략 평탄해지는 방법에 의하여 형성한다. 제 2 보호막(228)의 표면을 대략 평탄하게 함으로써, 제 2 보호막(228) 위에 형성되는 화소 전극총(232)의 단절 등을 방지할 수 있기 때문이다. 따라서, 여기서 "대략 평탄"이란 상기의 목적을 달성할 수 있을 정도의 것이라면 좋고, 높은 평탄성이 요구되는 것이 아니다.

[0240] 또한, 제 2 보호막(228)은 예를 들어, 감광성 폴리이미드, 아크릴 또는 에폭시 수지 등을 사용하여 스판 코팅법 등에 의하여 형성할 수 있다. 다만, 이들 재료 또는 형성 방법에 한정되지 않는다.

[0241] 또한, 제 2 보호막(228)은 표면이 대략 평탄해지는 방법에 의하여 형성한 상기의 보호막과, 이것을 덮어 수분의 침입이나, 방출을 방지하는 보호막을 적층하여 형성하는 것이 바람직하다. 수분의 침입이나 방출을 방지하는 보호막은, 구체적으로는, 질화실리콘, 산화질화실리콘, 산화질화알루미늄 또는 질화알루미늄 등에 의하여 형성되는 것이 바람직하다. 형성 방법으로서는 스퍼터링법을 사용하는 것이 바람직하다.

[0242] 다음, 제 3 절연막에 제 1 개구부(230) 및 제 2 개구부(231)를 형성한다(도 45b 및 도 49b 참조). 제 1 개구부(230)는, 소스 전극총 및 드레인 전극총의 적어도 표면에 도달하도록 형성한다. 제 2 개구부(231)는, 게이트 전극총의 적어도 표면에 도달하도록 형성한다. 제 1 개구부(230) 및 제 2 개구부(231)의 형성 방법은,

특정한 방법에 한정되지 않고, 제 1 개구부(230)의 직경에 따라, 실시자가 적절히 선택하면 좋다. 예를 들어, 포토리소그래피법에 의하여 드라이 에칭을 행함으로써 제 1 개구부(230) 및 제 2 개구부(231)를 형성할 수 있다.

[0243] 제 1 개구부(230)는, 소스 전극 및 드레인 전극층(220)에 도달하도록 형성되는 것이며, 도 42에 도시하는 바와 같이, 필요한 개소에 복수 개 형성한다. 제 1 개구부(230A)는, 소스 전극층 및 드레인 전극층(220C) 위에 형성하고, 제 1 개구부(230B)는 소스 전극층 및 드레인 전극층(220B) 위에 형성하고, 제 1 개구부(230C)는 소스 전극 및 드레인 전극층(220E) 위에 형성하고, 제 1 개구부(230D)는 소스 전극 및 드레인 전극층(220F) 위에 형성한다.

[0244] 제 2 개구부(231)는 게이트 전극층(216)에 도달하도록 형성되는 것이다. 즉, 제 2 개구부(231)는, 제 2 절연막뿐만 아니라, 제 1 절연막(204), 반도체 층(224)의 원하는 개소도 제거하여 형성되는 것이다.

[0245] 또한, 포토리소그래피법에 의하여 개구부를 형성함으로써, 포토 마스크를 1장 사용한다.

[0246] 다음, 제 2 절연막 위에 제 1 화소 전극층(232)을 형성한다(도 42, 도 45c 및 도 49b 참조). 제 1 화소 전극층(232)은, 제 1 개구부(230) 또는 제 2 개구부(231)를 통하여 소스 전극층 및 드레인 전극층(220) 또는 게이트 전극층(216)에 접속되도록 형성한다. 구체적으로는, 제 1 화소 전극층(232)은, 제 1 개구부(230A)를 통하여 소스 전극 및 드레인 전극층(220C)에 접속되고, 제 1 개구부(230B)를 통하여 소스 전극층 및 드레인 전극층(220B)에 접속되고, 제 1 개구부(230C)를 통하여 소스 전극층 및 드레인 전극층(220E)에 접속되고, 제 2 개구부(231)를 통하여 게이트 전극층(216B)에 접속되도록 형성된다. 제 1 화소 전극층(232)은 단층으로 형성하여도 좋고, 적층하여 형성하여도 좋다.

[0247] 또한, 포토리소그래피법에 의하여 제 1 화소 전극층(232)을 형성함으로써, 포토 마스크를 1장 사용한다.

[0248] 화소가 갖는 박막 트랜지스터가 n형 트랜지스터이기 때문에, 제 1 화소 전극층(232)은, 음극이 되는 재료에 의하여 형성되는 것이 바람직하다. 음극이 되는 재료에는 일 함수가 작은 재료, 예를 들어, Ca, Al, MgAg, AlLi 등을 들 수 있다.

[0249] 다음, 제 1 화소 전극층(232)의 측면(단부) 및 제 2 절연막 위에 격벽(233)을 형성한다(도 49c 참조). 격벽(233)은 개구부를 갖고, 상기 개구부에 있어서 제 1 화소 전극층(232)이 노출되도록 형성한다. 격벽(233)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 구체적으로는, 폴리이미드, 폴리아미드, 폴리이미드아미드, 아크릴, 벤조사이클로부텐계 수지를 사용하여 형성하면 좋다. 특히, 감광성의 재료를 사용하여 제 1 화소 전극층(232) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡율을 갖고 형성되는 경사면(傾斜面)이 되도록 형성하는 것이 바람직하다.

[0250] 다음, 격벽(233)의 개구부에 있어서 제 1 화소 전극층(232)과 접하도록, EL층(234)을 형성한다(도 49c 참조). EL층(234)은, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되어 형성된 적층막에 의하여 구성되어도 좋다. EL층(234)은 적어도 발광층을 갖는다. EL층(234)은 전자 주입층을 통하여 제 2 화소 전극층(235)과 접속되는 것이 바람직하다.

[0251] 그리고, EL층을 덮도록 양극이 되는 재료에 의하여 제 2 화소 전극층(235)을 형성한다(도 49c 참조). 제 2 화소 전극층(235)은 도 36에 있어서의 공통 전극(190)에 상당한다. 제 2 화소 전극층(235)은 투광성을 갖는 도전성 재료에 의하여 형성할 수 있다. 여기서, 투광성을 갖는 도전성 재료로서는, 인듐주석산화물(이하, ITO라고 한다), 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐아연산화물, 또는 산화실리콘을 첨가한 인듐주석산화물 등을 들 수 있다. 투광성을 갖는 도전성 재료의 막의 형성은 스퍼터링법 또는 CVD법 등에 의하여 행하면 좋지만, 특정한 방법에 한정되지 않는다. 또한, 제 2 화소 전극층(235)에 대해서도 단층으로 형성하여도 좋고, 적층하여 형성하여도 좋다.

[0252] 여기서는, 제 2 화소 전극층(235)으로서 ITO를 사용한다. 격벽(233)의 개구부에 있어서, 제 1 화소 전극층(232)과 EL층(234)과 제 2 화소 전극층(235)이 중첩함으로써, 발광 소자(236)가 형성된다. 발광 소자(236)는, 도 36에 있어서의 발광 소자(185)에 상당한다. 이 후, 발광 소자(236)에 산소, 수소, 수분, 이산화탄소 등이 침입되지 않도록, 제 2 화소 전극층(235) 및 격벽(233) 위에 제 3 보호막(237)(도시하지 않는다)을 형성하는 것이 바람직하다. 제 3 보호막(237)은, 제 1 보호막(226)과 같은 재료에 의하여 수분의 침입이나 방출을 방지하는 기능을 갖는 것을 선택한다. 질화실리콘, 산화질화실리콘, 산화질화알루미늄 또는 질화알루미늄 등에

의하여 형성되는 것이 바람직하다. 또한, 제 3 보호막(237)을 덮어 질화실리콘막 또는 DLC막 등을 갖는 것이 바람직하다.

[0253] 그리고, 외기(外氣)에 노출되지 않도록, 보호 필름(접합 필름, 자외선 경화 수지 필름 등) 또는 커버재에 의하여 더욱더 패키징(밀봉)하는 것이 바람직하다. 보호 필름 및 커버재는, 가스 투과성이 낮고, 탈 가스가 적은 재료에 의하여 형성하는 것이 바람직하다.

[0254] 상술한 바와 같이, 상면 사출 구조(톱 이미션)형 EL 표시 장치의 발광 소자까지 형성할 수 있다(도 49c 참조). 그러나, 본 실시형태의 하나인 EL 표시 장치는, 상기의 설명에 한정되지 않고, 하면 사출 구조(보통 이미션)형 EL 표시 장치, 또는 양면 사출 구조(듀얼 이미션)형 EL 표시 장치에 적용할 수도 있다. 하면 사출 구조 및 양면 사출 구조에서는, 제 1 화소 전극층(232)에 투광성을 갖는 도전성 재료를 사용하면 좋다. 또한, 제 1 화소 전극층(232)을 양극이 되는 재료에 의하여 형성하는 경우에는, 제 1 화소 전극층(232)은 예를 들어, ITO에 의하여 형성할 수 있다. 제 1 화소 전극층(232)을 이러한 구조로 함으로써, 보텀 이미션형의 EL 표시 장치를 제작할 수 있다. 이 경우, EL 층(234)을 덮도록 음극이 되는 재료에 의하여 제 2 화소 전극층(235)을 형성하면 좋다. 음극이 되는 재료에는, 일 함수가 작은 재료, 예를 들어, Ca, Al, MgAg, AlLi 등을 들 수 있다. 또한, EL 층(234) 및 제 2 화소 전극층(235)은, 마스크를 사용한 증착에 의하여 형성하는 것이 바람직하다. 따라서, 제 2 화소 전극층(235)은 증착에 의하여 형성할 수 있는 재료에 의하여 형성하면 좋다.

[0255] 또한, 상술한 보호막 등은 상술한 재료 또는 형성 방법에 한정되지 않고, EL층의 발광을 방해하지 않고, 열화 등을 방지할 수 있는 막이라면 좋다.

[0256] 또한, 상면 사출 구조에 있어서, 화소 회로가 형성되는 영역도 포함하도록 제 1 화소 전극층(232A)을 형성하여도 좋다. 이 경우에는, 우선 제 1 화소 전극층(232B) 및 제 1 화소 전극층(232C)에 상당하는 도전층만을 형성하고, 상기 도전층 위에 제 1 개구부(232D)를 갖는 절연막을 형성하고, 제 1 개구부(230D)를 통하여 소스 전극층 및 드레인 전극층(220F)에 접속되도록 제 1 화소 전극층(232A)을 형성하면 좋다. 화소 회로가 형성되는 영역도 포함하도록 제 1 화소 전극층(232A)을 형성함으로써, 발광 영역을 확대할 수 있고, 보다 고정세한 표시가 가능하게 된다.

[0257] 또한, 여기서는 발광 소자로서 유기 EL 소자에 대해서 설명하였지만, 발광 소자로서 무기 EL 소자를 사용할 수도 있다.

[0258] 또한, 단자 접속부에 대해서는, 실시형태 1에서 설명한 것과 마찬가지다.

[0259] 이상과 같이, EL 표시 장치를 제작할 수 있다.

[0260] 상술한 바와 같이, 박막 트랜지스터 및 표시 장치의 제작 공정수를 대폭적으로 줄임할 수 있다. 구체적으로는, 상술한 바와 같이, 1장의 포토 마스크(다계조 마스크)를 사용하여 박막 트랜지스터를 제작할 수 있다. 또한, 3장의 포토 마스크를 사용하여 화소 트랜지스터를 갖는 액티브 매트릭스 기판을 제작할 수 있다. 따라서, 사용하는 포토 마스크의 매수가 저감됨으로써, 박막 트랜지스터 및 표시 장치의 제작 공정수를 대폭적으로 줄임할 수 있다.

[0261] 또한, 이면 노광, 레지스트 리플로우, 및 리프트 오프법 등의 복잡한 공정을 거치지 않고, 박막 트랜지스터의 제작 공정수를 대폭적으로 줄임할 수 있다. 따라서, 복잡한 공정을 거치지 않고, 표시 장치의 제작 공정수를 대폭적으로 줄임할 수 있다. 따라서, 수율을 저하시키지 않고, 표시 장치의 제작 공정수를 대폭적으로 줄임할 수 있다.

[0262] 또한, 박막 트랜지스터의 전기적 특성을 유지하면서 박막 트랜지스터의 제작 공정을 대폭적으로 줄임할 수 있다.

[0263] 또한, 상기 효과에 의하여 제작 비용을 대폭적으로 줄임할 수 있다.

[0264] 또한, 반도체 층을 차광할 수 있기 때문에, 광 리크 전류가 저감된, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 장치를 제작할 수 있다. 또한, 반도체 층을 차광하는 차광층을 박막 트랜지스터의 형성에 사용하는 포토 마스크에 의하여 형성할 수 있기 때문에, 마스크 매수를 증가시키지 않고, 광 리크 전류가 저감된, 양호한 전기적 특성을 갖는 박막 트랜지스터 및 상기 박막 트랜지스터를 갖는 표시 장치를 제작할 수 있다.

[0265] 또한, 하면 사출 구조(보통 이미션)형 EL 표시 장치에서는 광학 설계가 하지막(198)의 막 두께의 조정

에 의하여 행할 수 있기 때문에 바람직하다.

[0266] 또한, 게이트 전극층 단부에 발생하는 리크 전류가 작은 박막 트랜지스터를 제작할 수 있기 때문에, 콘트라스트 비율이 높고, 표시 품질이 양호한 표시 장치를 얻을 수 있다.

[0267] 또한, 개시하는 발명은 상기 설명한 화소 구조에 한정되지 않고, 다양한 EL 표시 장치에 적용될 수 있다.

[0268] (실시형태 4)

[0269] 본 실시형태는, 실시형태 1 내지 실시형태 3에서 설명한 방법에 의하여 제작한 표시 패널 또는 표시 장치를 표시부로서 내장한 전자 기기에 대해서 도 46a 내지 도 48c를 참조하여 설명한다. 이러한 전자 기기로서는, 예를 들어, 비디오 카메라 또는 디지털 카메라 등의 카메라, 헤드 마운트 디스플레이(고글형 디스플레이), 카 네비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화 또는 전자 서적 등)을 들 수 있다. 그들의 일례를 도 46a 내지 도 46b에 도시한다.

[0270] 도 46a는 텔레비전 장치를 도시한다. 표시 패널을 케이스에 내장함으로써, 도 46a에 도시하는 텔레비전 장치를 완성시킬 수 있다. 실시형태 1 내지 실시형태 3에서 설명한 제작 방법을 적용한 표시 패널에 의하여 주화면(323)이 형성되고, 그 이외 부속(附屬) 설비로서 스펙커부(329), 조작 스위치 등이 구비된다.

[0271] 도 46a에 도시하는 바와 같이, 케이스(321)에 실시형태 1 내지 실시형태 3에서 설명한 제작 방법을 적용한 표시 패널(322)이 내장되고, 수신기(325)에 의하여 일반적인 텔레비전 방송의 수신을 비롯하여 모뎀(324)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일 방향(송신자에게 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리)의 정보통신을 할 수도 있다. 텔레비전 장치의 조작은 케이스에 내장된 스위치 또는 별도의 리모트 컨트롤러(326)에 의하여 할 수 있고, 이 리모트 컨트롤러(326)에도 출력하는 정보를 표시하는 표시부(327)가 형성되어도 좋다.

[0272] 또한, 텔레비전 장치에도, 주화면(323) 이외에 서브 화면(328)을 제 2 표시 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다.

[0273] 도 47은, 텔레비전 장치의 주요한 구성을 도시하는 블록도를 도시한다. 표시 패널에는, 화소부(351)가 형성된다. 신호선 구동 회로(352)와 주사선 구동 회로(353)는 표시 패널에 COG 방식에 의하여 실장되어도 좋다.

[0274] 그 이외의 외부 회로의 구성으로서 영상 신호의 입력 측에서는, 튜너(354)에서 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(355)와 거기서 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색 신호로 변환하는 영상 신호 처리 회로(356)와 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(357) 등을 갖는다. 컨트롤 회로(357)는, 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로(358)를 형성하고, 입력 디지털 신호를 정수개로 분할하여 공급하는 구성으로 하여도 좋다.

[0275] 튜너(354)에서 수신한 신호 중에서, 음성 신호는 음성 신호 증폭 회로(359)에 송신되고, 그 출력은 음성 신호 처리 회로(360)를 거쳐 스펙커(363)에 공급된다. 제어 회로(361)는 수신국(수신 주파수), 음량의 제어 정보를 입력부(362)로부터 받고, 튜너(354) 및 음성 신호 처리 회로(360)에 신호를 송출한다.

[0276] 물론, 개시하는 발명의 하나인 표시 장치는, 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여 철도의 역이나 공항 등에서의 정보표시반, 가두에서의 광고표시반 등의 특히 대면적의 표시 매체에도 적용할 수 있다. 따라서, 본 실시형태의 하나인 표시 장치의 제작 방법을 적용함으로써, 이들의 표시 매체의 생산성을 향상시킬 수 있다.

[0277] 주화면(323), 서브 화면(328)에 실시형태 1 내지 실시형태 3에서 설명한 표시 장치의 제작 방법을 적용한 표시 패널 또는 표시 장치를 사용함으로써, 텔레비전 장치의 생산성을 높일 수 있다.

[0278] 또한, 도 46b에 도시하는 휴대형 컴퓨터는, 본체(331) 및 표시부(332) 등을 갖는다. 표시부(332)에 실시형태 1 내지 실시형태 3에서 설명한 표시 장치의 제작 방법을 적용한 표시 패널 또는 표시 장치를 사용함으로써, 컴퓨터의 생산성을 높일 수 있다.

[0279] 도 48a 내지 도 48c는, 휴대 저화의 일례이며, 도 48a가 정면도, 도 48b가 배면도, 도 48c가 2개의 케이스를 슬라이드시킨 정면도이다. 휴대 전화(300)는, 케이스(301) 및 케이스(302)의 2개의 케이스로 구성된다.

휴대 전화(300)는, 휴대 전화와 휴대 정보 단말의 쌍방의 기능을 갖고, 컴퓨터를 내장하고, 음성 통화 이외에 다양한 데이터 처리를 행할 수 있는, 소위 스마트 폰이다.

[0280] 케이스(301)에 있어서는, 표시부(303), 스피커(304), 마이크로 폰(305), 조작 키(306), 포인팅 디바이스(307), 표면 카메라용 렌즈(308), 외부 접속 단자 잭(309) 및 이어폰 단자(310) 등을 구비하고, 케이스(302)에 있어서는, 키보드(311), 외부 메모리 슬롯(312), 이면 카메라(313), 라이트(314) 등에 의하여 구성된다. 또한, 안테나는 케이스(301)에 내장된다.

[0281] 또한, 휴대 전화(300)에는, 상기 구성에 더하여 비접촉형 IC칩, 소형 기록 장치 등을 내장하여도 좋다.

[0282] 중첩한 케이스(301)와 케이스(302)(도 48a에 도시한다)는, 슬라이드시킬 수 있고, 슬라이드시킴으로써, 도 48c에 도시하는 바와 같이 전개한다. 표시부(303)에는 실시형태 1 내지 실시형태 3에서 설명한 표시 장치의 제작 방법을 적용한 표시 패널 또는 표시 장치를 내장할 수 있다. 표시부(303)와 표면 카메라용 렌즈(308)를 동일 면에 구비하기 때문에, TV 전화로서 사용할 수 있다. 또한, 표시부(303)를 뷰파인더로서 사용함으로써, 이면 카메라(313) 및 라이트(314)로 정지화상 및 동영상을 촬영할 수 있다.

[0283] 스피커(304) 및 마이크로 폰(305)을 사용함으로써, 휴대 전화(300)는, 음성 기록 장치(녹음 장치) 또는 음성 재생 장치로서 사용할 수 있다. 또한, 조작기(306)에 의하여 전화의 발신이나 착신의 조작, 전자 메일 등의 간단한 정보 입력 조작, 표시부에 표시하는 화면의 스크롤 조작, 표시부에 표시하는 정보의 선택 등을 행하는 커서의 이동 조작 등이 가능하다.

[0284] 또한, 서류의 제작, 휴대 정보 단말로서의 사용 등, 취급 정보가 많은 경우는, 키보드(311)를 사용하면 편리하다. 또한, 중첩한 케이스(301)와 케이스(302)(도 48a 참조)를 슬라이드시킴으로써, 도 48c에 도시하는 바와 같이 전개시킬 수 있다. 휴대 정보 단말로서 사용하는 경우에는, 키보드(311) 및 포인팅 디바이스(307)를 사용하여 원활한 커서(cursor)의 조작이 가능하다. 외부 접속 단자 잭(309)은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(312)에 기록 매체를 삽입하여 보다 대량의 데이터 보존 및 이동이 가능하게 된다.

[0285] 케이스(302)의 이면(도 48b 참조)에는, 이면 카메라(313) 및 라이트(314)를 구비하고, 표시부(303)를 뷰파인더로서 정지화상 및 동영상의 촬영이 가능하다.

[0286] 또한, 상기 기능 구성에 더하여, 적외선 통신기능, USB 포트, 텔레비전 원 세그먼트 수신기능, 비접촉 IC칩 또는 이어폰 잭 등을 구비한 것이어도 좋다.

[0287] 본 실시형태에서 설명한 각종 전자 기기는, 실시형태 1 내지 실시형태 3에서 설명한 박막 트랜지스터 및 표시 장치의 제작 방법을 적용하여 제작할 수 있기 때문에, 이들의 전자 기기의 생산성을 향상시킬 수 있다.

[0288] 따라서, 이들의 전자 기기의 제작 비용을 대폭적으로 삭감할 수 있다.

[0289] 또한, 실시형태 1 내지 실시형태 3에서 설명한 바와 같이, 표시 품질이 높은 표시 장치를 제작할 수 있다.

## 도면의 간단한 설명

[0290] 도 1a 내지 도 1c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0291] 도 2a 내지 도 2c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0292] 도 3a 내지 도 3c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0293] 도 4a 내지 도 4c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0294] 도 5a 내지 도 5c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0295] 도 6a 내지 도 6c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0296] 도 7a 내지 도 7c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0297] 도 8a 내지 도 8c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0298] 도 9a 내지 도 9c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

[0299] 도 10a 내지 도 10c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.

- [0300] 도 11a 내지 도 11c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0301] 도 12a 내지 도 12c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0302] 도 13a 내지 도 13c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0303] 도 14a 내지 도 14c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0304] 도 15a 내지 도 15c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0305] 도 16a 내지 도 16c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0306] 도 17은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0307] 도 18은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0308] 도 19는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0309] 도 20은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0310] 도 21은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0311] 도 22는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0312] 도 23은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0313] 도 24는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0314] 도 25는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0315] 도 26은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0316] 도 27은 액티브 매트릭스 기판의 접속부를 설명하는 도면.
- [0317] 도 28은 액티브 매트릭스 기판의 접속부를 설명하는 도면.
- [0318] 도 29a 내지 도 29c는 액티브 매트릭스 기판의 접속부를 설명하는 도면.
- [0319] 도 30a-1 내지 도 30b-2는, 다계조 마스크를 설명하는 도면.
- [0320] 도 31a 내지 도 31c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0321] 도 32a 내지 도 32c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0322] 도 33은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0323] 도 34는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0324] 도 35는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0325] 도 36은 표시 장치의 화소 회로의 일례를 설명하는 도면.
- [0326] 도 37은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0327] 도 38은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0328] 도 39는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0329] 도 40은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0330] 도 41은 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0331] 도 42는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0332] 도 43a 내지 도 43c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0333] 도 44a 내지 도 44c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0334] 도 45a 내지 도 45c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명하는 도면.
- [0335] 도 46a 및 도 46b는 전자 기기를 설명하는 도면.

[0336]

도 47은 전자 기기를 설명하는 도면.

[0337]

도 48a 내지 도 48c는 전자 기기를 설명하는 도면.

[0338]

도 49a 내지 도 49c는 박막 트랜지스터 및 표시 장치의 제작 방법의 일례를 설명한 도면.

[0339]

&lt;도면의 주요 부분에 대한 부호의 설명&gt;

[0340]

53: 하지막

102: 제 1 도전막

[0341]

104: 제 1 절연막

106: 반도체 막

[0342]

108: 불순물 반도체 막

110: 제 2 도전막

[0343]

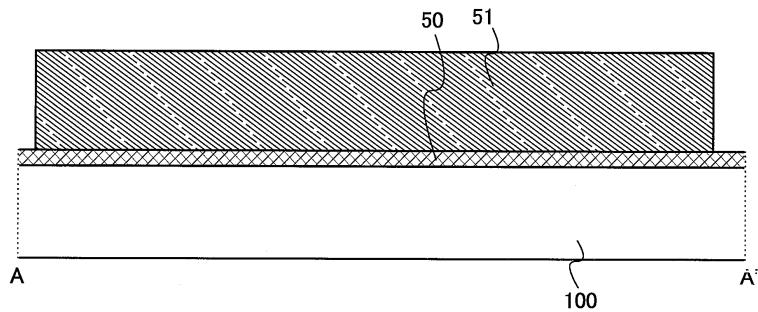
112: 제 2 레지스트 마스크

114: 박막 적층체

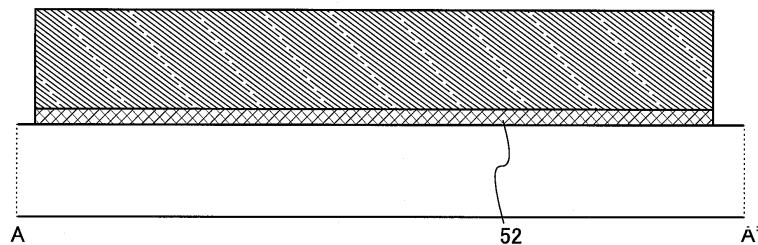
## 도면

### 도면1

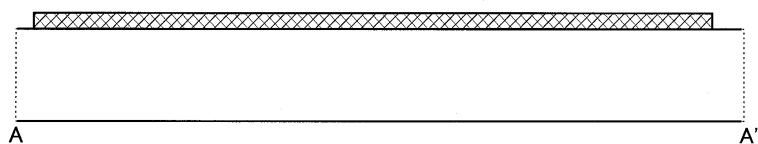
(a)



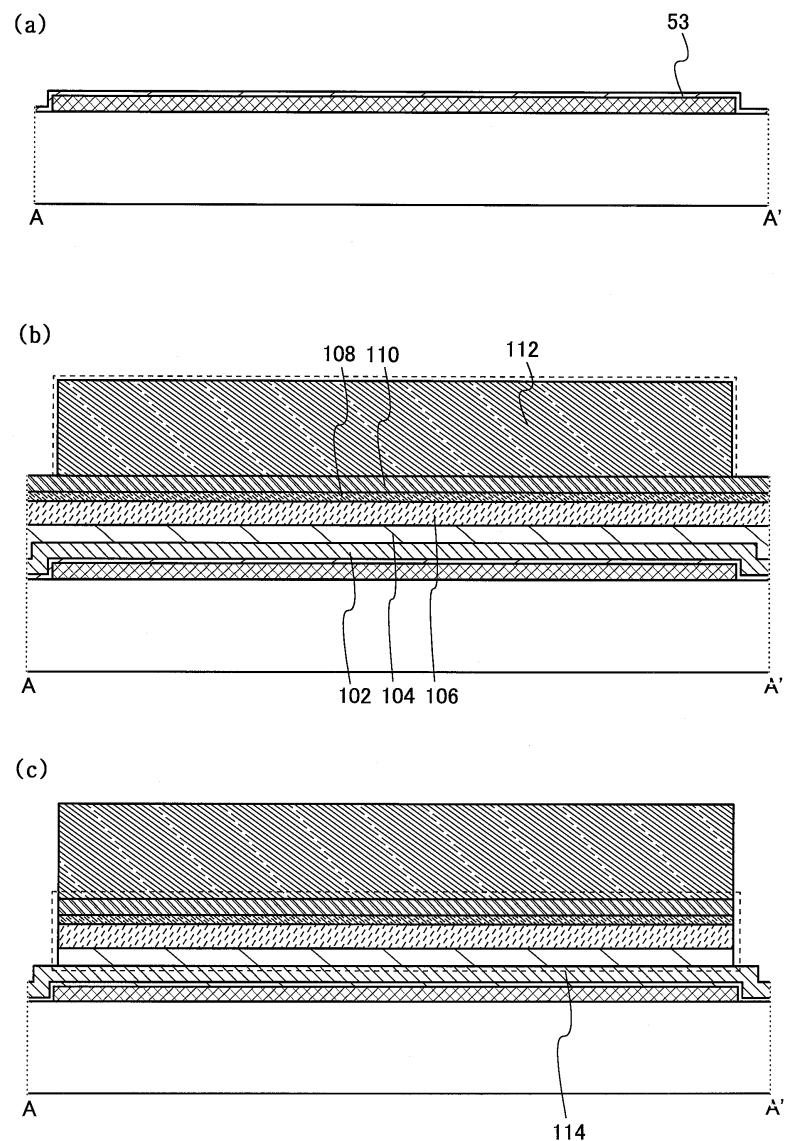
(b)



(c)

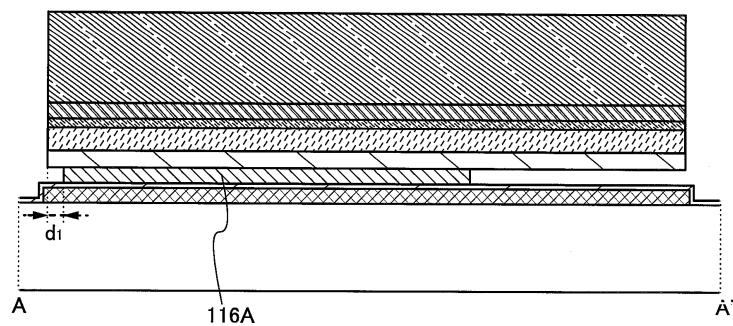


도면2

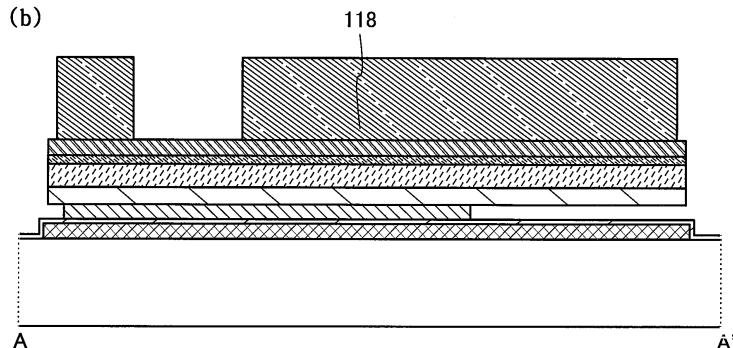


도면3

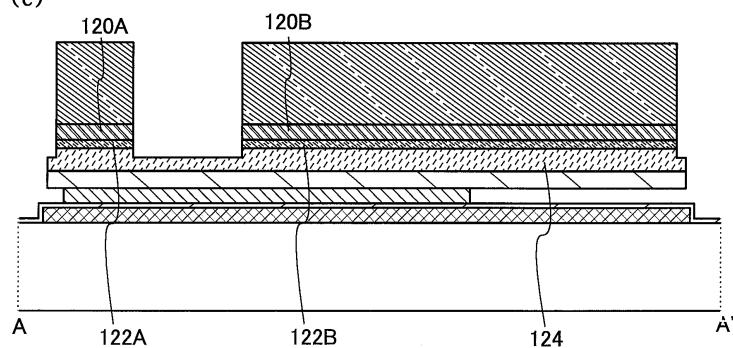
(a)



(b)

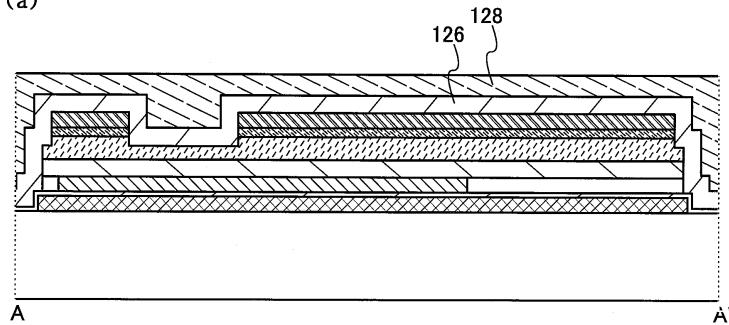


(c)

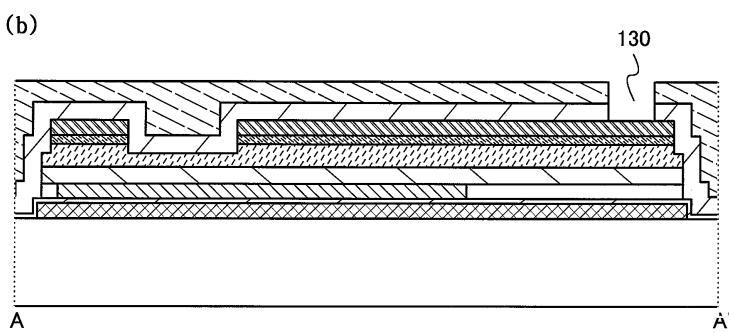


도면4

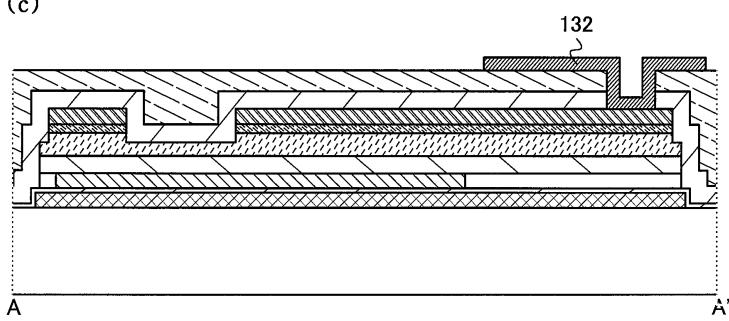
(a)



(b)

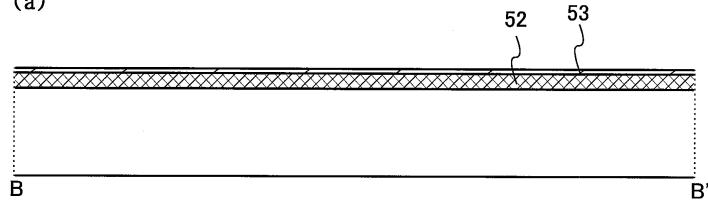


(c)

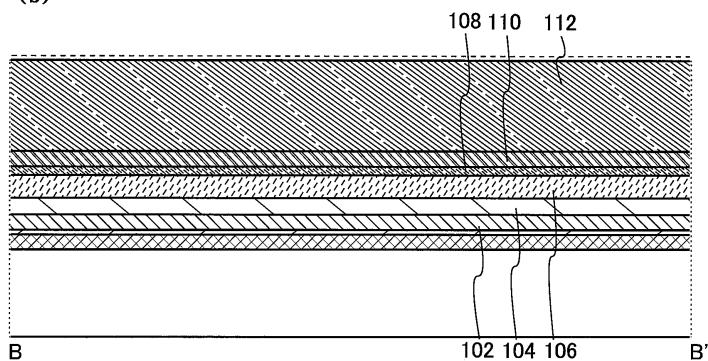


도면5

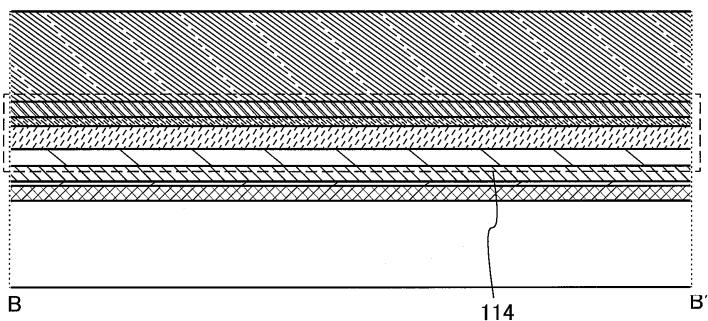
(a)



(b)

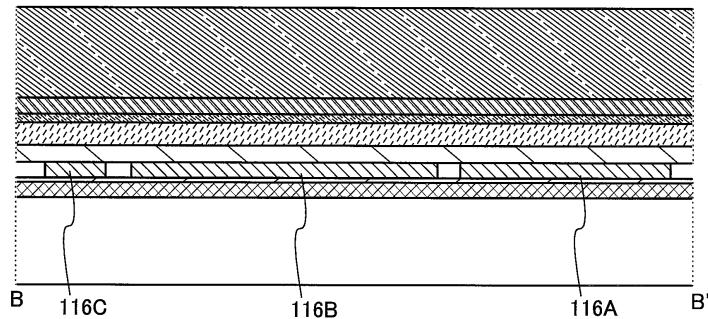


(c)

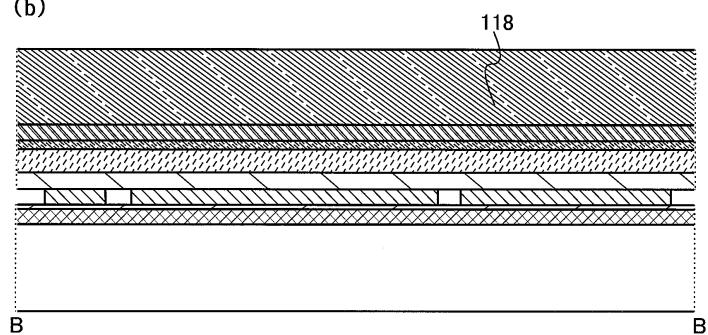


도면6

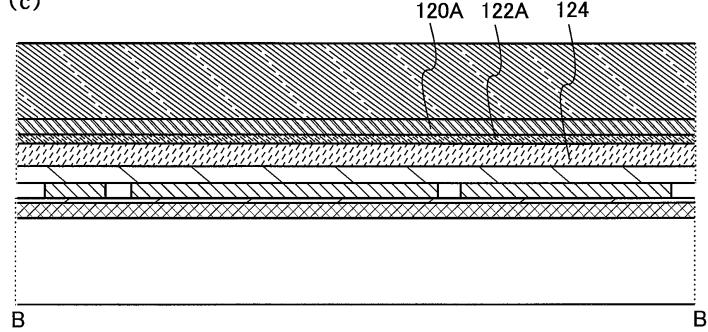
(a)



(b)

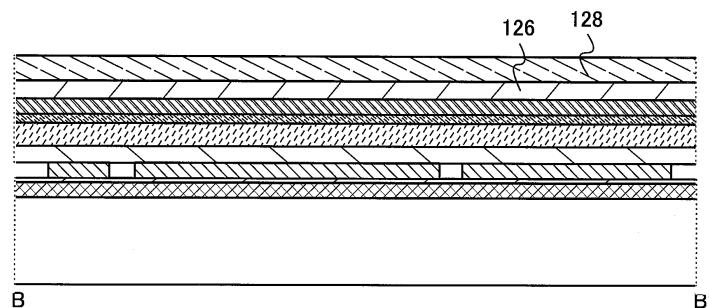


(c)

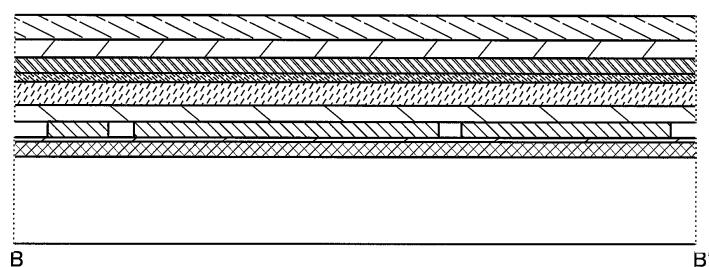


도면7

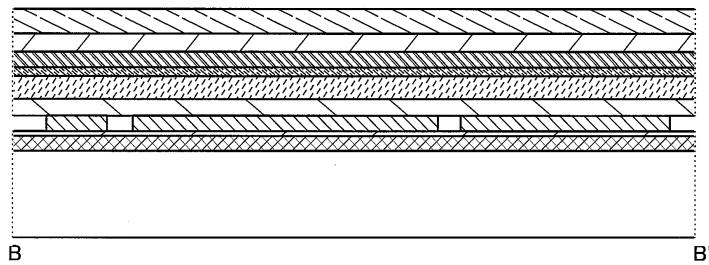
(a)



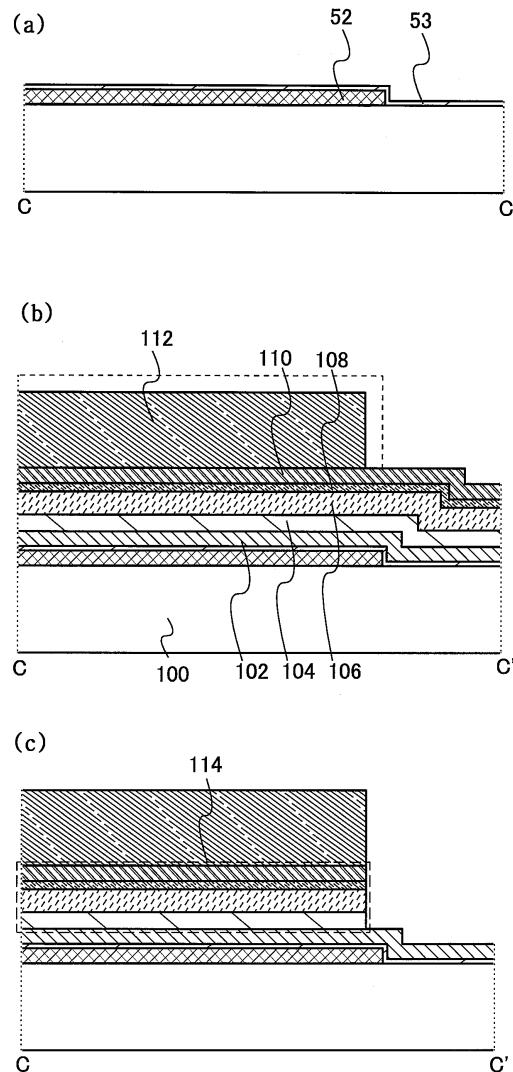
(b)



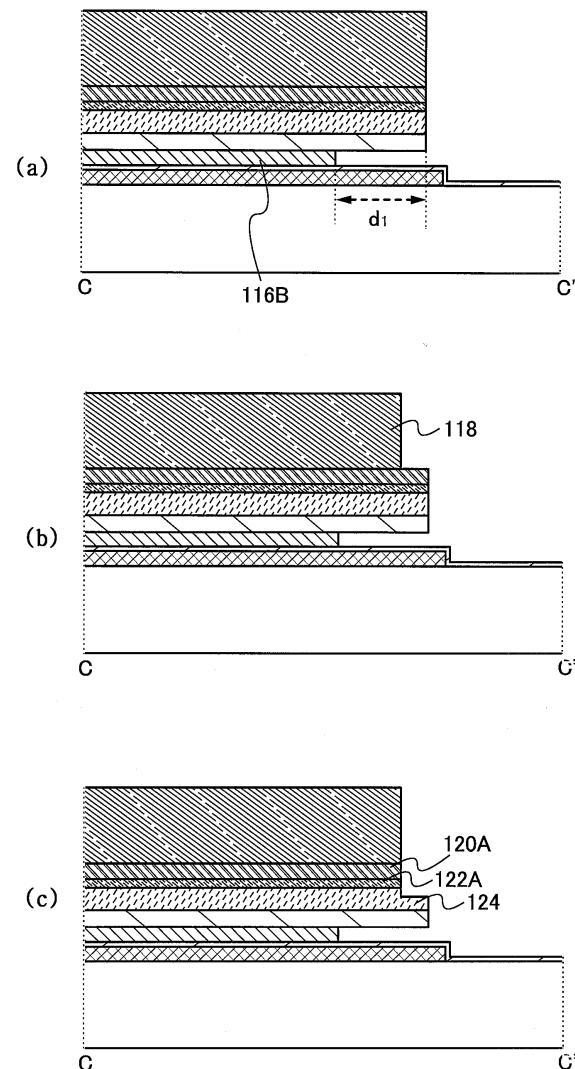
(c)



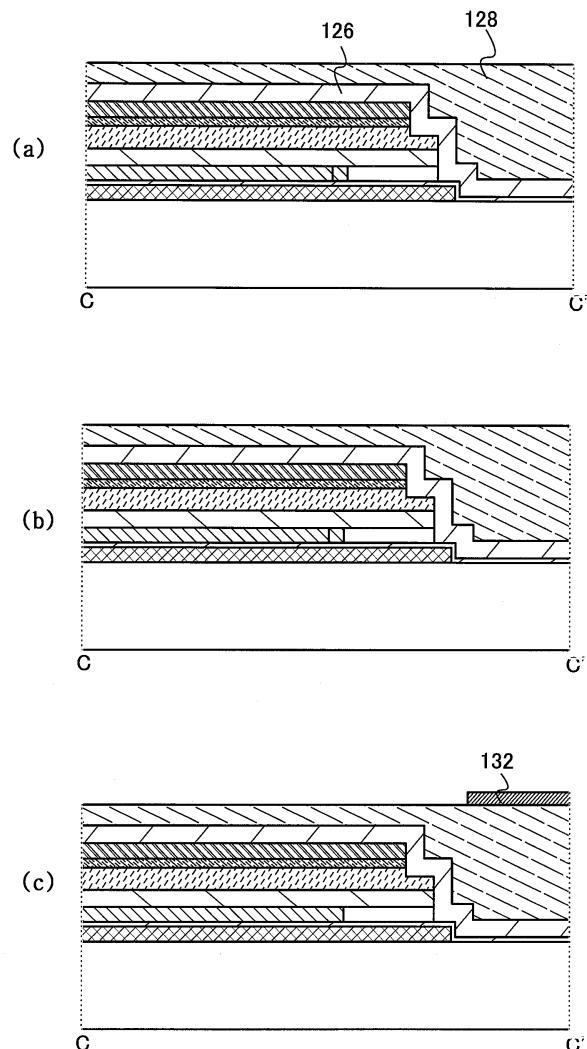
도면8



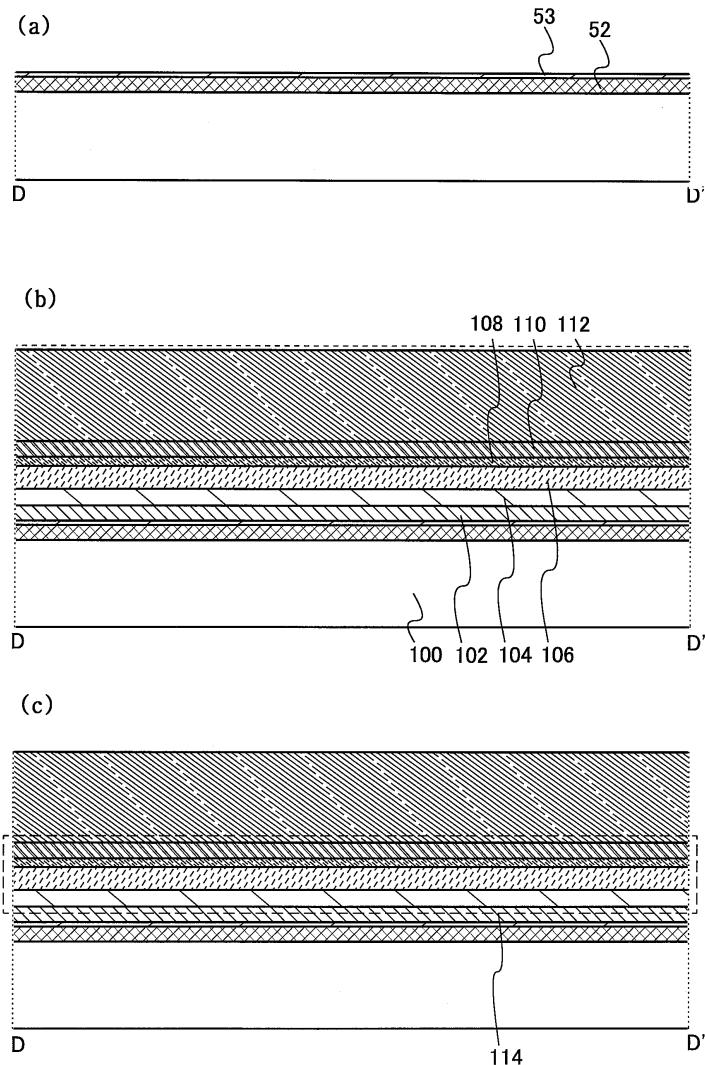
도면9



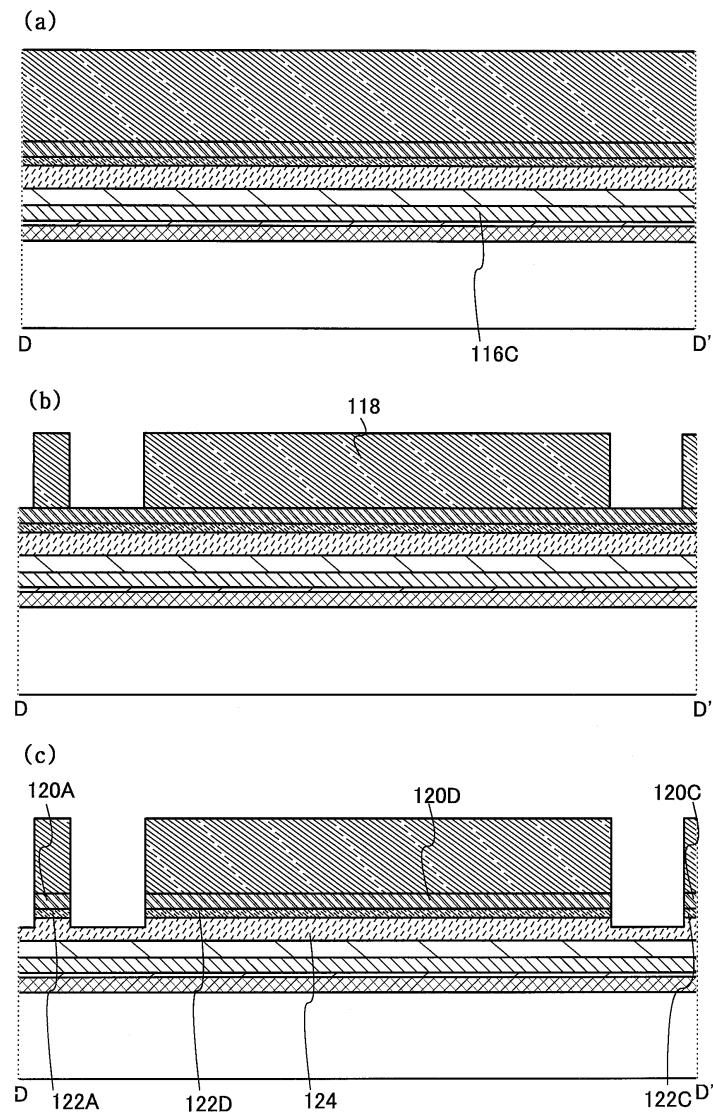
도면10



도면11

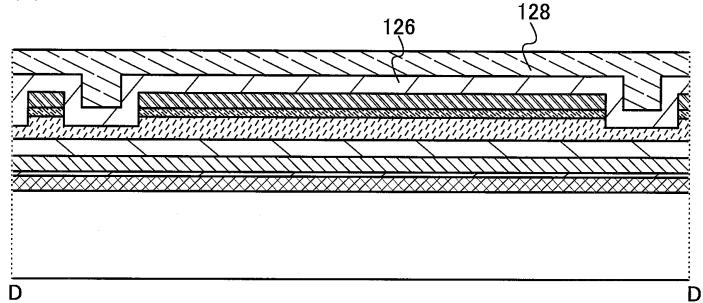


도면12

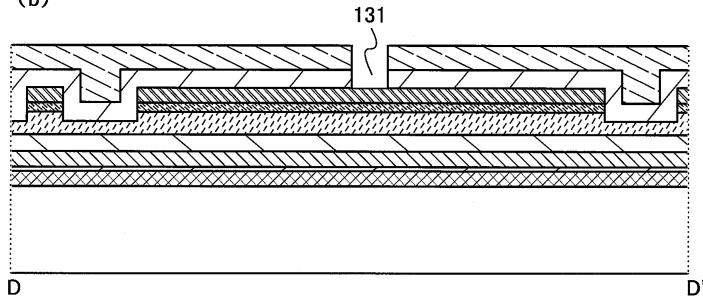


도면13

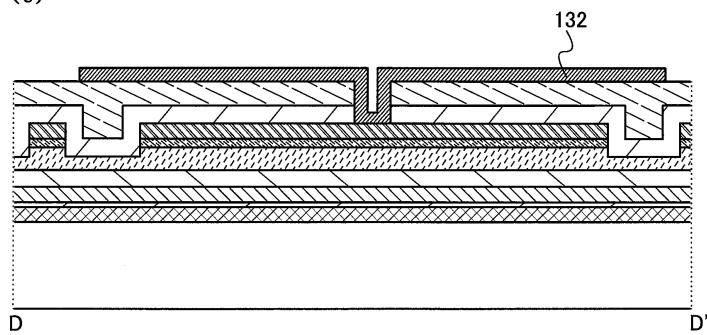
(a)



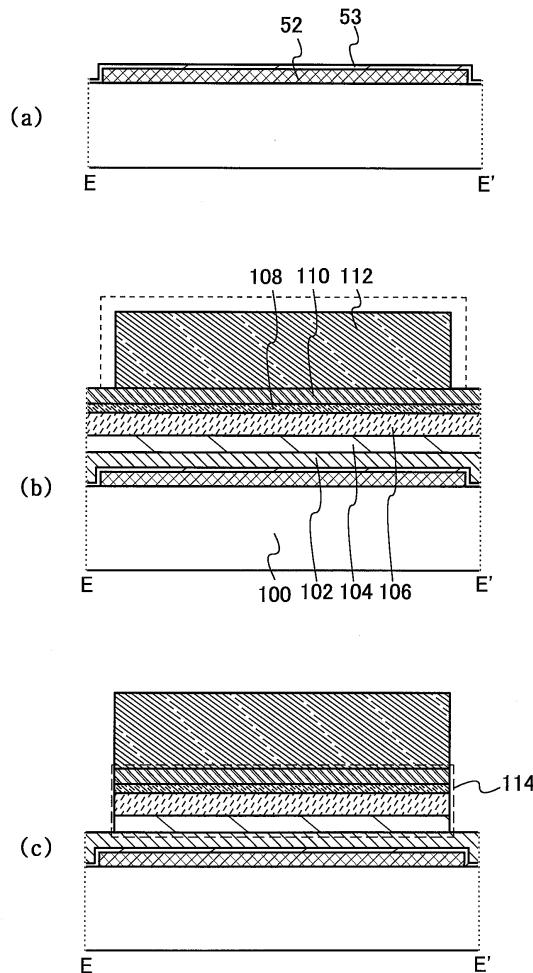
(b)



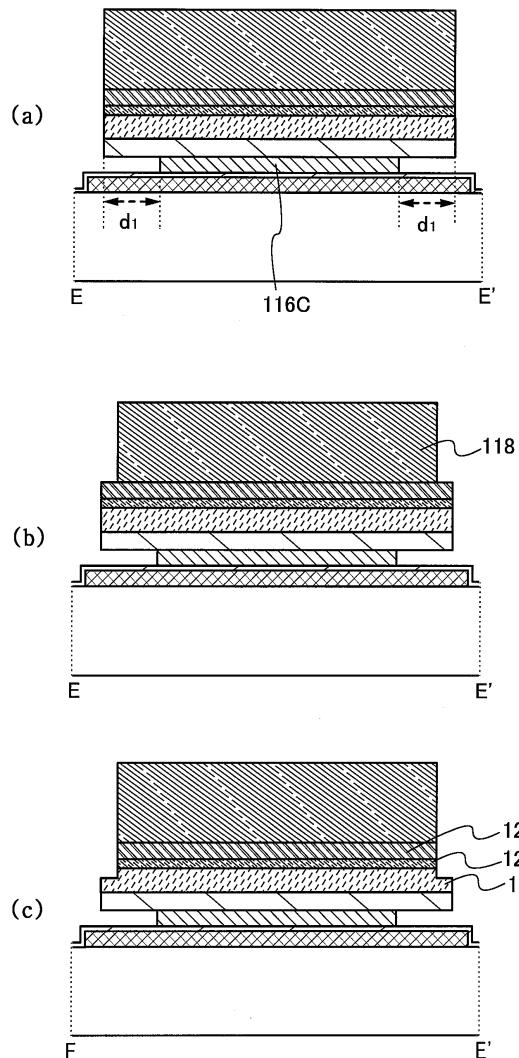
(c)



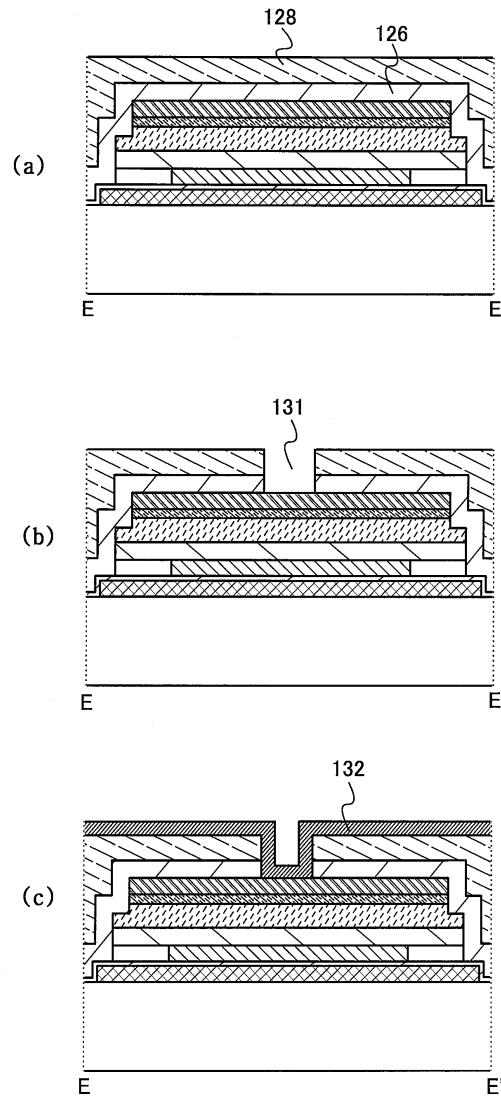
도면14



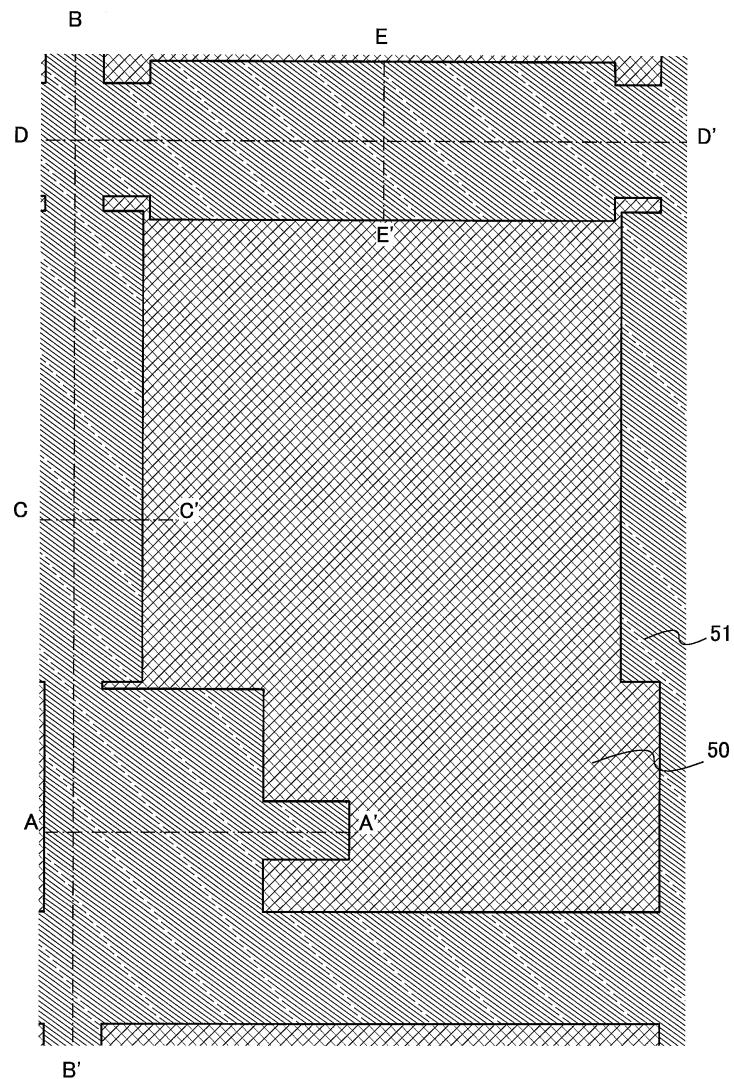
도면15



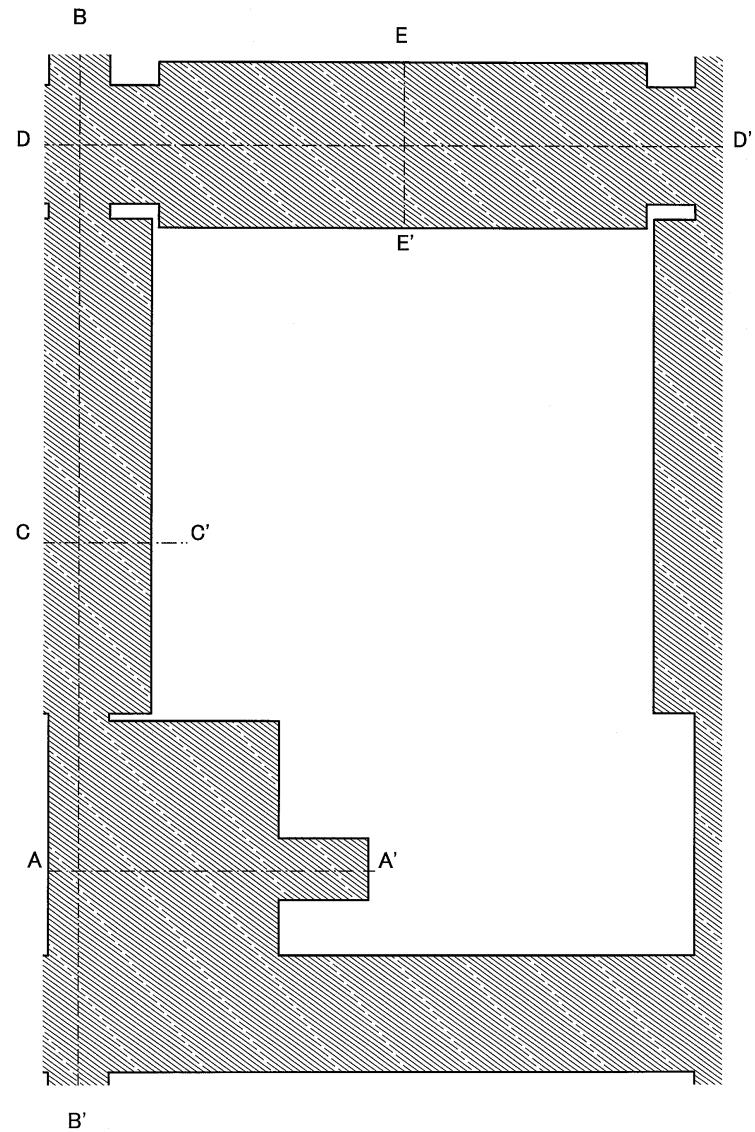
도면16



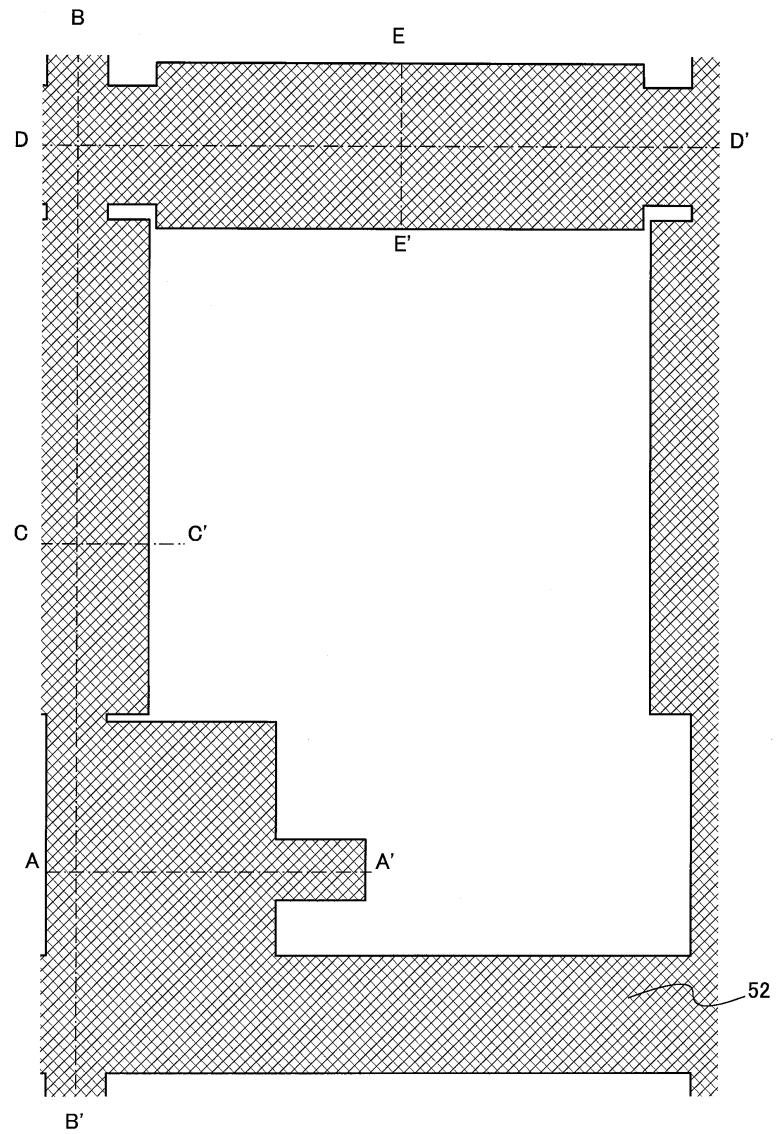
도면17



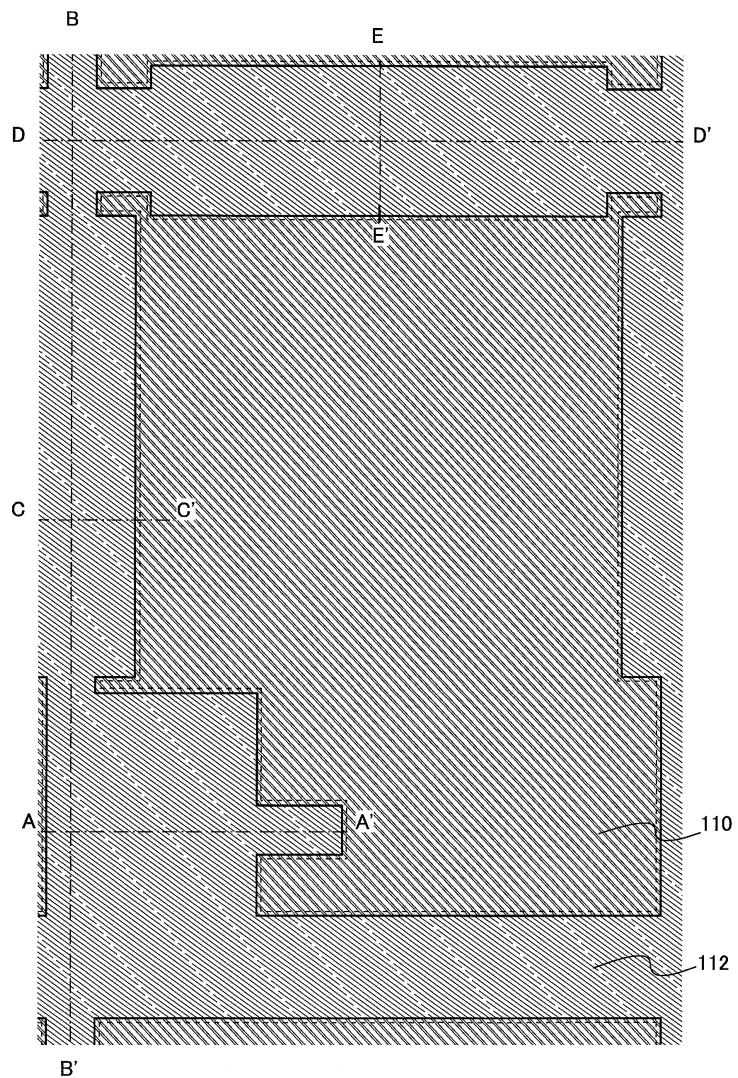
도면18



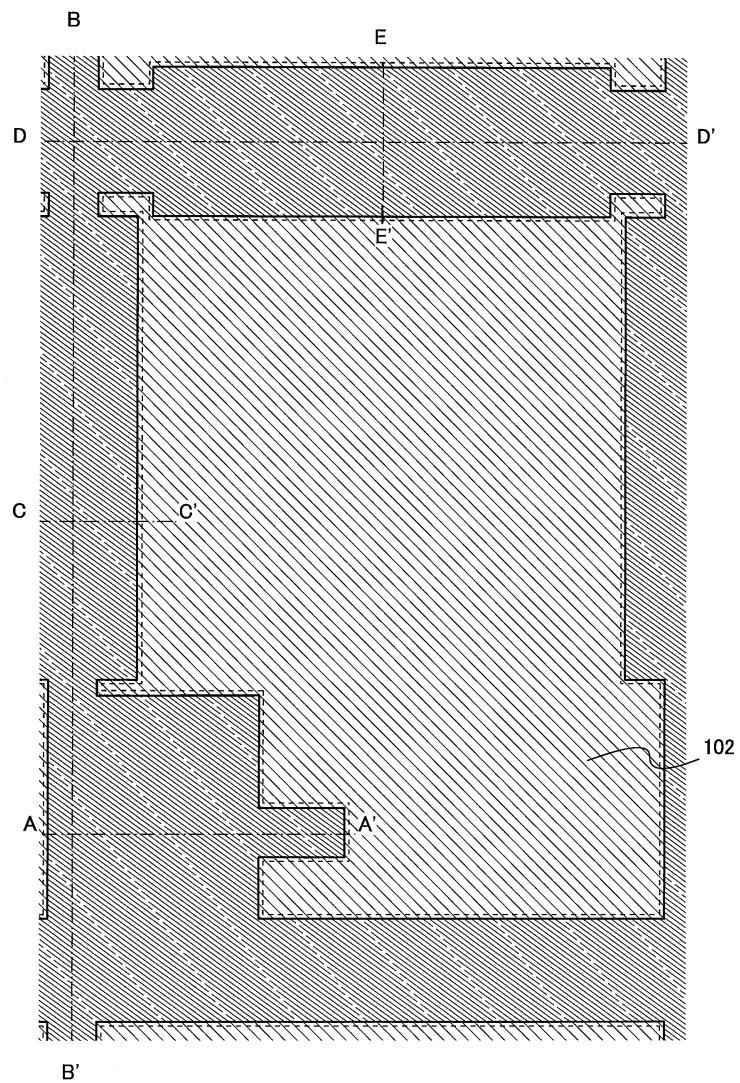
도면19



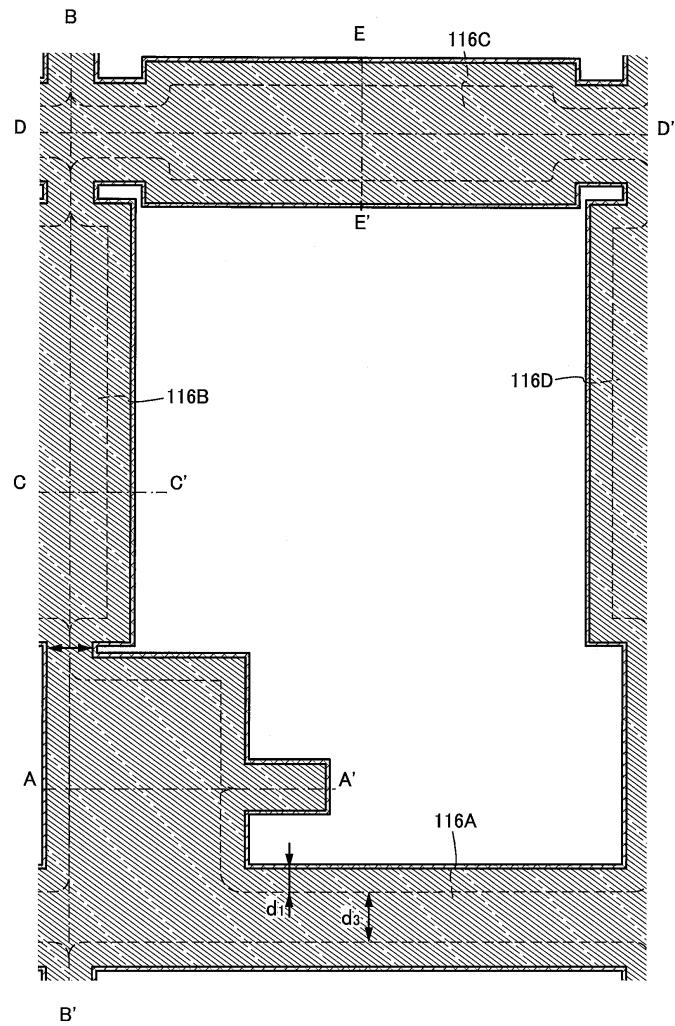
도면20



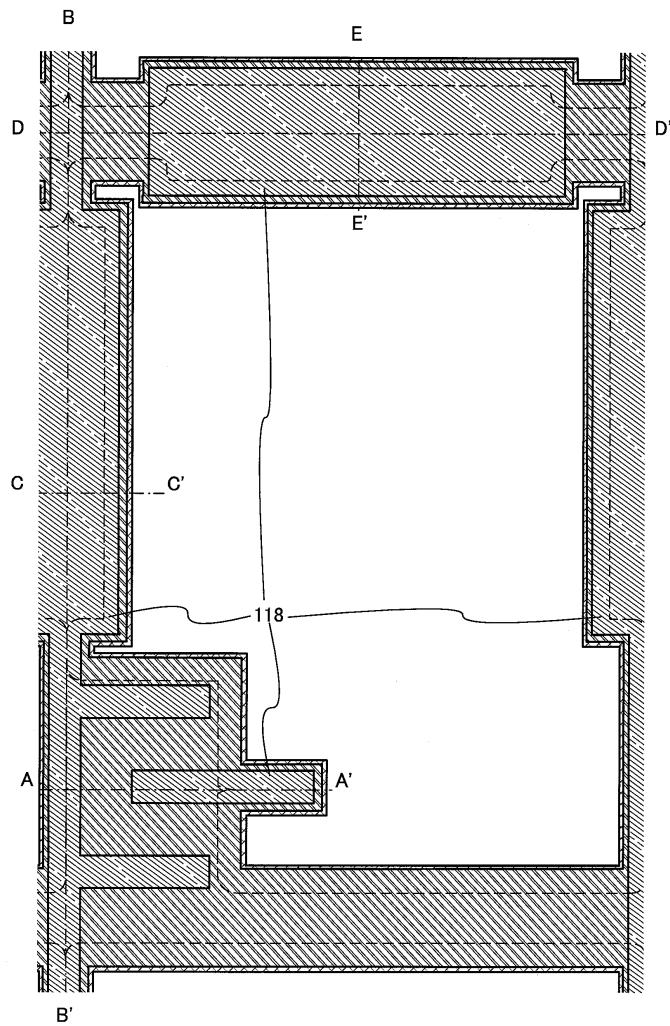
도면21



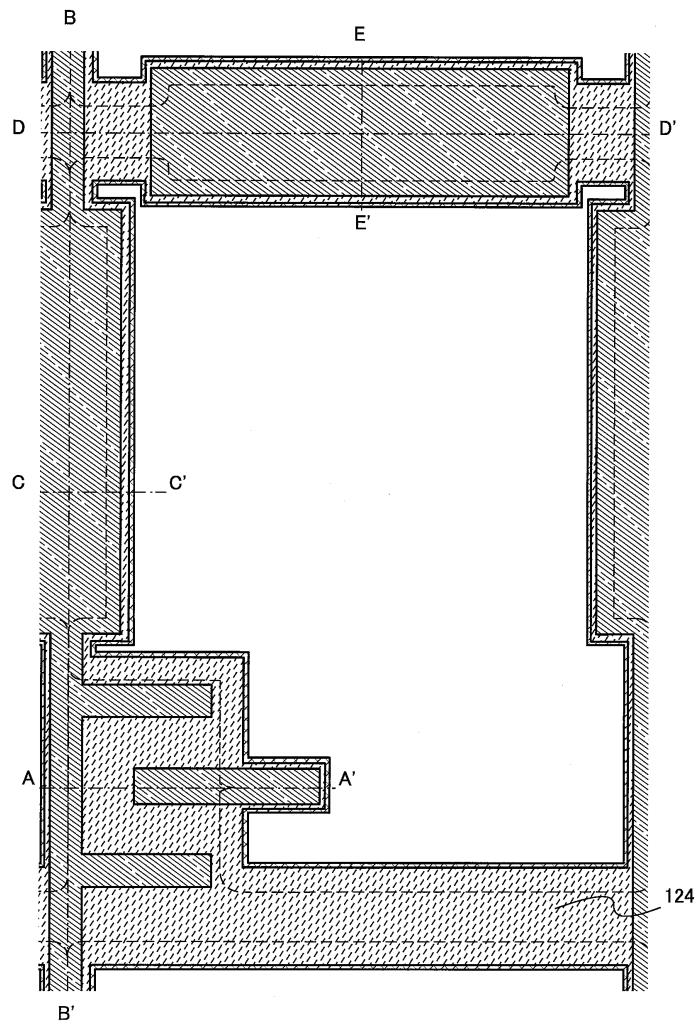
도면22



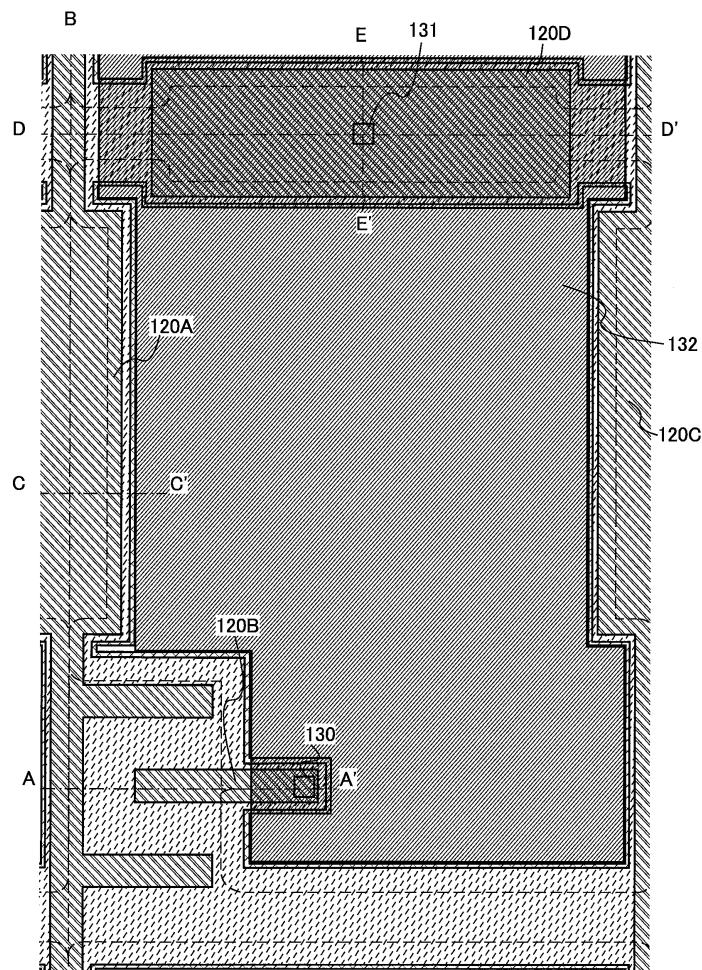
도면23



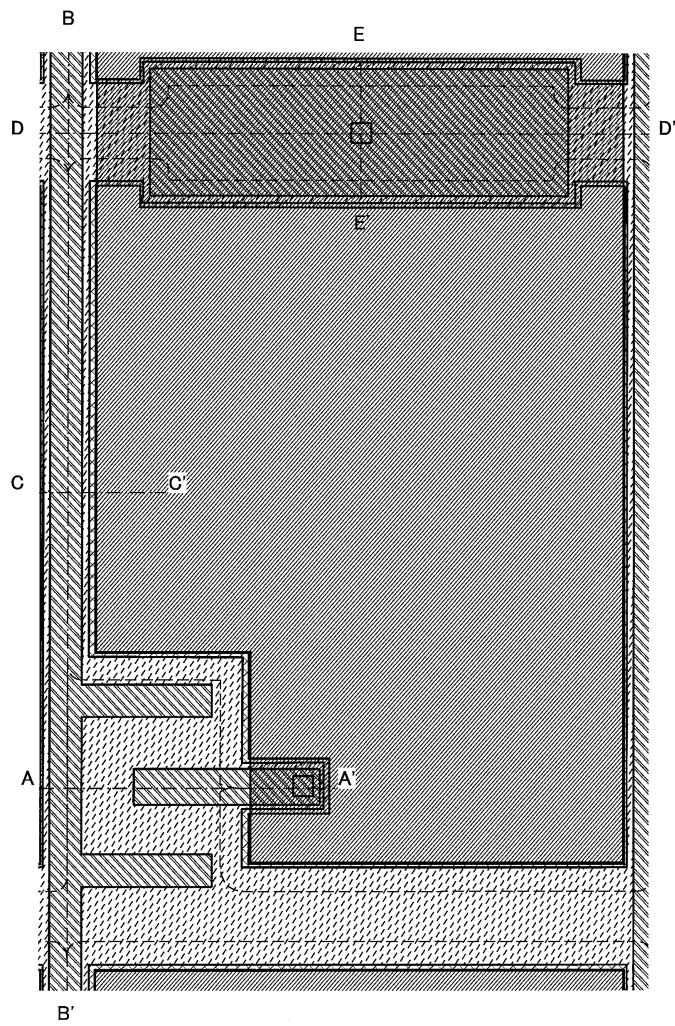
도면24



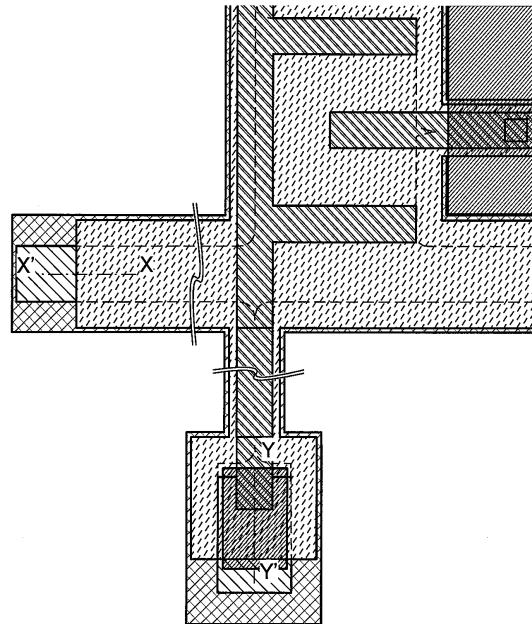
도면25



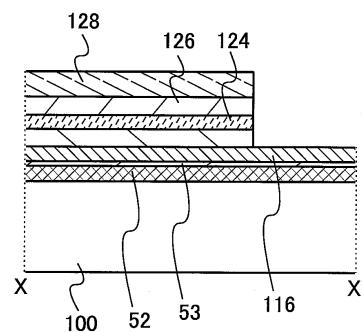
도면26



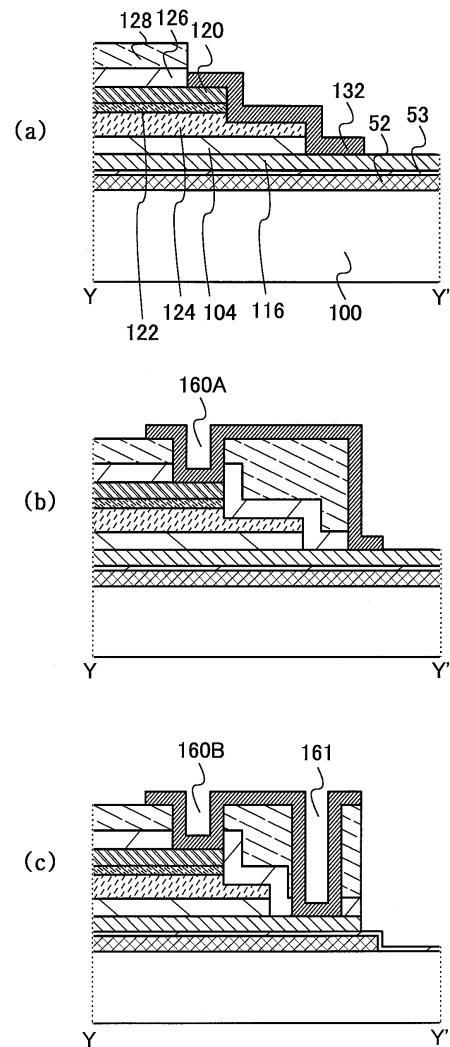
도면27



도면28

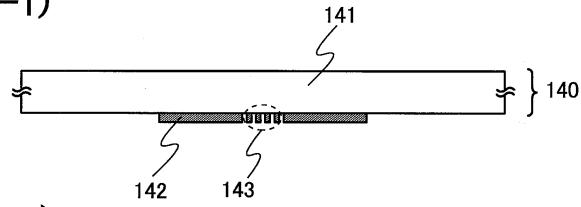


도면29

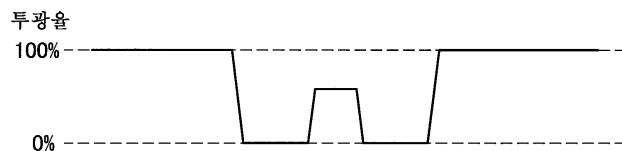


도면30

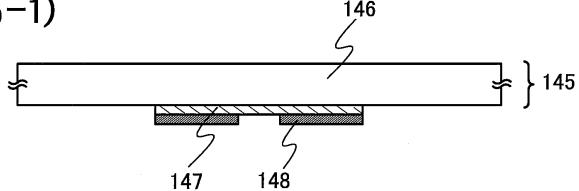
(a-1)



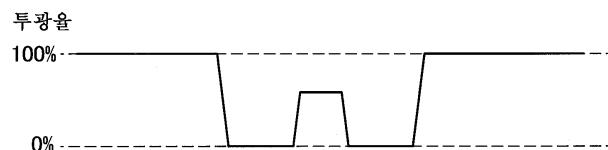
(a-2)



(b-1)

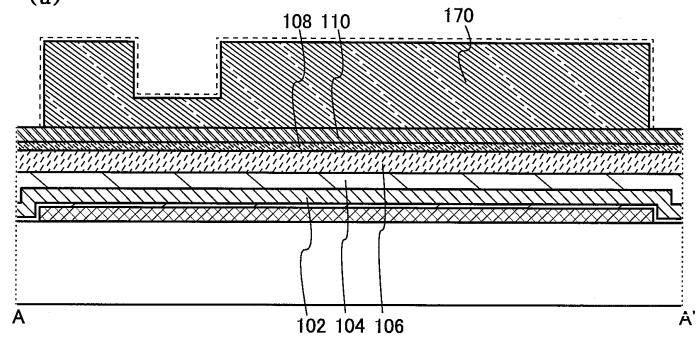


(b-2)

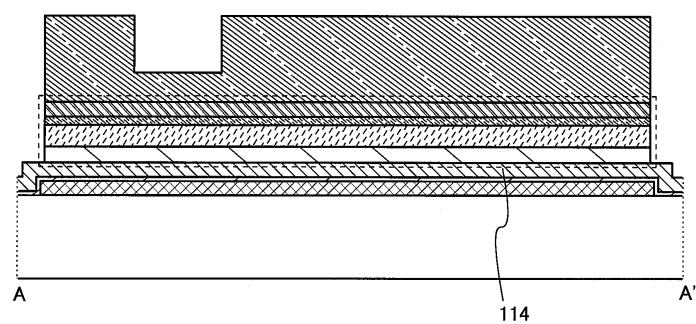


## 도면31

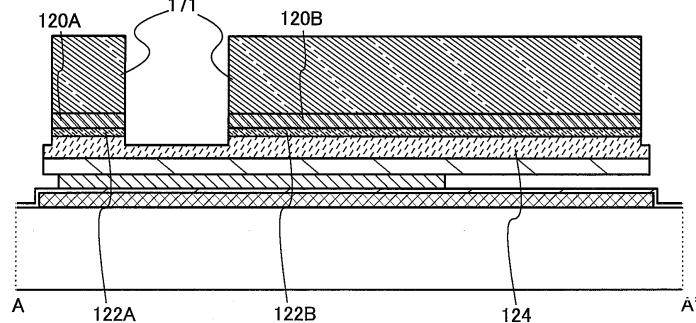
(a)



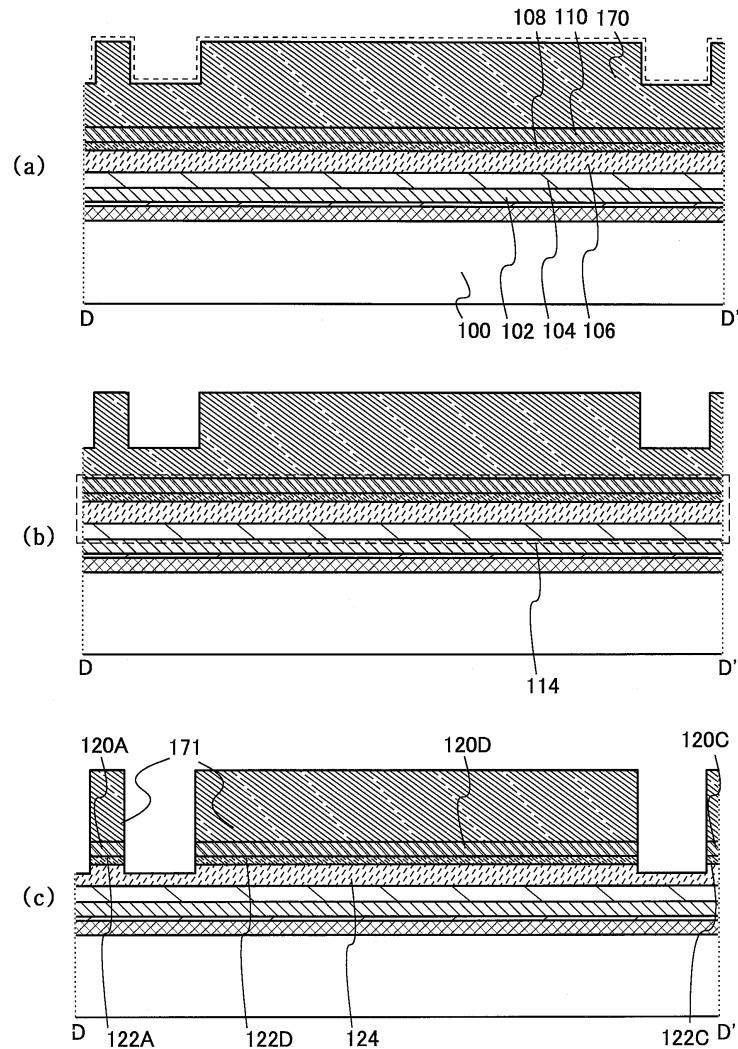
(b)



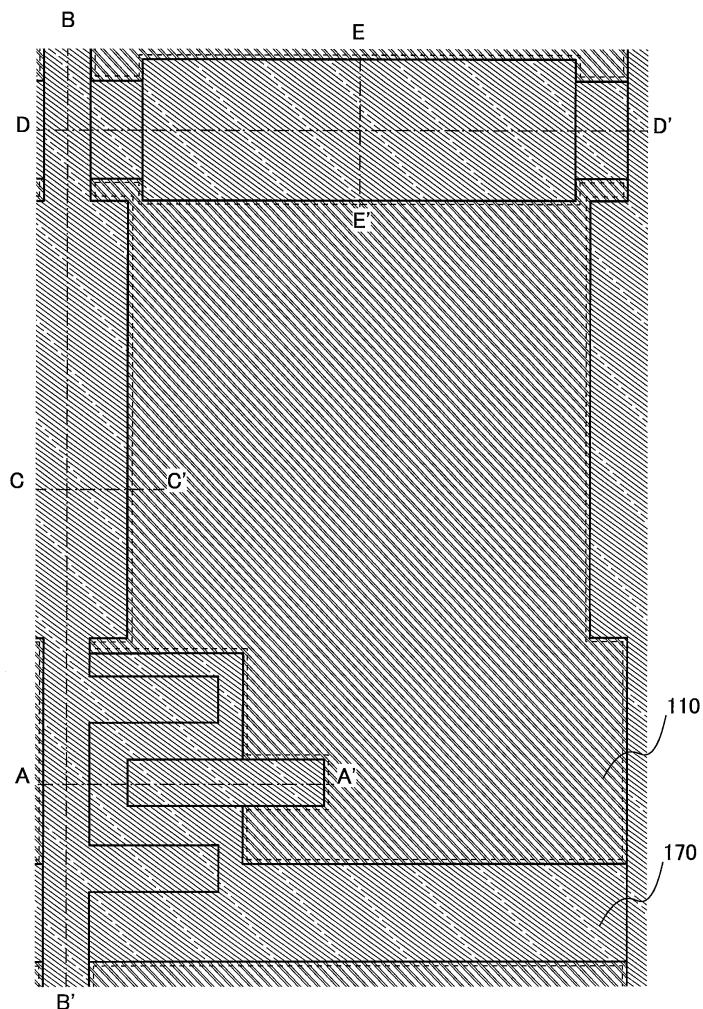
(c)



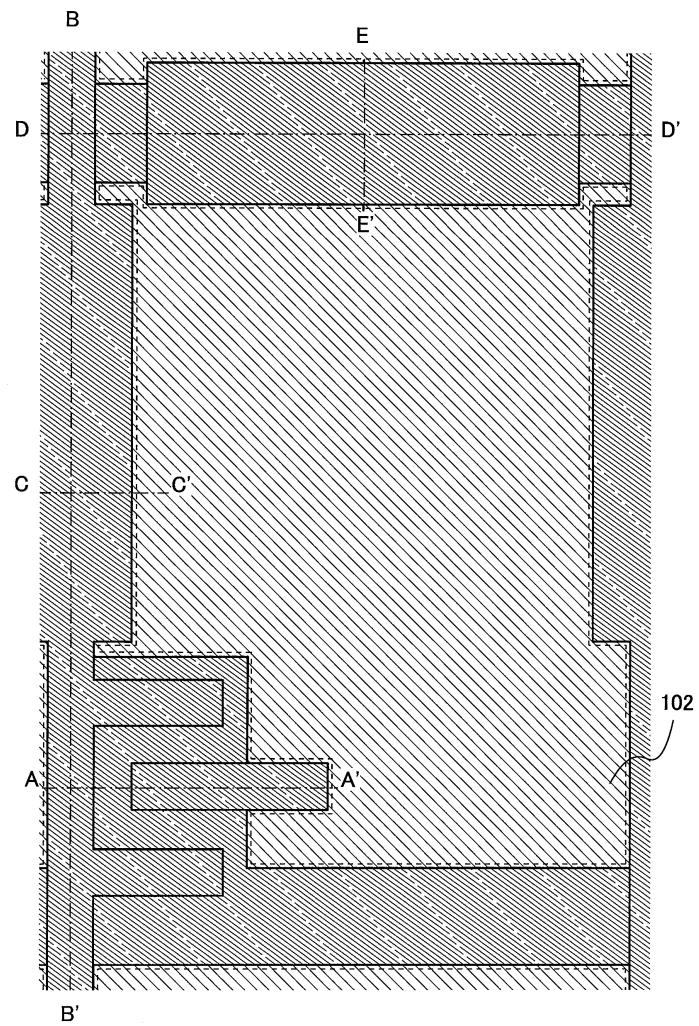
도면32



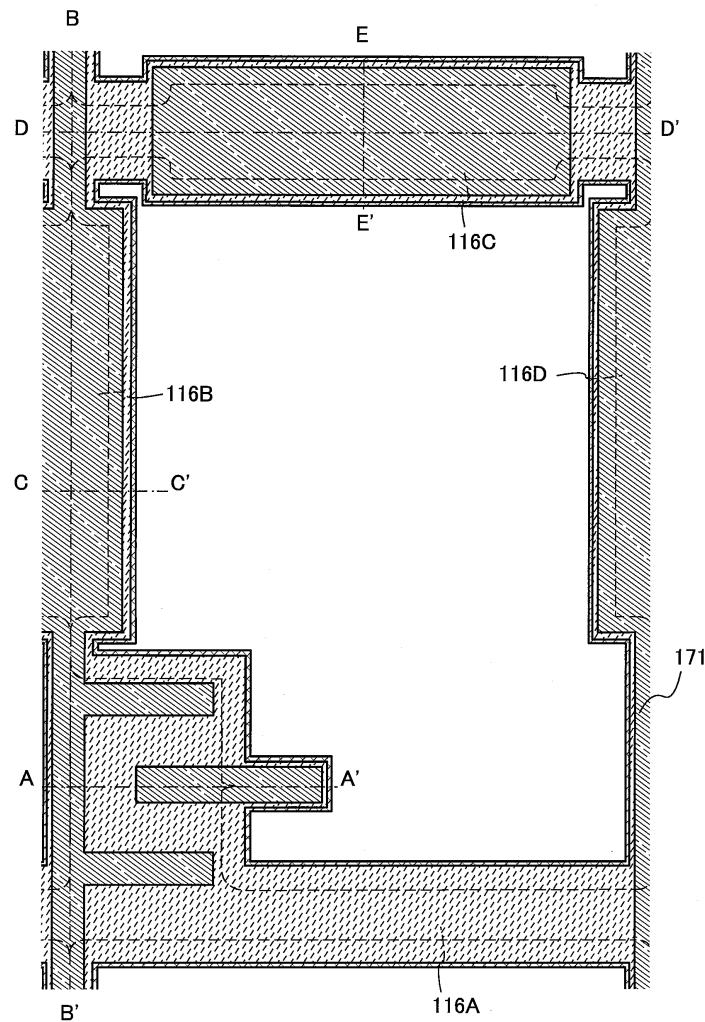
도면33



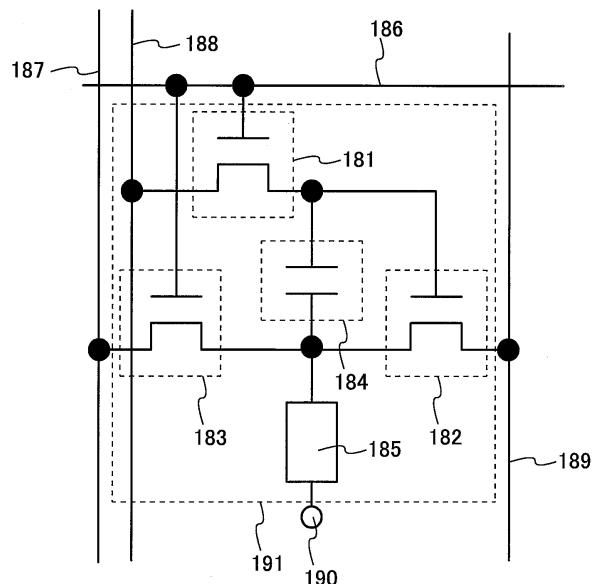
도면34



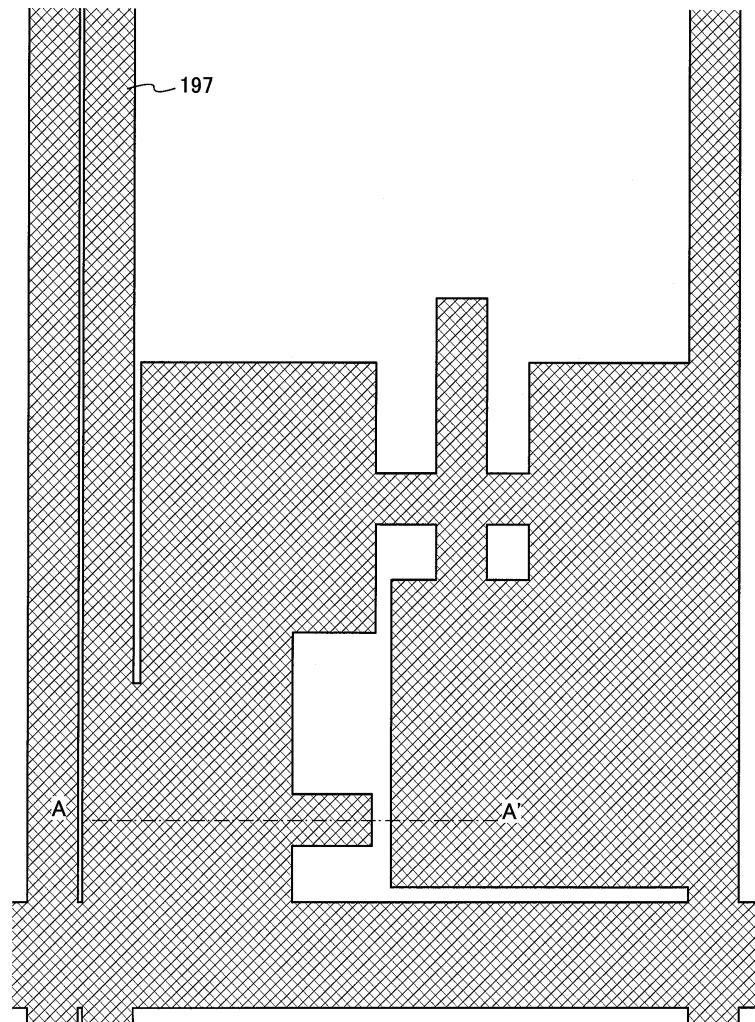
도면35



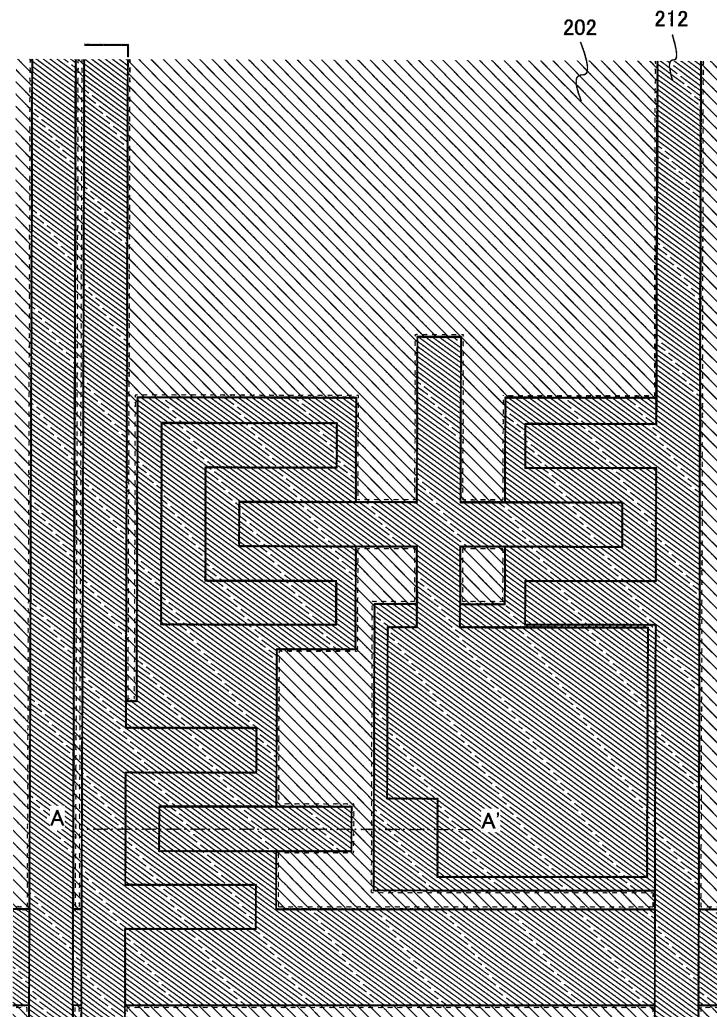
도면36



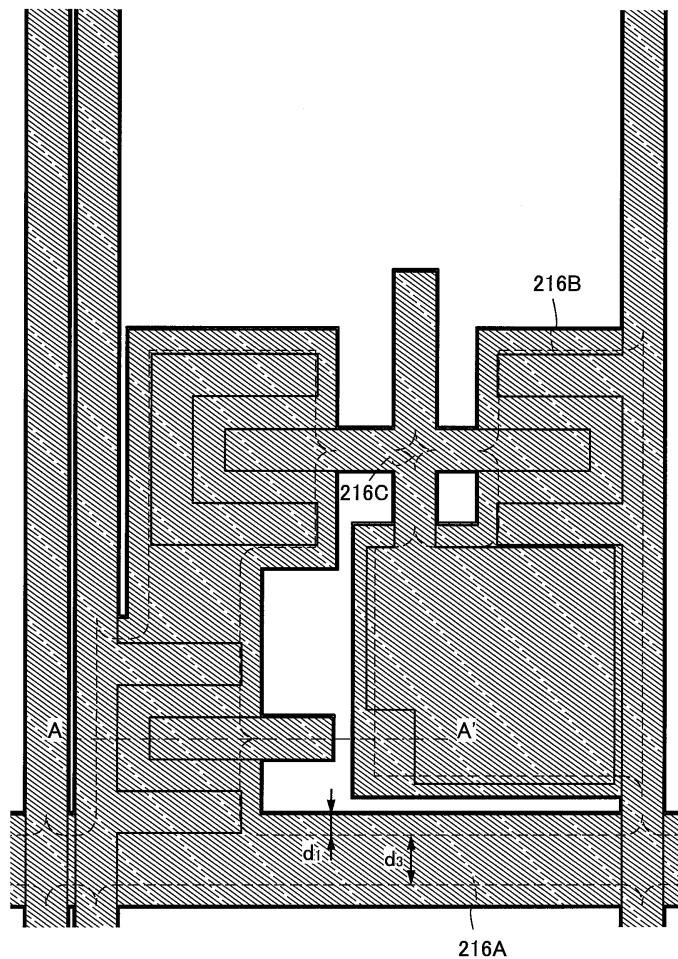
도면37



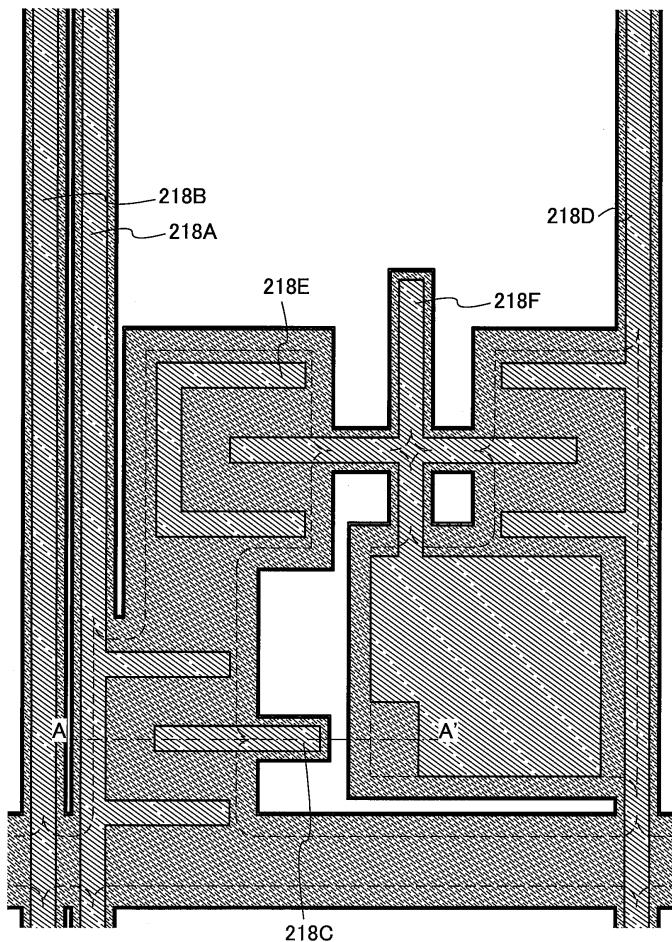
도면38



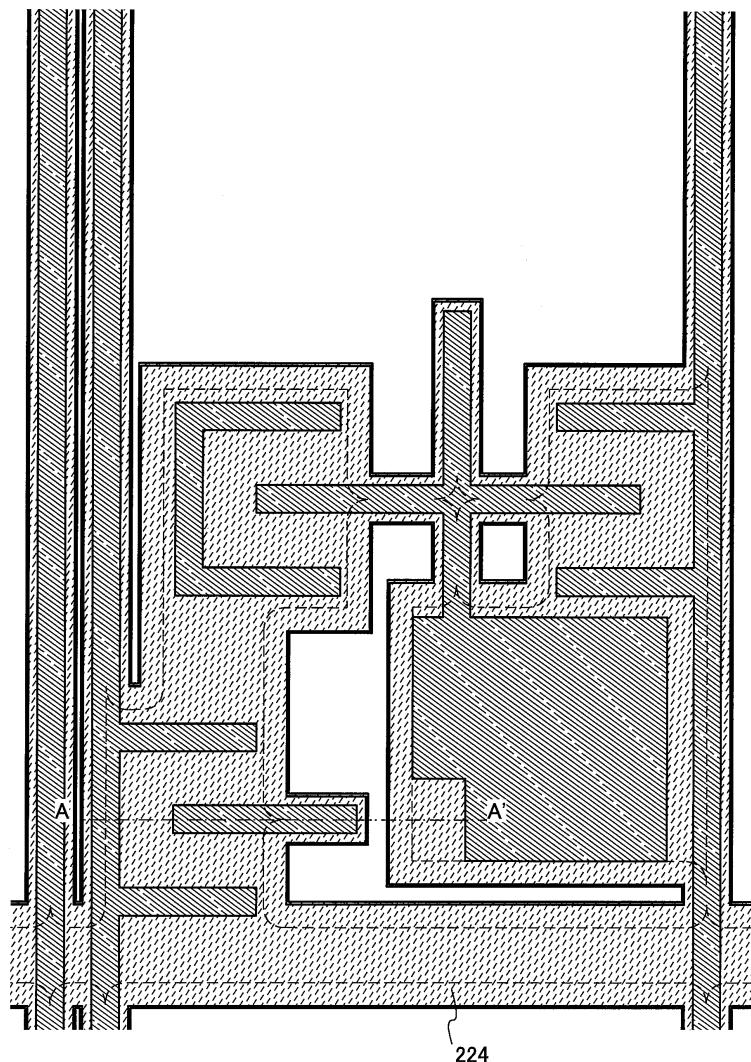
도면39



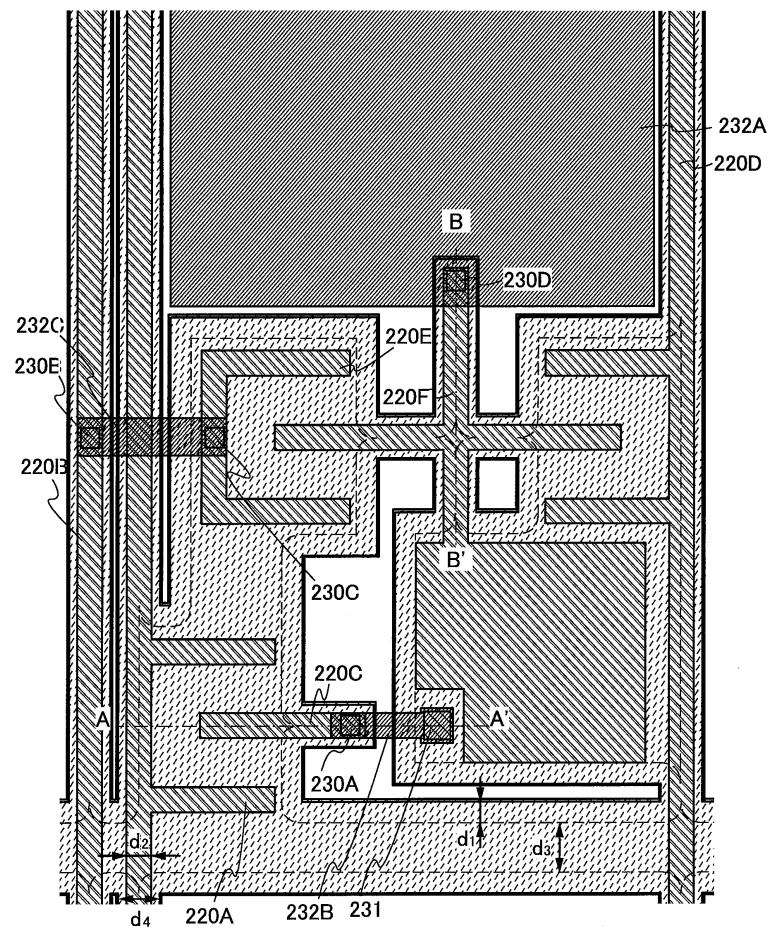
도면40



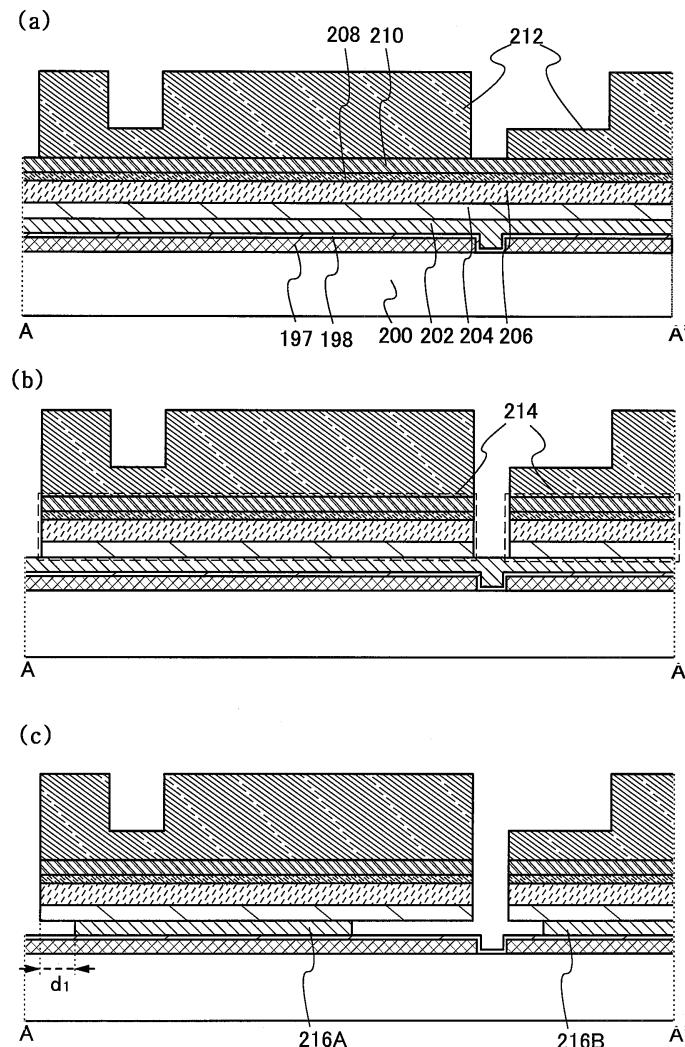
도면41



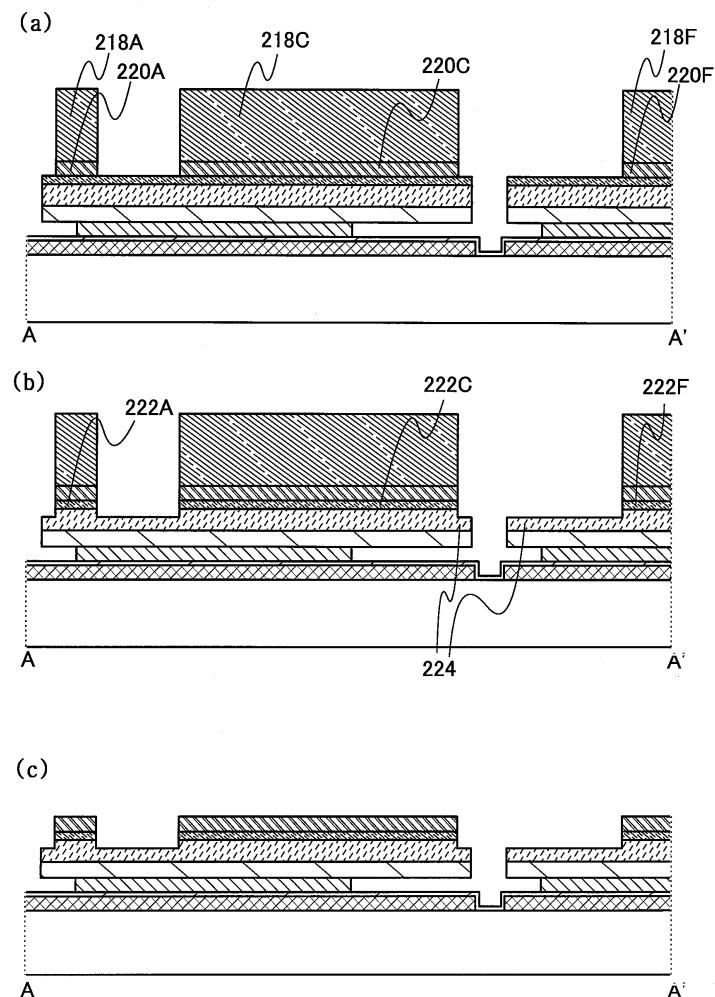
도면42



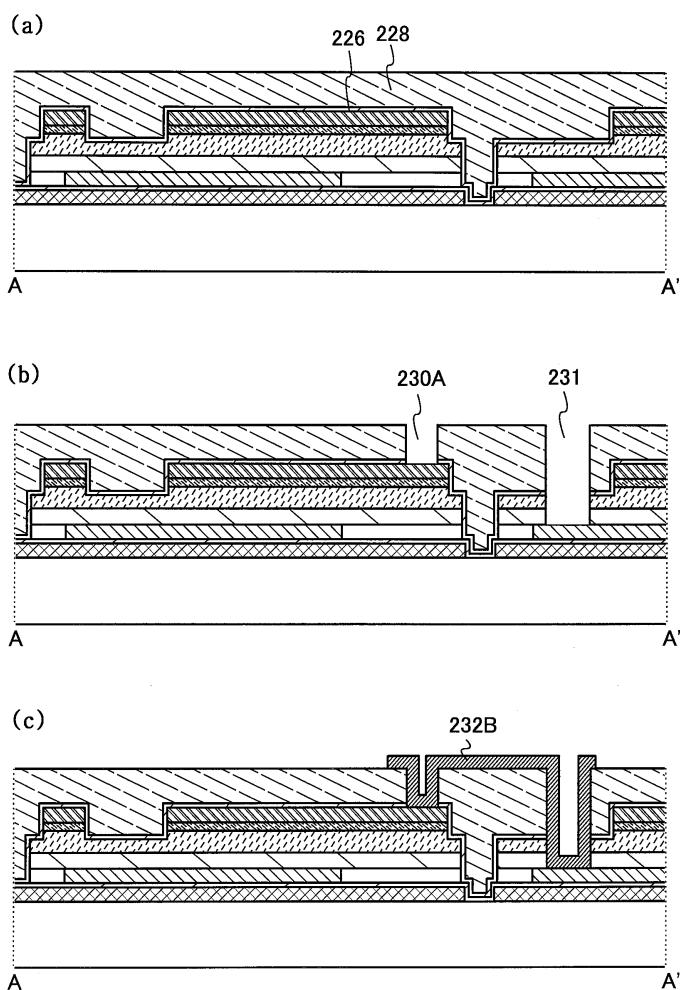
도면43



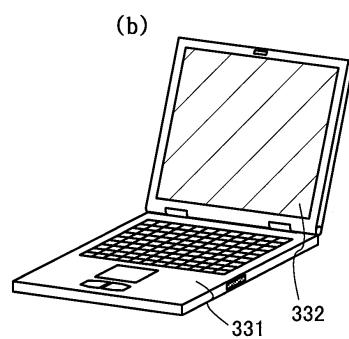
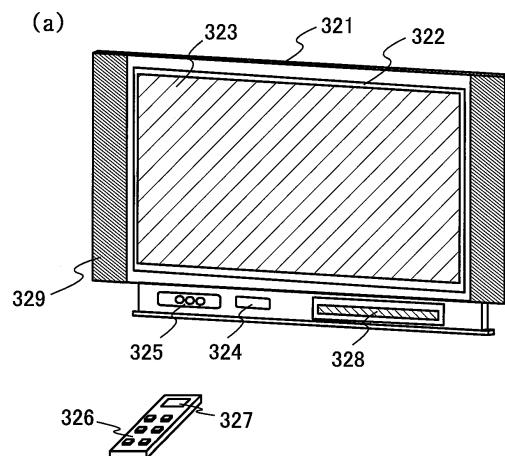
도면44



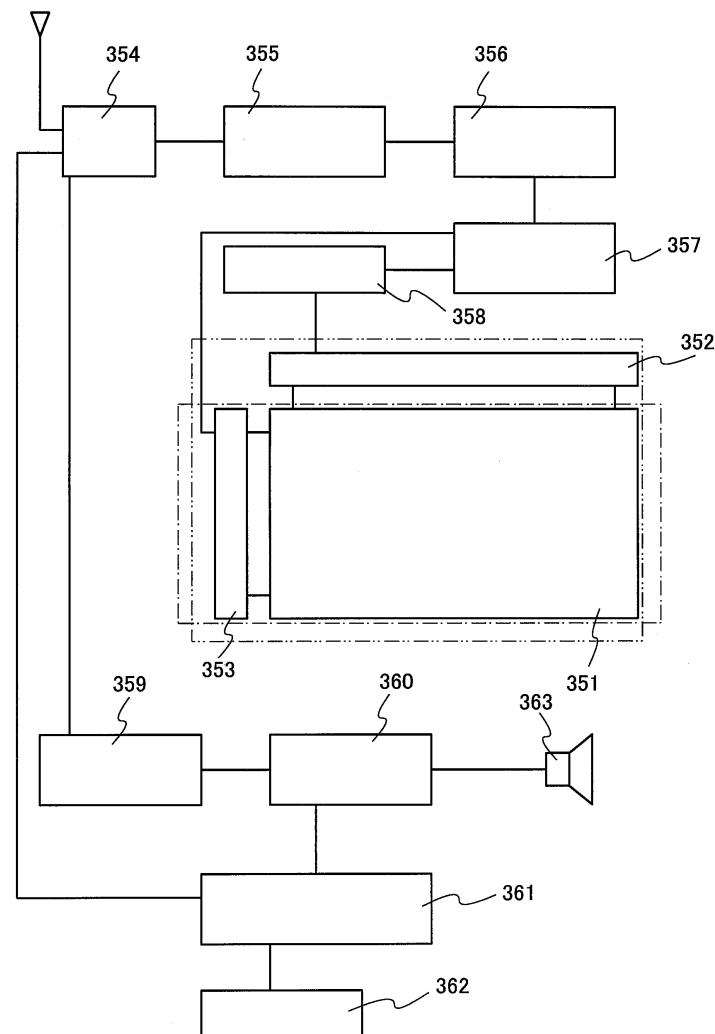
도면45



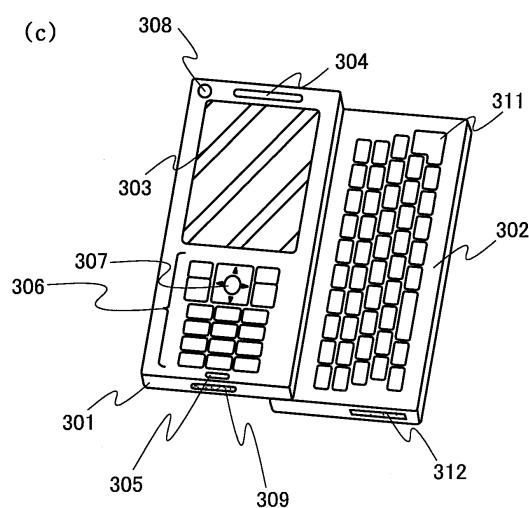
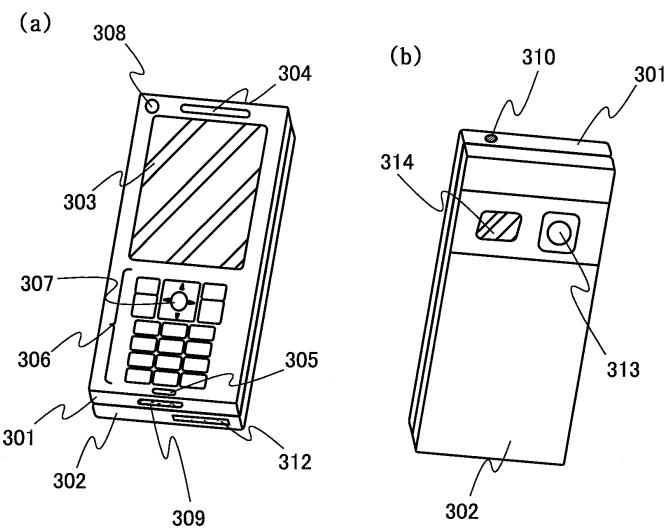
도면46



도면47



도면48



도면49

