

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5036171号
(P5036171)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.		F I		
HO 1 L 27/04	(2006.01)	HO 1 L 27/04	A	
HO 1 L 21/822	(2006.01)	HO 1 L 25/00	B	
HO 1 L 25/00	(2006.01)	HO 3 K 19/00	A	
HO 3 K 19/00	(2006.01)			

請求項の数 12 外国語出願 (全 25 頁)

(21) 出願番号	特願2005-332228 (P2005-332228)	(73) 特許権者	502188642
(22) 出願日	平成17年11月16日(2005.11.16)		マーベル ワールド トレード リミテッド
(65) 公開番号	特開2006-203169 (P2006-203169A)		バルバドス国 ビービー14027, セントマイケル、ブリトンズ ヒル、ガンサイトロード、エル ホライズン
(43) 公開日	平成18年8月3日(2006.8.3)	(74) 代理人	100104156
審査請求日	平成20年10月7日(2008.10.7)		弁理士 龍華 明裕
(31) 優先権主張番号	60/631, 552	(72) 発明者	サハット スタルジャ
(32) 優先日	平成16年11月29日(2004.11.29)		アメリカ合衆国、カリフォルニア州 94022、ロス アルトス ヒルズ、エレナ ロード 27330
(33) 優先権主張国	米国 (US)	審査官	大嶋 洋一
(31) 優先権主張番号	60/663, 933		
(32) 優先日	平成17年3月21日(2005.3.21)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/098, 129		
(32) 優先日	平成17年4月4日(2005.4.4)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 高い電圧供給レベルを用いた低電圧論理回路オペレーション

(57) 【特許請求の範囲】

【請求項 1】

第 1 及び第 2 基準電位の間直列に接続された 2^n 個のモジュールと、
前記 2^n 個のモジュールの隣接する複数のモジュールの間に配置された $2^n - 1$ 個のノードと、
 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータであって、それぞれの前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータは、前記 $2^n - 1$ 個のノードのうちのそれぞれ 1 つと連通する $2^n - 1$ 個の $2 : 1$ DC / DC コンバータとを備え、

前記 n は 2 以上の整数である回路。

【請求項 2】

前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータは、 n 個の分岐線に配置される請求項 1 に記載の回路。

【請求項 3】

第 1 分岐線は前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータのうちの 1 つを有し、第 2 分岐線は前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータのうちの 2 つを有し、第 n 分岐線は前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータのうちの $2^n - 1$ 個を有する請求項 2 に記載の回路。

【請求項 4】

前記複数のモジュールは複数の複合論理回路マクロを含む

請求項 1 に記載の回路。

【請求項 5】

前記複数のモジュールは複数の特定用途向けの集積回路 (ASIC) を含む
請求項 1 に記載の回路。

【請求項 6】

前記複数のモジュールは複数のプロセッシングモジュールを含む
請求項 1 に記載の回路。

【請求項 7】

第 1 及び第 2 基準電位の間直列に接続された 2^n 個のモジュールを提供する段階と、
 2^n 個のモジュールの隣接する複数のモジュールの間に配置される $2^n - 1$ 個のノード
を提供する段階と、

変換のための $2^n - 1$ 個の $2 : 1$ DC / DC コンバータを提供する段階であって、それ
ぞれの前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータは、前記 $2^n - 1$ 個のノードのうち
のそれぞれ 1 つと連通する段階と

を備え、

前記 n は 2 以上の整数である、回路を製造する方法。

【請求項 8】

前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータは n 個の分岐線に配置される
請求項 7 に記載の方法。

【請求項 9】

第 1 分岐線は前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータのうちの 1 つを有し、第 2
分岐線は前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータのうちの 2 つを有し、第 n 分岐線
は前記 $2^n - 1$ 個の $2 : 1$ DC / DC コンバータのうちの $2^n - 1$ 個を有する

請求項 8 に記載の方法。

【請求項 10】

前記 2^n 個のモジュールは、複数の複合論理回路マクロを含む
請求項 7 に記載の方法。

【請求項 11】

前記 2^n 個のモジュールは、複数の特定用途向けの集積回路 (ASIC) を含む
請求項 7 に記載の方法。

【請求項 12】

前記 2^n 個のモジュールは、複数のプロセッシングモジュールを含む
請求項 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高い電圧供給レベル及び低い電流レベルを使用した、複数の低電圧複合論理
回路マクロ及び/又は複数のモジュールのオペレーションに関する。本出願は、2004
年11月29日に提出された米国仮出願番号60/631552及び2005年3月21
日に提出された米国仮出願番号60/663933の利益を主張する、2005年4月4
日に提出された米国特許番号11/098129の継続出願である。上記出願の開示は参
考のため本願にそれらの全文が引用される。

【背景技術】

【0002】

過去10年間にわたる相補型金属酸化膜半導体 (CMOS) プロセスの規模拡大は、集
積化するトランジスタの数を増大させることによって、より小さいデバイスを産み出して
きた。例えば、現在のマイクロプロセッサは、10年前に製造されたマイクロプロセッサ
に比べて1000倍以上より強力である。

【0003】

マイクロプロセッサの電力消費も増大した。いくつかのマイクロプロセッサは、今では

100Wを超えて消費する。低電圧のCMOSプロセスで製造される最近のプロセッサは、かるうじて1Vを超える供給電圧レベルを使用する。このため、CMOSを基にしたマイクロプロセッサは、100Aを超える電流レベルを必要とする。

【発明の開示】

【発明が解決しようとする課題】

【0004】

物理的な障害が、これらのデバイスを通る電流の量を制限し始めている。1つの障害は、これらのマイクロプロセッサへの電力の供給に伴う電圧降下に関する。チップ実装及び/又はプリント回路基板(PCB)電源プレーンにおける1mの寄生抵抗が、100mVの電圧降下を発生することができる。現実には、材料及び関連する加工コストを著しく増大させることなく寄生抵抗を1Mより小さく低減することは非常に困難である。

10

【0005】

例えば、代表的な半導体実装における金ボンドワイヤの抵抗は、1マイクロメートルの直径及び5mmの長さで約100Mの抵抗を持つ。全電力供給抵抗を1Mより小さく制限するためには、各電力供給の結線(V_{DD} 及び V_{SS})は、0.5M以下にまで制限されなければならない。この方法は、400を超えるボンドワイヤを必要とする。他の寄生抵抗源によって、さらに多数のボンドワイヤが必要とされる。

【0006】

1つの方法は、ボンドワイヤを無くし、フリップチップ実装技術を使用する。この方法は、実装抵抗の問題の半分を解決する。半導体自身の中の金属抵抗、フリップチップパッケージの金属抵抗、及びプリント回路基板(PCB)の金属抵抗を含むさらなる問題点も配慮されなければならない。チップが小さくなり続けると配線パターンも狭くしなければならない。このため、結果として寄生抵抗を増加させる細い金属材料を使用する必要がある。

20

【課題を解決するための手段】

【0007】

回路であって、第1モジュールと、前記第1モジュールと連通する第2モジュールを備える。前記第1及び第2モジュールは第1及び第2基準電位の間で直列に接続される。電流バランスモジュールは、前記第1及び第2モジュールの間のノードと連通して、前記第1及び第2モジュールの間の電流消費の差を減少させる。

30

【0008】

他にも、前記電流バランスモジュールはバックコンバータを有する。前記バックコンバータは、第3基準電位と連通する伝導スイッチを有する。フリーホイールスイッチは、第4基準電位及び前記伝導スイッチと連通する。インダクタンス素子は、前記伝導スイッチ、前記フリーホイールスイッチ、及び前記ノードと連通する。キャパシタンス素子は、前記第4基準電位及び前記ノードと連通する。

【0009】

他にも、前記電流バランスモジュールは、2:1DC/DCコンバータを有する。前記2:1DC/DCコンバータは、第1及び第2伝導スイッチを有する。第1及び第2インダクタンス素子は、前記第1及び第2伝導スイッチと連通する。第1及び第2フリーホイールスイッチは、非伝導期間にわたって電流パスを提供すべく、第1及び第2伝導スイッチと連通する。前記2:1DC/DCコンバータは、前記第1伝導スイッチ、前記第2伝導スイッチ、及びフリーホイールスイッチを制御する駆動信号を生成する駆動信号ジェネレータをさらに有する。前記第1及び第2インダクタンス素子は共通のコアに共に巻かれている。前記第1及び第2伝導スイッチ、前記第1及び第2インダクタンス素子、並びに前記第1及び第2フリーホイールスイッチは、出力電圧が入力電圧の大きさのおよそ1/2となるようバック構成で接続されている。

40

【0010】

他にも、前記電流バランスモジュールは、平衡スイッチキャパシタンスデバイスに有する。前記平衡スイッチキャパシタンスデバイスは、前記第1モジュール及び前記第1基準

50

電位と連通する第1の端、及び前記ノードと連通する第2の端を持つ第1キャパシタンス素子を含む。第2キャパシタンス素子は、前記第2モジュール及び前記第2基準電位と連通する第1の端、及び前記ノードと連通する第2の端を持つ。第3キャパシタンス素子は、第1及び第2の端を持つ。複数のスイッチは、前記第1、第2、及び第3キャパシタンスを、前記第1及び第2モジュールと選択的に接続及び切断して、前記第1及び第2モジュールの電流消費を均衡させる。前記複数のスイッチは、前記第1キャパシタンス素子の前記第1の端と連通する第1の端、及び前記第3キャパシタンス素子の前記第1の端と連通する第2の端を持つ第1スイッチと、前記第2キャパシタンス素子の前記第1の端と連通する第1の端、及び前記第3キャパシタンス素子の前記第2の端と連通する第2の端を持つ第2スイッチと、前記第3キャパシタンス素子の第1の端と連通する第1の端、及び前記ノードと連通する第2の端を持つ第3スイッチと、前記第3キャパシタンス素子の前記第2の端と連通する第1の端、及び前記ノードと連通する第2の端を持つ第4スイッチとを含む。駆動信号ジェネレータは、前記複数のスイッチを制御する複数の駆動信号を生成する。

10

【0011】

他にも、前記電流バランスモジュールは、線形プッシュプルレギュレータを有する。前記線形プッシュプルレギュレータは、第1及び第2線形プッシュプルレギュレータを含む。前記線形プッシュプルレギュレータの前記第1段は、第1演算増幅器（オペアンプ）と、前記第1オペアンプの出力と連通する制御入力、第3基準電位と連通する第1端子、前記ノードと連通する第2端子を持つ第1トランジスタとを有する。前記線形プッシュプルレギュレータの前記第2段は、第2演算増幅器（オペアンプ）と、前記第2オペアンプの出力と連通する制御入力と、前記ノードと連通する第1端子と、第4基準電位と連通する第2端子とを持つ第2トランジスタと、前記第1及び第2オペアンプの第1入力と連通する第1の端、及び前記ノードと連通する第2の端を持つ抵抗素子とを有する。

20

【0012】

他にも、前記電流バランスモジュールは、ヒステリシスコンパレータモジュールを有する。前記ヒステリシスコンパレータモジュールは、可変オフセットモジュール、可変帯域幅モジュール、及び/又は可変遅延モジュールの少なくとも1つを含む。前記回路は集積回路である。

30

【0013】

他にも、DC/DCコンバータは、入力信号を受信して出力信号を生成する。第2の2:1 DC/DCコンバータは、前記DC/DCコンバータの出力と連通する入力、及び前記2:1 DC/DCコンバータの入力と連通する出力を持つ。

【0014】

他にも、第3及び第4モジュールが設けられる。前記第1、第2、第3、及び第4モジュールは、前記第1及び第2基準電位の間で直列に接続される。前記電流バランスモジュールは、前記第1基準電位と、前記第1及び第2モジュールの間の第1ノードと、前記第2及び第3モジュールの間の第2ノードと連通する第1の2:1 DC/DCコンバータを有する。第2の2:1 DC/DCコンバータは、前記第2ノードと、前記第3及び第4モジュールの間の第3ノードと、前記第2基準電位と連通する。第3の2:1 DC/DCコンバータは、前記第1基準電位、前記第2ノード、及び前記第2基準電位と連通する。

40

【0015】

他の形態では、前記回路を備えるデバイスであって、N個のペアの回路をさらに備える。前記第1モジュールは前記N個のペアの回路の1つのペアの第1回路を有する。前記第2モジュールは前記N個のペアの回路の1つのペアの第2回路を有する。前記N個のペアの回路はプロセッシング回路を含む。第3モジュールは、前記N個のペアの回路の他のペアの第1回路を有する。第4モジュールは、前記N個のペアの回路の他のペアの第2回路を有する。前記第3及び第4モジュールは前記第1及び第2基準電位の間で直列に接続され、前記電流バランスモジュールは、前記第3及び第4モジュールの間のノードと連通する。前記第1、第2、第3、及び第4モジュールは、シグナルプロセッシングモジュール

50

を有する。前記第 1、第 2、第 3、及び第 4 モジュールは、グラフィックパイプラインモジュールを有する。

【 0 0 1 6 】

他の形態では、プロセッシングシステムは、前記デバイスを備える。前記第 1 モジュールは第 1 中央処理装置 (CPU) を有し、前記第 2 モジュールは第 2 CPU を有する。オペレーティングシステムは、前記第 1 及び第 2 CPU と通信し、前記第 1 及び第 2 CPU のロードバランシング及び / 又はスロットリングの少なくとも一方を実行して、前記第 1 及び第 2 CPU の間の電流消費の差を減少させる。

【 0 0 1 7 】

他にも、前記第 1 及び第 2 CPU はともに、単一の集積回路で実装される。前記電流バランスモジュールは、第 1 及び第 2 インダクタを含む 2 : 1 DC / DC コンバータを有する。前記第 1 及び第 2 インダクタ以外の前記 2 : 1 DC / DC コンバータの構成要素は、前記集積回路で実装される。

10

【 0 0 1 8 】

他の形態では、前記プロセッシングシステムを備えるシステムであって、プリント回路基板 (PCB) と、前記 PCB 上に配置された第 1 及び第 2 ソケットと、前記集積回路から延伸し、前記第 1 及び第 2 ソケットに収容される複数のピンとをさらに備える。前記第 1 及び第 2 インダクタは前記集積回路に取り付けられ、前記集積回路及び前記 PCB の間に配置される。

【 0 0 1 9 】

ネットワークデバイスであって、第 1 チャンネルモジュールと、前記第 1 チャンネルモジュールと直列に接続された第 2 チャンネルモジュールと、第 2 チャンネルモジュールと直列に接続された第 3 チャンネルモジュールと、第 3 チャンネルモジュールと直列に接続された第 4 チャンネルモジュールとを備える。前記第 1 及び第 4 モジュールは、前記第 1 及び第 2 基準電位の間に直列に接続されている。前記第 1、第 2、第 3、及び第 4 チャンネルモジュールは、機能的に等価である。

20

【 0 0 2 0 】

他にも、電流バランスモジュールは、前記第 1 及び第 2 チャンネルモジュールの間のノード、前記第 2 及び第 3 チャンネルモジュールのノード、及び前記第 3 及び第 4 チャンネルモジュールのノードと連通して、前記第 1、第 2、第 3、及び第 4 チャンネルモジュールの間の電流消費の差を減少させる。前記ネットワークデバイスは、1000 Base-T 規格に準拠している。前記ネットワークデバイスは、10 G Base-T 規格に準拠している。

30

【 0 0 2 1 】

他にも、前記電流バランスモジュールは、バックコンバータを有する。前記電流バランスモジュールは、2 : 1 DC / DC コンバータを有する。前記電流バランスモジュールは、平衡スイッチキャパシタンスデバイスを有する。前記電流バランスモジュールは、線形プッシュプルレギュレータを有する。前記電流バランスモジュールは、ヒステリシスコンパレータモジュールを有する。

【 0 0 2 2 】

プロセッシングシステムであって、第 1 プロセッシングモジュールと、前記第 1 プロセッシングモジュールと連通する第 2 プロセッシングモジュールとを備える。前記第 1 及び第 2 プロセッシングモジュールは、第 1 及び第 2 基準電位の間に直列に接続される。オペレーティングシステムは、前記第 1 及び第 2 プロセッシングモジュールと通信し、前記第 1 及び第 2 プロセッシングモジュールのロードバランシング及び / 又はスロットリングの少なくとも一方を実行して、前記第 1 及び第 2 プロセッシングモジュールの間の電流消費の差を減少させる。

40

【 0 0 2 3 】

他にも、電流バランスモジュールは、前記第 1 及び第 2 プロセッシングモジュールの間のノードと連通して、前記第 1 及び第 2 プロセッシングモジュールの間の電流消費の差を減少させる。

50

【 0 0 2 4 】

他にも、前記電流バランスモジュールは、バックコンバータを有する。前記電流バランスモジュールは、2 : 1 DC / DC コンバータを有する。前記電流バランスモジュールは、平衡スイッチキャパシタンスデバイスを用いて前記減少させる段階を実行する段階を含む。前記方法は、線形プッシュプルレギュレーティングモジュールを用いて前記減少させる段階を実行する段階を備える。前記方法は、ヒステリシスコンパレータモジュールを用いて前記減少させる段階を実行する段階を備える。

【 0 0 2 5 】

前記第 1 及び第 2 プロセッシングモジュールはともに単一の集積回路で実装される。前記電流バランスモジュールは、第 1 及び第 2 インダクタを含む 2 : 1 DC / DC コンバータを有する。前記第 1 及び第 2 インダクタ以外の前記 2 : 1 DC / DC コンバータの構成要素は、前記集積回路で実装される。

10

【 0 0 2 6 】

前記プロセッシングシステムを備えるシステムは、プリント回路基板 (PCB) と、前記 PCB 上に配置された第 1 及び第 2 ソケットと、前記集積回路から延伸し、前記第 1 及び第 2 ソケットに収容される複数のピンとを備える。前記第 1 及び第 2 インダクタは前記集積回路に取り付けられ、前記集積回路及び前記 PCB の間に配置される。

【 0 0 2 7 】

回路であって、第 1 及び第 2 基準電位の間に直列に接続された 2^n 個のモジュールを備える。 $2^n - 1$ 個のノードは、前記 2^n 個のモジュールの隣接する複数のモジュールの間に配置される。 $2^n - 1$ 個の 2 : 1 DC / DC コンバータは、前記 $2^n - 1$ 個のそれぞれのノードと連通する。

20

【 0 0 2 8 】

他にも、前記 $2^n - 1$ 個の 2 : 1 DC / DC コンバータは n 個の分岐線に配置される。第 1 分岐線は、前記 $2^n - 1$ 個の 2 : 1 DC / DC コンバータのうちの 1 つを有し、第 2 分岐線は、前記 $2^n - 1$ 個の 2 : 1 DC / DC コンバータのうちの 2 つを有し、第 n 分岐線は、前記 $2^n - 1$ 個の 2 : 1 DC / DC コンバータのうちの 2^{n-1} 個を有する。前記モジュールは、複合論理回路マクロを含む。前記モジュールは特定用途向けの集積回路 (ASIC) を含む。前記モジュールはプロセッシングモジュールを含む。

【 0 0 2 9 】

方法であって、第 1 モジュールを使用して第 1 機能を実行する段階と、前記第 1 モジュールと連通する第 2 モジュールを用いて第 2 機能を実行する段階と、前記第 1 及び第 2 モジュールを、第 1 及び第 2 基準電位の間に直列に接続する段階と、前記第 1 及び第 2 モジュールの間の電流消費の差を減少させる段階とを備える。

30

【 0 0 3 0 】

他にも、前記方法は、バックコンバータを用いて前記減少させる段階を実行する段階を備える。前記方法は、2 : 1 DC / DC コンバータを用いて前記減少させる段階を実行する段階を含む。前記方法は、平衡スイッチキャパシタンスデバイスを用いて前記減少させる段階を実行する段階を備える。前記方法は、線形プッシュプルレギュレーティングモジュールを用いて前記減少させる段階を実行する段階を備える。前記方法は、ヒステリシスコンパレータモジュールを用いて前記減少させる段階を実行する段階を備える。

40

【 0 0 3 1 】

ネットワークデバイスを動作させる方法であって、第 1 通信チャネルを提供する段階と、前記第 1 通信チャネルに直列に接続された第 2 通信チャネルを提供する段階と、前記第 2 通信チャネルに直列に接続された第 3 通信チャネルを提供する段階と、前記第 3 通信チャネルに直列に接続された第 4 通信チャネルを提供する段階とを備える。前記第 1 及び第 4 通信チャネルは、前記第 1 及び第 2 基準電位の間に直列に接続されており、前記第 1、第 2、第 3、及び第 4 通信チャネルは機能的に等価である。

【 0 0 3 2 】

他にも、前記方法は、前記第 1、第 2、第 3、及び第 4 通信チャネルの間の電流消費の

50

差を減少させる段階を備える。前記ネットワークデバイスは1000Base-T規格に準拠している。前記ネットワークデバイスは10GBase-T規格に準拠している。

【0033】

他にも、前記方法は、バックコンバータを用いて前記減少させる段階を実行する段階を備える。前記方法は、2:1DC/DCコンバータを用いて前記減少させる段階を実行する段階を備える。前記方法は、平衡スイッチキャパシタンスデバイスを用いて前記減少させる段階を実行する段階を備える。前記方法は、線形プッシュプルレギュレーティングモジュールを用いて前記減少させる段階を実行する段階を備える。前記方法は、ヒステリシスコンパレータモジュールを用いて前記減少させる段階を実行する段階を備える。

【0034】

方法であって、第1プロセッシングモジュールを提供する段階と、前記第1プロセッシングモジュールと連通する第2プロセッシングモジュールを提供する段階であって、前記第1及び第2プロセッシングモジュールは第1及び第2基準電位の間に直列に接続されている段階と、前記第1及び第2プロセッシングモジュールのロードバランシング及び/又はスロットリングの少なくとも一方を実行して、前記第1及び第2プロセッシングモジュールの間の電流消費の差を減少させる段階とを備える。

【0035】

他にも、前記方法は、前記第1及び第2プロセッシングモジュールの間の電流消費の差を減少させる段階を備える。

【0036】

他にも、前記方法は、バックコンバータを用いて前記減少させる段階を実行する段階を備える。前記方法は、2:1DC/DCコンバータを用いて前記減少させる段階を実行する段階を備える。前記方法は、平衡スイッチキャパシタンスデバイスを用いて前記減少させる段階を実行する段階を備える。前記方法は、線形プッシュプルレギュレーティングモジュールを用いて前記減少させる段階を実行する段階を備える。前記方法は、ヒステリシスコンパレータモジュールを用いて前記減少させる段階を実行する段階を備える。

【0037】

前記第1及び第2プロセッシングモジュールはともに、単一の集積回路で実装される。前記2:1DC/DCコンバータは、第1及び第2インダクタを含む。前記第1及び第2インダクタ以外の前記2:1DC/DCコンバータの構成要素は、前記集積回路で実装される。

【0038】

第1及び第2ソケットはPCB上に配置され、前記集積回路から延伸する複数のピンは、前記第1及び第2ソケットに収容される。前記第1及び第2インダクタは前記集積回路に取り付けられ、前記集積回路及び前記PCBの間に配置される。

【0039】

方法であって、第1及び第2基準電位の間に直列に接続された 2^n 個のモジュールを提供する段階と、 2^n 個のモジュールの隣接する複数のモジュールの間に配置される $2^n - 1$ 個のノードを提供する段階と、変換のための $2^n - 1$ 個の2:1DC/DCコンバータを提供する段階であって、前記 $2^n - 1$ 個の2:1DC/DCコンバータのそれぞれは $2^n - 1$ 個のノードのそれぞれと連通する段階とを備える。

【0040】

他にも、前記 $2^n - 1$ 個の2:1DC/DCコンバータは、 n 個の分岐線に配置される。第1分岐線は前記 $2^n - 1$ 個の2:1DC/DCコンバータの1つを有し、第2分岐線は前記 $2^n - 1$ 個の2:1DC/DCコンバータの2つを有し、第 n 分岐線は前記 $2^n - 1$ 個の2:1DC/DCコンバータの 2^{n-1} 個を有する。前記 2^n 個のモジュールは、複合論理回路マクロを含む。前記 2^n 個のモジュールは、特定用途向けの集積回路(AASIC)を含む。前記 2^n 個のモジュールは、プロセッシングモジュールを含む。

【0041】

回路であって、第1機能を実行する第1手段と、第2機能を実行する第2手段であって

10

20

30

40

50

、前記第1手段と連通する第2手段とを備える。前記第1及び第2手段は、第1及び第2基準電位の間に直列に接続されている。電流バランス手段は、前記第1及び第2手段の間のノードと連通して、前記第1及び第2手段の間の電流消費の差を減少させる。

【0042】

他にも、前記電流バランス手段はバックコンバータを含む。前記バックコンバータは、第3基準電位と連通する、スイッチングのための伝導スイッチ手段を有する。スイッチングのためのフリーホイールスイッチ手段は、第4基準電位及び前記伝導スイッチ手段と連通する。インダクタンスを与えるインダクタンス手段は、前記伝導スイッチ手段、前記フリーホイールスイッチ手段、及び前記ノードと連通する。キャパシタンスを与えるキャパシタンス手段は、前記第4基準電位及び前記ノードと連通する。

10

【0043】

他にも、前記電流バランス手段は、変換のための2:1DC/DC変換手段を有する。前記2:1DC/DC変換手段は、スイッチングのための第1及び第2伝導スイッチ手段を有する。インダクタンスを与える第1及び第2インダクタンス手段は、前記第1及び第2伝導スイッチ手段と連通する。スイッチングのための第1及び第2フリーホイールスイッチ手段は、非伝導期間にわたって電流パスを提供すべく、第1及び第2伝導スイッチと連通する。前記2:1DC/DC変換手段は、前記第1伝導スイッチ手段、前記第2伝導スイッチ手段、及びフリーホイールスイッチ手段を制御する駆動信号を生成する駆動信号生成手段をさらに有する。前記第1及び第2インダクタンス手段は共通のコアに共に巻かれている。前記第1及び第2伝導スイッチ手段、前記第1及び第2インダクタンス手段、並びに前記第1及び第2フリーホイールスイッチ手段は、出力電圧が入力電圧の大きさのおよそ1/2となるようバック構成で接続されている。

20

【0044】

他にも、前記電流バランス手段は、キャパシタンスをスイッチングするための平衡スイッチキャパシタンス手段を有する。前記平衡スイッチキャパシタンス手段は、前記第1手段及び前記第1基準電位と連通する第1の端、及び前記ノードと連通する第2の端を持つ、キャパシタンスを与える第1キャパシタンス素子を含む。キャパシタンスを与える第2キャパシタンス手段は、前記第2手段及び前記第2基準電位と連通する第1の端、及び前記ノードと連通する第2の端を持つ。キャパシタンスを与える第3キャパシタンス手段は、第1及び第2の端を持つ。スイッチングのための複数のスイッチ手段は、前記第1、第2、及び第3キャパシタンス手段を前記第1及び第2手段と選択的に接続及び切断して、前記第1及び第2手段の電流消費を均衡させる。前記複数のスイッチ手段は、前記第1キャパシタンス手段の前記第1の端と連通する第1の端、及び前記第3キャパシタンス手段の前記第1の端と連通する第2の端を持つ、スイッチングのための第1スイッチ手段と、前記第2キャパシタンス手段の前記第1の端と連通する第1の端、及び前記第3キャパシタンス手段の前記第2の端と連通する第2の端を持つ、スイッチングのための第2スイッチ手段と、前記第3キャパシタンス手段の第1の端と連通する第1の端、及び前記ノードと連通する第2の端を持つ、スイッチングのための第3スイッチ手段と、前記第3キャパシタンス手段の前記第2の端と連通する第1の端、及び前記ノードと連通する第2の端を持つ、スイッチングのための第4スイッチ手段とを含む。駆動信号生成手段は、前記複数のスイッチ手段を制御する駆動信号を生成する。

30

40

【0045】

他にも、前記電流バランス手段は、調整のための線形プッシュプル調整手段を有する。前記線形プッシュプル調整手段は、第1及び第2線形プッシュプルレギュレータを含む。前記線形プッシュプルレギュレータの第1段は、第1演算増幅器(オペアンプ)と、前記第1オペアンプの出力と連通する制御入力、第3基準電位と連通する第1端子、及び前記ノードと連通する第2端子を持つ第1トランジスタとを有する。前記線形プッシュプルレギュレータの前記第2段は、第2演算増幅器(オペアンプ)と、前記第2オペアンプの出力と連通する制御入力、前記ノードと連通する第1端子、第4基準電位と連通する第2端子を持つ第2トランジスタと、前記第1及び第2オペアンプの複数の第1入力と連通する

50

第1の端、及び前記ノードと連通する第2の端を持つ抵抗素子とを有する。

【0046】

他にも、前記電流バランス手段は、電流を均衡化するヒステリシスコンパレータ手段を有する。前記ヒステリシスコンパレータ手段は、少なくともオフセットを調整する可変オフセット手段、帯域幅を調整する可変帯域幅手段、及び/又は遅延を調整する可変遅延手段の少なくとも1つを含む。

【0047】

他にも、前記回路は集積回路である。変換のためのDC/DC変換手段は、入力信号を受信して出力信号を生成する。変換のための第2の2:1DC/DC変換手段は、前記DC/DC変換手段の出力と連通する入力、及び前記2:1DC/DC変換手段の入力と連通する出力を持つ。

10

【0048】

他にも、回路は、第3及び第4機能実行する第3及び第4手段を含む。前記第1、第2、第3、及び第4手段は、前記第1及び第2基準電位の間で直列に接続される。前記電流バランス手段は、前記第1基準電位と、前記第1及び第2手段の間の第1ノードと、前記第2及び第3手段の間の第2ノードと連通する、変換のための第1の2:1DC/DC変換手段と、前記第2ノードと、前記第3及び第4手段の間の第3ノードと、前記第2基準電位と連通する、変換のための第2の2:1DC/DC変換手段と、前記第1基準電位と、前記第2ノードと、前記第2基準電位と連通する、変換のための第3の2:1DC/DCコンバータとを備える。

20

【0049】

前記回路を備えるデバイスであって、N個のペアの回路をさらに備える。前記第1手段は前記N個のペアの回路の1つのペアの第1回路を有し、前記第2手段は前記N個のペアの回路の1つのペアの第2回路を有する。前記N個のペアの回路は、処理を行うプロセッシング手段を含む。第3の機能を実行する第3手段は、前記N個のペアの回路の他のペアの第1回路を有する。第3の機能を実行する第4手段は、前記N個のペアの回路の他のペアの第2回路を有する。前記第3及び第4手段は前記第1及び第2基準電位の間で直列に接続され、前記電流バランス手段は、前記第3及び第4手段の間のノードと連通する。前記第1、第2、第3、及び第4手段は、処理を行うシグナルプロセッシング手段を有する。

30

【0050】

他にも、グラフィックスプロセッシングユニット(GPU)は、前記デバイスを備える。前記第1、第2、第3、及び第4手段は、画像処理のためのグラフィックパイプライン手段を有する。

【0051】

他の形態では、プロセッシングシステムは、前記デバイスを備える。前記第1手段は処理のための第1プロセッシング手段を有し、前記第2手段は処理のための第2プロセッシング手段を有する。オペレーティングシステムは、前記第1及び第2プロセッシング手段と通信し、前記第1及び第2プロセッシング手段のロードバランス及び/又はスロットリングの少なくとも一方を実行して、前記第1及び第2プロセッシング手段の間の電流消費の差を減少させる。前記第1及び第2プロセッシング手段はともに、単一の集積回路で実装される。

40

【0052】

他にも、前記電流バランス手段は、インダクタンスを与える第1及び第2インダクタンス手段を含む、変換のための2:1DC/DC変換手段を有する。前記第1及び第2インダクタンス手段以外の前記2:1DC/DC変換手段の構成要素は、前記集積回路で実装される。前記プロセッシングシステムを備えるシステムであって、プリント回路基板(PCB)と、前記PCB上に配置された第1及び第2ソケットと、前記集積回路から延伸し、前記第1及び第2ソケットに収容される複数のピンとをさらに備える。前記第1及び第2インダクタンス手段は前記集積回路に取り付けられ、前記集積回路及び前記PCBの間

50

に配置される。

【0053】

ネットワークデバイスであって、第1通信チャネルを提供する第1チャネル手段と、前記第1チャネル手段と直列に接続された、第2通信チャネルを提供する第2チャネル手段と、第2チャネル手段と直列に接続された、第3通信チャネルを提供する第3チャネル手段と、第3チャネル手段と直列に接続された、第4通信チャネルを提供する第4チャネル手段とを備える。前記第1及び第4チャネル手段は、前記第1及び第2基準電位の間に直列に接続され、前記第1、第2、第3、及び第4チャネル手段は機能的に等価である。

【0054】

他にも、電流を均衡化する電流バランス手段は、前記第1及び第2チャネル手段の間のノード、前記第2及び第3チャネル手段のノード、及び前記第3及び第4チャネル手段のノードと連通して、前記第1、第2、第3、及び第4チャネル手段の間の電流消費の差を減少させる。前記ネットワークデバイスは、1000Base-T規格に準拠している。前記ネットワークデバイスは、10GBase-T規格に準拠している。

10

【0055】

他にも、前記電流バランス手段はバックコンバータを有する。前記電流バランス手段は変換のための2:1DC/DC変換手段を有する。前記電流バランス手段は、キャパシタンスをスイッチングする平衡スイッチキャパシタンス手段を有する。前記電流バランス手段は、調整のための線形プッシュプル調整手段を有する。前記電流バランス手段は、電流を均衡化するヒステリシスコンパレータ手段を有する。前記ヒステリシスコンパレータ手段は、オフセットを調整する可変オフセット手段、帯域幅を調整する可変帯域幅手段、及び/又は遅延を調整する可変遅延手段の少なくとも1つを含む。

20

【0056】

プロセッシングシステムであって、処理を行う第1プロセッシング手段と、前記第1プロセッシング手段と連通する、処理を行う第2プロセッシング手段とを備える。前記第1及び第2プロセッシング手段は、第1及び第2基準電位の間に直列に接続される。オペレーティングシステムを提供するオペレーティング手段は、前記第1及び第2プロセッシング手段と通信し、前記第1及び第2プロセッシング手段の間の電流消費の差を減少させるべく、前記第1及び第2プロセッシング手段のロードバランシング及び/又はスロットリングの少なくとも一方を実行する。

30

【0057】

他にも、電流バランス手段は、前記第1及び第2プロセッシング手段の間のノードと連通して、前記第1及び第2プロセッシング手段の間の電流消費の差を減少させる。

【0058】

他にも、前記電流バランス手段は、バックコンバータを有する。前記電流バランス手段は、変換のための2:1DC/DC変換手段を有する。前記電流バランス手段は、キャパシタンスをスイッチングする平衡スイッチキャパシタンス手段を有する。前記電流バランス手段は、調整のための線形プッシュプル調整手段を有する。前記電流バランス手段は、電流を均衡化するヒステリシスコンパレータ手段を有する。前記ヒステリシスコンパレータ手段は、オフセットを調整する可変オフセット手段、帯域幅を調整する可変帯域幅手段、及び/又は遅延を調整する可変遅延手段の少なくとも1つを含む。前記第1及び第2プロセッシング手段は、画像を処理する第1及び第2グラフィックパイプライン手段を有する。

40

【0059】

前記第1及び第2プロセッシング手段はともに、単一の集積回路で実装される。前記電流バランス手段は、インダクタンスを与える第1及び第2インダクタンス手段を含む、変換のための2:1DC/DC変換手段を有する。前記第1及び第2インダクタンス手段以外の前記2:1DC/DC変換手段の構成要素は、前記集積回路で実装される。

【0060】

前記プロセッシングシステムを備えるシステムであって、プリント回路基板(PCB)

50

と、前記PCB上に配置された第1及び第2ソケットと、前記集積回路から延伸し、前記第1及び第2ソケットに收容される複数のピンとをさらに備える。前記第1及び第2インダクタは前記集積回路に取り付けられ、前記集積回路及び前記PCBの間に配置される。

【0061】

回路であって、第1及び第2基準電位の間に直列に接続された、 2^n 個の機能をそれぞれ実行する 2^n 個の手段と、前記 2^n 個の手段の隣接する手段の間に配置された $2^n - 1$ 個のノードと、変換のための $2^n - 1$ 個の $2:1$ DC/DC変換手段とを備える。それぞれの前記 $2^n - 1$ 個の $2:1$ DC/DC変換手段は、前記 $2^n - 1$ 個のうちのそれぞれの1つと連通する。

【0062】

他にも、前記 $2^n - 1$ 個の $2:1$ DC/DC変換手段は、 n 個の分岐線に配置される。第1分岐線は前記 $2^n - 1$ 個の $2:1$ DC/DC変換手段の1つを有し、第2分岐線は前記 $2^n - 1$ 個の $2:1$ DC/DC変換手段の2つを有し、第 n 分岐線は前記 $2^n - 1$ 個の $2:1$ DC/DCコンバータの $2^n - 1$ 個を有する。前記 2^n 個の手段は、複合論理回路マクロ、特定用途向けの集積回路(AASIC)、及び/又は処理のためのプロセッシング手段を含む。

【0063】

本発明の更なる適用範囲は以下に示される詳細な説明から明らかになるだろう。当該詳細な説明及び具体的な例は、この発明の好ましい実施例を示しているが、それは説明のみを目的とすることが意図されたものであり、本発明の範囲を限定することが意図されたものではないことが理解されるだろう。

【0064】

本発明は、詳細な説明及び添付図面からさらに完全に理解されるだろう。

【発明を実施するための最良の形態】

【0065】

以下に示す好ましい実施形態は単に典型例としての性格を有するものであり、発明、発明のアプリケーションまたは用途を制限する意図は全くない。明確化を目的として、同様の構成要素を識別するために、同一の参照番号が用いられる。ここで、モジュール又は複数のモジュールという用語は、特定用途向け集積回路(AASIC)、電気回路、1または複数のソフトウェアまたはファームウェアプログラムを実行するプロセッサ(共用、専用、またはプロセッサ群)およびメモリ、マイクロプロセッササブシステム、論理回路の組み合わせ、複合論理回路マクロ、及び/又は記載された機能を提供する他の適切なコンポーネントを意味する。

【0066】

図1A及び1Bにおいて、この発明では、実質的な寄生抵抗の壁を克服するべく、デバイス群(例えば、複合論理回路マクロ及び/又はモジュール)を互いに上に積み重ねる。図1Aでは、複合論理回路マクロ20及び24は、他の一方の上に積み重ねられ、 V_{DD} 及び V_L の間に接続されている。ある実施例では、 V_L はグラウンドであってよい。図1Bでは、モジュール30及び34が他の一方に積み重ねられ、 V_{DD} 及び V_L の間に接続されている。もし複合論理回路マクロ20及び24、或いはモジュール30及び34の複雑さがおよそ同じ2つの部分に分けられ、半分のそれぞれが略等価に動作するなら、電流要件は積み重ねられていないデバイスの約半分となる。

【0067】

積み重ねられたデバイスは、積み重ねられていないデバイスの2倍の電圧で動作する。しかしながら、複合論理回路マクロ20及び24、或いはモジュール30及び34が実質的に同じ電流レベルを消費するという保証はない。これは、それぞれが実質的に同じ電流量を吸収するように作られない限り、解決不可能な問題のように思われる。半分のそれぞれがデバイス全体に印加された全電圧の半分を降下させることを、現実的に保証する方法はない。

【0068】

10

20

30

40

50

図 2 A 及び 2 B では、この発明における電流バランスモジュール 5 0 は、 V_{DD} 、 V_L 、及び / 又は論理回路マクロ 2 0 及び 2 4 或いはモジュール 3 0 及び 3 4 の間のノード 5 2 の少なくともひとつに接続される。電流バランスモジュール 5 0 は、論理回路マクロ 2 0 及び 2 4、或いはモジュール 3 0 及び 3 4 に供給される電流量を均衡させようとする。特に、電流バランスモジュール 5 0 は、図 2 A における複合論理回路マクロ 2 0 及び 2 4 のそれぞれ、或いは図 2 B におけるモジュール 3 0 及び 3 4 のそれぞれに、 $(V_{DD} - V_L)$ の約 $1/2$ を供給する。典型的な電流バランスモジュール 5 0 は、以下に記載されるような、バックコンバータ、2 : 1 DC / DC コンバータ、線形プッシュプルレギュレータ、低ドロップアウト (LDO) レギュレータ、平衡スイッチキャパシタンスデバイス、スイッチングインダクタデバイス、キャパシタ / インダクタデバイス、ヒステリシスコンパレータ、及び / 又は他の同様のデバイスを含む。

10

【 0 0 6 9 】

図 3 A 及び 3 B では、積み重ねられた複数の複合論理回路マクロ又はモジュールが、バックコンバータ 6 8 による均衡化とともに示される。バックコンバータ 6 8 は、図 3 A 及び図 3 B に示されるトポロジ、及び / 又は他の適切なトポロジを持つことができる。バックコンバータ 6 8 は、伝導スイッチ 7 0 及びフリーホイールスイッチ 7 2 を含む。制御モジュール 7 3 は、スイッチ 7 0 及び 7 2 への駆動信号を生成する。制御モジュール 7 3 は、ノード 5 2 における電圧及び / 又は電流を検出して、それらに基づいて複数のスイッチを制御する。ある実施例では、スイッチ 7 0 及び 7 2 は反対の状態を持つ。インダクタンス素子 7 8 は、スイッチ 7 0 及び 7 2 の間に接続された 1 つの端と、複合論理回路マクロ 2 0 及び 2 4 或いはモジュール 3 0 及び 3 4 と接続された反対の端を持つ。バックコンバータ 6 8 は、均衡化をもたらすべく電流を吸収又は供給する。

20

【 0 0 7 0 】

図 4 A 及び 4 B では、2 つのそれぞれの電圧が略同一になるように、2 つの間で電流を均衡化させる 1 つの実施例が示されている。図 4 A では、結合インダクタ 1 0 4 を利用した 2 : 1 DC / DC コンバータ 1 0 0 によって均衡化動作が得られる。動作上の更なる詳細は、2 0 0 3 年 1 0 月 2 4 日に出版された米国特許出願番号 1 0 / 6 9 3 7 8 7、" Voltage Regulator " に記載され、参考のため本願に全文を引用する。

【 0 0 7 1 】

2 : 1 DC / DC コンバータ 1 0 0 は、1 つの入力電圧 V_{DD} から 1 つの出力電圧 V_{OUT} を生成すべく、1 8 0 度離れた位相で動作する 2 つのバックコンバータを含む。それぞれのバックコンバータは、条件スイッチ 1 1 0 a 又は 1 1 0 b、フリーホイールスイッチ 1 1 4 a 又は 1 1 4 b、並びにインダクタ 1 4 0 a 又は 1 4 0 b を含む。1 つの出力キャパシタンス 1 1 8 は、それぞれのバックコンバータの出力電圧をフィルタする。リップル電流は無視できるので出力キャパシタンス 1 1 8 の値を小さくすることができる。また、2 : 1 DC / DC コンバータ 1 0 0 の入力と出力との間が強く結合しているため、入力におけるいずれの容量も、出力において負荷に並列容量を効果的に供給するよう出力キャパシタ 1 1 8 と連携して動作する。1 つの制御モジュール 1 1 9 は、1 1 0 a、1 1 0 b、1 1 4 a、及び 1 1 4 b への駆動信号を生成する。制御モジュール 1 1 9 は、ノード 5 2 における電圧又は電流を検出して、それらに基づいて複数のスイッチを制御する。

30

40

【 0 0 7 2 】

スタートアップ回路 1 3 0 は、スタートアップの間にわたってノード 5 2 が V_{DD} より小さい電圧に維持されることを保証すべく、必要に応じて備えられる。ある実施例においては、そのノードは、スタートアップの間およそ $V_{DD} / 2$ に維持される。ある実施例においては、スタートアップ回路 1 3 0 は、1 つかそれより多いキャパシタを含む。他にも、複数のモジュールの両端の超過電圧を防ぎ、スタートアップの間にわたってノード 5 2 がおよそ $V_{DD} / 2$ に維持される、及び / 又は V_{DD} より小さい閾電圧 V_{TH} より小さい電圧であることの少なくとも一方であることを保証すべく、スタートアップの間にわたって V_{DD} を増加又は掃引させることができる。閾値 V_{TH} は、複数のマクロ又はモジュールに損害を与える電圧より低い電圧であるべきである。

50

【 0 0 7 3 】

図 4 B では、図 4 A に示す出力キャパシタンス 1 1 8 が 1 1 8 B として符号が付されている。複数のマクロ及び / 又はモジュールがスタートアップの間にわたって V_{TH} を超える電圧を受けないように、及び / 又はおよそ $V_{DD} / 2$ となるように、他のキャパシタンス 1 1 8 A を必要に応じて加えることができる。また、複数のマクロ又はモジュールの両端の超過電圧を防ぐために、 V_{DD} はスタートアップの間にわたって増加又は掃引されてよい。また、スタートアップの間にわたって電圧を制限する他の方法を用いることができる。ある実施例においては、複数のキャパシタンスの電気容量は実質的に同じに設定される。

【 0 0 7 4 】

ある実施例では、インダクタ 1 0 4 a 及び 1 0 4 b は互いに強く結合されていて、結合係数 K は約 1 である。インダクタ 1 0 4 a 及び 1 0 4 b は、インダクタ 1 0 4 a 及び 1 0 4 b の間の高い結合係数を備えるインダクタアセンブリ 1 0 4 を形成すべく、磁気コアに共に巻かれている。複数のインダクタ巻線の極性は、インダクタ 1 0 4 a および 1 0 4 b を流れる直流電流がほぼ打ち消され、インダクタアセンブリ 1 0 4 の磁気コアを流れる直流電流がおよそ零になるように選択される。したがって、低透磁率の材料のより小さいコアサイズがインダクタ 1 0 4 a 及び 1 0 4 b に用いられ、結果としてより小さいサイズ（体積）でより低コストのインダクタアセンブリ 1 0 4 に結びつく。さらに、2 : 1 DC / DC コンバータ 1 0 0 の過渡応答は、過渡負荷電流に関する限り、個々のインダクタンスの打ち消しによって改善される。

【 0 0 7 5 】

積み重ねられた複合論理回路マクロ 2 0 及び 2 4、或いはモジュール 3 0 及び 3 4 のノード 5 2 に流れ込むかノード 5 2 から流れ出るかにかかわらず、いずれの超過電流も、2 : 1 DC / DC コンバータ 1 0 0 に吸収され 9 5 % 近い効率で主電源に戻される。スタートアップ後には、2 : 1 DC / DC コンバータ 1 0 0 は、複合論理回路マクロ 2 0 及び 2 4 或いはモジュール 3 0 及び 3 4 のそれぞれにかかる電圧が略同一となることを保証する。半分のそれぞれが電流レベルにおいてせいぜい 2 5 % の不一致があることを仮定すると、2 : 1 DC / DC コンバータ 1 0 0 は、全デバイスの半分の電流の 2 5 %、すなわち全電流の 1 / 8 を吸収又は供給する必要がある。

【 0 0 7 6 】

元々 1 0 0 A の電流要件を持つマイクロプロセッサの例に戻ると、2 : 1 DC / DC コンバータ 1 0 0 は、全電流の 1 2 . 5 A より小さい電流を吸収又は供給する必要がある。これは、下記図 1 3 A - 1 3 C で示されるような、マイクロプロセッサダイ内の集積パワー MOSFET 及びマイクロプロセッサパッケージの下に設けられた 1 つの 1 : 1 結合インダクタ 1 0 4 を用いて容易に製造することができる。

【 0 0 7 7 】

他の適切なバックコンバータ及び 2 : 1 コンバータのトポロジは、2 0 0 4 年 3 月 2 6 日に出版された米国特許出願番号 1 0 / 8 1 0 4 5 2、" Voltage Regulator"、2 0 0 3 年 1 0 月 2 4 日に出版された米国特許出願番号 1 0 / 6 9 3 7 8 7、" Voltage Regulator"、及び 2 0 0 4 年 1 月 8 日に出版された米国特許出願番号 1 0 / 7 5 4 1 8 7、" Digital Low Dropout Regulator" に示されて説明されており、参考のため本願にそれらの全文を引用する。

【 0 0 7 8 】

図 5 A 及び 5 B では、複合論理回路マクロ 2 0 及び 2 4 或いはモジュール 3 0 及び 3 4 の積み重ねは、高い消費電力の半導体デバイスにとって有用なだけでなく、個人用の情報端末（PDA）、MP3 プレーヤ、携帯衛星ラジオ、携帯電話等のハンドヘルドマーケットで使用されることを目的とした低消費電力の集積回路にとっても有用である。多くのハンドヘルド用途では、最近の半導体デバイスを駆動するのに要求される異なる複数の低い電圧供給レベルを生成するために、限られた数の DC / DC コンバータしか使用することができない。

10

20

30

40

50

【 0 0 7 9 】

複合論理回路マクロ 2 0 及び 2 4、並びにモジュール 3 0 及び 3 4 を積み重ねることは、2 つの複合論理回路マクロ又はモジュールが低電圧で動作することができる用途、及び積み重ねられて合算された電圧が集積回路の 1 つのアナログ部分を動作させるのに既に利用可能である用途に適切である。例えば、1 . 8 V のアナログ電圧が供給されるデバイスは、それぞれ 0 . 9 V で動作する組み込み論理回路の半分のそれぞれに電力を供給するために使用することができる。それぞれの間の電流の不一致は依然として対処される必要がある。

【 0 0 8 0 】

この場合、図 5 A 及び 5 B に示されるように、2 つのそれぞれの間で電流を行き来させるのに平衡スイッチキャパシタンスデバイス 1 5 0 を使用することができる。制御モジュール 1 5 4 は、ノード 1 6 4 における電流及びノ又は電圧を検知して、キャパシタ C_1 及び C_2 の充電及び放電を変えるべくスイッチ 1 5 8 及び 1 6 0 を制御する。平衡キャパシタ C_1 及び C_2 の切り替え動作は、2 つの半分のそれぞれの電流要件にアンバランスがある場合でも、それぞれの電圧が略同一となることを保証するために用いられる。ある実施例においては、スタートアップの間にわたったモジュール 2 0 及び 2 4 の両端にかかる超過電圧を防ぐために、 C_1 の容量は C_2 の容量と実質的に等価に設定される。言い換えると、ノード 1 6 4 は、スタートアップの間にわたって V_{TH} より小さく及びノ又は $V_{DD}/2$ と略同一に維持される。図では、平衡スイッチキャパシタンスデバイスが示されているが、当業者は、スイッチインダクタンスデバイス及びノ又はスイッチキャパシタンスノインダクタンスデバイスを用いることができることを理解するであろう。

【 0 0 8 1 】

図 6 A 及び 6 B では、キャパシタ C_1 、 C_2 、及び C_3 、並びにスイッチ 1 8 0、1 8 2、1 8 4、及び 1 8 6 を含む他の平衡スイッチキャパシタンスデバイスが示されている。スイッチキャパシタモジュール 1 9 2 は、ノード 1 9 2 から電流を吸収又は供給すべくスイッチ 1 8 0 ~ 1 8 6 を制御する。ある実施例においては、スイッチ 1 8 0 及び 1 8 4 はペアで切り替えられ、スイッチ 1 8 2 及び 1 8 6 がペアで切り替えられ、反対の状態を持つ。スイッチキャパシタンスモジュール 1 9 0 は、ノード 1 9 2 の電流又は電圧を検知して、その結果に基づいて複数のスイッチを制御する。平衡キャパシタ C_1 、 C_2 、及び C_3 の切り替え動作は、それぞれの間で電流要件にアンバランスがある場合でも、それぞれの電圧が略同一となることを保証するために使用される。

【 0 0 8 2 】

図 7 A 及び 7 B では、線形プッシュプルレギュレータ 2 0 0 が、いくらかの効率低下とともに使用される。半分のそれぞれが相対的に均衡するように設計されれば、効率の低下は最小限となる。この方法は、典型的には 5 0 % の効率しか持たない線形レギュレータより著しく良く機能する。それでも、ある実施例では複数の線形レギュレータを使用することもできる。

【 0 0 8 3 】

線形プッシュプルレギュレータ 2 0 0 は、それぞれトランジスタ T_1 及び T_2 の制御端子と連通する出力端子を持つ第 1 オペアンプ 2 0 4 及び第 2 オペアンプ 2 0 8 を含む。ある実施例では、トランジスタ T_1 及び T_2 は CMOS トランジスタである。トランジスタ T_1 の第 1 端子は V_{DD} に接続される。トランジスタ T_1 の第 2 端子は、トランジスタ T_2 の第 1 端子に接続される。トランジスタ T_2 の第 2 端子は V_L に接続される。オペアンプ 2 0 4 の非反転入力、上限の電圧閾値 V_{UL} に接続され、オペアンプ 2 0 8 の非反転入力、下限の電圧閾値 V_{LL} に接続される。オペアンプ 2 0 8 の反転入力、オペアンプ 2 0 4 の反転入力に接続され、抵抗 R の一端に接続される。抵抗 R の他端は、第 1 及び第 2 トランジスタ T_1 及び T_2 のそれぞれ第 2 及び第 1 端子に接続される。第 1 及び第 2 トランジスタ T_1 及び T_2 のそれぞれ第 2 及び第 1 端子は、図 7 A における第 1 及び第 2 論理回路マクロ 2 0 及び 2 4 の間、若しくは、図 7 B における第 1 及び第 2 モジュール 3 0 及び 3 4 の間のノード 2 1 0 に接続される。

10

20

30

40

50

【 0 0 8 4 】

ノード 2 1 0 が目標電圧 ($V_{DD} - V_L$) / 2 より小さく第 1 の閾値 ($V_{UL} - (V_{DD} - V_L) / 2$) までの場合、上方の論理回路マクロ又はモジュールは電圧を大きく降下している。上方のオペアンプ 2 0 4 は、ノード 2 1 0 に V_{DD} を印加するトランジスタ T 1 を瞬間的にオンにする。ノード 2 1 0 における V_{DD} は、論理回路マクロ 2 4 又はモジュール 3 4 の両端の電圧を引き上げ、論理回路マクロ 2 0 又はモジュール 3 0 の両端の電圧を押し下げる。ノード 2 1 0 に V_{DD} が印加されると、オペアンプ 2 0 4 は T 1 をオフにし、このプロセスは電圧の違いが第 1 閾値より小さくなるまで繰り返される。

【 0 0 8 5 】

ノード 2 1 0 が目標電圧 ($V_{DD} - V_L$) / 2 より大きく第 2 の閾値 ($V_{UL} - (V_{DD} - V_L) / 2$) までの場合、下方の論理回路マクロ又はモジュールは電圧を大きく降下している。下方のオペアンプ 2 0 8 は、ノード 2 1 0 に V_L を印加するトランジスタ T 2 を瞬間的にオンにする。ノード 2 1 0 における V_L は、論理回路マクロ 2 0 又はモジュール 3 0 の両端の電圧を引き上げ、論理回路マクロ 2 4 又はモジュール 3 4 の両端の電圧を押し下げる。ノード 2 1 0 に V_L が印加されると、オペアンプ 2 0 8 は T 2 をオフにし、このプロセスは電圧の差が第 1 の閾値より小さくなるまで繰り返される。

【 0 0 8 6 】

理解できるように、様々なタイプのレギュレータを使用することができる。上記に記載された実施例に加えて、他のタイプの DC / DC コンバータ、プッシュプルレギュレータ、スイッチキャパシタンスデバイスを使用することができる。また、これに限定されるものではないが、ヒステリシスコンパレータを含む他のタイプのレギュレータを使用することができる。例えば、適切なヒステリシスコンパレータは、2003年6月23日に出願された米国特許出願番号 10 / 602997、"Simplified Comparator with Digitally Controllable Hysteresis and Bandwidth" に示されて説明されたヒステリシスコンパレータを含み、参考のため本願に当該出願の全文を引用する。

【 0 0 8 7 】

図 7 B では、第 1 キャパシタンス C_1 及び第 2 キャパシタンス C_2 が、スタートアップの間にわたってモジュール 3 0 及び 3 4 の両端の電圧を V_{TH} より小さく $V_{DD} / 2$ に略等しく制限すべく設けられる。ある実施例においては、キャパシタンス C_1 の電気容量は C_2 の電気容量と実質的に同じである。言い換えると、ノード 2 1 0 はスタートアップの間にわたっておよそ $V_{DD} / 2$ に維持される。

【 0 0 8 8 】

図 8 A 及び 8 B では、ヒステリシスコンパレータ 2 5 0 及び 2 5 4 が、論理回路マクロ 2 0 及び 2 4、若しくはモジュール 3 0 及び 3 4 の両端の電圧を調整すべく使用される。コンパレータ 2 5 0 は、 V_{DD} 、上方の閾値電圧 V_{UL} 、及びノード 2 1 0 における電圧を受け取る。ある実施例では、コンパレータ 2 5 0 は、固定又は可変のオフセット 2 5 6、固定又は可変の帯域幅 2 5 8、及び / 又は、固定又は可変のディレイ 2 6 0 を有する。可変である場合、コンパレータ 2 5 4 は、それぞれの調整を行うべく 1 以上の対応する入力を受け取る。コンパレータ 2 5 4 は V_L 、下限の電圧閾値 V_{LL} 、及びノード 2 1 0 における電圧を受け取る。

【 0 0 8 9 】

ノード 2 1 0 が目標電圧 ($V_{DD} - V_L$) / 2 より小さく上限の閾値 ($V_{UL} - (V_{DD} - V_L) / 2$) までの場合、上方の論理回路マクロ又はモジュールは電圧を大きく降下している。コンパレータ 2 5 0 はノード 2 1 0 に V_{DD} を印加する。ノード 2 1 0 における V_{DD} は、論理回路マクロ 2 4 又はモジュール 3 4 の両端の電圧を引き上げ、論理回路マクロ 2 0 又はモジュール 3 0 の両端の電圧を押し下げる。 V_{DD} がノード 2 1 0 に遅延期間の間印加されると、コンパレータ 2 5 0 はノード 2 1 0 への V_{DD} の印加を停止する。このプロセスは差が上限の閾値より小さくなるまで繰り返される。

【 0 0 9 0 】

10

20

30

40

50

ノード210が目標電圧 $(V_{DD} - V_L) / 2$ より大きく下限の閾値 $((V_{DD} - V_L) / 2 - V_{UL})$ までの場合、下方の論理回路マクロ又はモジュールは電圧を大きく降下している。コンパレータ254はノード210に V_L を印加する。ノード210における V_L は、論理回路マクロ20又はモジュール30の両端の電圧を引き上げ、論理回路マクロ24又はモジュール34の両端の電圧を押し下げる。ノード210に V_L が遅延期間の間印加されると、コンパレータ254はノード210への V_L の印加を停止する。このプロセスは差が下限の閾値より小さくなるまで繰り返される。

【0091】

論理回路マクロ及びモジュールの2段積みが見られているが、それに加えて、当業者は更なるレベルの積み重ねを用いることができることを理解できるだろう。また、他の均衡化の方法を用いることができる。

10

【0092】

図9Aでは、DC/DCコンバータ300は、入力信号を受信し、4V及び2.5Aの出力を生成する。第1の2:1コンバータ304は、4V、2.5Aの入力を、2V、50Aの出力に変換する。第2コンバータ308は、2V、50Aの入力を1V、100Aの出力に変換する。プリント基板回路(PCB)314上に実装されたマクロ又はモジュール312は、抵抗310(これは線及び他の結線の寄生抵抗を示す)を介して2:1コンバータ308の出力に接続されてよい。理解できるように、寄生抵抗310による損失は $I^2 R$ に等しい。ここで、 I は寄生抵抗 R を流れる電流の強さである。図9Bについて、この発明によると、上記の324及び328で示されるマクロ又はモジュールのペアの間に2:1コンバータ320(又は他の電流バランスモジュール)を接続することによって、損失を1/4に減少させることができる。

20

【0093】

図9Cでは、更なる複数のモジュールは更なる複数の2:1コンバータと結合されてよい。図9Cでは、4つのモジュール又はマクロ340、342、344、及び346が直列に接続され、間にノード347、348、及び349を持つ。第1の2:1コンバータ330は、DC/DCコンバータ300の出力と、マクロ又はモジュール340と、ノード348とに接続されている。ノード348は、2:1コンバータ334及び336と、モジュール又はマクロ342及び344とも接続されている。図示されるように、2:1コンバータ334は、DC/DCコンバータ300の出力と、モジュール又はマクロ340と、ノード347及び348とも接続されている。図示されるように、2:1コンバータ336は、ノード348及び349にも接続されている。2:1コンバータ320は、PCBを流れる全電流を制御する2:1コンバータ308より小型にすることができる。対照的に、2:1コンバータ320は、積み重ねられた複数のデバイスの間の電流の不一致を制御するだけでよい。

30

【0094】

より一般的には、回路に 2^n 個のモジュール又はマクロが含まれる場合、回路は $2^n - 1$ 個の2:1DC/DCコンバータを含む。複数の2:1DC/DCコンバータは n 個の分岐線に配置される。 $2^n - 1$ 個の2:1DC/DCコンバータは、隣接するDC/DCコンバータの間に $2^n - 1$ 個のノードを持つ。それぞれの $2^n - 1$ 個のDC/DCコンバータは、 $2^n - 1$ 個のノードのうちのそれぞれ1つと接続される。

40

【0095】

例えば図9Cでは、2つの分岐線350及び352が存在する。第1分岐線350は1つの2:1コンバータを含み、第2分岐線は2つの2:1DC/DCコンバータを含む。より一般的には、第1分岐線は $2^0 = 1$ 個の2:1DC/DCコンバータを含み、第2分岐線は $2^1 = 2$ 個の2:1DC/DCコンバータを含み、第3分岐線は $2^2 = 4$ 個の2:1DC/DCコンバータを含み、 \dots 、 n 番目の分岐線は 2^{n-1} 個の2:1DC/DCコンバータを含む。

【0096】

図10A及び10Bでは、ルータ、スイッチ、又は他のネットワークデバイスのような

50

通信デバイス 360 は、典型的に複数の通信チャンネル 364 - 1、364 - 2、364 - 3、及び 364 - 4 (チャンネル 364 と総称する。)を含む。4つのシグナルプロセッサモジュールしか示されていないが、シグナルプロセッサの異なるペアを用いることができる。それぞれのチャンネル 364 は、シグナルプロセッサ 366 - 1、366 - 2、366 - 3、及び 366 - 4 (シグナルプロセッサ 366 と総称する。)を含む。それぞれのシグナルプロセッサ 366 は典型的には同じ設計であり、シグナルプロセッサモジュール 366 は動作時に略同一の電流量を消費し易い。上記又は下記のような電流バランスモジュール 370 は、電流消費の差を均衡すべく設けられる。不一致を低減させるという理由から、線形 LDOレギュレータのような低効率のデバイスを使用してよい。とはいえ、他の電流バランスモジュールを使用してもかまわない。例えば、通信チャンネルは、1000 B

10

【0097】

図 11A 及び 11B では、グラフィックスプロセッシングユニット (GPU) 380 は、複数のグラフィックスパイプラインモジュール 382 - 1、382 - 2、・・・、及び 382 - N (グラフィックスパイプラインモジュール 382 と総称する。)を含む。それぞれのグラフィックスパイプラインモジュール 382 は同じ設計を持つので、グラフィックスパイプラインモジュール 382 は動作時に同量の電流を消費し易い。上記又は下記のような電流バランスモジュール 390 が、電流消費の差を調整すべく設けられる。

【0098】

20

図 12 では、第 1 プロセッサ 400 及び第 2 プロセッサ 402 は、第 1 プロセッサ 400 及び第 2 プロセッサ 402 の電流消費を調整するパワー調整モジュール 404 と通信する。ある実施例においては、パワー調整モジュール 404 はハードウェアベース、ソフトウェアベース、及び/又はハードウェア及びソフトウェアベースであってよい。ある実施例においては、パワー調整モジュール 404 は、電流消費のバランスをとるために、第 1 及び第 2 プロセッサの相対的な動作周波数を調整する。パワー調整モジュール 404 は、電流消費のバランスをとるために、第 1 プロセッサ 400 及び第 2 プロセッサ 402 のロードバランシング及び/又はスロットリングを使用してよい。ある実施例においては、パワー調整モジュール 404 は、上記及び下記のような任意の電流バランスモジュール 406 と組み合わせて用いられる。言い換えると、パワー調整モジュール 404 は大まかな均

30

【0099】

図 13A、13B、及び 13C では、パワー管理モジュール 404 は周波数バランスモジュール 404' を含む。更に電流消費を均衡すべく、任意の 2:1 DC/DCコンバータ 406' を使用することができる。図 13B には、半導体ダイ 408 の上に作られた、第 1 プロセッサ 400、第 2 プロセッサ 402、及び 2:1 DC/DCコンバータ 406' の典型的な配置が示されている。図 13C では、図 13B の半導体ダイ 408 は、PCB 412 上に配置された第 1 ソケット 411 及び第 2 ソケット 416 によって PCB 412 に接続されている。ある実施例においては、2:1 DC/DCコンバータ 406' に関連する上記のインダクタ 420 及び 422 が、半導体ダイ 408 及び PCB 412 の間に

40

【0100】

図 14 では、パワー調整モジュール 404 はオペレーティングシステム 404'' を含む。OS 404'' 又はチップは、第 1 プロセッサ 400 及び第 2 プロセッサ 402 に複数のスレッドを割り当てることによって、負荷均衡化を行うことができる。OS 404'' 又はチップは、電流のアンバランスを小さくすべく、第 1 プロセッサ 400 及び/又は

50

第2プロセッサ402を抑制することができる。例えば、CPUスピードは次のように設定される。

【表1】

	速度			
CPU1又はCPU2	1GHz	2GHz	3GHz	4GHz
CPU2又はCPU1	0GHz	1GHz	2GHz	3GHz

10

【0101】

それぞれのCPUを最大周波数の1/2で動作させると、それぞれのCPUはより低い電圧で動作することができるので、より効果的である。ある実施例では、他のCPUの電流消費と均衡化させるべく、複数のCPUのうちの1つの動作周波数が低下及び/又は増加させられる。代わりに、他に生じる電流のアンバランスを均衡化させるために、複数のCPUの少なくとも1つにダミーオペレーションを実行させることができる。

【0102】

図4A、4B、5A、及び7Bに戻ると、複数のマクロ及び/又はモジュールの間のノードにおける電圧がスタートアップの間にわたって V_{TH} より低く及び/又はおよそ $V_{DD}/2$ に維持されることを確実にすべく、回路及び/又はキャパシタが用いられた。当業者は、ここに示されて説明された他の実施例が、複数のマクロ及び/又はモジュールの間のノードにおける電圧をスタートアップの間にわたって V_{TH} より低く及び/又はおよそ $V_{DD}/2$ に維持するための複数の回路及び/又はキャパシタを含むことを理解するであろう。

20

【0103】

当業者は、本発明に関する広い教示を様々な形態で実装できることを、上述の説明から理解できるであろう。したがって、特定の例に関連付けて本発明を説明したが、当業者にとって図面、明細書、および特許請求の範囲の検討に基づいて他の変形も明らかであるから、本発明の真の範囲は上述の説明に限定して解釈されるべきではない。

30

【図面の簡単な説明】

【0104】

本発明は、詳細な説明及び添付図面からさらに完全に理解されるだろう。

【図1A】図1Aは、通常の電圧レベルの2倍及び通常の電流レベルの1/2で動作する、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図1B】図1Bは、通常の電圧レベルの2倍及び通常の電流レベルの1/2で動作する、積み重ねられた複数のモジュールの機能ブロック図である。

【図2A】図2Aは、電流バランスモジュールを備えた、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

40

【図2B】図2Bは、電流バランスモジュールを備えた、積み重ねられた複数のモジュールの機能ブロック図である。

【図3A】図3Aは、バックコンバータによって均衡化された、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図3B】図3Bは、バックコンバータによって均衡化された、積み重ねられた複数のモジュールの機能ブロック図である。

【図4A】図4Aは、2:1DC/DCコンバータによって均衡化された、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図4B】図4Bは、2:1DC/DCコンバータによって均衡化された、積み重ねられ

50

た複数のモジュールの機能ブロック図である。

【図5A】図5Aは、第1の典型的な平衡スイッチキャパシタンスデバイスによって均衡化された、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図5B】図5Bは、第1の典型的な平衡スイッチキャパシタンスデバイスによって均衡化された、積み重ねられた複数のモジュールの機能ブロック図である。

【図6A】図6Aは、第2の典型的な平衡スイッチキャパシタンスデバイスによって均衡化された、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図6B】図6Bは、第2の典型的な平衡スイッチキャパシタンスデバイスによって均衡化された、積み重ねられた複数のモジュールの機能ブロック図である。

【図7A】図7Aは、線形プッシュプルレギュレータによって均衡化された、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図7B】図7Bは、線形プッシュプルレギュレータによって均衡化された、積み重ねられた複数のモジュールの機能ブロック図である。

【図8A】図8Aは、複数のヒステリシスコンパレータによって均衡化された、積み重ねられた複数の複合論理回路マクロの機能ブロック図である。

【図8B】図8Bは、複数のヒステリシスコンパレータによって均衡化された、積み重ねられた複数のモジュールの機能ブロック図である。

【図9A】図9Aは、従来技術に係る、DC/DCコンバータ及び2:1コンバータを用いた、1つのモジュール又はマクロへの電圧及び電流の供給を示す機能ブロック図である。

【図9B】図9Bは、この発明に係るある実施例における2段に積み重ねられた複数のモジュール又はマクロへの電圧及び電流の供給を示す機能ブロック図である。

【図9C】図9Cは、この発明に係る他の実施例における4段に積み重ねられた複数のモジュール又はマクロへの電圧及び電流の供給を示す機能ブロック図である。

【図10A】図10Aは、複数の通信チャネルを含む、シグナルプロセッサをそれぞれ備える1つの通信デバイスの機能ブロック図である。

【図10B】図10Bは、図10Aの通信デバイスへの電圧及び電流の供給を示す機能ブロック図である。

【図11A】図11Aは、複数のグラフィックスパイプラインモジュールを含む1つのグラフィックスプロセッシングユニット(GPU)の機能ブロック図である。

【図11B】図11Bは、図11Aの複数のグラフィックスパイプラインモジュールへの電圧及び電流の供給線を示す機能ブロック図である。

【図12】図12は、第1及び第2プロセッサ、第1及び第2プロセッサの電流消費を均衡化する電力調節モジュール、及び任意の電流バランスモジュールの機能ブロック図である。

【図13A】図13Aは、第1及び第2プロセッサ、第1及び第2プロセッサの動作周波数の差を減少させて電流のアンバランスを減少させる周波数バランスモジュール、及び任意の2:1DC/DCコンバータの機能ブロック図である。

【図13B】図13Bは、半導体ダイ上の、第1及び第2プロセッサ、並びに2:1DC/DCコンバータの典型的な配置を示す機能ブロック図である。

【図13C】図13Cは、図13Bの半導体ダイ、及びPCB上の外部の複数のインダクタの実装を示す側面図である。

【図14】図14は、第1及び第2プロセッサ、第1及び第2プロセッサの電流消費を均衡化するオペレーティングシステム、並びに任意の電流バランスモジュールの機能ブロック図である。

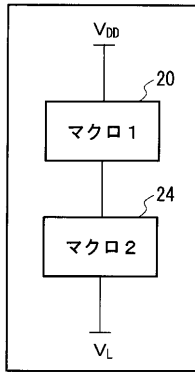
10

20

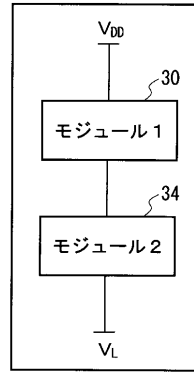
30

40

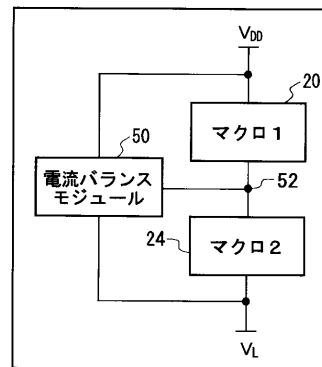
【図 1 A】



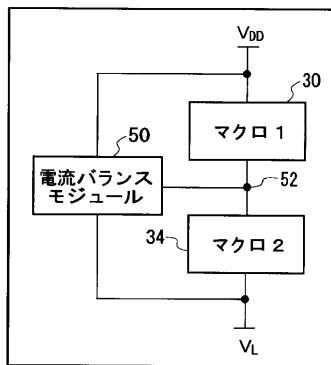
【図 1 B】



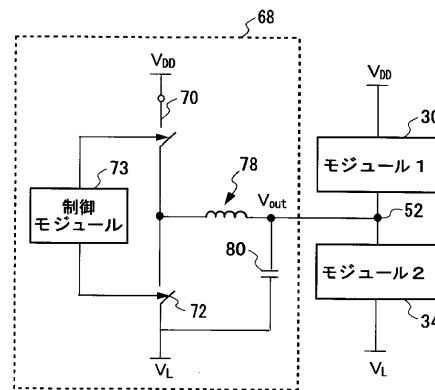
【図 2 A】



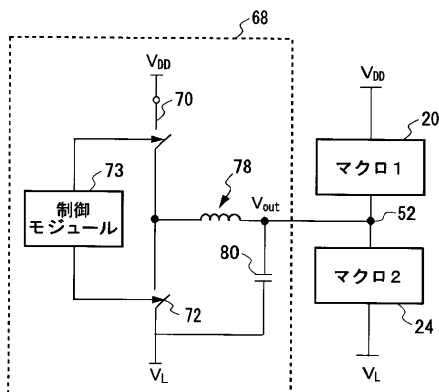
【図 2 B】



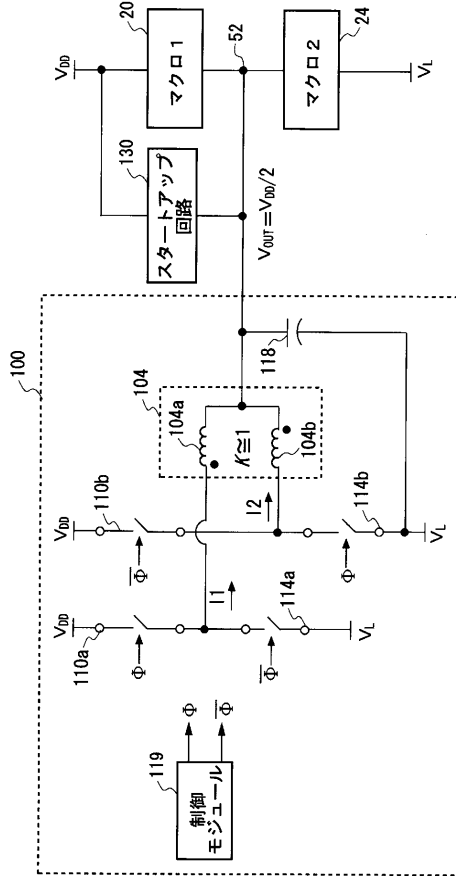
【図 3 B】



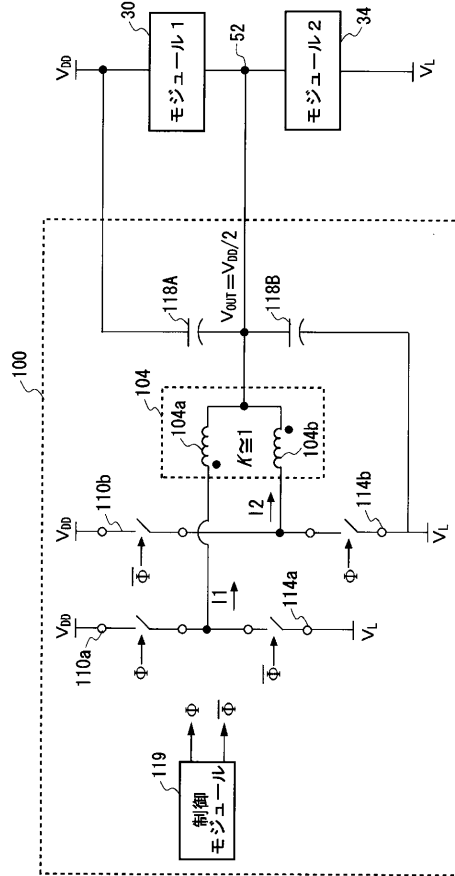
【図 3 A】



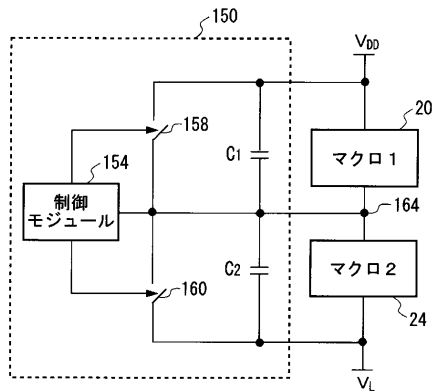
【図 4 A】



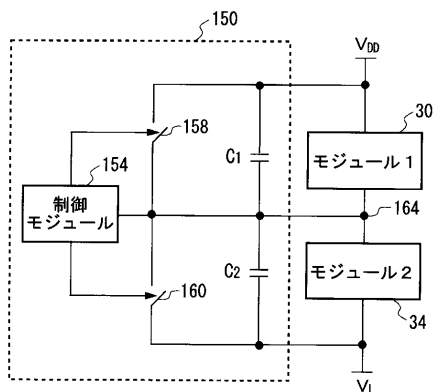
【図 4 B】



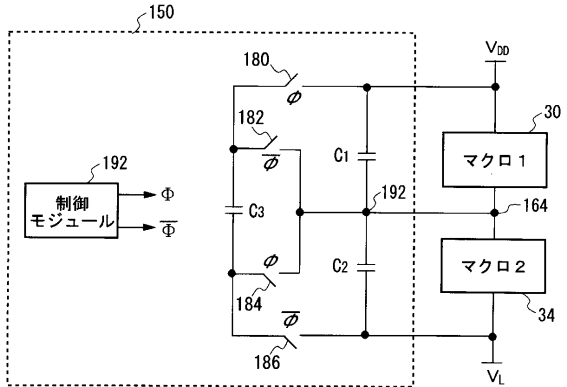
【図 5 A】



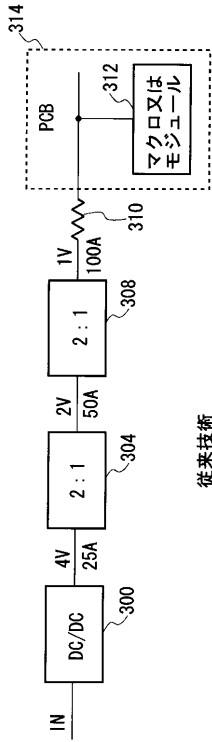
【図 5 B】



【図 6 A】

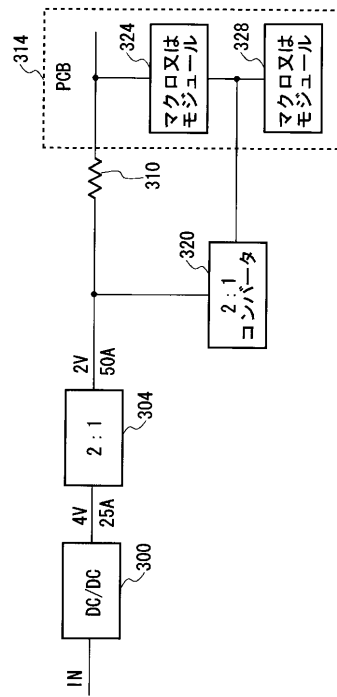


【図9A】

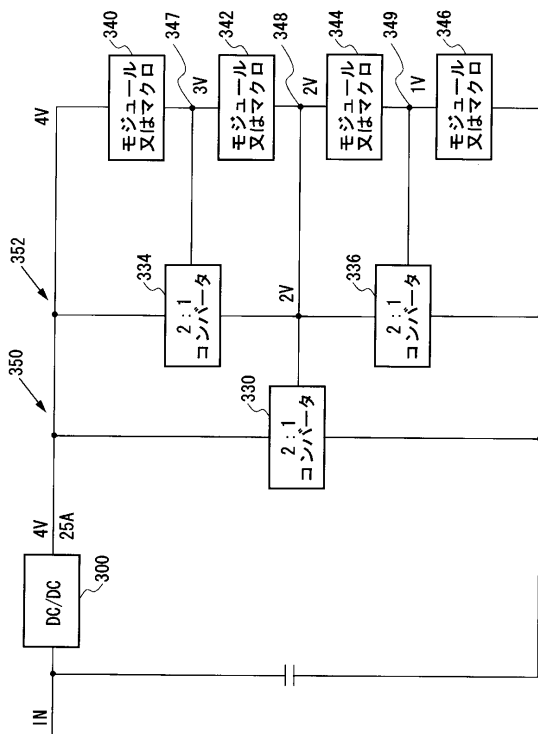


従来技術

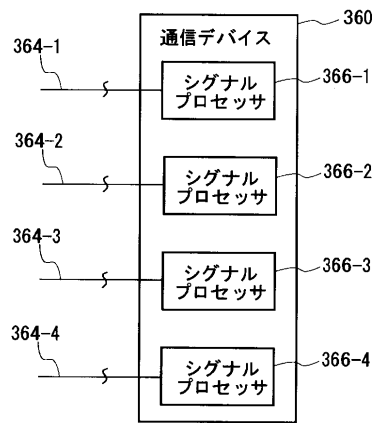
【図9B】



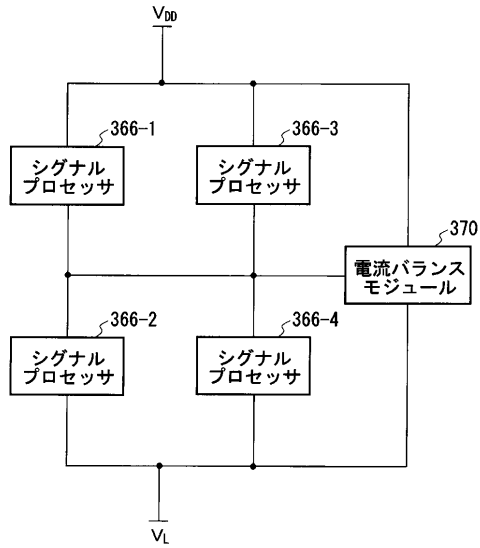
【図9C】



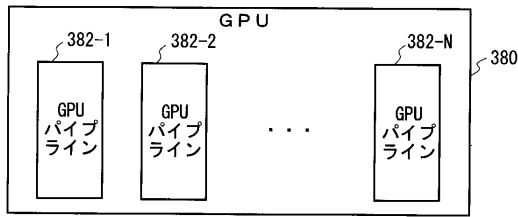
【図10A】



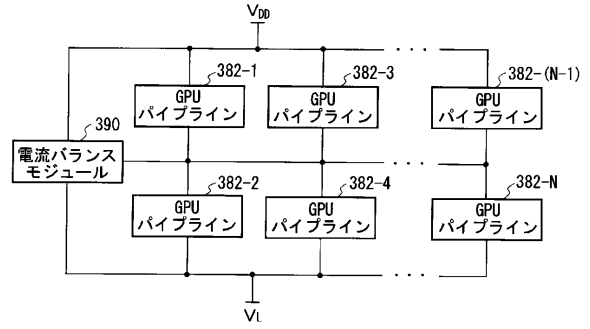
【図10B】



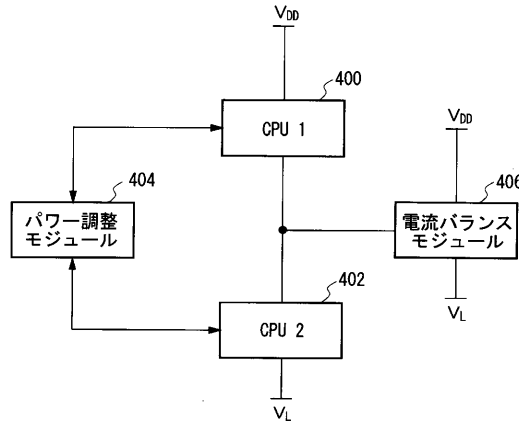
【図11A】



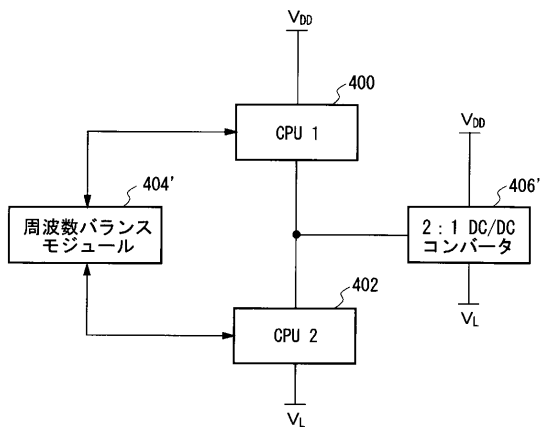
【図11B】



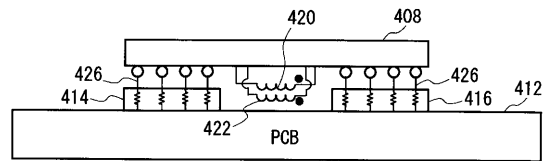
【図12】



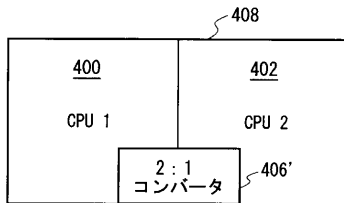
【図13A】



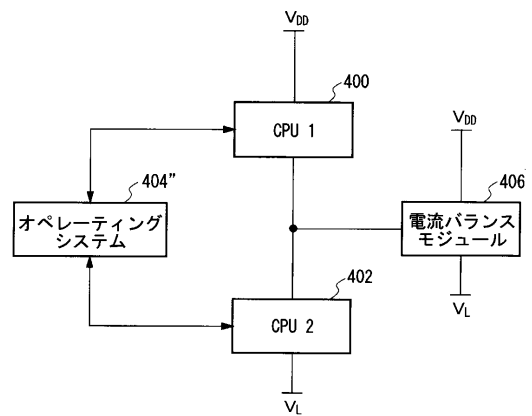
【図13C】



【図13B】



【図14】



フロントページの続き

(31)優先権主張番号 11/179,106

(32)優先日 平成17年7月12日(2005.7.12)

(33)優先権主張国 米国(US)

(56)参考文献 特開平07-273286(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 25/00

H01L 27/04

H03K 19/00