(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
21 mai 2004 (21.05.2004)

PCT

(10) Numéro de publication internationale
WO 2004/042579 A1

(51) Classification internationale des brevets[7] : G06F 11/36

(21) Numéro de la demande internationale :
PCT/FR2002/003724

(22) Date de dépôt international :
29 octobre 2002 (29.10.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(71) Déposant *(pour tous les États désignés sauf US)* : **STMICROELECTRONICS S.A.** [FR/FR]; 29, boulevard Romain Rolland, F-92120 Montrouge (FR).

(72) Inventeur; et
(75) Inventeur/Déposant *(pour US seulement)* : **REGNIER, Laurent** [FR/FR]; Les Arènes, 16, rue Jean Jaurès, F-38610 Gieres (FR).

(74) Mandataire : **DE BEAUMONT, Michel**; Cabinet Michel de Beaumont, 1, rue Champollion, F-38000 Grenoble (FR).

(81) États désignés *(national)* : JP, US.

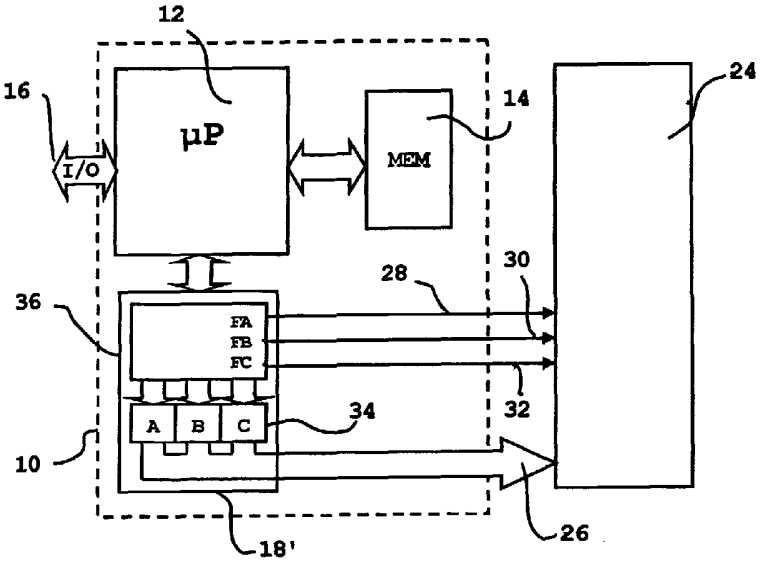
(84) États désignés *(régional)* : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

Publiée :
— *avec rapport de recherche internationale*

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(54) **Title:** MONITORING A MICROPROCESSOR PROGRAMME BY SENDING TIME-TRACKABLE MESSAGES

(54) **Titre :** SURVEILLANCE D'UN PROGRAMME DE MICROPROCESSEUR PAR ENVOI DE MESSAGES REPERABLES DANS LE TEMPS



(57) **Abstract:** The invention concerns a monitoring device (18', 18'') integrated to the chip of a microprocessor (12) executing a series of instructions comprising message calculating means (36) for, upon each execution of an instruction, producing a corresponding digital message; a buffer memory (34) for storing each message produced; and a plurality of output terminals (FA, FB, FC) connected to an external analyzing tool (24), each output terminal (FA, FB, FC) being associated with one type of instructions; the message calculating means (36) modifying the state of the output terminal (FA, FB, FC) associated with one type of instructions at the time when a message corresponding to said type of instructions is stored in the buffer memory.

[Suite sur la page suivante]

WO 2004/042579 A1

(57) Abrégé : L'invention concerne un dispositif de surveillance (18', 18") intégré à la puce d'un microprocesseur (12) exécutant une suite d'instructions, comprenant un moyen de calcul de messages (36) pour, lors de chaque exécution d'une instruction, produire un message numérique correspondant ; une mémoire tampon (34) pour stocker chaque message produit ; et une pluralité de bornes de sorties (FA, FB, FC) reliées à un outil d'analyse externe (24), chaque borne de sortie (FA, FB, FC) étant associée à un type d'instructions ; le moyen de calcul de messages (36) modifiant l'état de la borne de sortie (FA, FB, FC) associée à un type d'instructions au moment où un message correspondant audit type d'instructions est stocké en mémoire tampon.

SURVEILLANCE D'UN PROGRAMME DE MICROPROCESSEUR PAR ENVOI DE MESSAGES REPÉRABLES DANS LE TEMPS

La présente invention concerne le test de microprocesseurs. Elle concerne plus particulièrement un dispositif et un procédé pour transmettre depuis un circuit de surveillance intégré dans une puce de microprocesseur des messages numériques datés permettant de suivre le fonctionnement du microprocesseur.

La figure 1 représente de façon schématique un circuit intégré 10 comportant un microprocesseur (μP) 12, une mémoire interne (MEM) 14 et des bornes d'entrée/sortie (I/O) 16. Le microprocesseur 12 est destiné à exécuter un programme ou logiciel stocké dans la mémoire 14. Sous la commande du programme, le microprocesseur 12 peut traiter des données fournies par les bornes d'entrée/sortie 16 ou stockées dans la mémoire 14 et lire ou écrire des données par les bornes d'entrée/sortie 16.

De façon à vérifier le bon fonctionnement du microprocesseur, on intègre généralement au circuit intégré 10 un circuit de surveillance 18 (TEST). Le circuit de surveillance 18 est adapté à lire des données spécifiques fournies par le microprocesseur 12 lors du déroulement d'un programme, et à réaliser éventuellement un traitement sur les données lues. Des

bornes de test 22 relient le circuit de surveillance 18 à un outil d'analyse 24. L'outil d'analyse 24 peut effectuer un traitement des signaux reçus, par exemple en fonction de commandes fournies par un utilisateur, et assurer une analyse détaillée du fonctionnement du microprocesseur 12. En particulier, l'outil d'analyse 24 peut déterminer la séquence d'instructions du programme réellement exécutée par le microprocesseur 12.

Le nombre de bornes de test 22 peut être du même ordre de grandeur que le nombre de bornes d'entrée/sortie 16, par exemple 200 à 400 bornes. Les bornes de test 22 ainsi que les connexions du circuit de surveillance 18 occupent une surface de silicium importante, ce qui entraîne un accroissement indésirable du coût du circuit. Pour cela, une première version du circuit intégré 10 incluant le circuit de surveillance 18 et les bornes de test 22 est produite en petites quantités pour effectuer la mise au point du programme du microprocesseur 12 ou "programme utilisateur". Après cette mise au point, une version du circuit intégré 10 débarrassée du circuit de surveillance 18 et des bornes de test 22 est commercialisée. Cela implique la réalisation de deux versions du circuit intégré, ce qui demande un travail important et est relativement coûteux. De plus, la puce finale n'est pas forcément identique à la puce testée.

Pour pallier les inconvénients précédemment mentionnés, on cherche à réaliser un circuit de surveillance 18 qui occupe une surface réduite et nécessite seulement un nombre réduit de bornes de test 22, ce qui diminue le coût de revient du circuit de surveillance. Le circuit de surveillance 18 peut alors être laissé sur le circuit intégré 10 finalement commercialisé.

On cherche donc à diminuer le nombre de signaux fournis par le circuit de surveillance 18. Pour ce faire, on fait réaliser directement au niveau du circuit de surveillance 18 certaines opérations logiques sur les données mesurées au

niveau du microprocesseur 12 de façon à transmettre seulement des messages ayant un contenu informationnel important.

Ainsi, la norme IEEE-ISTO-5001 en préparation propose dans sa version de 1999, accessible par exemple sur le site www.ieee-isto.org/Nexus5001, un protocole particulier d'échanges de messages entre un circuit de surveillance et un outil d'analyse pour un circuit de surveillance 18 ne nécessitant qu'un nombre réduit de bornes de test 22.

Le circuit de surveillance est prévu pour surveiller le fonctionnement du microprocesseur et pour fournir aux bornes de test des messages prédéterminés correspondant seulement à l'exécution de certaines instructions prédéterminées. Plusieurs types de messages sont prévus, qui correspondent à l'exécution d'instructions de types différents. Les différents types de messages et leur structure sont décrits dans la section 6 de la norme IEEE ISTO-5001.

Un grand nombre de messages peut être produit dans un intervalle de temps réduit. La norme prévoit que chaque nouveau message est stocké dans une mémoire tampon lorsque les bornes de test ne sont pas disponibles (lorsqu'elles sont utilisées pour transmettre un autre message), puis est envoyé à l'outil d'analyse lorsque les bornes de test sont disponibles. Lorsqu'un message comporte plus de bits qu'il n'y a de bornes de test, la norme prévoit que le message est divisé en segments de taille appropriée qui sont envoyés à la suite par les bornes de test. Ainsi, plus un message est grand, plus il faut du temps pour l'envoyer à l'outil d'analyse. L'outil d'analyse est prévu pour reconstituer le fonctionnement du microprocesseur, c'est-à-dire le déroulement du programme dans le microprocesseur, à partir des messages reçus et du code du programme. Un problème vient du fait que, si l'outil d'analyse détermine facilement le temps qui s'est écoulé entre la réception de deux messages, l'outil d'analyse ne dispose d'aucun moyen pour déterminer le temps qui s'est écoulé entre le stockage de ces deux messages. En effet, l'outil d'analyse reçoit chaque message à un instant de

réception qui n'a pas de rapport avec l'instant auquel chaque message a été stocké par le circuit 18. Entre l'instant auquel un message est stocké et l'instant auquel ce message est reçu par l'outil d'analyse, le message demeure dans la mémoire tampon pendant une durée variable qui dépend de nombreux facteurs tels que la taille et le nombre des messages stockés auparavant dans la mémoire tampon. Un certain type de messages prévu par la norme indique bien le nombre d'instructions exécutées par le microprocesseur depuis un message précédent de même type, mais la vitesse à laquelle le microprocesseur exécute les instructions varie d'une instruction à l'autre, et le nombre d'instructions exécutées entre deux messages permet juste une évaluation du temps écoulé entre ces deux messages. Il est pourtant souhaitable de mesurer avec précision le temps écoulé entre le stockage de deux messages, notamment pour mesurer la durée d'exécution de certaines parties critiques du programme du microprocesseur.

Pour mesurer le temps écoulé entre le stockage de deux messages, une solution consiste à inclure dans le circuit de surveillance 18 un compteur cadencé à une fréquence prédéterminée, dont le comptage évolue avec le temps. Il suffit d'ajouter dans chaque message un champ de données contenant le comptage à l'instant où chaque message est stocké pour dater cet instant. Cependant, pour qu'une telle datation soit suffisamment précise, le compteur doit être cadencé à une fréquence élevée. Le comptage augmente ainsi très rapidement et le compteur doit être de taille importante pour ne pas être saturé. Un tel compteur occupe une surface importante, ce qui n'est pas souhaitable. En outre, l'introduction du comptage dans les messages accroît sensiblement la taille des messages. Les messages incluant le comptage doivent être divisés en un grand nombre de segments dont la transmission monopolise longtemps les bornes de test, ce qui n'est pas souhaitable.

Un objet de la présente invention est de prévoir un circuit de surveillance conforme à la norme IEEE-ISTO-5001 qui permette de mesurer le temps écoulé entre deux messages.

Un autre objet de la présente invention est de prévoir un procédé de surveillance conforme à la norme IEEE-ISTO-5001 qui permette de mesurer le temps écoulé entre deux messages.

Pour atteindre ces objets, ainsi que d'autres la présente invention prévoit un dispositif de surveillance intégré à la puce d'un microprocesseur exécutant une suite d'instructions, comprenant : un moyen de calcul de messages pour, lors de chaque exécution d'une instruction parmi une pluralité d'instructions de types prédéterminés, produire un message numérique correspondant à l'instruction exécutée ; une mémoire tampon pour stocker chaque message produit ; et une pluralité de bornes de sorties reliées à un outil d'analyse externe ; chaque borne de sortie étant associée à l'un des types d'instructions et le moyen de calcul de messages modifiant l'état de la borne de sortie associée à un type d'instructions au moment où un message correspondant audit type d'instructions est stocké en mémoire tampon.

Selon un mode de réalisation de la présente invention, la mémoire tampon est divisée en plusieurs zones dont chacune est associée à un type d'instructions différent et destinée à ne stocker que des messages associés audit type d'instructions.

Selon un mode de réalisation de la présente invention, chaque borne de sortie est connectée à une borne de test.

Selon un mode de réalisation de la présente invention, chaque borne de sortie est connectée à une borne d'entrée d'un bloc de codage comportant un nombre prédéterminé n de bornes de sortie dont chacune est connectée à une borne de test ; chaque bloc de codage étant prévu pour faire changer chacune de ses n bornes de sortie une fois tous les n changements d'état de sa borne d'entrée et de telle manière qu'une seule de ses n bornes de sortie change d'état à la fois.

Selon un mode de réalisation de la présente invention, certains types d'instructions seulement sont associés à une borne de sortie du moyen de calcul de messages.

Selon un mode de réalisation de la présente invention, chacun des types d'instructions possibles est associé à une borne de sortie du moyen de calcul de messages.

La présente invention vise également un circuit intégré comportant un microprocesseur et un tel dispositif de surveillance.

La présente invention vise également un procédé de surveillance d'un microprocesseur exécutant une suite d'instructions au moyen d'un dispositif intégré à la puce du microprocesseur, comprenant les étapes suivantes :

lors de chaque exécution d'une instruction, produire un message numérique correspondant à l'instruction exécutée ; et

stocker chaque message produit dans une mémoire tampon ; et

modifier l'état de l'une d'une pluralité de bornes de sortie reliées à un outil d'analyse externe et associées chacune à un type d'instructions lorsqu'un message correspondant au type d'instructions auquel est associée ladite borne de sortie est stocké en mémoire tampon.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, représente de manière schématique un circuit intégré muni d'un dispositif de surveillance ;

la figure 2 représente de manière schématique un circuit intégré muni d'un dispositif de surveillance selon la présente invention ;

la figure 3 représente de manière schématique un dispositif de surveillance selon une variante de la présente invention ; et

la figure 4 illustre le fonctionnement d'un bloc de codage de la figure 3.

La présente invention prévoit d'utiliser plusieurs bornes de test supplémentaires changeant d'état pour indiquer directement à l'outil d'analyse l'instant auquel des messages de plusieurs types prédéterminés sont stockés dans la mémoire tampon incluse dans le dispositif. Pour cela, la présente invention prévoit de diviser la mémoire tampon en plusieurs zones prédéterminées prévues chacune pour recevoir des messages d'un type parmi plusieurs types prédéterminés, chaque zone étant associée à une borne de test supplémentaire reliée à l'outil d'analyse. Lorsqu'un nouveau message est stocké dans l'une des zones, l'état de la borne de test supplémentaire associée à cette zone est modifié.

La figure 2 représente de façon schématique un circuit intégré 10 comportant comme en figure 1 un microprocesseur 12 relié à une mémoire interne 14 et à des bornes d'entrée/sortie 16. Le circuit 10 comporte un circuit de surveillance 18' selon la présente invention relié au microprocesseur 12. Le circuit 18' comporte une mémoire tampon 34 reliée à l'outil d'analyse 24 par l'intermédiaire de bornes de test constituant un accès parallèle 26. Un moyen de calcul 36 recevant des informations sur les instructions exécutées par le microprocesseur, identifie le type d'instructions concerné et calcule des messages prévus par la norme. Le moyen de calcul 36 est relié à la mémoire tampon 34 et est relié à l'outil d'analyse 24 par des bornes de test supplémentaires 28, 30 et 32.

Les instructions prédéterminées pour lesquelles la norme IEEE-ISTO-5001 prévoit qu'un message doit être produit sont de plusieurs types. A chaque type d'instructions correspond un type de message. Notamment, la norme IEEE-ISTO-5001 distingue les instructions de saut de programme, d'écriture en mémoire, et

de lecture en mémoire, auxquelles correspondent respectivement des messages de saut, d'écriture et de lecture. Selon la présente invention, la mémoire 34 comporte une zone A dans laquelle le moyen 36 stocke exclusivement des messages de saut, une zone B dans laquelle le moyen 36 stocke exclusivement des messages d'écriture et une zone C dans laquelle le moyen 36 stocke exclusivement des messages de lecture. Une telle division de la mémoire tampon en trois zones pour ces trois types de messages n'est donnée qu'à titre d'exemple, et l'homme du métier adaptera sans difficultés la présente invention à une autre division de la mémoire tampon.

Selon la présente invention, le moyen de calcul 36 comporte une borne de sortie FA reliée à la borne de test 28. Le moyen 36 est prévu pour modifier la valeur (1 ou 0) de sa borne de sortie FA (et de la borne de test 28) à chaque fois que le moyen 36 stocke un message dans la zone A de la mémoire tampon 34. L'outil d'analyse 24 est prévu pour mémoriser les instants de changement d'état de la borne de test 28, c'est-à-dire les instants de stockage de messages de saut. L'outil d'analyse sait ainsi qu'un premier message de saut reçu depuis la mémoire tampon 34 a été produit et stocké à l'instant du premier changement d'état de la borne de test 28, et ainsi de suite.

De même, le moyen 36 comporte deux bornes de sortie FB et FC respectivement reliées aux bornes de test 30 et 32, dont la valeur est modifiée à chaque fois que le moyen 36 stocke un message respectivement dans la zone B ou C de la mémoire tampon 34.

La présente invention permet ainsi à l'outil d'analyse de dater avec précision la production et le stockage de chaque type de message produit par le moyen de calcul 36 du circuit d'analyse 18'. Les trois bornes de test 28, 30 et 32 supplémentaires et les moyens pour les actionner prévus par la présente invention occupent une surface réduite par rapport au compteur de datation connu, ce qui représente un premier avantage de la présente invention. La présente invention permet

en outre de dater avec précision l'instant de stockage des messages sans accroître la taille des messages, ce qui représente un deuxième avantage de l'invention.

Certains microprocesseurs peuvent être prévus pour exécuter en parallèle plusieurs instructions du programme. Par exemple, si le programme du microprocesseur prévoit un saut de programme à une adresse obtenue par une lecture, le microprocesseur peut être prévu pour exécuter simultanément l'instruction de "lecture" et l'instruction de "saut". Dans un tel cas, le moyen 36 produit un message de "saut", il le stocke dans la zone A et il modifie l'état de la borne de sortie FA et simultanément le moyen 36 produit un message de "lecture", il le stocke dans la zone C et il modifie l'état de la borne de sortie FC. L'outil d'analyse sait ainsi avec précision à quel instant un stockage simultané a eu lieu dans les zones A et C. L'homme du métier notera qu'il est important pour cela que les stockages dans les zones A et C soient indiqués par le changement d'état de deux bornes de sortie distinctes. La présente invention est ainsi particulièrement adaptée au fait que le microprocesseur peut exécuter plusieurs instructions ou opérations du programme en parallèle, ce qui constitue un avantage supplémentaire de la présente invention.

Un problème peut apparaître lorsque le microprocesseur exécute rapidement à la suite une pluralité d'instructions de même type. Si par exemple le microprocesseur exécute à la suite plusieurs instructions d'écriture, chacune en un cycle d'horloge, des messages d'écriture sont stockés à la suite dans la zone B de la mémoire tampon à chaque cycle d'horloge du microprocesseur. La borne de sortie FB change alors d'état avec chaque stockage de message à chaque cycle d'horloge du microprocesseur, ce qui correspond à une oscillation de la borne de sortie FB à la moitié de la fréquence de travail du microprocesseur. Or cette fréquence peut être très élevée et la borne de test supplémentaire 30 reliée à la borne de sortie FB peut ne pas être conçue pour fonctionner à une telle fréquence.

A titre d'illustration, le microprocesseur peut exécuter des instructions à une fréquence de 400 MHz, et entraîner une oscillation de la borne de sortie FB à 200 MHz, alors que la borne de test 30 ne peut, de par sa structure, pas fonctionner au-delà de 100 MHz.

La figure 3 représente de manière schématique un circuit de surveillance 18" prévu pour résoudre le problème précédent selon une variante de la présente invention, comportant comme le circuit 18' de la figure 2 une mémoire tampon 34 reliée à un accès parallèle 26 et à un moyen de calcul 36. Les trois bornes de sortie FA, FB et FC du moyen 36 sont chacune reliée à une entrée F de trois blocs de codage identiques, respectivement 38, 40 et 42. Chaque bloc de codage comporte trois bornes de sorties O1, O2, O3. Les bornes de sortie O1, O2 et O3 du bloc 38 sont reliées à l'outil d'analyse (non représenté) par des bornes de test supplémentaires 281, 282 et 283. Les bornes de sortie O1, O2, O3 des blocs de codage 40 et 42 sont respectivement reliées à l'outil d'analyse par des bornes de test supplémentaires 301, 302, 303 et 321, 322, 323.

La figure 4 illustre les changements d'état des bornes de sortie O1, O2 et O3 de l'un quelconque des blocs de codage 38, 40, 42 en fonction des changements d'état de sa borne d'entrée F. Quelle que soit la cadence à laquelle l'état de la borne d'entrée F change, chacune des bornes de sortie O1, O2, O3 change d'état une fois tous les trois changements d'état de la borne d'entrée F, et seule l'une des trois bornes de sortie O1, O2, O3 change d'état à la fois.

Dans le cas décrit précédemment où la borne FB change d'état à une fréquence de 200 MHz, les bornes de sortie O1, O2 et O3 du bloc de codage 40 changent d'état chacune à une fréquence de 67 MHz, inférieure à la fréquence maximale de 100 MHz à laquelle peuvent fonctionner les bornes de test 301, 302 et 303.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme

du métier. En particulier, la présente invention a été décrite en relation avec un circuit de surveillance qui associe une borne de sortie supplémentaire à chaque zone de la mémoire tampon de manière à dater chaque message écrit dans la mémoire tampon, mais l'homme du métier adaptera sans difficultés la présente invention à un circuit de surveillance qui n'associe une borne de sortie supplémentaire qu'à certaines zones de la mémoire tampon de manière à ne dater que les messages écrits dans lesdites zones.

La présente invention a été décrite en relation avec un circuit de surveillance qui associe une zone de la mémoire tampon à un type de message, mais l'homme du métier adaptera sans difficultés la présente invention à un circuit de surveillance qui associe plusieurs zones de la mémoire tampon à un type de message particulier ou à chaque type de message.

La structure de la mémoire tampon utilisée par un circuit de surveillance selon la présente invention n'a pas été décrite, mais l'homme du métier adaptera sans difficultés la présente invention à toute structure appropriée de mémoire tampon, par exemple une mémoire tampon de type premier entré/premier sorti (FIFO). Dans un tel cas, chaque zone de la mémoire tampon sera constituée d'une mémoire premier entré/premier sorti distincte.

La présente invention a été décrite en relation avec un bloc de codage ayant trois bornes de sortie pour diviser par trois la fréquence de changement d'état de sa borne de sortie, mais l'homme du métier adaptera sans difficultés la présente invention à tout bloc de codage comportant un nombre de bornes de sortie adapté à une division de fréquence selon un rapport différent ; par exemple 2 bornes pour une division par 2, 4 bornes pour une division par 4.

La présente invention a été décrite en relation avec un bloc de codage ayant un fonctionnement particulier, mais l'homme du métier adaptera sans difficultés la présente invention à tout bloc de codage ayant une fonction de codage

équivalente. Par exemple, le bloc de codage peut fournir par ses bornes de sortie une nouvelle valeur d'un code de Gray pour chaque changement d'état de son entrée.

REVENDICATIONS

1. Dispositif de surveillance (18', 18") intégré à la puce d'un microprocesseur (12) exécutant une suite d'instructions, comprenant :

un moyen de calcul de messages (36) pour, lors de chaque exécution d'une instruction parmi une pluralité d'instructions de types prédéterminés, produire un message numérique correspondant à l'instruction exécutée ;

une mémoire tampon (34) pour stocker chaque message produit ; et

une pluralité de bornes de sorties (FA, FB, FC) reliées à un outil d'analyse externe (24), chaque borne de sortie (FA, FB, FC) étant associée à l'un des types d'instructions et le moyen de calcul de messages (36) modifiant l'état de la borne de sortie (FA, FB, FC) associée à un type d'instructions au moment où un message correspondant audit type d'instructions est stocké en mémoire tampon.

2. Dispositif de surveillance (18', 18") selon la revendication 1, dans lequel la mémoire tampon est divisée en plusieurs zones (A, B, C) dont chacune est associée à un type d'instructions différent et destinée à ne stocker que des messages associés audit type d'instructions.

3. Dispositif de surveillance selon la revendication 1, dans lequel chaque borne de sortie (FA, FB, FC) est connectée à une borne de test (28, 30, 32).

4. Dispositif de surveillance selon la revendication 1, dans lequel chaque borne de sortie (FA, FB, FC) est connectée à une borne d'entrée (F) d'un bloc de codage (38, 40, 42) comportant un nombre prédéterminé (n) de bornes de sortie (O1, O2, O3) dont chacune est connectée à une borne de test (281, 282, 283 ; 301, 302, 303 ; 321, 322, 323) ; chaque bloc de codage étant prévu pour faire changer chacune de ses n bornes de sortie (O1, O2, O3) une fois tous les n changements d'état de sa borne d'entrée (F) et de telle manière qu'une seule de ses n bornes de sortie (O1, O2, O3) change d'état à la fois.

5. Dispositif de surveillance selon la revendication 1, dans lequel certains types d'instructions seulement sont associés à une borne de sortie du moyen de calcul de messages (24).

6. Dispositif de surveillance selon la revendication 1, dans lequel chacun des types d'instructions possibles est associé à une borne de sortie (FA, FB, FC) du moyen de calcul de messages (24).

7. Circuit intégré (10) comportant un microprocesseur (12) et un dispositif de surveillance selon la revendication 1.

8. Procédé de surveillance d'un microprocesseur (12) exécutant une suite d'instructions au moyen d'un dispositif intégré à la puce du microprocesseur, comprenant les étapes suivantes :

lors de chaque exécution d'une instruction, produire un message numérique correspondant à l'instruction exécutée ; et

stocker chaque message produit dans une mémoire tampon (34) ; et

modifier l'état de l'une d'une pluralité de bornes de sortie (FA, FB, FC) reliées à un outil d'analyse externe (24) et associées chacune à un type d'instructions lorsqu'un message correspondant au type d'instructions auquel est associée ladite borne de sortie est stocké en mémoire tampon.

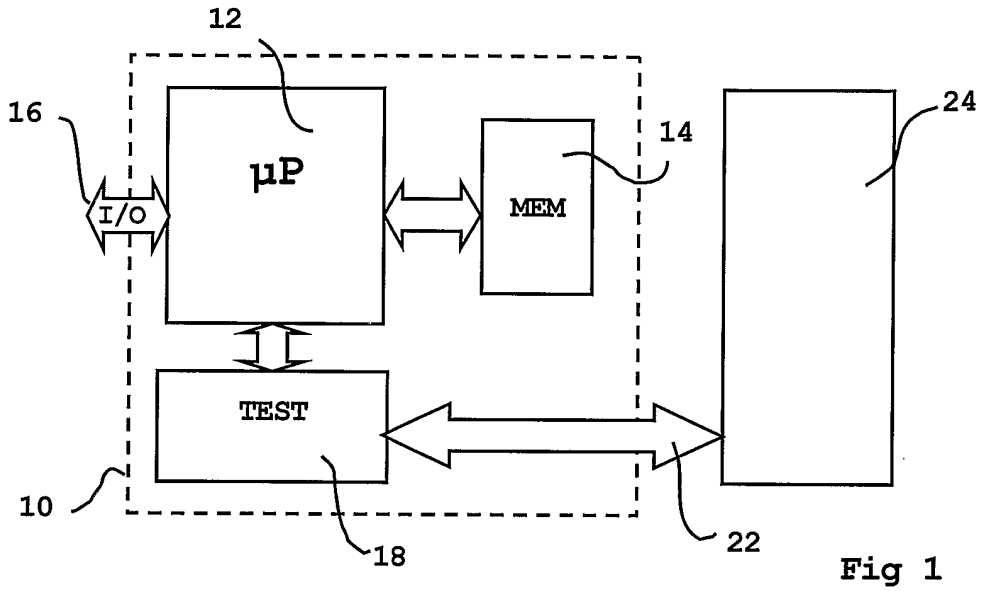

12
16
µP
I/O
MEM
14
24
TEST
10
18
22

Fig 1

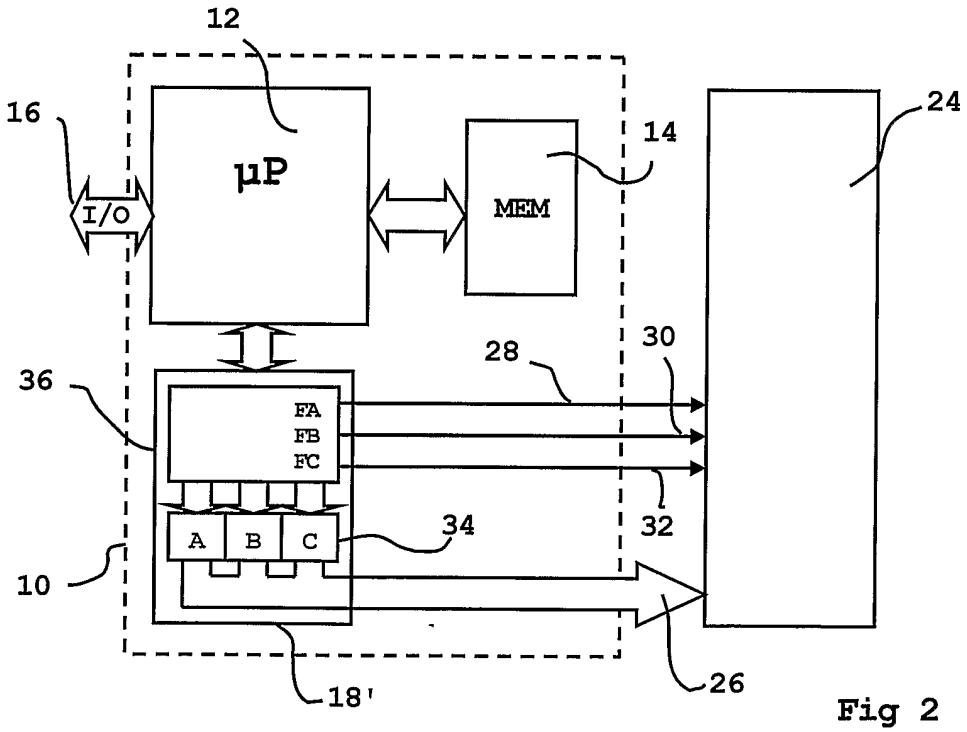

12
16
µP
I/O
MEM
14
24
28
30
36
FA
FB
FC
A
B
C
34
32
10
18'
26

Fig 2

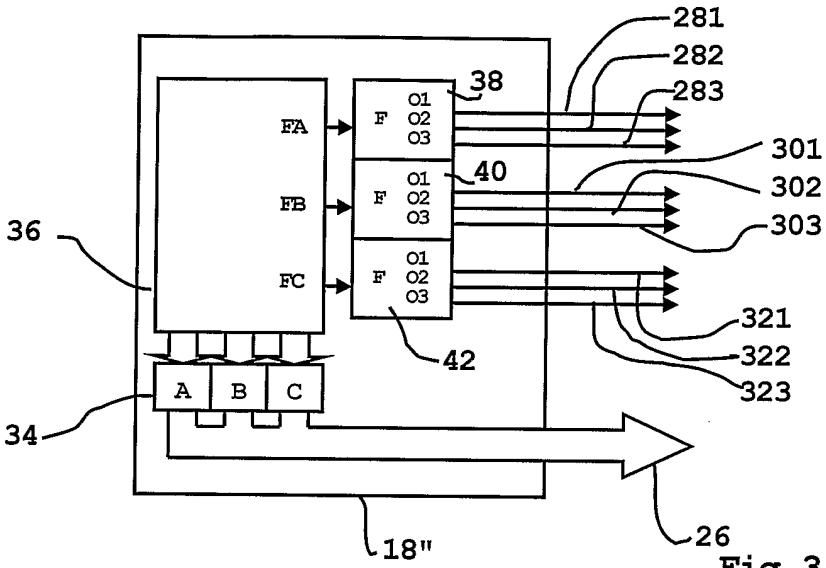

281
282
283
38
301
40
302
303
36
321
322
323
42
34
26
18"
FA
FB
FC
F
O1
O2
O3
A
B
C

Fig 3

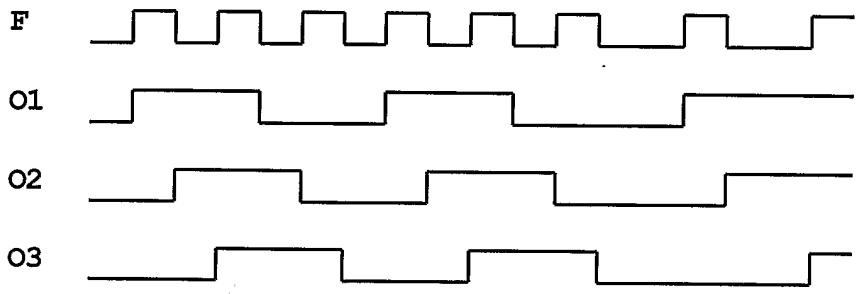

F
O1
O2
O3

Fig 4

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/03724

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F11/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, IBM-TDB, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 184 790 A (ADVANCED MICRO DEVICES INC) 6 March 2002 (2002-03-06) abstract figures 1,2,3,6A-6D paragraph '0011! - paragraph '0013! paragraph '0018! - paragraph '0019! paragraphs '0025!,'0028!,'0044!,'0049! paragraph '0058! - paragraph '0061! --- -/--	1-8

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 July 2003	18/07/2003

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Sabbah, Y

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/03724

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication,where appropriate, of the relevant passages	Relevant to claim No.
A	PLAUGER D: "REAL-TIME UNIX: TIMING IS EVERYTHING" MINI MICRO SYSTEMS, CAHNERS PUBLISHING CY. BOSTON, US, vol. 22, no. 2, 1 February 1989 (1989-02-01), pages 72-76, XP000039292 page 73, right-hand column, line 12 -page 74, left-hand column, line 9 page 74, middle column, line 6 -page 76, left-hand column, line 7 Tableau page 76 -----	1-8

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/03724

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1184790 A	06-03-2002	EP 1184790 A2	06-03-2002
		DE 69801156 D1	23-08-2001
		DE 69801156 T2	14-03-2002
		DE 69801220 D1	30-08-2001
		DE 69801220 T2	16-05-2002
		EP 0974093 A1	26-01-2000
		EP 0974094 A1	26-01-2000
		EP 0974096 A1	26-01-2000
		JP 2001519947 T	23-10-2001
		JP 2001519948 T	23-10-2001
		JP 2001519949 T	23-10-2001
		US 6148381 A	14-11-2000
		US 6167536 A	26-12-2000
		US 6142683 A	07-11-2000
		US 6189140 B1	13-02-2001
		US 6154856 A	28-11-2000
		WO 9845782 A1	15-10-1998
		WO 9845783 A1	15-10-1998
		WO 9845784 A1	15-10-1998
		US 6185732 B1	06-02-2001
		US 6314530 B1	06-11-2001
		US 5978902 A	02-11-1999
		US 6009270 A	28-12-1999
		US 6094729 A	25-07-2000
		US 6154857 A	28-11-2000
		US 6041406 A	21-03-2000

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR 02/03724

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G06F11/36

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal, PAJ, WPI Data, IBM-TDB, INSPEC

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 1 184 790 A (ADVANCED MICRO DEVICES INC) 6 mars 2002 (2002-03-06) abrégé figures 1,2,3,6A-6D alinéa '0011! - alinéa '0013! alinéa '0018! - alinéa '0019! alinéas '0025!,'0028!,'0044!,'0049! alinéa '0058! - alinéa '0061! --- -/--	1-8

[X] Voir la suite du cadre C pour la fin de la liste des documents

[X] Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
"E" document antérieur, mais publié à la date de dépôt international ou après cette date
"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée
"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
"X" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
"Y" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
11 juillet 2003	18/07/2003

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Sabbah, Y

Formulaire PCT/ISA/210 (deuxième feuille) (juillet 1992)

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR 02/03724

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec,le cas échéant, l'indicationdes passages pertinents	no. des revendications visées
A	PLAUGER D: "REAL-TIME UNIX: TIMING IS EVERYTHING" MINI MICRO SYSTEMS, CAHNERS PUBLISHING CY. BOSTON, US, vol. 22, no. 2, 1 février 1989 (1989-02-01), pages 72-76, XP000039292 page 73, colonne de droite, ligne 12 -page 74, colonne de gauche, ligne 9 page 74, colonne du milieu, ligne 6 -page 76, colonne de gauche, ligne 7 Tableau page 76 -----	1-8

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR 02/03724

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1184790 A	06-03-2002	EP 1184790 A2	06-03-2002
		DE 69801156 D1	23-08-2001
		DE 69801156 T2	14-03-2002
		DE 69801220 D1	30-08-2001
		DE 69801220 T2	16-05-2002
		EP 0974093 A1	26-01-2000
		EP 0974094 A1	26-01-2000
		EP 0974096 A1	26-01-2000
		JP 2001519947 T	23-10-2001
		JP 2001519948 T	23-10-2001
		JP 2001519949 T	23-10-2001
		US 6148381 A	14-11-2000
		US 6167536 A	26-12-2000
		US 6142683 A	07-11-2000
		US 6189140 B1	13-02-2001
		US 6154856 A	28-11-2000
		WO 9845782 A1	15-10-1998
		WO 9845783 A1	15-10-1998
		WO 9845784 A1	15-10-1998
		US 6185732 B1	06-02-2001
		US 6314530 B1	06-11-2001
		US 5978902 A	02-11-1999
		US 6009270 A	28-12-1999
		US 6094729 A	25-07-2000
		US 6154857 A	28-11-2000
		US 6041406 A	21-03-2000