

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5593949号  
(P5593949)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月15日(2014.8.15)

(51) Int.Cl. F I  
G O 5 B 19/05 (2006.01) G O 5 B 19/05 L

請求項の数 2 (全 7 頁)

(21) 出願番号	特願2010-182289 (P2010-182289)	(73) 特許権者	000006507 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
(22) 出願日	平成22年8月17日(2010.8.17)	(72) 発明者	田中 義雄 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
(65) 公開番号	特開2012-43092 (P2012-43092A)	(72) 発明者	前西 健志 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
(43) 公開日	平成24年3月1日(2012.3.1)	(72) 発明者	岡本 弘文 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
審査請求日	平成25年2月20日(2013.2.20)	審査官	稲垣 浩司

最終頁に続く

(54) 【発明の名称】 プログラマブルロジックコントローラ

(57) 【特許請求の範囲】

【請求項1】

CPUモジュールに出力モジュールと入力モジュールが接続されたプログラマブルロジックコントローラにおいて、

前記出力モジュールは、出力データ格納部と出力処理部と出力部とが直列接続されるとともに前記出力データ格納部に格納される出力データの更新を監視する出力データ更新監視部を備え、前記出力データ格納部に格納される出力データが更新されたときのみ前記出力部から出力されるデータを更新し、

前記出力データ更新監視部における出力データ更新監視周期は、前記CPUモジュールから前記出力データ格納部への書込み周期に比べ十分に短い周期に設定されていることを特徴とするプログラマブルロジックコントローラ。

【請求項2】

前記出力モジュールには、前記CPUモジュールからの出力データの書込み順に出力データを処理するようにデータ処理の順番を管理する出力更新管理部を設けたことを特徴とする請求項1記載のプログラマブルロジックコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力モジュールとそれを用いたプログラマブルロジックコントローラに関し、詳しくは、出力モジュールの同期動作に関するものである。

## 【背景技術】

## 【0002】

図3は、従来のプログラマブルロジックコントローラ（以下、PLCという）の一例を示すブロック図である。図3において、PLC1は、CPUモジュール10と、入力モジュール20と、出力モジュール30とで構成されている。

## 【0003】

CPUモジュール10は、入力制御部11と演算部12と出力制御部13が繰り返し順番に処理するように接続されている。

## 【0004】

入力モジュール20は、入力部21と入力処理部22と入力データ格納部23とが直列接続されている。そして、入力データ格納部23は、CPUモジュール10の入力制御部11に接続されている。

10

## 【0005】

出力モジュール30は、出力データ格納部31と出力処理部32と出力部33とが直列接続されている。そして、出力データ格納部31には、CPUモジュール10の出力制御部13が接続されている。

## 【0006】

このような構成において、CPUモジュール10の入力制御部11は入力モジュール20に設けられた入力データ格納部23の値を参照し、CPUモジュール10の演算部12は出力を演算し、CPUモジュール10の出力制御部13は出力モジュール30内に設けられた出力データ格納部31に演算部12での演算結果を書き込むという動作を繰り返し実行する。

20

## 【0007】

入力モジュール20は、モジュール外部の状態を入力部21を介して取り込み、入力処理部22で必要な加工処理を行った後、処理されたデータを入力データ格納部23に格納する。

## 【0008】

出力モジュール30は、出力データ格納部31に格納された出力値を出力処理部32で参照し、必要な加工処理を行った後、処理されたデータを出力部33を介してモジュール外部に出力する。

30

## 【0009】

図4は、出力モジュール30における出力処理部32の具体的な構成例を示すブロック図である。出力処理部32は、出力データ参照部321と出力演算部322と出力更新部323がループ状に直列接続されていて、出力データ参照部321には出力データ格納部31が接続され、出力更新部323には出力部33が接続されている。

## 【0010】

出力処理部32は、出力データ参照部321において出力データ格納部31のデータを参照し、出力演算部322において確度を保持するための処理や出力部の仕様に合わせたデータの加工処理を行い、処理されたデータを出力更新部323を介して出力部33に出力するという一連の動作を繰り返し実行する。なお、複数チャンネルの出力を有している場合には、チャンネル1、チャンネル2、・・・と有しているチャンネルを順番に処理した後、再びチャンネル1に戻るようにして、全チャンネルを順番に更新していく。

40

## 【0011】

図5は、出力モジュール30における出力更新の処理の流れを説明するタイミングチャートであり、4チャンネル構成の例を示している。(a)はCPUモジュール10の各部で繰り返して実行される処理を表し、演算<sub>n</sub>はn回目の演算を表している。このn回目の演算の結果は、演算<sub>n</sub>に引き続いて実行される出力制御により、(b)に示すように各チャンネルの出力データ格納部31に格納される。これら出力データ格納部31に格納された演算結果は、(c)に示すように出力処理部32でチャンネルの順番に処理される。そして、出力処理部32の演算結果は、(d)に示すように出力部33を介してチャンネル別に出力

50

される。

【 0 0 1 2 】

ここで、むだ時間  $1_n$  は、出力データ格納部 3 1 に格納されたチャンネル 1 の  $n$  回目の出力  $OUT_{1_n}$  の演算結果が、実際に出力部 3 3 を介してチャンネル 1 の  $n$  回目の出力  $OUT_{1_n}$  として出力されるまでの時間を表している。

【 0 0 1 3 】

特許文献 1 の段落 0 0 5 5 には、マスタユニット 1 1 が CPU ユニット 1 0 1 と同期して入出力更新をサイクリックに行いつつ、スレーブ 2 と非同期に通信を行うことが記載されている。

【 0 0 1 4 】

【特許文献 1】特開 2 0 0 6 - 2 5 2 4 8 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 5 】

しかし、図 3 に示す従来の PLC の構成では、CPU モジュール 1 0 における演算処理と出力モジュール 3 0 における出力処理とが同期せずに実行していることから、出力制御部 1 3 において出力データを出力モジュール 3 0 の出力データ格納部 3 1 に書き込んでから出力部 3 3 を介して出力されるまでのむだ時間を管理することができなかった。

【 0 0 1 6 】

特に、出力モジュール 3 0 が複数チャンネルの出力を有している場合には、図 5 に示すように、その出力はチャンネルの順番に更新されるため、むだ時間の大きさも、出力部 3 3 に反映される順序も、CPU モジュール 1 0 と出力モジュール 3 0 での処理のタイミングによって変動するという問題があった。

【 0 0 1 7 】

このようなむだ時間の変動は、近年の CPU モジュール 1 0 における演算の高速化に伴い、PLC の安定動作に悪影響を及ぼすことになり、好ましくない。

【 0 0 1 8 】

本発明は、このような問題を解決するものであり、その目的は、安定した動作が得られる出力モジュールとそれを用いたプログラマブルロジックコントローラを提供することにある。

【課題を解決するための手段】

【 0 0 1 9 】

このような課題を達成するために、本発明のうち請求項 1 記載の発明は、  
CPU モジュールに出力モジュールと入力モジュールが接続されたプログラマブルロジックコントローラにおいて、

前記出力モジュールは、出力データ格納部と出力処理部と出力部とが直列接続されるとともに前記出力データ格納部に格納される出力データの更新を監視する出力データ更新監視部を備え、前記出力データ格納部に格納される出力データが更新されたときのみ前記出力部から出力されるデータを更新し、

前記出力データ更新監視部における出力データ更新監視周期は、前記 CPU モジュールから前記出力データ格納部への書込み周期に比べ十分に短い周期に設定されていることを特徴とする。

【 0 0 2 2 】

請求項 2 記載の発明は、請求項 1 に記載のプログラマブルロジックコントローラにおいて、

前記出力モジュールには、前記 CPU モジュールからの出力データの書込み順に出力データを処理するようにデータ処理の順番を管理する出力更新管理部を設けたことを特徴とする。

【発明の効果】

【 0 0 2 3 】

10

20

30

40

50

これらの構成により、動作の安定した出力モジュールが得られ、この出力モジュールをプログラマブルロジックコントローラに実装することによって、動作の安定したプログラマブルロジックコントローラが実現できる。

【図面の簡単な説明】

【0024】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1の構成における出力更新の処理の流れを説明するタイミングチャートである。

【図3】従来のプログラマブルロジックコントローラの一例を示すブロック図である。

【図4】従来の出力モジュール30における出力処理部32の構成例を示すブロック図である。

10

【図5】従来の出力モジュール30における出力更新の処理の流れを説明するタイミングチャートである。

【発明を実施するための形態】

【0025】

以下、本発明について、図面を用いて詳細に説明する。図1は本発明の一実施例を示すブロック図であり、図4と共通する部分には同一の符号を付けている。図1と図4の相違点は、図1では、図4の出力処理部32を構成する出力データ参照部321と出力演算部322と出力更新部323のループ状直列接続を単なる直列接続に変更するとともに、出力データ参照部321の前段に、出力データ更新監視部324と出力更新管理部325をさらに直列接続していることである。

20

【0026】

すなわち、図1において、出力処理部32は、出力データ参照部321と出力演算部322と出力更新部323が直列接続されていて、出力データ参照部321には出力データ格納部31が接続され、出力更新部323には出力部33が接続されている。そして、出力データ参照部321の前段には、出力データ更新監視部324と出力更新管理部325が直列接続され、出力データ更新監視部324には出力データ格納部31の入力データが分岐入力されている。

【0027】

ここで、出力データ更新監視部324は出力データ格納部31に格納される出力データ更新を監視し、出力更新管理部325は出力データ格納部31における出力データ更新処理を管理するものである。これらを設けることにより、出力データ参照部321における出力データ格納部31のデータ参照結果に基づいて、出力演算部322での確度を保持するための処理、出力部33の仕様に合わせたデータの加工、出力更新部323から出力部33への出力データを伝達などの一連の動作を、必要に応じて実行することができる。

30

【0028】

図2は、図1のように構成された出力モジュール30における出力更新の処理の流れを説明するタイミングチャートであり、4チャンネル構成の例を示している。(a)はCPUモジュール10の各部で繰り返して実行される処理を表し、演算<sub>n</sub>はn回目の演算を表している。このn回目の演算の結果は、演算<sub>n</sub>に引き続いて実行される出力制御により、(b)に示すように各チャンネルの出力データ格納部31に格納される。

40

【0029】

出力データ更新監視部324は、(c)に示すようにCPUモジュール10から出力データ格納部31への書込み周期に比べ十分に短い周期で出力データ格納部31における出力データの更新を監視している。出力データの更新を確認すると、(d)に示すように出力更新管理部325に更新されたチャンネルを登録する。ここで、出力データ更新監視部324における出力更新監視の周期がCPUモジュール10から出力データ格納部31への書込み周期に比べ十分に短いことにより、出力更新管理部325へのチャンネルの登録を常に出力1から順番に処理されるように登録できる。

【0030】

50

出力更新管理部 3 2 5 は、登録された更新対象のチャンネルについて、( e ) に示すように出力データ参照部 3 2 1 出力演算部 3 2 2 出力更新部 3 2 3 までの一連の処理をチャンネルの順番に処理するように指示する。そして、更新対象のチャンネルが無くなったら、更新対象チャンネルの登録を待つ。出力データ参照部 3 2 1 出力演算部 3 2 2 出力更新部 3 2 3 までの一連の処理による演算結果は、( f ) に示すように出力部 3 3 を介してチャンネル別に出力される。

【 0 0 3 1 】

図 1 の構成によれば、出力データ格納部 3 1 のデータが更新されたときのみ出力部 3 3 の更新が実行されるので、CPU モジュール 1 0 の出力更新から実際の出力部 3 3 の出力更新までの時間を短縮できる。

10

【 0 0 3 2 】

また、出力データ更新監視部 3 2 4 における出力更新監視周期を CPU モジュール 1 0 から出力データ格納部 3 1 への書込み周期に比べ十分に短くすることによって、出力更新管理部 3 2 5 への登録を常に CPU モジュール 1 0 からの書込みの順番に処理するように登録でき、出力モジュール 3 0 における出力更新の順番を適切に管理できる。

【 0 0 3 3 】

そして、このように構成される出力処理部 3 2 を有する出力モジュール 3 0 を PLC に組み込むことにより、CPU モジュール 1 0 での出力更新から実際の出力部 3 3 の出力更新までの時間を短縮し、かつ出力モジュール 3 0 内で処理する順番を CPU モジュール 1 0 からの書込み順により管理することでむだ時間のぶれを管理でき、結果として、出力部 3 3 を CPU モジュール 1 0 の動作に同期して動作させることで、出力モジュール 3 0 が CPU モジュール 1 0 と非同期で運転することによる影響を軽減できる。

20

【 0 0 3 4 】

また、上記実施例では、出力モジュールを PLC に実装する例について説明したが、出力モジュールの実装対象は必ずしも PLC に限るものではなく、その他のコントローラに実装してもよい。

【 0 0 3 5 】

以上説明したように、本発明によれば、安定した動作が得られる出力モジュールとそれを用いたプログラブルロジックコントローラが実現できる。

【 符号の説明 】

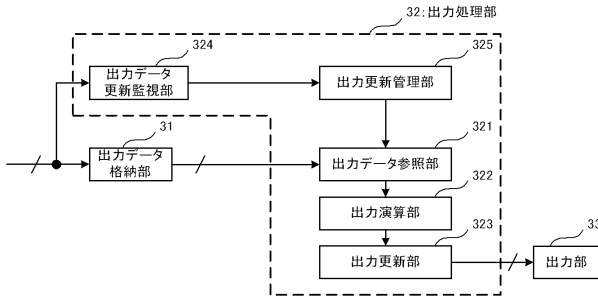
30

【 0 0 3 6 】

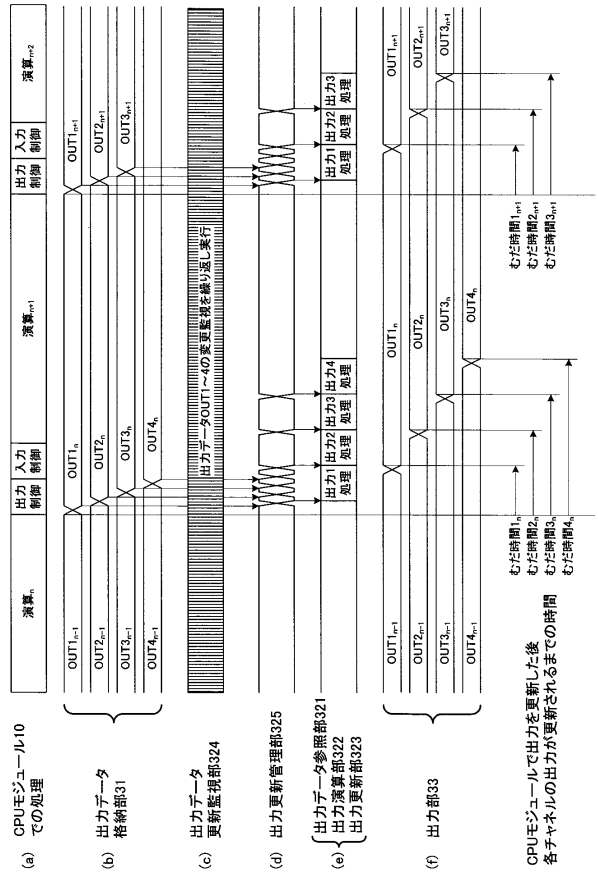
- 1 0 CPU モジュール
- 2 0 入力モジュール
- 3 0 出力モジュール
- 3 1 出力データ格納部
- 3 2 出力処理部
  - 3 2 1 出力データ参照部
  - 3 2 2 出力演算部
  - 3 2 3 出力更新部
  - 3 2 4 出力データ更新監視部
  - 3 2 5 出力更新管理部
- 3 3 出力部

40

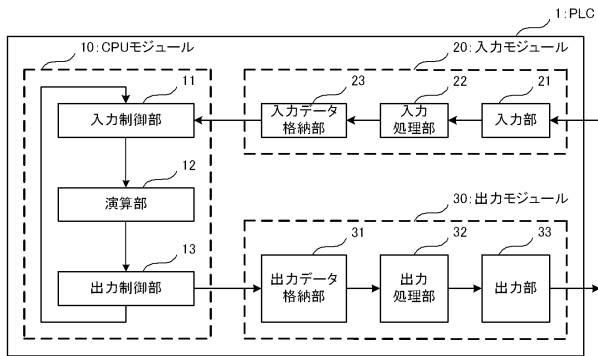
【図1】



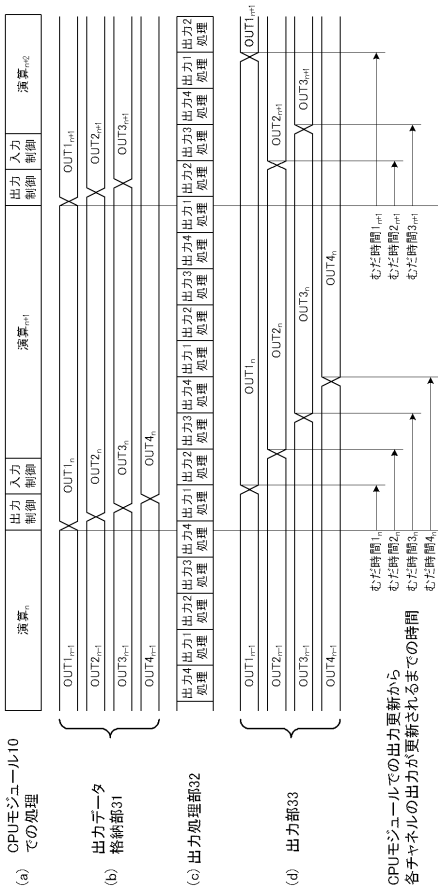
【図2】



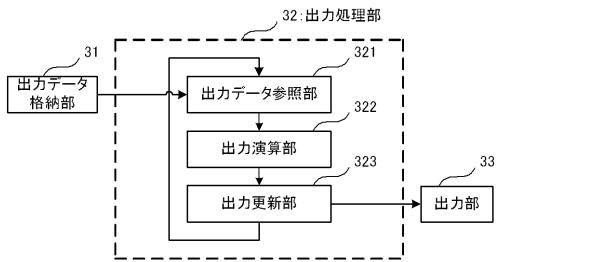
【図3】



【図5】



【図4】



---

フロントページの続き

(56)参考文献 特開2006-252487(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05B 19/05