



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월29일  
(11) 등록번호 10-1389758  
(24) 등록일자 2014년04월22일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 27/12 (2006.01)  
H01L 21/336 (2006.01)  
(21) 출원번호 10-2008-0026983  
(22) 출원일자 2008년03월24일  
심사청구일자 2013년03월22일  
(65) 공개번호 10-2008-0087692  
(43) 공개일자 2008년10월01일  
(30) 우선권주장  
JP-P-2007-00079120 2007년03월26일 일본(JP)  
(56) 선행기술조사문헌  
W02001001740 A1  
JP2007012031 A  
JP2002217437 A  
JP2006352100 A

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
도젠 요시타카  
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398  
가부시키가이샤한도오파이 에네루기 켄큐쇼 내  
수기야마 에이지  
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398  
가부시키가이샤한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
장훈

전체 청구항 수 : 총 19 항

심사관 : 설관식

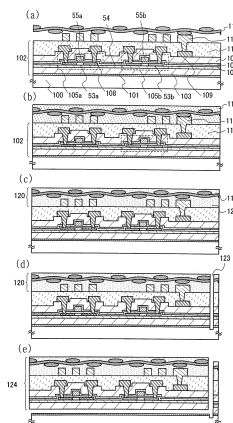
(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

본 발명은, 외부로부터의 국소적 가압(押壓)에 의해 쉽게 파괴되지 않는, 신뢰성이 높은 반도체 장치를 수율 높게 제작하는 방법을 제공한다.

절연성 표면을 갖는 기판 위에 박리층을 형성하고, 박리층 위에 비단결정 반도체 층을 사용하여 형성된 반도체 소자를 갖는 소자층을 형성하고, 소자층 위에 유기 화합물 또는 무기 화합물의 섬유체를 형성하고, 소자층 및 섬유체 위로부터 유기 수지를 포함하는 조성물을 도포하여 가열함으로써, 소자층 위에 유기 화합물 또는 무기 화합물의 섬유체가 유기 수지로 함침(含浸)된 밀봉층을 형성하고, 박리층으로부터 소자층을 박리하여 반도체 장치를 제작한다.

대표도



(72) 발명자

**오타니 히사시**

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398  
가부시키가이샤한도오파이 에네루기 켄큐쇼 내

**츠루메 다쿠야**

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398  
가부시키가이샤한도오파이 에네루기 켄큐쇼 내

---

## 특허청구의 범위

### 청구항 1

반도체 장치의 제작 방법에 있어서,

박리층을 기판 위에 형성하는 단계;

비단결정 반도체 층을 갖는 능동 소자 및 상기 능동 소자를 덮는 절연층을 포함하는 소자층을 상기 박리층 위에 형성하는 단계;

섬유체를 상기 소자층 위에 제공하는 단계;

유기 수지와 상기 유기 수지로 함침된 상기 섬유체를 포함하는 유기 수지 층을 형성하기 위하여, 상기 섬유체 위로부터 상기 유기 수지를 포함하는 조성물을 도포하는 단계;

상기 섬유체와 상기 유기 수지를 포함하는 밀봉층을 형성하기 위하여 상기 유기 수지층을 가열하는 단계; 및  
상기 소자층과 상기 밀봉층을 상기 박리층으로부터 박리하는 단계를 포함하는, 반도체 장치의 제작 방법.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

제 1 항에 있어서,

상기 섬유체가 위에 제공된 면과 반대쪽 면인 상기 소자층의 표면에 제 2 섬유체를 제공하는 단계;

제 2 유기 수지와 상기 제 2 유기 수지로 함침된 상기 제 2 섬유체를 포함하는 제 2 유기 수지층을 형성하기 위하여, 상기 소자층의 상기 표면 위에 상기 제 2 유기 수지를 포함하는 제 2 조성물을 도포하는 단계; 및

상기 제 2 섬유체와 상기 제 2 유기 수지를 포함하는 제 2 밀봉층을 형성하기 위하여 상기 제 2 유기 수지층을 가열하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

### 청구항 9

삭제

### 청구항 10

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

반도체 장치의 제작 방법에 있어서,

박리층을 기판 위에 형성하는 단계;

비단결정 반도체 층을 갖는 능동 소자와 상기 능동 소자를 덮는 절연층을 포함하는 소자층을 상기 박리층 위에 형성하는 단계;

유기 수지층을 형성하기 위하여, 상기 소자층 위에 유기 수지를 포함하는 조성물을 도포하는 단계;

섬유체가 상기 유기 수지층에 포함되어 상기 유기 수지로 함침되도록 상기 유기 수지층 위에 상기 섬유체를 제공하는 단계;

상기 섬유체와 상기 유기 수지를 포함하는 밀봉층을 형성하기 위하여 상기 유기 수지층을 가열하는 단계; 및

상기 소자층과 상기 밀봉층을 상기 박리층으로부터 박리하는 단계를 포함하는, 반도체 장치의 제작 방법.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

제 1 항 또는 제 15 항에 있어서,

상기 방법은, 상기 밀봉층 위에 보호막을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

**청구항 19**

제 1 항 또는 제 15 항에 있어서,

상기 섬유체는 유기 화합물 또는 무기 화합물로 형성되는, 반도체 장치의 제작 방법.

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

제 15 항에 있어서,

상기 조성물이 위에 도포된 면과 반대쪽 면인, 상기 소자층의 표면 상에 제 2 유기 수지를 포함하는 제 2 조성물을 도포하는 단계;

제 2 섬유체가 상기 제 2 유기 수지로 함침되도록, 상기 제 2 섬유체와 상기 제 2 유기 수지를 포함하는 제 2 유기 수지층을 형성하기 위하여, 상기 제 2 유기 수지를 포함하는 상기 제 2 조성물 위에 제 2 섬유체를 제공하는 단계; 및

상기 제 2 섬유체와 상기 제 2 유기 수지를 포함하는 제 2 밀봉층을 형성하도록 상기 제 2 유기 수지층을 가열하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

#### 청구항 23

제 1 항 또는 제 15 항에 있어서,

상기 방법은, 상기 소자층에 배선을 형성하고, 상기 배선을 통하여 상기 비단결정 반도체 층에 전기적으로 접속되도록 상기 절연층 위에 안테나를 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

#### 청구항 24

제 1 항 또는 제 15 항에 있어서,

배선이 상기 비단결정 반도체 층에 전기적으로 접속되도록, 상기 배선을 상기 소자층에 형성하는 단계; 및 안테나가 상기 배선을 통하여 상기 능동 소자에 전기적으로 접속되도록, 상기 안테나를 제공하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

#### 청구항 25

제 8 항 또는 제 22 항에 있어서,

상기 방법은, 상기 밀봉층과 상기 제 2 밀봉층 중 어느 하나 위에 보호막을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

#### 청구항 26

제 8 항 또는 제 22 항에 있어서,

상기 섬유체와 상기 제 2 섬유체는, 유기 화합물 또는 무기 화합물로 형성되는, 반도체 장치의 제작 방법.

#### 청구항 27

제 1 항 또는 제 15 항에 있어서,

상기 능동 소자는, 하나 이상의 박막 트랜지스터, 비휘발성 기억 소자, 및 다이오드인, 반도체 장치의 제작 방법.

#### 청구항 28

제 1 항 또는 제 15 항에 있어서,

상기 기관은 상기 박리층이 위에 제공되는 절연 표면을 갖는, 반도체 장치의 제작 방법.

#### 청구항 29

반도체 장치에 있어서,

각각이 상면, 하면 및 반대쪽 면들을 갖고, 유기 수지와 상기 유기 수지로 함침된 섬유체를 포함하는 한 쌍의 층들; 및

상면, 하면 및 반대쪽 면들을 갖고, 상기 한 쌍의 층들 사이에 개재된 반도체 소자를 포함하고,

상기 한 쌍의 층들 중 하나의 상기 반대쪽 면들은 상기 개재된 반도체 소자에 의해 상기 한 쌍의 층들 중 다른 것의 각각의 반대쪽 면들과의 접촉으로부터 분리되고,

상기 반도체 소자의 상기 반대쪽 면들은 상기 한 쌍의 층들의 상기 각각의 반대쪽 면들과 동일 평면인, 반도체 장치.

#### 청구항 30

제 29 항에 있어서,

상기 반도체 소자와 상기 한 쌍의 층들 중 하나 사이에 안테나를 더 포함하는, 반도체 장치.

#### 청구항 31

제 29 항에 있어서,

상기 반도체 소자는 실리콘, 게르마늄, 실리콘게르마늄 화합물, 및 금속 산화물로부터 선택된 반도체를 포함하는, 반도체 장치.

#### 청구항 32

제 29 항에 있어서,

상기 반도체 소자는 금속 산화물을 포함하는 반도체를 포함하고,

상기 금속 산화물은 아연 산화물 및 아연 갈륨 인듐의 산화물로부터 선택되는, 반도체 장치.

#### 청구항 33

제 29 항에 있어서,

상기 섬유체는 폴리(비닐알콜) 섬유, 폴리에스테르 섬유, 폴리아미드 섬유, 폴리에틸렌 섬유, 아라미드 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 및 탄소 섬유로부터 선택된 섬유인, 반도체 장치.

#### 청구항 34

제 29 항에 따른 상기 반도체 장치를 포함하는 종이.

#### 청구항 35

제 29 항에 따른 상기 반도체 장치를 이용하는 제품 추적 시스템.

### 명세서

#### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은, 비단결정 반도체 층을 사용한 반도체 소자를 갖는 반도체 장치의 제작 방법에 관한 것이다.

#### 배경 기술

[0002] 현재, 무선 칩, 센서 등, 각종 장치의 박형화가 제품 소형화에 있어서 중요한 요소가 되고 있고, 박막화 기술이나 소형 제품의 사용 범위가 급속히 넓어지고 있다. 이들 박형화된 각종 장치는 어느 정도 가요성이 있기 때문에 만족한 것에 설치하여 사용할 수 있다.

[0003] 그래서, 유리 기판 위에 형성한 박막 트랜지스터를 포함하는 소자층을 기판으로부터 박리하여, 다른 기재, 예를 들면 플라스틱 필름 등에 전사하여, 반도체 장치를 제작하는 기술이 제안되고 있다.

[0004] 본 출원인은, 특허 문헌 1이나 특허 문헌 2에 기재된 박리 및 전사 기술을 제안하였다. 특허 문헌 1에는, 박리층이 되는 산화규소층을 웨트 에칭으로 제거하여 박리하는 기술이 기재되어 있다. 또한, 특허 문헌 2에는 박리층이 되는 규소층을 드라이 에칭으로 제거하여 박리하는 기술이 기재되어 있다.

[0005] 또한, 본 출원인은 특허 문헌 3에 기재된 박리 및 전사 기술을 제안하였다. 특허 문헌 3에는, 기판에 금속층(Ti, Al, Ta, W, Mo, Cu, Cr, Nd, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir)을 형성하는 기술이 기재되어 있다. 또한, 본 특허 문헌에는 금속층 위에 산화물 층을 적층 형성할 때, 상기 금속층의 금속산화물 층을 금속층과 산화물

층의 계면에 형성하는 것이 개시되어 있다. 본 특허 문헌에 의하면, 이 금속산화물 층을 이용하여, 후의 공정에서 박리를 행한다.

[0006] 또한, 특허 문헌 4에서는, 0.5mm이하의 사이즈의 반도체 칩을 종이 또는 필름 상태의 매체에 매립하여 구부림이나 집중 하중을 개선한 반도체 장치가 개시되어 있다.

[0007] [특허 문헌 1] 특개평8-288522호 공보

[0008] [특허 문헌 2] 특개평8-250745호 공보

[0009] [특허 문헌 3] 특개2003-174153호 공보

[0010] [특허 문헌 4] 특개2004-78991호 공보

## 발명의 내용

### 해결 하고자하는 과제

[0011] 그러나, 안테나를 칩에 형성하여 내장(온 칩(On-chip)화)하는 반도체 장치인 경우, 칩의 면적이 작으면, 안테나 사이즈가 작아지며 통신 거리가 짧아지는 문제가 있다. 또한, 종이 또는 필름 매체에 형성된 안테나를 칩에 접속하여 반도체 장치를 제작하는 경우, 칩의 사이즈가 작으면 접속 불량 발생한다.

[0012] 그래서, 접속 불량이나 통신 거리의 저감을 방지하기 위하여, 칩 자체를 크게 하는 방법도 있지만, 칩의 면적이 커지면, 플라스틱 필름 등에 반도체 소자를 포함하는 층을 전사하여, 제작된 반도체 장치는 외부로부터의 국소적인 가압으로 균열이 생기고 동작 불량이 된다. 예를 들면, 필기구로 반도체 장치 표면의 플라스틱 시트, 또는 종이에 문자를 기입할 때, 반도체 장치에 필압(筆壓)이 가해짐으로써 반도체 장치가 파괴되는 문제가 있다. 또한, 롤 투 롤(roll-to-roll)법을 사용하여 반도체 장치를 제작하는 경우, 롤에 끼워지는 영역에 있어서 선 형상의 압력이 가해지고 반도체 장치가 파괴되는 문제가 있다.

[0013] 그래서, 본 발명은 외부로부터 국소적인 압력이 가해져도 쉽게 파괴되지 않는 신뢰성이 높은 반도체 장치를 수를 높게 제작하는 방법을 제공한다.

### 과제 해결수단

[0014] 본 발명은, 절연성 표면을 갖는 기판 위에 박리층을 형성하고, 박리층 위에 비단결정 반도체 층을 사용하여 형성된 반도체 소자를 갖는 소자층을 형성하고, 소자층 위에 유기 화합물 또는 무기 화합물의 섬유체를 형성하고, 소자층 및 섬유체 위에서 유기 수지를 포함하는 조성물을 도포하여 유기 수지를 섬유체에 함침시켜, 가열함으로써, 소자층 위에 유기 화합물 또는 무기 화합물의 섬유체와 유기 수지를 포함하는 밀봉층을 형성하고, 박리층으로부터 소자층을 박리하여 반도체 장치를 제작하는 것을 특징으로 한다.

[0015] 또한, 본 발명은 절연성 표면을 갖는 기판 위에 박리층을 형성하고, 박리층 위에 비단결정 반도체 층을 사용하여 형성된 반도체 소자를 갖는 소자층을 형성하고, 소자층 위에 유기 수지를 포함하는 조성물을 도포하여, 유기 수지층을 형성하고, 유기 수지 층 위에 유기 화합물 또는 무기 화합물의 섬유체를 형성하여, 유기 수지를 섬유체에 함침시켜 가열함으로써, 소자층 위에 유기 화합물 또는 무기 화합물의 섬유체와 유기 수지를 포함하는 밀봉층을 형성하고, 박리층으로부터 소자층을 박리하여 반도체 장치를 제작하는 것을 특징으로 한다.

[0016] 소자층의 두께는, 1 $\mu$ m이상 10 $\mu$ m이하, 또는 1 $\mu$ m이상 5 $\mu$ m이하이며, 밀봉층의 두께는 10 $\mu$ m이상 100 $\mu$ m이하인 것이 바람직하다. 이러한 두께로 함으로써 만곡이 가능한 반도체 장치를 제작할 수 있다.

[0017] 섬유체로서는, 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한 직포(織布) 또는 부직포(不織布)가 있다. 고강도 섬유로서는, 구체적으로는 인장탄성율이 높은 섬유이다. 또는, 영률(young's modulus)이 높은 섬유이다.

[0018] 또한, 유기 수지로서는, 열 가소성 수지, 또는 열 경화성 수지를 사용할 수 있다.

[0019] 섬유체로서, 고강도 섬유를 사용함으로써, 반도체 장치에 국소적인 가압이 가해지더라도, 상기 압력이 섬유체 전체로 분산되어, 반도체 장치의 일부가 연신되는 것을 방지할 수 있다. 즉, 일부의 연신에 따른 배선, 반도체 소자 등의 파괴를 방지할 수 있다.

## 효 과

[0020] 본 발명에 의하여, 외부로부터 국소적인 압력이 가해져도 쉽게 파괴되지 않고, 신뢰성이 높은 반도체 장치를 수율 높게 제작할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0021] 이하에 본 발명의 실시형태를 도면에 의거하여 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 모든 도면에 있어서, 동일 부분 또는 동일 기능을 갖는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0022] (실시형태 1)

[0023] 본 실시형태에서는, 외부로부터의 국소적인 압력이 가해져도 쉽게 파괴되지 않는 반도체 장치를 수율 높게 제작하는 방법을 도 1a 내지 도 1e를 사용하여 나타낸다.

[0024] 도 1a에 도시하는 바와 같이, 절연 표면을 갖는 기판(100) 위에 박리층(101)을 형성하고, 박리층(101) 위에 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층(102) 및 안테나(112)를 형성한다. 다음, 소자층(102) 및 안테나(112) 위에 섬유체(113)를 형성한다.

[0025] 절연 표면을 갖는 기판(100)으로서, 소자층(102) 및 안테나(112)를 형성하는 온도에 견딜 수 있는 기판을 사용하는 것이 바람직하고, 대표적으로는 유리 기판, 석영 기판, 세라믹스 기판, 절연층이 적어도 일 표면에 형성된 금속 기판, 유기 수지 기판 등을 사용할 수 있다. 여기서, 절연 표면을 갖는 기판(100)으로서 유리 기판을 사용한다. 또한, 소자층(102)의 두께로서는 1 $\mu$ m 이상 10 $\mu$ m 이하, 또한 1 $\mu$ m 이상 5 $\mu$ m 이하가 바람직하다. 이러한 두께로 함으로써 만곡이 가능한 반도체 장치를 제작할 수 있다.

[0026] 박리층(101)은 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의하여, 두께 30nm 내지 200nm의 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir) 및 규소(Si) 중에서 선택된 원소, 또는 그 원소를 주성분으로 하는 합금 재료, 또는 그 원소를 주성분으로 하는 화합물로 이루어지는 층을 단층 또는 복수의 층을 적층시켜 형성한다. 규소를 함유하는 층의 결정 구조는 비정질, 미(微)결정, 다결정 중 어느 경우라도 좋다. 또한, 여기서는 도포법은 용액을 피처리물 위에 토출시켜 성막하는 방법이며, 예를 들면 스펀코팅법이나 액적도출법을 포함한다. 또한, 액적도출법이란 미립자를 포함하는 조성물의 액적을 미세한 구멍(孔)으로부터 토출하여 소정의 형상의 패턴을 형성하는 방법이다.

[0027] 박리층(101)이 단층 구조인 경우, 바람직하게는, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성한다. 또는, 텅스텐의 산화물, 또는 산화질화물을 포함하는 층, 또는 몰리브덴의 산화물, 또는 산화질화물을 포함하는 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 또는 산화질화물을 포함하는 층을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물이란, 예를 들면, 텅스텐과 몰리브덴의 합금에 상당한다.

[0028] 박리층(101)이 적층 구조인 경우, 바람직하게는, 제 1 층으로서 금속층을 형성하고, 제 2 층으로서 금속산화물 층을 형성한다. 대표적으로는, 제 1 층으로서 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성하고, 제 2 층으로서 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 질화물, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화질화물, 또는 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 질화산화물을 포함하는 층을 형성한다.

[0029] 박리층(101)으로서, 제 1 층으로서 금속층, 제 2 층으로서 금속산화물 층의 적층 구조를 형성하는 경우, 금속층으로서 텅스텐을 포함하는 층을 형성하고, 그 상층에 산화물로 형성되는 절연층을 형성함으로써 텅스텐을 포함하는 층과 절연층의 계면에 금속산화물 층으로서 텅스텐의 산화물을 포함하는 층이 형성되는 것을 활용하여도 좋다. 또한, 금속층의 표면을 열 산화 처리, 산소 플라즈마 처리, 오존 수 등의 산화력이 강한 용액을 사용한 처리 등을 행하여 금속 산화물 층을 형성하여도 좋다.

[0030] 텅스텐의 산화물은 WO<sub>x</sub>로 표시된다. x는 2 이상 3 이하(2 ≤ x ≤ 3)의 범위내이며, x가 2인 경우(WO<sub>2</sub>), x가 2.5인 경우(W<sub>2</sub>O<sub>5</sub>), x가 2.75인 경우(W<sub>4</sub>O<sub>11</sub>), x가 3인 경우(WO<sub>3</sub>) 등이 있다.



- [0031] 또한, 상기 공정에 의하면, 기판(100)에 접하도록 박리층(101)을 형성하지만, 본 발명은 이 공정에 제약되지 않는다. 기판(100)에 접하도록 하지가 되는 절연층을 형성하여, 그 절연층에 접하도록 박리층(101)을 형성하여도 좋다. 여기서는, 박리층(101)으로서 두께 30nm 내지 70nm의 텅스텐 층을 스퍼터링법에 의하여 형성한다.
- [0032] 소자층(102)에 포함되는 비단결정 반도체 층을 사용하여 형성되는 반도체 소자의 대표예로서는, 박막 트랜지스터, 다이오드, 비휘발성 기억 소자 등의 능동 소자, 저항 소자, 용량 소자 등의 수동 소자가 있다. 또한, 비단결정 반도체 층으로서, 결정성 반도체 층, 비정질 반도체 층, 미결정 반도체 층 등이 있다. 또한, 반도체로서는 규소, 게르마늄, 실리콘게르마늄 화합물 등이 있다. 또한, 반도체로서는, 금속 산화물을 사용할 수 있고, 대표적으로는 산화아연이나 아연 갈륨인듐의 산화물 등이 있다. 또한, 반도체로서는, 유기 반도체 재료를 사용할 수 있다. 소자층(102)의 두께로서는, 1 $\mu$ m이상 10 $\mu$ m이하, 또한 1 $\mu$ m이상 5 $\mu$ m이하가 바람직하다. 이러한 두께로 함으로써, 만곡이 가능한 반도체 장치를 제작할 수 있다. 또한, 반도체 장치의 상면의 면적은, 4mm<sup>2</sup> 이상, 또는 9mm<sup>2</sup> 이상이 바람직하다.
- [0033] 소자층(102)에 적어도 박막 트랜지스터, 저항 소자, 용량 소자, 배선 등이 형성되는 경우, 반도체 장치로서 다른 장치의 제어나 데이터의 계산이나 가공을 행하는 마이크로 프로세서(MPU)를 제작할 수 있다. MPU는, CPU, 메인 메모리, 컨트롤러, 인터페이스, I/O포트 등을 가진다.
- [0034] 또한, 소자층(102)에 적어도 기억 소자 및 박막 트랜지스터가 형성되는 경우, 반도체 장치로서 기억 장치를 제작할 수 있다. 기억 소자로서는, 플로팅 게이트 또는 전하축적 층을 갖는 비휘발성 기억소자, 박막 트랜지스터 및 그것에 접속되는 용량 소자, 박막 트랜지스터 및 그것에 접속되는 강유전 층을 갖는 용량 소자, 한 쌍의 전극 사이에 유기 화합물 층이 끼워진 유기 메모리 소자 등이 있다. 또한, 이러한 기억 소자를 갖는 반도체 장치로서는, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), FeRAM(Ferroelectric Random Access Memory), 마스크 ROM(Read Only Memory), EPROM(Electrically Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory), 플래시 메모리 등의 기억 장치가 있다.
- [0035] 또한, 소자층(102)에 적어도 다이오드가 형성되는 경우, 반도체 장치로서 광 센서, 이미지 센서, 태양 전지 등을 제작할 수 있다. 다이오드로서는, 아모퍼스 실리콘이나 폴리실리콘을 사용한 PN 다이오드, PIN 다이오드, 애벌란시 다이오드, 쇼트키 다이오드 등이 있다.
- [0036] 또한, 소자층(102)에 적어도 박막 트랜지스터를 형성하고, 박막 트랜지스터에 전기적으로 접속하는 안테나를 소자층(102) 위에 형성하는 경우, 반도체 장치로서 무선으로 정보를 송수신하는 것이 가능한 ID태그, IC태그, RF(Radio Frequency)태그, 무선 태그, 전자 태그, RFID(Radio Frequency Identification)태그, IC카드, ID카드 등(이하, RFID라고 나타낸다)을 제작할 수 있다. 또한, 본 발명의 반도체 장치는, 박막 트랜지스터 등으로 구성되는 집적 회로부와 안테나를 밀봉한 인렛(inlet)이나, 상기 인렛을 씰(seal)형상이나 카드 형상으로 한 것도 포함한다. 또한, RFID의 상면의 면적을 4mm<sup>2</sup>이상, 또한 9mm<sup>2</sup>이상으로 함으로써, 안테나의 사이즈를 크게 형성할 수 있기 때문에, 통신기와의 통신 거리가 긴 RFID를 제작할 수 있다.
- [0037] 여기서는, 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층(102)으로서, 버퍼층으로서 기능하는 절연층(103), 하지층으로서 기능하는 절연층(104), 박막 트랜지스터(105a, 105b), 박막 트랜지스터(105a, 105b)를 덮는 절연층(106), 절연층(106)을 덮는 절연층(107), 절연층(106, 107)을 관통하여 박막 트랜지스터(105a, 105b)의 반도체 층의 소스 영역 및 드레인 영역에 접속하는 배선(108), 그 후에 형성하는 안테나(112)에 접속하는 배선(109), 배선(108, 109) 및 절연층(107)의 일부를 덮는 절연층(111)을 나타낸다. 또한, 배선(109)은 배선(108)을 통하여 반도체 층의 소스 영역 또는 드레인 영역과 전기적으로 접속한다.
- [0038] 버퍼층으로서 기능하는 절연층(103)은, 후의 박리 공정에 있어서, 박리층(101) 및 버퍼층으로서 기능하는 절연층(103)의 계면에서의 박리가 용이하게 되도록, 또는 후의 박리 공정에 있어서 반도체 소자나 배선에 균열이나 대미지가 생기는 것을 방지하기 위하여 형성한다. 버퍼층으로서 기능하는 절연층(103)으로서, 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의하여, 무기 화합물을 사용하여 단층 또는 다층으로 형성한다. 무기 화합물의 대표예로서는, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등이 있다. 또한, 버퍼층으로서 기능하는 절연층(103)에 질화규소, 질화산화규소, 산화질화규소 등을 사용함으로써, 후에 형성되는 소자층에 외부로부터 수분이나, 산소 등의 기체가 침입하는 것을 방지할 수 있다. 버퍼층으로서 기능하는 절연층(103)의 두께는, 10nm이상 1000nm이하, 또한 100nm이상 700nm이하가 더 바람직하다. 여기서는, 두께 500nm 내지 700nm의

산화질화규소 층을 플라즈마CVD법에 의하여 형성한다.

- [0039] 하지층으로서 기능하는 절연층(104)은, 버퍼층으로서 기능하는 절연층(103)과 같은 형성 방법 및 재료를 적절히 사용할 수 있다. 또한, 하지층으로서 기능하는 절연층(104)을 적층 구조로 하여도 좋다. 예를 들면, 무기 화합물을 사용하여 적층하여도 좋고, 대표적으로는 산화규소, 질화산화규소 및 산화질화규소를 적층하여 형성하여도 좋다. 하지층으로써 기능하는 절연층(104)의 두께는 10nm이상 200nm이하, 또는 50nm이상 150nm이하가 더 바람직하다. 여기서는, 두께 30nm 내지 70nm의 질화산화규소층을 플라즈마CVD법에 의하여 형성하고, 그 위에 두께 80nm 내지 120nm의 산화질화규소 층을 플라즈마CVD법에 의하여 형성한다. 또한, 버퍼층으로서 기능하는 절연층(103)을 갖는 경우, 구태여 하지층으로서 기능하는 절연층(104)을 형성할 필요는 없다.
- [0040] 다음, 절연층(104) 위에 박막 트랜지스터(105a, 105b)를 형성한다. 도 1a에 도시하는 박막 트랜지스터(105a, 105b)는, 소스 영역, 드레인 영역, 및 채널 형성 영역을 갖는 반도체 층(53a, 53b), 게이트 절연막(54), 및 게이트 전극(55a, 55b)으로 구성된다.
- [0041] 반도체 층(53a, 53b)은, 두께 10nm이상 100nm이하, 또한 20nm이상 70nm이하의 비단결정 반도체로 형성되는 층이며, 비단결정 반도체 층으로서, 결정성 반도체 층, 비정질 반도체 층, 미결정 반도체 층 등이 있다. 또한, 반도체로서는, 규소, 게르마늄, 규소게르마늄화합물 등이 있다. 특히, 비정질 반도체 층을 순간 열 어닐(RTA), 또는 퍼니스 어닐링로를 사용한 열 처리에 의하여 결정화하거나, 또는, 가열 처리와 레이저 빔의 조사를 조합하여 비정질 반도체 층을 결정화함으로써, 결정성 반도체를 형성하는 것이 바람직하다. 가열 처리에 있어서는, 실리콘 반도체의 결정화를 조장하는 작용이 있는 니켈 등의 금속 원소를 사용하여 결정화할 수 있다.
- [0042] 가열 처리에 더하여 레이저 빔을 조사하여 결정화하는 경우에는, 연속 발진 레이저 빔의 조사, 혹은 반복 주파수가 10MHz이상이며, 펄스 폭이 1나노 초 이하, 바람직하게는 1피코 초 내지 100피코 초인 반복 주파수를 가진 초단 펄스 광을 조사함으로써, 결정성 반도체가 용융된 용융 대(溶融帶)를, 그 레이저 빔의 조사 방향으로 연속적으로 이동시키면서 결정화를 행할 수 있다. 이러한 결정화법에 의하여, 대입경이며, 결정립계가 일 방향으로 연장되는 결정성 반도체를 얻을 수 있다.
- [0043] 반도체 층(53a, 53b)의 소스 영역 및 드레인 영역에는, 인 또는 붕소 등의 불순물 원소가 첨가되어 있다. n채널형 박막 트랜지스터가 되는 반도체 층의 소스 영역 및 드레인 영역에는, 불순물 농도가  $1 \times 10^{19} \text{ cm}^{-3}$  내지  $1 \times 10^{21} \text{ cm}^{-3}$ 의 인이 첨가되어 있는 것이 바람직하다. 또한, p채널형 박막 트랜지스터가 되는 반도체 층의 소스 영역, 또는 드레인 영역에는, 불순물 농도가  $1 \times 10^{19} \text{ cm}^{-3}$  내지  $1 \times 10^{21} \text{ cm}^{-3}$ 의 붕소가 첨가되는 것이 바람직하다.
- [0044] 게이트 절연막(54)은, 두께 5nm이상 50nm이하, 바람직하게는 10nm이상 40nm이하의 산화규소, 및 산화질화규소 등의 무기 절연물을 플라즈마 CVD법, 스퍼터링법, 도포법, 인쇄법 등으로 형성한다.
- [0045] 게이트 전극(55a, 55b)은 금속 또는 일 도전형을 주는 불순물을 첨가한 다결정 반도체로 형성할 수 있다. 금속을 사용하는 경우는, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 알루미늄(Al) 등을 사용할 수 있다. 또한, 금속을 질화시킨 금속질화물을 사용할 수 있다. 혹은, 상기 금속질화물로 이루어지는 제 1 층과 상기 금속으로 이루어지는 제 2 층을 적층시킨 구조로 하여도 좋다. 이 때 제 1 층을 금속질화물로 함으로써, 배리어 메탈로 할 수 있다. 즉, 제 2 층의 금속이, 게이트 절연층이나 그 하층의 반도체 층으로 확산되는 것을 방지할 수 있다. 또한, 적층 구조로 하는 경우에는, 제 1 층의 단부가 제 2 층의 단부보다 외측으로 돌출된 형상으로 하여도 좋다.
- [0046] 반도체 층(53a, 53b), 게이트 절연층(54), 게이트 전극(55a, 55b) 등을 조합하여 구성되는 박막 트랜지스터(105a, 105b)는 단일 드레인 구조, LDD(Lightly Doped Drain) 구조, 게이트 오버랩 드레인 구조 등 각종 구조를 적용할 수 있다. 여기서는, 단일 드레인 구조를 갖는 박막 트랜지스터를 나타낸다. 또한, 등가적으로는 동일한 전위를 갖는 게이트 전압이 인가되는 복수의 트랜지스터가 직렬로 접속된 형태가 되는 멀티 게이트 구조, 반도체 층의 상하를 게이트 전극으로 끼우는 듀얼 게이트 구조, 절연층(56) 위에 게이트 전극이 형성되고, 게이트 전극 위에 게이트 절연층, 반도체 층이 형성되는 역 스택거형 박막 트랜지스터 등을 적용할 수 있다.
- [0047] 또한, 박막 트랜지스터로서 금속 산화물이나 유기 반도체 재료를 반도체 층에 사용한 박막 트랜지스터를 형성할 수 있다. 금속 산화물의 대표 예에는, 산화아연이나 아연 갈륨 인듐의 산화물 등이 있다.
- [0048] 절연층(106, 107)은, 박막 트랜지스터 및 배선을 절연하는 층간 절연층으로서 기능한다. 절연층(106, 107)은, 버퍼층으로서 기능하는 절연층(103)과 같은 형성 방법, 및 재료를 사용할 수 있다. 또한, 여기서는 절연층(106, 107)의 적층 구조로 하였지만, 단층 또는 2층 이상의 적층 구조로 할 수 있다. 여기서는 절연층(106)으

로서, 두께 30nm 내지 70nm의 산화질화규소층을 플라즈마CVD법에 의하여 형성한다. 또한, 절연층(107)으로서, 두께 80nm 내지 120nm의 질화산화규소층을 플라즈마 CVD법에 의하여 형성한 후, 두께 500nm 내지 700nm의 산화질화규소층을 플라즈마 CVD법에 의하여 형성한다.

[0049] 배선(108, 109)은, 티탄(Ti)과 알루미늄(Al)의 적층 구조, 몰리브덴(Mo)과 알루미늄(Al)의 적층 구조 등, 알루미늄(Al)과 같은 저저항 재료와, 티탄(Ti)이나 몰리브덴(Mo) 등의 고용점 금속 재료를 사용한 배리어 메탈의 조합으로 형성하는 것이 바람직하다. 여기서는, 두께 80nm 내지 120nm의 티탄 층, 두께 250nm 내지 350nm의 알루미늄 층, 및 두께 80nm 내지 120nm의 티탄 층을 순차로 적층 형성한 후, 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 선택적으로 에칭하여 배선(108, 109)을 형성한다.

[0050] 배선(108, 109) 위에, 질화규소, 산화질화규소, 질화산화규소, 산화규소, 다이아몬드 라이크 카본(Diamond-Like Carbon), 질화탄소 등의 보호층을 형성하여도 좋다. 보호막을 이온 보조 증착(IAD)으로 형성하면, 치밀한 보호막을 형성할 수 있다. 보호층을 형성함으로써, 외부로부터 박막 트랜지스터에 수분이 침입을 하는 것을 억제할 수 있고, 특히 치밀한 보호막을 형성함으로써 그 효과는 보다 높아진다. 즉, 박막 트랜지스터 및 반도체 장치의 전기적인 특성의 신뢰성을 높일 수 있다.

[0051] 절연층(111)은, 버퍼층으로서 기능하는 절연층(103)과 같은 형성 방법 및 재료를 사용하여 형성한다. 또한, 절연층(111)은, 후에 형성되는 안테나의 하지층이다. 그래서, 절연층(111)의 표면은 평탄한 것이 바람직하다. 따라서 절연층(111)은 유기 수지를 유기 용제로 희석한 조성물을 도포하고 건조 조성하여 형성하는 것이 바람직하다. 또한 감광성 수지를 희석한 조성물을 사용하여 절연층(111)을 형성함으로써, 종래의 포토리소그래피 공정으로 형성한 레지스트 마스크를 사용하여 에칭하는 공정보다 공정수를 줄일 수 있기 때문에 반도체 장치의 수율이 높아진다. 여기서는, 감광성 폴리이미드 수지를 유기 용제로 희석한 조성물을 도포, 및 건조하여, 포토마스크를 사용하여 노광한 후, 미경화부(未硬化部)를 제거하고, 소성하여 절연층(111)을 형성한다.

[0052] 안테나(112)는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 및 티탄(Ti) 등의 어느 1개 이상의 금속 입자를 갖는 액적이나 페이스트를 액적 토출법(잉크젯 법, 디스펜서 법 등)에 의하여 토출하고, 건조 소성하여 형성한다. 액적 토출법에 의하여 안테나를 형성함으로써, 공정수를 저감할 수 있고, 그것에 따라 비용을 삭감할 수 있다.

[0053] 또한, 스크린 인쇄법을 사용하여 안테나(112)를 형성하여도 좋다. 스크린 인쇄법을 사용하는 경우, 안테나(112)의 재료로서는, 입경이 수nm 내지 수십  $\mu\text{m}$ 의 도전성 입자를 유기 수지에 용해, 또는 분산시킨 도전성 페이스트를 선택적으로 인쇄한다. 도전성 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 및 티탄(Ti) 등의 어느 1개 이상의 금속 입자나 할로젠화 은의 미립자, 또는 상기 재료의 분산성 나노 입자를 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기 수지는, 금속 입자의 바인더, 용매, 분산제 및 피복제로서 기능하는 유기 수지로부터 선택된 1개, 또는 복수를 사용할 수 있다. 대표적으로는, 예폭시 수지, 실리콘(silicone) 수지 등의 유기 수지를 들 수 있다. 또한, 도전층을 형성할 때, 도전성의 페이스트를 인쇄한 후에 소성하는 것이 바람직하다.

[0054] 또한, 안테나(112)는 스크린 인쇄법 이외에도 그라비아 인쇄법 등을 사용하여도 좋고, 도금법, 스퍼터링법 등을 사용하여, 도전성 재료에 의하여 형성할 수 있다.

[0055] 또한, RFID의 신호의 전송 방식으로서, 전자 결합(electromagnetic coupling)방식 또는 전자 유도(electromagnetic induction)방식(예를 들면, 13.56MHz 대역)을 적용한다. 자속(磁束) 밀도의 변화에 의한 전자 유도를 이용하는 경우, 안테나의 상면 형상을 링(ring) 형상(예를 들면, 루프 안테나), 나선 형상(예를 들면, 스파이럴 안테나)으로 형성할 수 있다.

[0056] 또한, RFID에 있어서의 신호의 전송 방식으로서, 마이크로파 방식(예를 들면, UHF 대역(860MHz 내지 960MHz 대역), 2.45GHz 대역 등)을 적용할 수도 있다. 그 경우에는, 신호의 전송에 사용하는 전자파의 파장을 고려하여, 안테나의 길이 등의 형상을 적절히 설정하면 좋다.

[0057] 마이크로파 방식을 적용할 수 있는 RFID 안테나(112)의 예를 도 16a 내지 도 16d에 도시한다. 예를 들면, 안테나의 상면 형상을 선 형상(예를 들면, 다이폴(dipole) 안테나(도 16a 참조)), 평탄한 형상(예를 들면, 패치(patch) 안테나(도 16b 참조)), 또는 리본형의 형상(도 16c, 도 16d 참조) 등으로 형성할 수 있다. 또한, 안테나로서 기능하는 도전층의 형상은 선 형상에 한정되지 않고, 전자파의 파장을 고려하여 곡선 형상이나 지그재그 형상, 또는 이들을 조합한 형상이라도 좋다.

[0058] 소자층(102)의 일 표면, 또는 양쪽 면에 형성되는 섬유체(113)는, 유기 화합물 또는 무기 화합물의 고강도 섬유

를 사용한 직포 또는 부직포이며, 소자층(102)의 전면을 덮는다. 고강도 섬유로서는, 구체적으로는, 인장탄성율이 높은 섬유이다. 또한, 영률이 높은 섬유이다. 고강도 섬유의 대표예로서는, 폴리비닐알콜 섬유, 폴리에스테르 섬유, 폴리아미드 섬유, 폴리에틸렌 섬유, 아라미드 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유이다. 유리 섬유로서는, E유리, S유리, D유리, Q유리 등을 사용한 유리 섬유를 사용할 수 있다. 또한, 섬유체(113)는, 일 종류의 상기 고강도 섬유로 형성되어도 좋다. 또한, 복수의 상기 고강도 섬유로 형성되어도 좋다.

[0059] 또한, 섬유체(113)는, 섬유(단사(單絲))의 다발(이하, 사속(絲束)이라고 한다)을 날실(經絲) 및 씨실(緯絲)에 사용하여 제직한 직포, 또는 복수종의 섬유의 사속을 랜덤 또는 일 방향에 퇴적시킨 부직포로 구성되어도 좋다. 직포의 경우, 평직(平織), 능직(綾織), 수자직(satin-woven fabric) 등, 적절히 사용할 수 있다.

[0060] 사속의 단면은, 원형이라도 타원형이라도 좋다. 사속으로서 고압수류, 액체를 매체로 한 고주파 진동, 연속 초음파 진동, 물에 의한 가압 등의 의하여, 개선했던 사속을 사용하여도 좋다. 개선했던 사속은, 사속 폭이 넓어지고, 두께 방향의 단사수를 삭감할 수 있고, 사속의 단면이 타원형, 또는 평판 형상이 된다. 또한, 사속으로서 저연사(低燃絲)를 사용함으로써, 사속이 편평화하기 쉽고, 사속의 단면 형상이 타원 형상, 또는 평판 형상이 된다. 이와 같이, 단면이 타원형, 또는 평판 형상의 사속을 사용함으로써, 섬유체(113)의 두께를 얇게 할 수 있다. 그래서, 박형의 반도체 장치를 제작할 수 있다. 사속 폭은, 4 $\mu$ m이상 400 $\mu$ m이하, 또는 4 $\mu$ m이상 200 $\mu$ m이하에 있어서, 본 발명의 효과가 확인되어, 원리상으로는, 보다 가늘어도 좋다. 또한, 사속의 두께는 4 $\mu$ m이상 20 $\mu$ m이하에 있어서, 본 발명의 효과가 확인되어, 원리상으로는 보다 얇아도 좋고, 그들은 섬유의 재료에 의존한다.

[0061] 또한, 본 명세서의 도면에 있어서는, 섬유체(113)는 단면이 타원형의 사속으로 평직한 직포로 표시된다. 또한, 박막 트랜지스터(105a, 105b)가 섬유체(113)의 사속보다 크지만, 박막 트랜지스터(105a, 105b)가 섬유체(113)의 사속 보다 작은 경우도 있다.

[0062] 섬유체(113)가 사속을 날실, 및 씨실을 사용하여 제직한 직포의 상면도를 도 11a 내지 도 11b에 나타낸다.

[0063] 도 11a에 도시하는 바와 같이, 섬유체(113)는 일정 간격을 둔 날실(113a) 및 일정 간격을 둔 씨실(113b)로 짜여진다. 이러한 섬유체에는, 날실(113a) 및 씨실(113b)이 존재하지 않는 영역(바스켓 홀(113c)이라고 한다)을 가진다. 이러한 섬유체(113)는, 유기 수지가 섬유체에 함침되는 비율이 높아지고, 섬유체(113) 및 소자층(102)의 밀착성을 높일 수 있다.

[0064] 도 11b에 도시하는 바와 같이, 섬유체(113)는 날실(113a) 및 씨실(113b)의 밀도가 높고, 바스켓 홀(113c)의 비율이 낮은 것이라도 좋다. 대표적으로는, 바스켓 홀(113c)의 사이즈가 국소적으로 가압되는 면적보다 작은 것이 바람직하다. 대표적으로는, 1변이 0.01mm이상 0.2mm이하의 직사각형인 것이 바람직하다. 섬유체(113)의 바스켓 홀(113c)의 면적이 이와 같이 작으면, 선단이 가는 부재(대표적으로는, 펜이나 연필 등의 필기구)에 의하여 가압되어도 상기 압력을 섬유체(113) 전체로 흡수할 수 있다.

[0065] 또한, 사속 내부로의 유기 수지의 함침률을 높이기 위하여, 섬유에 표면 처리를 행하여도 좋다. 예를 들면, 섬유 표면을 활성화시키기 위한 코로나 방전 처리, 플라즈마 방전 처리 등이 있다. 또한, 실란 커플링제, 티타네이트 커플링제를 사용한 표면 처리가 있다.

[0066] 다음, 도 1b에 도시하는 바와 같이, 섬유체(113) 및 소자층(102) 위에 유기 수지층(114)을 형성한다. 유기 수지층(114)은, 에폭시 수지, 불포화 폴리에스테르 수지, 폴리아미드 수지, 비스말레이미드 트리아진 수지, 또는 시아네이트 수지 등의 열 경화성 수지를 사용할 수 있다. 또한, 폴리페닐렌 옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지 등의 열 가소성 수지를 사용할 수 있다. 또한, 상기 열 가소성 수지 및 상기 열 경화성 수지의 복수를 사용하여도 좋다. 상기 유기 수지를 사용함으로써, 열 처리에 의하여 섬유체를 소자층에 고착할 수 있다. 또한, 유기 수지층(114)은, 유리 전이 온도가 높을수록 국소적인 가압에 의하여 쉽게 파괴되지 않으므로 바람직하다.

[0067] 유기 수지층(114)의 형성 방법으로서, 인쇄법, 캐스팅 법, 액적 도출법, 딥 코팅법 등을 사용할 수 있다.

[0068] 이 때, 유기 수지층(114) 중의 일부, 또는 전부를 섬유체(113)에 함침시킨다. 즉, 섬유체(113)는 유기 수지층(114) 중에 포함된다. 이렇게 함으로써, 섬유체(113) 및 유기 수지층(114)의 밀착력이 높아진다.

[0069] 유기 수지층(114), 또는 섬유체의 사속 내에 고열 도전성 필러를 분산시켜도 좋다. 고열 도전성 필러로서는, 질화알루미늄, 질화붕소, 질화규소, 알루미늄이 등이 있다. 또한, 고열 도전성 필러로서는, 은, 구리 등의 금속



입자가 있다. 고열 도전성 필러가 유기 수지, 또는 사속내에 포함됨으로써 소자층에서의 발열을 외부로 방출하기 쉽게 되기 때문에, 반도체 장치의 축열을 억제하는 것이 가능하고, 반도체 장치의 축열에 의한 불량을 저감할 수 있다.

- [0070] 다음, 유기 수지층(114)을 가열하여, 유기 수지층(114)의 유기 수지를 가소화 또는 경화한다. 또한, 유기 수지가 가소성 유기 수지의 경우, 그 후, 실온으로 냉각함으로써, 가열에 의하여 가소화한 유기 수지를 경화한다.
- [0071] 이 결과, 도 1c에 도시하는 바와 같이, 섬유체(113)에 함침하고, 또 소자층(102) 및 안테나(112)의 한쪽의 면에 고착된 유기 수지층(121)이 된다. 또한, 소자층(102) 및 안테나(112)의 한쪽의 면에 고착된 유기 수지층(121) 및 섬유체(113)를 밀봉층(120)으로서 나타낸다.
- [0072] 다음, 후의 박리 공정을 용이하게 행하기 위하여, 밀봉층(120) 측으로부터, 밀봉층(120), 소자층(102) 및 박리층(101)에 레이저 빔을 조사하여, 도 1d에 도시하는 바와 같은 홈(123)을 형성하여도 좋다. 홈(123)을 형성하기 위하여 조사하는 레이저 빔으로서, 박리층(101), 소자층(102), 또는 밀봉층(120)을 구성하는 층의 어느 것이 흡수하는 파장을 갖는 레이저 빔이 바람직하고, 대표적으로는 자외 영역, 가시 영역, 또는 적외 영역의 레이저 빔을 적절히 선택하여 조사한다.
- [0073] 이와 같은 레이저 빔을 발진할 수 있는 레이저 발진기로서는, KrF 엑시머 레이저, ArF 엑시머 레이저, XeCl 엑시머 레이저 등의 엑시머 레이저 발진기, He 레이저, He-Cd 레이저, Ar 레이저, He-Ne 레이저, HF 레이저, CO<sub>2</sub> 레이저 등의 기체 레이저 발진기, YAG, GdVO<sub>4</sub>, YVO<sub>4</sub>, YLF, YAlO<sub>3</sub> 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도핑한 결정 레이저, 유리 레이저, 루비 레이저 등의 고체 레이저 발진기, GaN 레이저, GaAs 레이저, GaAlAs 레이저, InGaAsP 레이저 등의 반도체 레이저를 사용할 수 있다. 또한, 고체 레이저 발진기에 있어서는, 기본파 내지 제 5 고조파를 적절히 적용하는 것이 바람직하다.
- [0074] 다음, 도 1e에 도시하는 바와 같이, 홈(123)을 시점으로 하여 박리층(101) 및 버퍼층으로서 기능하는 절연층(103)의 계면에 있어서, 박리층(101)이 형성되는 절연 표면을 갖는 기판(100)과 소자층(102)을 포함하는 층(124)을 물리적 수단에 의하여 박리한다. 물리적 수단이란, 역학적 수단 또는 기계적 수단을 가리키고, 어떠한 역학적 에너지(기계적 에너지)를 가하는 수단을 가리킨다. 대표적인 물리적 수단으로서, 기계적인 힘을 가하는 것(예를 들면, 사람의 손이나 그립 툴(grip tool)에 의하여 벗겨내는 처리나, 물러를 지점으로 하여 회전시키면서 분리하는 처리)이다. 이 때, 밀봉층(120) 표면에 빛 또는 열에 의하여 박리 가능한 점착 시트를 형성하면, 보다 박리하기 용이하게 된다.
- [0075] 또한, 홈(123)에 액체를 적하하여, 박리층(101) 및 버퍼층으로서 기능하는 절연층(103)의 계면에 액체를 침투시켜 박리층(101)으로부터 소자층(102)을 박리하여도 좋다. 이 경우, 홈(123)에만 액체를 적하하여도 좋고, 또는 절연 표면을 갖는 기판(100), 소자층(102), 안테나(112) 및 밀봉층(120) 전체를 액체에 담그고, 홈(123)으로부터 박리층(101) 및 소자층(102)의 계면에 액체를 침투시켜도 좋다.
- [0076] 본 실시형태에 있어서는, 박리막(101)과 버퍼층으로서 기능하는 절연층(103)에 접하는 층에 금속 산화층을 형성하고, 물리적 수단에 의하여 소자층(102)을 포함하는 층(124)을 박리하는 방법을 사용하였지만, 이것에 한정되는 것은 아니다. 기판으로서 투광성을 갖는 기판을 사용하고, 박리층(101)에 수소를 포함하는 비정질 규소층을 사용하고, 절연 표면을 갖는 기판(100)으로부터 박리층(101)에 레이저 빔을 조사하여 비정질 규소층에 포함되는 수소를 기화시켜, 절연 표면을 갖는 기판(100)과 박리층(101)과의 사이에서 박리하는 방법을 사용할 수 있다.
- [0077] 또는, 기판(100)을 기계적으로 연마하여 제거하는 방법이나, 기판(100)을 HF 등의 용액을 사용하여 용해하고, 기판(100)을 제거하는 방법을 사용할 수 있다. 이 경우, 박리층(101)을 사용하지 않아도 좋다.
- [0078] 또한, 도 1d에 있어서, 홈(123)에 NF<sub>3</sub>, BrF<sub>3</sub>, ClF<sub>3</sub> 등의 불화가스를 도입하고, 박리층(101)을 불화가스로 에칭하여 제거하고, 절연 표면을 갖는 기판(100)으로부터 소자층(102)을 포함하는 층(124)을 박리하는 방법을 사용할 수 있다.
- [0079] 또한, 도 1d에 있어서, 홈(123)에 NF<sub>3</sub>, BrF<sub>3</sub>, ClF<sub>3</sub> 등의 불화가스를 도입하고, 박리층(101)의 일부를 불화 가스로 에칭하여 제거한 후, 유기 수지층(121)에 점착 부재를 부착시켜, 절연 표면을 갖는 기판(100)으로부터 소자층(102)을 포함하는 층(124)을 물리적 수단에 의하여 박리하는 방법을 사용할 수도 있다.
- [0080] 또한, 소자층(102)에 복수의 반도체 장치가 포함되는 경우, 소자층(102) 및 밀봉층을 분단하여 복수의 반도체 장치를 잘라내어도 좋다. 이러한 공정에 의하여, 복수의 반도체 장치를 제작할 수 있다.

- [0081] 이상으로, 반도체 장치를 제작할 수 있다.
- [0082] 또한, 도 1a 내지 도 1e에 있어서는, 소자층(102) 위에 섬유체(113)를 형성한 후, 유기 수지층(114)을 형성하였지만, 이것 대신에 소자층(102)에 유기 수지층(114)을 형성한 후, 섬유체를 소자층(102) 및 유기 수지층(114) 위에 형성하여도 좋다. 이 공정에 대하여 이하에 나타낸다.
- [0083] 도 3a에 도시하는 바와 같이, 절연 표면을 갖는 기판(100) 위에 박리층(101)을 형성하고, 박리층(101) 위에 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층(102) 및 안테나(112)를 형성한다. 다음, 소자층(102) 및 안테나(112) 위에 유기 수지층(114)을 형성한다.
- [0084] 다음, 도 3b에 도시하는 바와 같이, 소자층(102) 및 안테나(112) 위에 섬유체(113)를 형성한다. 이 때, 유기 수지층(114)으로 섬유체(113)를 가압함으로써 유기 수지층(114) 중에 섬유체(113)가 포함되게 할 수 있다. 또한, 섬유체(113) 내에 유기 수지를 함침시킬 수 있다.
- [0085] 다음, 유기 수지층(114)을 가열하여 유기 수지층(114)의 유기 수지를 가소화 또는 경화한다. 또한, 유기 수지가 가소성 유기 수지인 경우, 그 후의 실온으로 냉각함으로써, 가열에 의하여 가소화한 유기 수지를 경화한다.
- [0086] 이 결과, 도 3c에 도시하는 바와 같이, 섬유체(113)에 함침하고, 또 소자층(102) 및 안테나(112)의 편면에 고착되는 유기 수지층(121)이 된다. 또한, 소자층(102) 및 안테나(112)의 편면에 고착된 유기 수지층(121) 및 섬유체(113)를 밀봉층(120)으로 도시한다.
- [0087] 그 후의 도 1d와 마찬가지로, 도 3d에 도시하는 바와 같이, 박리층(101) 및 버퍼층으로서 기능하는 절연층(103)의 계면에 있어서, 소자층(102)을 포함하는 층(124)을 박리한다.
- [0088] 이상으로, 반도체 장치를 제작할 수 있다.
- [0089] 또한, 버퍼층으로서 기능하는 절연층(103) 측에도 밀봉층을 형성하여도 좋다. 이 공정에 대하여 이하에 나타낸다. 도 2a에 도시하는 바와 같이, 버퍼층으로서 기능하는 절연층(103) 위에 섬유체(126)를 형성한다. 섬유체(126)는, 도 1a에 도시하는 섬유체(113)를 적절히 사용할 수 있다.
- [0090] 다음, 도 2b에 도시하는 바와 같이, 섬유체(126) 및 절연층(103) 위로부터 유기 수지를 포함하는 조성물을 도포하여 소성하고, 유기 수지층(127)을 형성한다. 유기 수지층(127)은, 도 1b에 도시하는 유기 수지층(114)을 적절히 사용할 수 있다. 또한, 유기 수지층(114) 중에 섬유체(113)를 포함하도록 유기 수지층(127)을 형성한다. 또한, 섬유체(113) 내에 유기 수지를 함침시킬 수 있다.
- [0091] 다음, 도 2c에 도시하는 바와 같이, 유기 수지층(127)을 가열하여, 유기 수지층(127)의 유기 수지를 가소화 또는 경화한다. 유기 수지가 가소성인 경우, 그 후, 실온으로 냉각함으로써 가소화한 유기 수지도 경화한다. 이 결과, 도 2c에 도시하는 바와 같이, 섬유체(113)에 함침하고, 또 버퍼층으로서 기능하는 절연층(103)에 형성되는 유기 수지층(128)으로 이루어지는 밀봉층(129)을 형성할 수 있다. 즉, 소자층(102)의 양쪽 면에 밀봉층(120,129)이 형성되는 반도체 장치를 제작할 수 있다.
- [0092] 이 때, 밀봉층(120,129)은 동일한 재질의 섬유체 및 유기 수지로 형성되는 것이, 휨 현상을 저감하기 위해서는 바람직하지만, 표리(表裏)를 판별하여 사용하는 용도의 경우에는, 반드시 동일한 재질일 필요성은 없다. 이와 같이, 소자층의 양쪽 면에 섬유체에 함침되는 유기 수지가 고착됨으로써, 반도체 장치가 섬유체에 의하여 지지되기 때문에 반도체 장치의 휨 현상을 저감시킬 수 있고, 그 후의 라미네이트 필름이나 셀(seal) 등으로 상기 반도체 장치를 탑재하는 것이 용이하게 된다.
- [0093] 또한, 소자층(102)에 형성되는 밀봉층(120)의 섬유체의 날실, 또는 씨실의 방향과 밀봉층(129)의 섬유체의 날실, 또는 씨실의 방향이 30° 이상 60° 이하, 바람직하게는, 40° 이상 50° 이하 어긋나게 되어도 좋다. 이 경우, 소자층의 표리에 형성되는 섬유체의 인장방향이 표리에 따라 다르기 때문에, 국소적으로 가압할 때의 연신 이 등방적으로 된다. 그래서, 국소적인 가압에 의한 반도체 장치의 파괴를 더욱 저감시킬 수 있다.
- [0094] 여기서, 본 실시형태에서 나타내는 반도체 장치가 갖는 효과에 대하여, 도 4a 내지 도 4d를 사용하여 나타낸다.
- [0095] 도 4a에 도시하는 바와 같이, 종래의 반도체 장치(40)는 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층(41)이 접착재(42a,42b)를 사용하여 필름(43a,43b)으로 밀봉된다. 이러한 반도체 장치에 국소적인 가압(44)을 가한다.
- [0096] 그 결과, 도 4b에 도시하는 바와 같이, 소자층(41), 접착재(42a,42b), 필름(43a,43b)이 각각 연신해 버리고, 가

압부에 있어서 곡률 반경이 작은 만곡이 생겨 버린다. 이 결과, 소자층(41)을 구성하는 반도체 소자, 배선 등에 균열이 생겨 버려 반도체 장치가 파괴되어 버린다.

[0097] 그렇지만, 본 실시형태에서 나타내는 반도체 장치(50)는, 도 4c에 도시하는 바와 같이, 소자층(51)의 편면, 또는 양쪽의 면에는 유기 수지를 함유하는 섬유체로 이루어지는 밀봉층이 형성된다. 섬유체는 고강도 섬유로 형성되어 있고, 고강도 섬유는 인장탄성율, 또는 영률이 높다. 그래서, 점압(点壓)이나 선압(線壓) 등의 국소적인 가압(44)이 가해져도 고강도 섬유는 연신되지 않고, 가압된 힘이 섬유체 전체로 분산되어, 반도체 장치 전체가 만족하게 된다. 이 결과, 도 4d에 도시하는 바와 같이, 국소적인 가압이 가해져도 반도체 장치에서 생긴 만곡은, 곡률 반경이 큰 것이 되어, 소자층(51)을 구성하는 반도체 소자, 배선 등에 균열이 생기지 않고, 반도체 장치의 파괴를 저감시킬 수 있다.

[0098] 또한, 소자층(51)의 두께를 얇게 함으로써, 반도체 장치를 만족시킬 수 있게 된다. 그래서, 소자층(51)의 면적을 보다 크게 할 수 있고, 반도체 장치를 제작하는 공정이 용이해진다. 또한, 상기 반도체 장치가 안테나를 내장하는 RFID의 경우, 안테나의 크기를 증대시킬 수 있다. 그래서, 통신 거리가 긴 RFID를 제작할 수 있다.

[0099] 또한, 소자층(102)에 복수의 반도체 장치가 포함되는 경우, 소자층(102) 및 밀봉층을 분단하여, 복수의 반도체 장치를 잘라내어도 좋다. 이러한 공정에 의하여, 복수의 반도체 장치를 제작할 수 있다. 분단할 때는, 다이싱, 스크라이빙, 가위나 나이프 등의 날붙이를 갖는 재단기, 또는 레이저 컷법 등에 의하여 선택적으로 분단할 수 있다.

[0100] 또한, 반도체 장치를 종이에 내장시킴으로써, 반도체 장치를 포함하는 종이를 형성할 수 있다. 구체적으로는, 제 1 습지(濕紙) 위에 반도체 장치를 형성한다. 그 위에 제 2 습지를 배치하여, 압착 및 건조한다. 이 결과, 반도체 장치를 포함하는 종이를 형성할 수 있다. 그 후의, 상기 종이를 적절한 크기로 절단하여도 좋다.

[0101] 본 실시형태에서 나타내는 반도체 장치는, 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 갖는 소자층과, 섬유체가 유기 수지로 고착되어 있다. 섬유체는, 국소적인 가압에 의한 압력을 섬유 전체로 분산하기 때문에 국소적으로 압력이 쉽게 가해지지 않는다. 그래서, 반도체 장치를 구성하는 배선이나 반도체 소자가 연신되지 않고, 반도체 장치가 쉽게 파괴되지 않는다. 또한, 소자층에 고강도 섬유로 이루어지는 섬유체가 고착되어 있기 때문에 박리 공정에 있어서도 소자층이 쉽게 연신되지 않는다. 즉, 소자층에 형성되는 반도체 소자, 배선 등이 연신하는 것을 저감할 수 있다. 그래서, 반도체 장치의 수율을 향상시킬 수 있다.

[0102] 또한, 소자층의 두께를 얇게 함으로써, 반도체 장치를 만족시킬 수 있게 된다. 그래서, 소자층의 면적을 보다 크게 할 수 있고, 반도체 장치를 제작하는 공정이 용이해진다. 또한, 상기 반도체 장치가 안테나를 내장하는 RFID의 경우, 안테나의 크기를 증대시킬 수 있다. 그래서, 통신 거리가 긴 RFID를 제작할 수 있다.

[0103] (실시형태 2)

[0104] 본 실시형태에서는, 실시 형태 1과 비교하여, 보다 쉽게 파괴되지 않는 반도체 장치의 제작 방법을 도 5a 내지 도 5d를 사용하여 설명한다.

[0105] 실시형태 1과 마찬가지로, 도 5a에 도시하는 바와 같이, 절연 표면을 갖는 기판(100) 위에 박리층(101)을 형성하고, 박리층(101) 위에 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층(102) 및 안테나(112)를 형성한다. 다음, 소자층(102) 및 안테나(112) 위에 섬유체(113)를 형성하고, 유기 수지층(114)을 형성하고, 유기 수지층(114) 위에 보호 필름(131)을 형성한다.

[0106] 보호 필름(131)으로서는, 고강도 재료로 형성되어 있는 것이 바람직하다. 고강도 재료의 대표적인 예로서는, 폴리비닐알콜 수지, 폴리에스테르 수지, 폴리아미드 수지, 폴리에틸렌 수지, 아라미드 수지, 폴리파라페닐렌벤조비스옥사졸 수지, 유리 수지 등이 있다.

[0107] 보호 필름(131)이 고강도 재료로 형성되므로, 실시형태 1과 비교하여 국소적인 가압에 의한 파괴를 억제할 수 있다. 구체적으로는, 섬유체(113)에 있어서, 날실속 및 씨실속이 분포되지 않는 바스켓 홀의 면적이 국소적으로 압력이 가해지는 면적 보다 큰 경우, 바스켓 홀에 국소적으로 하중되면, 상기 압력이 섬유체(113)에서 흡수되지 않고, 직접 소자층(102) 및 안테나(112)에 가해져 버린다. 이 결과, 소자층(102) 및 안테나(112)가 연신되어, 반도체 소자 또는 배선이 파괴되어 버린다.

[0108] 그렇지만, 고강도 재료로 형성되는 보호 필름(131)을 유기 수지층(114) 위에 형성함으로써, 국소적인 하중을 보호 필름(131) 전체에서 흡수하기 때문에 국소적인 가압에 의한 파괴가 적은 반도체 장치가 된다.

- [0109] 다음, 도 5b에 도시하는 바와 같이, 실시형태 1과 마찬가지로, 유기 수지층(114)을 가열하여 밀봉층(120)을 형성한다. 또한, 밀봉층(120)의 유기 수지는 보호 필름(131)을 소자층(102) 및 안테나(112)에 고착한다. 즉, 밀봉층(120)은, 섬유체(113) 및 보호 필름(131)을 소자층(102) 및 안테나(112)에 고착한다. 또한, 밀봉층(120)에 포함되는 유기 수지층(121)은, 섬유체(113) 중에 함침된다.
- [0110] 다음, 도 5c에 도시하는 바와 같이, 박리층(101)이 형성되는 절연 표면을 갖는 기관(100)으로부터 소자층을 포함하는 층(124)을 박리한다. 여기서는 실시형태 1과 마찬가지로, 레이저 빔을 소자층(102) 및 박리층(101)에 조사하여 홈을 형성한 후, 박리층(101) 및 버퍼층으로서 기능하는 절연층(103)의 계면에 형성되는 금속 산화물 층에 있어서, 물리적 수단으로 박리한다.
- [0111] 이후, 도 5d에 도시하는 바와 같이, 버퍼층으로서 기능하는 절연층(103) 표면에 섬유체를 형성하고, 유기 수지층을 형성하고, 유기 수지층 위에 보호 필름을 형성하고, 가열하고 압착하여 밀봉층(129) 및 보호 필름(141)을 소자층(102)에 고착하여도 좋다.
- [0112] 또한, 도 5a에 있어서, 보호 필름(131)이 열 가소성 재료인 경우, 소자층(102) 및 안테나(112)와 섬유체(113)와의 사이에 보호 필름(131)을 형성하여 가열 압착하여도 좋다. 또한, 소자층(102), 안테나(112) 및 섬유체(113)와 유기 수지층(114)과의 사이에 보호 필름(131)을 형성하여 가열 압착하여도 좋다. 또한, 도 5d에 있어서, 보호 필름(141)이 열 가소성 재료인 경우, 버퍼층으로서 기능하는 절연층(103)과 섬유체와의 사이에 보호 필름(141)을 형성하여 가열 압착하여도 좋다. 또한, 버퍼층으로서 기능하는 절연층(103) 및 섬유체와 유기 수지층과의 사이에 보호 필름(141)을 형성하여 가열 압착하여도 좋다. 상기 구조에 있어서도, 국소적인 가압에 의한 하중을 보호 필름 및 섬유체로 분산시킬 수 있고, 반도체 장치의 파괴를 저감할 수 있다.
- [0113] 또한, 소자층(102)에 복수의 반도체 장치가 포함되는 경우, 소자층(102) 및 밀봉층을 분단하여, 복수의 반도체 장치를 잘라내어도 좋다. 이러한 공정에 의하여, 복수의 반도체 장치를 제작할 수 있다.
- [0114] 또한, 실시형태 1과 마찬가지로 반도체 장치를 종이에 내장시킴으로써, 반도체 장치를 포함하는 종이를 형성할 수 있다.
- [0115] 이상과 같이, 국소적인 가압에 의한 파괴가 적은 반도체 장치를 제작할 수 있다. 또한, 소자층의 두께를 얇게 함으로써, 반도체 장치를 만족시킬 수 있게 된다. 그래서, 소자층의 면적을 보다 크게 할 수 있고, 반도체 장치를 제작하는 공정이 용이해진다. 또한, 상기 반도체 장치가 안테나를 내장하는 RFID의 경우, 안테나의 크기를 증대시킬 수 있다. 그래서, 통신 거리가 긴 RFID를 제작할 수 있다.
- [0116] (실시형태 3)
- [0117] 본 실시형태에서는, 소자층에 안테나가 형성되지 않고, 다른 기관에 형성된 안테나를 소자층에 접속한 반도체 장치의 제작 방법에 대하여, 도 6a 내지 도 7c를 사용하여 설명한다.
- [0118] 도 6a에 도시하는 바와 같이, 실시형태 1과 마찬가지로, 절연 표면을 갖는 기관(100) 위에 박리층(101)을 형성하고, 박리층(101) 위에 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층(151)을 형성한다. 다음, 소자층(151) 위에 섬유체(113) 및 개구부(154)를 갖는 유기 수지층(155)을 형성한다.
- [0119] 여기서는, 소자층(151)으로서는 실시형태 1에 나타내는 바와 같이, 버퍼층으로서 기능하는 절연층(103)을 형성하고, 버퍼층으로서 기능하는 절연층(103) 위에 하지층으로서 기능하는 절연층(104)을 형성하고, 절연층(104) 위에 박막 트랜지스터(105a, 105b)를 형성한다. 박막 트랜지스터(105a, 105b) 위에 절연층(106, 107)을 형성하고, 절연층(106, 107)을 관통하여 박막 트랜지스터(105a, 105b)의 소스 영역 및 드레인 영역에 접속하는 배선(108)을 형성하고, 그 후에 형성하는 전극 패드(152)에 접속하는 배선(109)을 형성한다. 또한, 전극 패드(152)는 배선(109) 및 배선(108)을 통하여 반도체 층의 소스 영역, 또는 드레인 영역과 전기적으로 접속되어 있다. 배선(108, 109), 절연층(107) 위에 절연층(111)을 형성하고, 절연층(111)을 관통하여 배선(109)과 접속하는 전극 패드(152)를 형성한다.
- [0120] 유기 수지층(155)은, 전극 패드(152)의 일부를 노출하는 바와 같은 개구부(154)를 가지도록 유기 수지를 유기 용제로 희석한 조성물을 인쇄법, 또는 액적토출법에 의하여 소자층(151) 위에 형성하여 건조 소성하여 형성한다.
- [0121] 다음, 도 6b에 도시하는 바와 같이, 유기 수지층(153)의 개구부에 접속 단자(161)를 형성한다. 접속 단자(161)는, 인쇄법, 액적토출법 등에 의하여 형성할 수 있다. 접속 단자(161)의 재료로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo) 및 티탄(Ti) 등의 어느 하나 이상의 금속 입



자나, 할로겐화은의 미립자, 또는 상기 재료의 분산성 나노 입자를 사용할 수 있다. 다음, 유기 수지층(155) 및 접속 단자(161)의 재료를 소성하고, 소자층(151)의 편면에 유기 수지층(155) 및 섬유체(113)로 이루어지는 밀봉층(156)을 형성한다. 또한, 밀봉층(156)에는, 전극 패드(152)에 접속하는 접속 단자(161)가 형성된다.

[0122] 다음, 도 6c에 도시하는 바와 같이, 박리층(101)이 형성되는 절연 표면을 갖는 기판(100) 및 소자층(151)을 포함하는 층(162)을 박리한다. 여기서는, 실시형태 1과 마찬가지로, 레이저 빔을 소자층 및 박리층(101)에 조사하여, 홈을 형성한다. 다음, 상기 홈에 액체를 공급한 후, 박리층(101) 및 버퍼층으로서 기능하는 절연층(103)의 계면에 있어서, 물리적 수단으로 박리한다.

[0123] 그 후의, 도 7a에 도시하는 바와 같이, 소자층(151)에 고착된 밀봉층(156)과, 안테나(172)가 형성된 기판(171)을 접착재(174)로 접착한다. 이 때, 소자층(151)에 형성된 접속 단자(161)와 안테나(172)를 이방성 도전 접착재(173)를 사용하여 전기적으로 접속한다.

[0124] 이방성 도전 접착재(173)로서는, 분산된 도전성 입자(입경이 수nm 내지 수십  $\mu\text{m}$ )를 함유하는 접착성 수지이며, 에폭시 수지, 페놀 수지 등을 들 수 있다. 또한, 도전성 입자는 금, 은, 구리, 팔라듐, 니켈, 탄소, 또는 백금으로부터 선택된 일 원소, 혹은, 복수의 원소로 형성된다. 또한, 이들의 원소의 다층 구조를 갖는 입자라도 좋다. 또한, 수지로 형성된 입자의 표면에 금, 은, 구리, 팔라듐, 니켈, 또는 백금으로부터 선택된 일 원소, 혹은, 복수의 원소로 형성되는 박막이 형성된 도전성 입자를 사용하여도 좋다. 또한, 도전성 입자로서 CNT(카본 나노 튜브)를 사용하여도 좋다.

[0125] 안테나(172)로서는, 실시형태 1에 나타내는 안테나(112)와 동일한 재료 및 형성 방법을 적절히 사용할 수 있다.

[0126] 안테나(172)가 형성된 기판(171)으로서, 필름 형상의 플라스틱 기판, 예를 들면, 폴리에틸렌 테레프탈레이트(PET), 폴리에테르설폰(PES), 폴리에틸렌 나프탈레이트(PEN), 폴리카보네이트(PC), 나일론, 폴리에테르케톤(PEEK), 폴리설폰(PSF), 폴리에테르 이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌 테레프탈레이트(PBT) 등을 사용할 수 있다.

[0127] 다음, 도 7b에 도시하는 바와 같이, 실시형태 1과 마찬가지로, 버퍼층으로서 기능하는 절연층(103) 표면에 밀봉층(129)을 형성하여도 좋다.

[0128] 다음, 도 7c에 도시하는 바와 같이, 안테나(172)가 형성되는 기판(171)과 밀봉층(156), 소자층(151) 및 밀봉층(129)을 밀봉하도록 필름(175)을 형성하여도 좋다. 필름으로서, 안테나(172)가 형성된 기판(171)과 같은 필름을 사용할 수 있다.

[0129] 또한, 본 실시형태에 있어서, 소자층(151)을 박리층(101)으로부터 박리한 후, 안테나(172)가 형성되는 기판(171)을 소자층(151) 위의 밀봉층(120)에 접착한 형태를 나타냈지만, 이것에 대신에 도 6b에 도시하는 바와 같이, 접속 단자(161)를 형성한 후, 밀봉층(156)과 안테나(172)가 형성되는 기판(171)과 접착하는 것과 함께, 안테나(172)와 접속 단자(161)를 이방성 도전 접착재(173)로 전기적으로 접속하여도 좋다. 이 후, 박리층(101)으로부터 소자층(151)을 박리하여도 좋다. 또한, 도 7b에 도시하는 바와 같이, 버퍼층으로서 기능하는 절연층(103)에 밀봉층(129)을 형성하여, 도 7c에 도시하는 바와 같이, 필름(175)으로 안테나(172)가 형성되는 기판(171), 밀봉층(156), 소자층(151) 및 밀봉층(129)을 밀봉하여도 좋다.

[0130] 상기 형태에서는, 안테나(172)를 갖는 기판(171)이 소자층(151)의 한쪽의 면에만 접착된 반도체 장치를 나타냈지만, 소자층(151)의 양쪽의 면에 각각 안테나가 형성된 기판을 접착하여도 좋다. 그 형태를 도 8a 내지 도 8c를 사용하여 이하에 나타낸다.

[0131] 도 6a 내지 도 7a의 공정을 거쳐, 도 8a에 도시하는 바와 같이, 안테나(172)가 형성된 기판(171)과 소자층(180)의 한쪽의 면에 형성된 밀봉층(156)이 접착재(174)로 접착된다.

[0132] 또한, 소자층(180)의 다른 쪽의 면(즉, 절연층(103) 표면)에는, 밀봉층(129)이 형성된다. 또한, 소자층(180)에는 박막 트랜지스터(105a, 105b)의 반도체 층의 소스 영역 및 드레인 영역에 접속하는 배선(108)과 마찬가지로 형성된 배선(181)이 절연층(107) 위에 형성된다. 또한, 배선(181)으로서 게이트 절연막 위에 게이트 전극(55a, 55b)과 동시에 배선을 형성하여도 좋다.

[0133] 다음, 배선(181)에 접속하는 접속 단자를 형성하기 위하여, 밀봉층(129) 및 소자층(180)의 일부에 개구부를 형성한다. 여기서는, 밀봉층(129) 측으로부터 배선(181)에 레이저 빔을 조사하여 개구부를 형성하고, 배선(181)을 일부 노출한다.

- [0134] 다음, 도 8b에 도시하는 바와 같이, 개구부를 충전하도록 접속 단자(183)를 형성한다. 접속 단자(183)는 접속 단자(161)와 마찬가지로 형성할 수 있다.
- [0135] 다음, 도 8c에 도시하는 바와 같이, 밀봉층(129)과 안테나(192)가 형성된 기관(191)을 접착재(194)를 사용하여 접착하는 것과 함께, 접속 단자(183) 및 안테나(192)를 이방성 도전 접착재(193)로 전기적으로 접속한다.
- [0136] 이상과 같이, 소자층의 양쪽의 면에 안테나가 형성된 반도체 장치를 제작할 수 있다. 이러한 반도체 장치는, UHF대역의 전파를 수신 가능한 RFID와 같이, 대칭 구조인 안테나를 갖는 반도체 장치에 사용하면, 반도체 장치의 크기를 작게 할 수 있으므로 바람직하다.
- [0137] 또한, 소자층(151, 180)에 복수의 반도체 장치가 포함되는 경우, 소자층(151, 180) 및 밀봉층을 분단하여, 복수의 반도체 장치를 잘라내어도 좋다. 이러한 공정에 의하여, 복수의 반도체 장치를 제작할 수 있다.
- [0138] 또한, 실시형태 1과 마찬가지로 반도체 장치를 종이에 내장시킴으로써 반도체 장치를 포함하는 종이를 형성할 수 있다.
- [0139] 본 실시형태에서 나타내는 반도체 장치는, 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 갖는 소자층과 섬유체가 유기 수지로 고착되어 있다. 섬유체는, 국소적인 가압에 의한 압력을 섬유 전체로 분산하기 때문에, 국소적으로 압력이 쉽게 가해지지 않는다. 그래서, 반도체 장치를 구성하는 배선이나 반도체 소자가 연신되지 않고, 반도체 장치가 쉽게 파괴되지 않는다. 또한, 소자층에 고강도 섬유로 이루어지는 섬유체가 고착되어 있기 때문에, 박리 공정에 있어서도, 소자층이 쉽게 연신되지 않는다. 즉, 소자층에 형성되는 반도체 소자, 배선 등이 연신되는 것을 저감할 수 있고, 반도체 장치의 수율을 향상시킬 수 있다.
- [0140] 또한, 소자층의 두께를 얇게 함으로써, 반도체 장치를 만곡시킬 수 있게 된다. 그래서, 소자층의 면적을 보다 크게 할 수 있다. 그래서, 외부 안테나를 소자층에 접속할 때, 접속 면적을 크게 할 수 있고, 반도체 장치를 제작하는 공정이 용이해진다. 또한, 상기 반도체 장치가 안테나를 내장하는 RFID의 경우, 안테나의 크기를 증대시킬 수 있다. 그래서, 통신 거리가 긴 RFID를 제작할 수 있다.
- [0141] (실시형태 4)
- [0142] 본 실시형태에서는, 실시형태 1 내지 실시형태 3에서 나타내는 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층이 프린트 기관에 접속된 반도체 장치에 대하여 도 9a 및 도 9b를 사용하여 설명한다.
- [0143] 도 9a는, 본 실시형태의 반도체 장치(250)의 사시도를 나타낸다. 반도체 장치(250)는, 플렉시블 프린트 기관에 실시형태 1 내지 실시형태 3에 나타내는 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층이 형성된다. 예를 들면, 폴리에스테르, 폴리이미드 등으로 형성되는 베이스 필름(251) 위에 구리, 금, 은, 알루미늄 등으로 형성되는 배선(252)이 형성된다. 또한, 배선(252) 위에 절연층을 통하여 실시형태 1 내지 실시형태 3에 나타내는 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 소자층 및 밀봉층의 적층체(253a, 253b)가 형성되어 있다. 또한, 배선(252) 및 적층체(253a, 253b)는, 밀봉층의 콘택트 홀에 형성된 접속 단자를 통하여 접속되어 있다. 베이스 필름(251), 배선(252) 및 적층체(253a, 253b)는, 보호 필름(254)으로 덮여 있다. 또한, 반도체 장치(250)의 단부에 있어서는, 보호 필름(254)의 일부가 절제(切除)되어, 커넥터 등의 외부 회로와 배선(252)이 노출되어 있다.
- [0144] 소자층은, 밀봉층을 끼워 배선에 형성되고, 가열 압착함으로써 배선 및 베이스 기관에 소자층을 고착시킬 수 있다.
- [0145] 또한, 여기서는 1층의 배선(252)을 갖는 반도체 장치를 나타냈지만, 이것 대신에 다층 배선구조이어도 좋다. 또한, 복수의 배선으로 적층체(253a, 253b)가 끼워져 있어도 좋다. 이와 같이, 배선을 다층으로 함으로써, 실장 밀도를 높일 수 있다.
- [0146] 도 9b는, 본 실시형태의 반도체 장치(260)의 단면도를 나타낸다. 반도체 장치(260)는, 프린트 기관에 실시형태 1 내지 실시형태 3에 나타내는 반도체 소자를 포함하는 소자층이 형성된다. 예를 들면, 코어층(261)의 한쪽의 면에 실시형태 1 내지 실시형태 3에 나타내는 반도체 소자를 포함하는 소자층(262)이 형성되어 있다. 또한, 코어층(261)과 실시형태 1 내지 실시형태 3에 나타내는 반도체 소자 또는 배선이 밀봉층(263)을 관통하는 비아(264)로 접속된다.
- [0147] 또한, 소자층(262)에는 다층 배선(265)이 형성된다. 다층 배선(265)의 유기 수지층(266)에 형성되는 비아(267)에 의하여, 코어층(261), 소자층(262)에 형성되는 반도체 소자 및 배선 등이, 반도체 장치(260) 표면에 형성

되는 도체 패턴(268)과 접속된다.

- [0148] 또한, 코어층(261)의 다른 쪽 면에는, 다층 배선(269)이 형성되어 있다.
- [0149] 또한, 반도체 장치(260)에 콘덴서, 코일, 저항, 다이오드 등의 칩(271)을 도전성 페이스트나 와이어 등의 실장 부재(272)로 실장하여도 좋다.
- [0150] 본 실시형태의 반도체 장치는, 프린트 기판에 비단결정 반도체 층을 사용하여 형성되는 반도체 소자를 포함하는 층을 가진다. 또한, 섬유체를 사용한 프리프레그(prepreg)를 사용하여 소자층을 프린트 기판 내에 형성한다. 그래서, 국소적 하중(점압, 선압 등)이 가해져도 섬유체로 압력이 분산되기 때문에, 실장 공정이나 반도체 장치를 만족함으로써 발생하는 파괴를 저감할 수 있다. 또한, 고집적화가 가능하다.
- [0151] (실시형태 5)
- [0152] 본 실시형태에서는, 국소적 하중(점압, 선압 등)에 의한 파괴를 저감할 수 있는 도전층을 갖는 기판을 제작하는 예를 나타낸다.
- [0153] 여기서는, 도전층을 갖는 기판으로서 안테나를 갖는 기판을 예로서, 제작 방법을 이하에 나타낸다.
- [0154] 우선, 실시형태 1과 마찬가지로, 도 10a에 도시하는 바와 같이, 절연 표면을 갖는 기판(100) 위에 박리층(101)을 형성하고, 박리층(101) 위에 버퍼층으로서 기능하는 절연층(103)을 형성하고, 절연층(103) 위에 안테나로서 기능하는 도전층(904)을 형성한다.
- [0155] 안테나로서 기능하는 도전층(904)은, 실시형태 1에 나타내는 안테나(112)와 같은 재료 및 제작 방법을 적절히 사용할 수 있다.
- [0156] 다음, 실시형태 1 내지 실시형태 3과 마찬가지로, 도전층(904) 위에 섬유체(113)를 형성한다.
- [0157] 다음, 도 10b에 도시하는 바와 같이, 실시형태 1 내지 실시형태 3과 마찬가지로, 도전층(904) 및 섬유체(113)위로부터 유기 수지를 포함하는 조성물을 도포하고 소성하여, 유기 수지층(114)을 형성한다.
- [0158] 또한, 상기 공정과 같이, 도전층(904) 위에 섬유체(113)를 형성한 후, 유기 수지층(114)을 형성하는 대신, 도전층(904) 위에 유기 수지층(114)을 형성한 후, 도전층(904) 및 유기 수지층(114) 위에 섬유체(113)를 형성하여도 좋다.
- [0159] 다음, 유기 수지층(114)을 가열하고, 도 10c에 도시하는 바와 같이, 섬유체(113)에 함침되는 유기 수지층(121)을 포함하는 밀봉층(120)이 도전층(904) 및 절연층(103)의 편면에 형성된다. 또한, 도전층(904) 및 절연층(103)의 편면에 고착된 유기 수지층(121) 및 섬유체(113)를 실시형태 1과 마찬가지로, 밀봉층(120)으로 나타낸다.
- [0160] 다음, 도 10d에 도시하는 바와 같이, 실시형태 1 내지 실시형태 3과 마찬가지로의 박리를 행하여, 절연 표면을 갖는 기판(100)으로부터 절연층(103)을 분리한다.
- [0161] 다음, 절연층(103) 또는 밀봉층(120)의 일부를 제거하고, 도전층(904)의 일부를 노출시킨다. 다음, 도 10e에 도시하는 바와 같이, 도전층(904)에 접속되는 접속 단자(905a, 905b)를 형성한다. 접속 단자(905a, 905b)는, 실시형태 4에 나타내는 접속 단자(161)와 마찬가지로 형성할 수 있다. 또한, 절연층(103)의 일부를 제거하여 접속 단자(905a, 905b)를 형성하는 대신, 밀봉층(120)의 일부를 제거하여 접속 단자(905a, 905b)를 형성하여도 좋다.
- [0162] 이상의 공정에 의하여, 안테나로서 기능하는 도전층을 갖는 기판을 제작할 수 있다. 또한, 상기 안테나에 소자 기판을 접속하여, RFID를 제작할 수 있다. 그 제작 방법에 대해서는, 이하에 나타낸다.
- [0163] 도 10f에 도시하는 바와 같이, 절연층(103) 위에 소자 기판(907)을 배치한다. 이방성 도전 재료를 사용하여 압착함으로써, 소자 기판의 단자부와 도전층(904)을 전기적으로 도통한다.
- [0164] 또한, 도전층(904)을 포함하는 적층체에 복수의 안테나로서 기능하는 도전층이 형성되는 경우, 상기 적층체를 분단하여, 안테나로서 기능하는 도전층(904)을 갖는 복수의 적층체를 형성한 후, 각 적층체의 도전층(904)에 소자 기판을 접속하여도 좋다.
- [0165] 또한, 도 10f에서는, 절연층(103)과 비교하여, 작은 면적의 소자 기판(907)을 형성한 예를 나타냈지만, 특히 한정되지 않고, 절연층(103)과 거의 같은 면적의 소자 기판을 형성하여도 좋고, 절연층(103)보다 큰 면적의 소자

기관을 형성하여도 좋다.

- [0166] 이상의 공정에 의하여, IC 태그로서 기능하는 반도체 장치가 완성된다. 또한, 국소적 가압에 의한 파괴가 적은 반도체 장치를 제작할 수 있다.
- [0167] 또한, 마지막으로 보호를 위하여, 소자 기관(907)을 덮도록, 섬유체에 유기 수지가 함침된 밀봉층을 절연층(103) 위에 형성하여도 좋다.
- [0168] (실시형태 6)
- [0169] 본 실시형태에서는, 본 발명의 반도체 장치의 구성 및 응용예를 나타낸다. 여기서는, 반도체 장치의 대표예로서 RFID 및 기억 장치에 대하여 설명한다.
- [0170] 먼저, 본 발명의 반도체 장치의 하나인 RFID(501)의 회로 구성예에 대하여 설명한다. 도 12에 RFID(501)의 회로 블록도를 나타낸다.
- [0171] 도 12의 RFID(501)의 사양은, 국제표준 규격의 ISO 15693에 준거하여, 근방형이고, 교신신호 주파수는, 13.56MHz이다. 또한, 수신은 데이터 판독 명령에만 대응하고, 송신의 데이터 전송 레이트는, 약 13kHz이고, 데이터 부호화 형식은, 맨체스터 코드를 사용한다.
- [0172] RFID(501)의 회로부(412)는, 크게 나누어 전원부(460), 신호 처리부(461)로 구성된다. 전원부(460)는, 정류 회로(462)와 보유 용량(463)을 가진다. 또한, 전원부(460)에 안테나(411)로부터 수신한 전력이 과잉인 경우, 내부 회로를 보호하기 위한 보호 회로부(리미터 회로부라고도 한다)와 보호 회로부를 동작시킬지 말지를 제어하기 위한 보호회로 제어회로부를 형성하여도 좋다. 상기 회로부를 형성함으로써, RFID와 통신기와의 통신 거리가 극단적으로 짧은 상황 등에 있어서, RFID가 대전력을 수신함으로써 생기는 문제를 방지할 수 있고, RFID의 신뢰성의 향상을 도모할 수 있다. 즉, RFID 내부의 소자의 열화나, RFID 자체를 파괴하지 않고, RFID를 정상으로 동작시킬 수 있다.
- [0173] 또한, 여기서 통신기관, RFID와 무선 통신에 의하여 정보의 송수신을 행하는 수단을 가지고 있으면 좋고, 예를 들면, 정보를 판독하는 리더나 판독 기능 및 기록 기능을 구비한 리더/라이터 등을 들 수 있다. 또한, 판독 기능과 기록 기능의 한쪽, 또는 양쪽 모두를 구비하는 휴대 전화기나 컴퓨터 등도 포함된다.
- [0174] 정류 회로(462)는, 안테나(411)에서 수신된 반송파를 정류하여, 직류 전압을 생성한다. 보유 용량(463)은, 정류 회로(462)에서 생성된 직류 전압을 평활화한다. 전원부(460)에 있어서 생성된 직류 전압은, 전원 전압으로서 신호 처리부(461)의 각 회로에 공급된다.
- [0175] 신호 처리부(461)는, 복조 회로(464), 클록 생성/보정 회로(465), 인식/판정 회로(466)와 메모리 컨트롤러(467), 마스크 ROM(468), 부호화 회로(469) 및 변조 회로(470)를 가진다.
- [0176] 복조 회로(464)는, 안테나에서 수신한 신호를 복조하는 회로이다. 복조 회로(464)에서 복조된 수신 신호는 클록 생성/보정 회로(465)와 인식/판정 회로(466)에 입력된다.
- [0177] 클록 생성/보정 회로(465)는, 신호 처리부(461)의 동작에 필요한 클록 신호를 생성하고, 또 그것을 보정하는 기능을 가진다. 예를 들면, 클록 생성/보정 회로(465)는 전압제어 발진회로(이하 VCO(Voltage Controlled Oscillator)회로)를 가지고, VCO회로의 출력을 귀환 신호로 하여, 공급되는 신호와의 위상 비교를 한다. 그리고, 입력되는 신호와 귀환 신호가 일정한 위상이 되도록, 부귀환(負歸還)에 의하여 출력신호를 조정한다.
- [0178] 인식/판정 회로(466)는, 명령 코드를 인식하여 판정한다. 인식/판정 회로(466)가 인식하여, 판정하는 명령 코드는, 프레임 종료신호(EOF, end of frame), 프레임 개시 신호(SOF, start of frame), 플래그, 커맨드 코드, 마스크 길이(mask length), 마스크값(mask value) 등이다. 또한, 인식/판정 회로(466)는, 송신 에러를 식별하는 순회 용장 검사(CRC, cyclic redundancy check) 기능도 포함한다.
- [0179] 메모리 컨트롤러(467)는, 인식/판정 회로(466)에서 처리된 신호를 기초로, 마스크 ROM으로부터 데이터를 판독한다. 또한, 마스크 ROM(468)은, ID 등이 기억되어 있다. 마스크 ROM(468)을 탑재함으로써, 복제나 개찬(改撰)이 불가능한 판독 전용의 RFID(501)로서 구성된다. 이러한 판독 전용의 RFID를 종이에 내장시킴으로써, 위조 방지된 종이를 제공할 수 있다.
- [0180] 부호화 회로(469)는, 메모리 컨트롤러(467)가 마스크 ROM(468)으로부터 판독한 데이터를 부호화한다. 부호화된 데이터는, 변조 회로(470)로 변조된다. 변조 회로(470)로 변조된 데이터는, 안테나(411)로부터 반송파에 중첩



시켜 송신된다.

- [0181] 다음, RFID의 사용 예에 대하여, 나타낸다. 본 발명의 RFID는 모든 종이 매체, 및 필름 매체에 사용할 수 있다. 특히, 본 발명의 RFID는, 위조 방지가 요구되는 모든 종이 매체에 사용할 수 있다. 예를 들면, 지폐, 호적 등본, 주민등록증, 여권, 운전 면허증, 신분증, 회원증, 감정서, 진찰권, 정기관, 어음, 수표, 화물상환증, 선하증권, 창고증권, 주권(株券), 채권, 상품권, 티켓, 저당증권 등이다.
- [0182] 또한, 본 발명의 실시예에 의하여, 종이 매체 상에서 시각적으로 표시되는 많은 정보를 종이 매체, 및 필름 매체가 갖도록 할 수 있기 때문에, 본 발명의 RFID를 상품 라벨 등에 적용함으로써, 상품 관리의 전자 시스템화나 상품 도난의 방지에 이용할 수 있다. 이하, 도 13a 도 13e를 사용하여, 본 발명에 따른 종이의 사용 예를 설명한다.
- [0183] 도 13a는 본 발명의 RFID(501)를 내장시킨 종이를 사용한 무기명 채권류(511)의 일례이다. 무기명 채권류(511)에는, 우표, 기차표, 티켓, 입장권, 상품권, 도서 상품권, 문구 상품권, 맥주 상품권, 쌀 상품권, 각종 기프트 상품권, 각종 서비스권 등이 포함되지만, 물론 이들에 한정되는 것이 아니다. 또한, 도 13b는 본 발명에 따른 RFID(501)를 내장시킨 종이를 사용한 증서류(512)(예를 들면, 주민등록증, 호적 등본)의 일례이다.
- [0184] 도 13c는 본 발명에 따른 RFID를 라벨에 적용한 일례이다. 라벨 대지(세퍼레이트지)(513) 위에, RFID(501)가 내장된 라벨(ID 썸)(514)이 형성되어 있다. 라벨(514)은 박스(515) 내에 수납되어 있다. 또한, 라벨(514) 위에는 그 상품이나 역무에 관한 정보(상품명, 브랜드, 상표, 상표권자, 판매자, 제조자 등)가 인쇄되어 있다. 한편, RFID(501)에는 그 상품(또는 상품의 종류) 고유의 ID 넘버가 기억되어, 위조나, 상표권, 특허권 등의 지적 재산권 침해, 부정 경쟁 등의 불법 행위를 용이하게 파악할 수 있다. 또한, RFID(501) 내에는, 상품의 용기나 라벨에 다 명기할 수 없는 많은 정보, 예를 들면, 상품의 산지, 판매지, 품질, 원재료, 효능, 용도, 수량, 형상, 가격, 생산 방법, 사용 방법, 생산 시기, 사용시기, 유통기한, 취급 설명, 상품에 관한 지적 재산 정보 등을 입력해 둘 수 있다. 그래서, 거래자나 소비자는 간이한 통신기(리더)에 의하여 그들 정보에 액세스할 수 있다. 또한, 생산자 측으로부터는 용이하게 재기입, 소거 등도 가능하지만, 거래자나 소비자 측으로부터는 재기입, 소거 등을 할 수 없는 구조로 되어 있다.
- [0185] 도 13d는, RFID(501)를 내장시킨 종이, 또는 필름으로 이루어지는 태그(516)를 나타낸다. RFID(501)를 내장시킨 종이, 또는 필름으로 태그(516)를 제작함으로써, 플라스틱의 케이스를 사용한 종래의 ID 태그보다 싸값으로 제조할 수 있다. 도 13e는, 본 발명의 RFID를 표지에 사용한 서적(517)이고, 표지에 RFID(501)가 내장되어 있다.
- [0186] 본 발명의 반도체 장치의 일례인 RFID를 사용한 라벨(514)이나 태그(516)를 상품에 설치함으로써, 상품 관리가 용이해진다. 예를 들면, 상품이 도난당한 경우에, 상품의 경로를 찾음으로써, 그 범인을 신속히 파악할 수 있다. 이와 같이, 본 발명의 RFID를 ID 태그로서 사용함으로써, 상품의 원재료나 산지, 제조나 가공, 유통, 판매 등에 이르기까지의 이력 관리나 추적 조회를 할 수 있게 된다. 즉, 상품의 트레이서빌리티(traceability)를 가능하게 한다. 또한, 본 발명에 의하여, 상품의 트레이서빌리티 관리 시스템을 종래보다 저비용으로 도입할 수 있게 한다.
- [0187] 또한, 본 발명의 반도체 장치의 일례인 RFID는, 국소적인 가압에 의하여, 쉽게 파괴되지 않는다. 그래서, 본 발명의 반도체 장치의 일례인 RFID를 갖는 종이 매체, 및 필름 매체는, 접착이나 설치 등의 처리에 있어서, 만곡시킬 수 있고, 처리 효율이 높아진다. 또한, 본 발명의 반도체 장치의 일례인 RFID를 갖는 종이 매체, 및 필름 매체에 필기구를 사용하여 정보를 기입할 수 있기 때문에, 용도 범위가 넓어진다.
- [0188] 다음, 본 발명의 반도체 장치의 일 형태인 기억 장치의 구성에 대하여, 이하에 나타낸다. 여기서는, 기억 장치의 대표적인 예로서 비휘발성 기억장치를 사용하여 나타낸다.
- [0189] 도 14는, 비휘발성 반도체 기억장치의 회로 블록도의 일례를 나타낸다. 비휘발성 반도체 기억장치는 메모리 셀 어레이(552)와 주변 회로(554)가 동일한 소자층 위에 형성되어 있다. 메모리 셀 어레이(552)는 실시형태 1에서 나타내는 바와 같은 비휘발성 기억소자를 가지고 있다. 주변 회로(554)의 구성은 이하와 같다.
- [0190] 워드 선을 선택하기 위하여, 행(行) 디코더(562)와, 비트 선을 선택하기 위하여, 열(列) 디코더(564)가 메모리 셀 어레이(552)의 주위에 형성되어 있다. 어드레스는 어드레스 버퍼(556)를 통하여 컨트롤 회로(558)로 보내지고, 내부 행 어드레스 신호 및 내부 열 어드레스 신호가 각각 행 디코더(562) 및 열 디코더(564)로 전송된다.
- [0191] 데이터 기입 및 소거에는 전원 전위를 승압한 전위가 사용된다. 그래서, 컨트롤 회로(558)에 의하여 동작 모드

에 따라 제어되는 승압 회로(560)가 형성되어 있다. 승압 회로(560)의 출력은 행 디코더(562)나 열 디코더(564)를 통하여 워드 선이나 비트 선에 공급된다. 센스 앰프(566)는 열 디코더(564)로부터 출력된 데이터가 입력된다. 센스 앰프(566)에 의하여 판독된 데이터는 데이터 버퍼(568)에 보유되고, 컨트롤 회로(558)로부터의 제어에 의하여, 데이터가 랜덤 액세스되고, 데이터 입출력 버퍼(570)를 통하여 출력되도록 되어 있다. 기록 데이터는 데이터 입출력 버퍼(570)를 통하여 데이터 버퍼(568)에 일단 보유되고, 컨트롤 회로(558)의 제어에 의하여 열 디코더(564)로 전송된다.

[0192] 이와 같이, 비휘발성 반도체 기억장치에서는, 메모리 셀 어레이(552)에 있어서, 전원 전위와는 다른 전위를 사용할 필요가 있다. 그래서, 적어도 메모리 셀 어레이(552)와 주변 회로(554) 사이는 전기적으로 절연 분리되어 있는 것이 바람직하다. 이 경우, 비휘발성 기억 소자 및 주변 회로의 트랜지스터를 절연 표면에 형성한 비단결정 반도체 층으로 형성함으로써, 용이하게 절연 분리를 할 수 있다. 그것에 의하여, 오동작을 없애고, 소비전력이 낮은 비휘발성 반도체 기억장치를 얻을 수 있다.

[0193] (실시형태 7)

[0194] 본 실시형태에서는, 본 발명의 반도체 장치를 사용한 전자기기에 대하여 이하에 나타낸다.

[0195] 본 발명의 반도체 장치를 적용한 전자기기로서, 비디오 카메라, 디지털 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생장치(카 오디오, 오디오 컴포넌트 등), 컴퓨터, 게임 기기, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기 또는 전자 책 등), 기록 매체를 구비한 화상 재생장치(구체적으로는, DVD(Digital Versatile Disk) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다. 이들 전자기기의 구체적인 예를 도 15a 내지 도 15e에 도시한다.

[0196] 도 15a 내지 도 15b는 디지털 카메라를 나타내고 있다. 도 15b는 도 15a의 후측을 나타내는 도면이다. 이 디지털 카메라는 케이스(2111), 표시부(2112), 렌즈(2113), 조작 키(2114), 셔터 버튼(2115) 등을 가진다. 케이스(2111) 내부에는, 기억 장치, MPU, 이미지 센서 등의 기능을 갖는 본 발명의 반도체 장치(2116)를 구비한다.

[0197] 또한, 도 15c는 휴대 전화를 나타내고 있고, 휴대 단말기의 하나의 대표예이다. 이 휴대 전화기는 케이스(2121), 표시부(2122), 조작 키(2123) 등을 포함한다. 또한, 휴대 전화기의 내부에는, 기억 장치, MPU, 이미지 센서 등의 기능을 갖는 본 발명의 반도체 장치(2125)를 구비한다.

[0198] 또한, 도 15d는 디지털 플레이어를 나타내고 있고, 오디오 장치의 하나의 대표예이다. 도 15d에 도시하는 디지털 플레이어는 본체(2130), 표시부(2131), 기억 장치, MPU, 이미지 센서 등의 기능을 갖는 본 발명의 반도체 장치(2132), 조작부(2133), 이어폰(2134) 등을 포함하고 있다.

[0199] 또한, 도 15e는 전자 책(전자 페이퍼라고도 한다)을 나타내고 있다. 이 전자 책은 본체(2141), 표시부(2142), 조작 키(2143), 기억 장치, MPU, 이미지 센서 등의 기능을 갖는 본 발명의 반도체 장치(2144)를 포함하고 있다. 또, 모델이 본체(2141)에 내장되어 있어도 좋고, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.

[0200] 이상과 같이, 본 발명의 반도체 장치의 적용 범위는 극히 넓고, 또 다른 전자기기에 사용할 수 있다.

## 도면의 간단한 설명

[0201] 도 1a 내지 도 1e는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0202] 도 2a 내지 도 2c는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0203] 도 3a 내지 도 3d는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0204] 도 4a 내지 도 4d는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0205] 도 5a 내지 도 5d는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0206] 도 6a 내지 도 6c는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0207] 도 7a 내지 도 7c는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

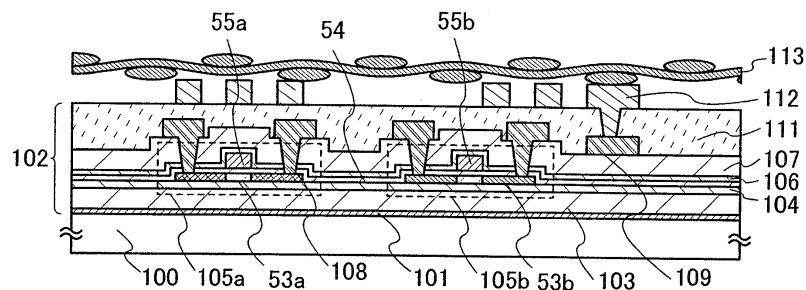
[0208] 도 8a 내지 도 8c는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

[0209] 도 9a 내지 도 9b는 본 발명의 반도체 장치의 제작 방법을 설명하는 단면도.

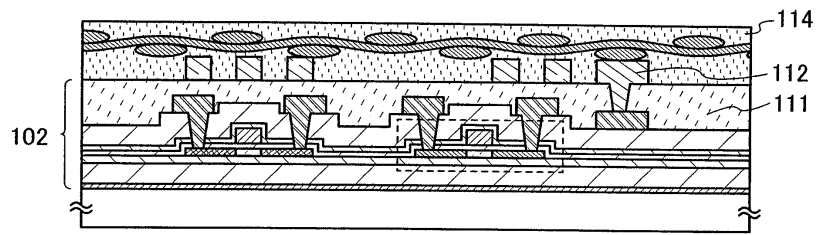
- [0210] 도 10a 내지 도 10f는 본 발명의 반도체 장치를 설명하는 사시도 및 단면도.
- [0211] 도 11a 내지 도 11b는 본 발명에 적용 가능한 섬유체를 설명하는 상면도.
- [0212] 도 12는 본 발명의 반도체 장치를 설명하는 도면.
- [0213] 도 13a 내지 도 13e는 본 발명의 반도체 장치의 응용 예를 설명하는 사시도.
- [0214] 도 14는 본 발명의 반도체 장치를 설명하는 도면.
- [0215] 도 15a 내지 도 15e는 본 발명의 반도체 장치를 적용할 수 있는 전자기기를 설명하는 도면.
- [0216] 도 16a 내지 도 16d는 본 발명에 적용 가능한 안테나를 설명하는 도면.
- [0217] <도면의 주요 부분에 대한 부호의 설명>
- [0218] 54: 게이트 절연막                      100: 기판
- [0219] 101: 박리층                              102: 소자층
- [0220] 103: 절연층                              104: 절연층
- [0221] 106: 절연층                              107: 절연층
- [0222] 108: 배선                                109: 배선
- [0223] 111: 절연층                              112: 안테나
- [0224] 113: 섬유체                              114: 유기 수지층
- [0225] 120: 밀봉층                              121: 유기 수지층
- [0226] 123: 홈                                  124: 일부
- [0227] 53a: 반도체 층                      53b: 반도체 층
- [0228] 55a: 게이트 전극                      55b: 게이트 전극
- [0229] 105a: 박막 트랜지스터      105b: 박막 트랜지스터

## 도면

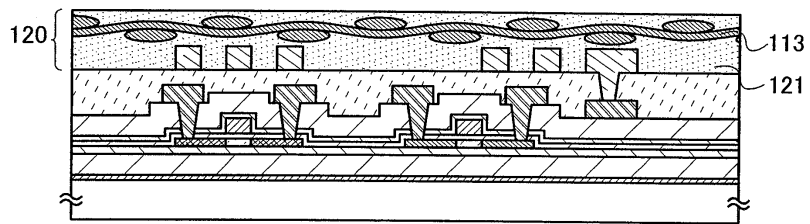
### 도면1a



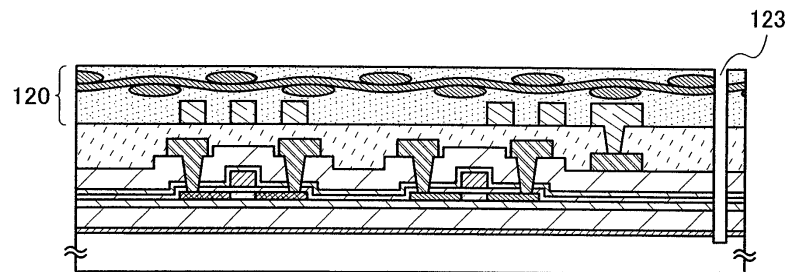
도면1b



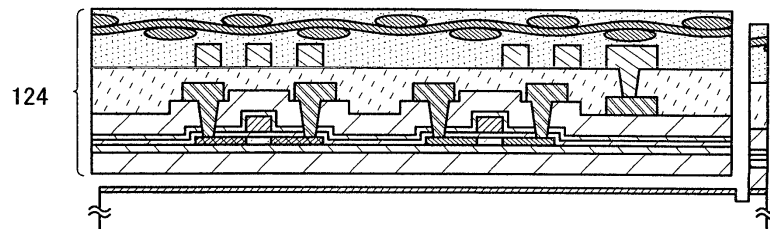
도면1c



도면1d

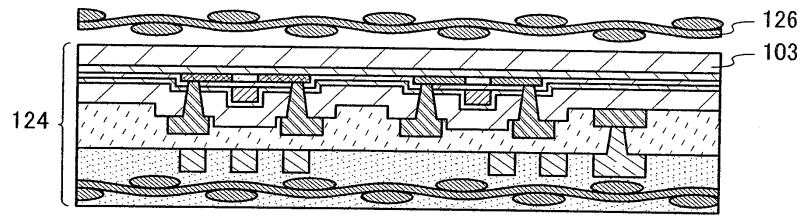


도면1e

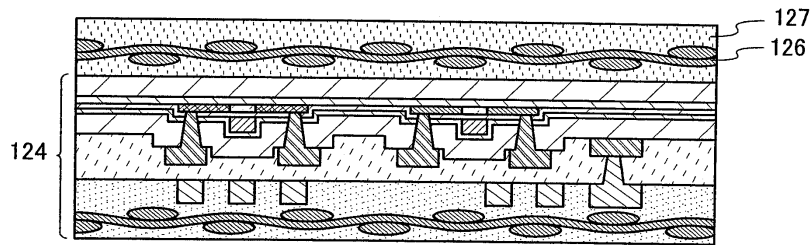




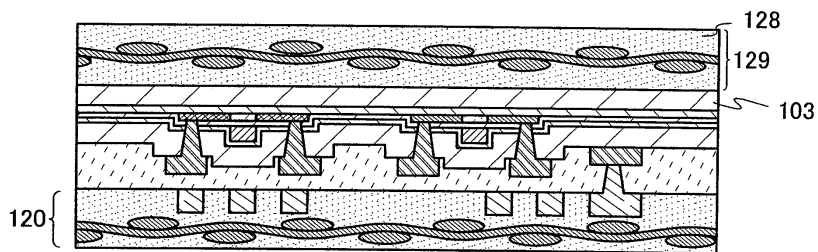
도면2a



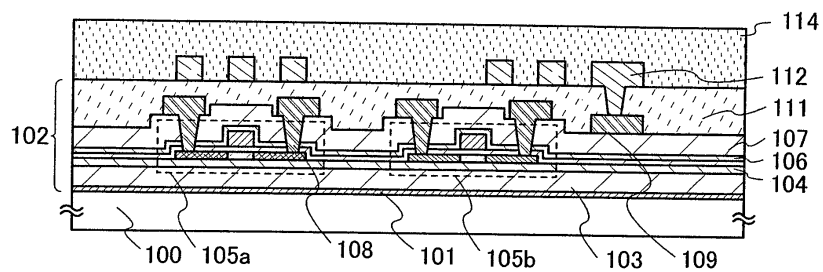
도면2b



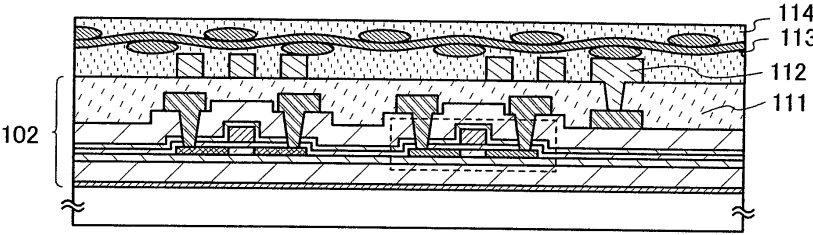
도면2c



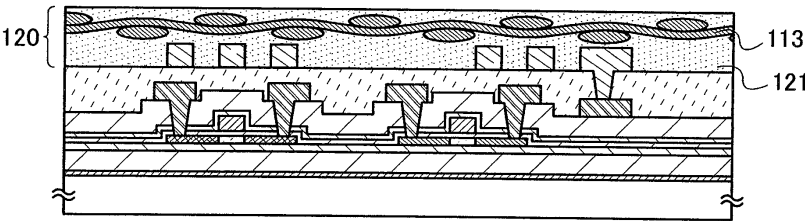
도면3a



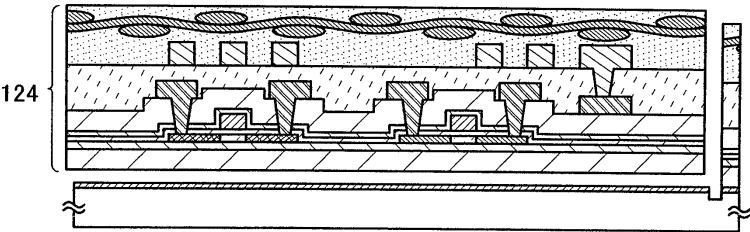
도면3b



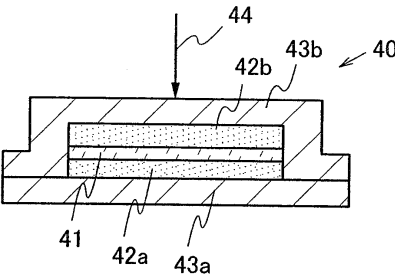
도면3c



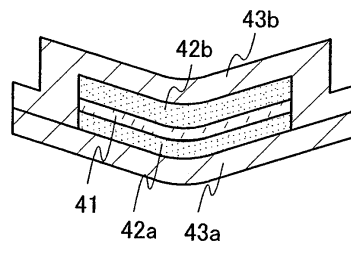
도면3d



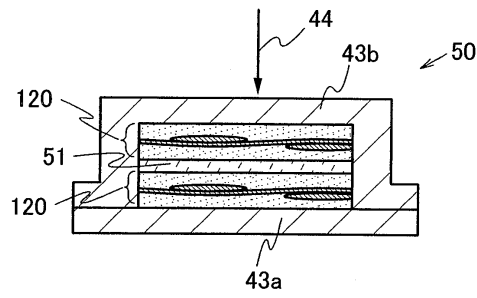
도면4a



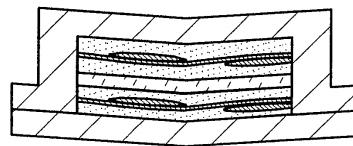
도면4b



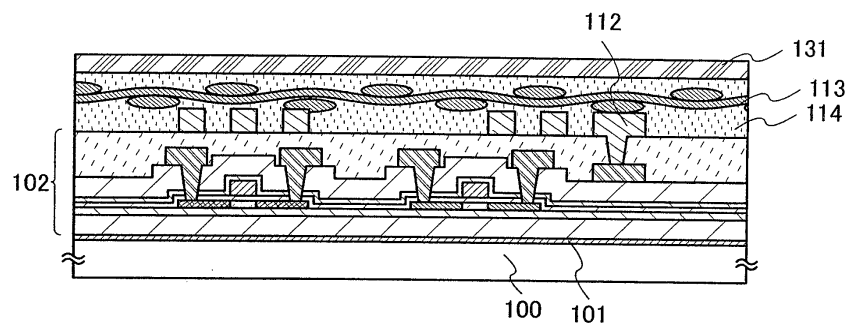
도면4c



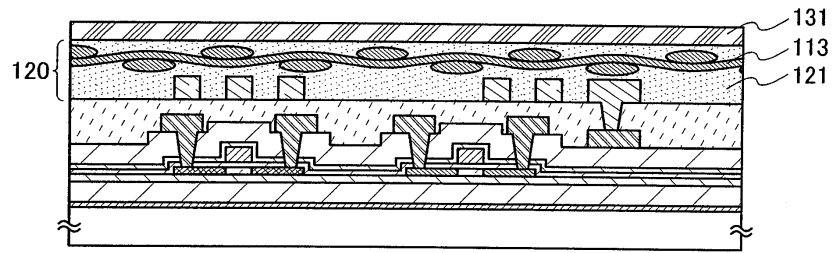
도면4d



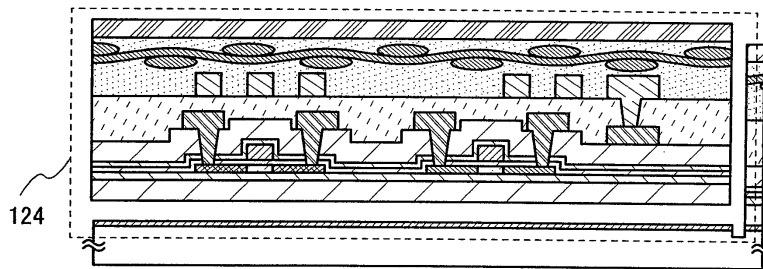
도면5a



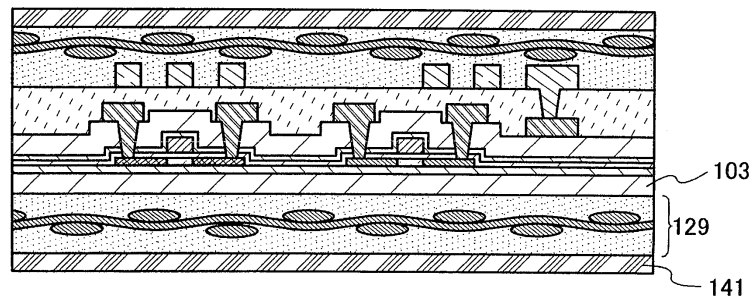
도면5b



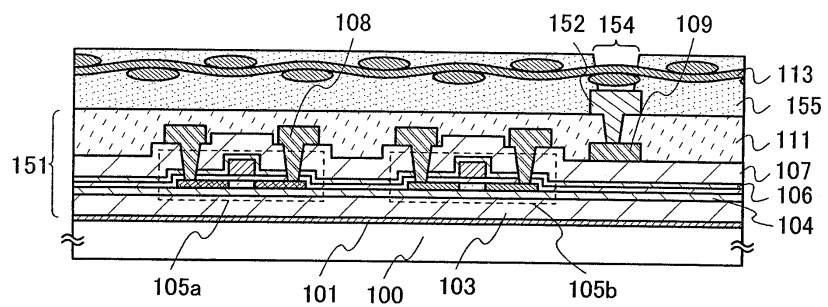
도면5c



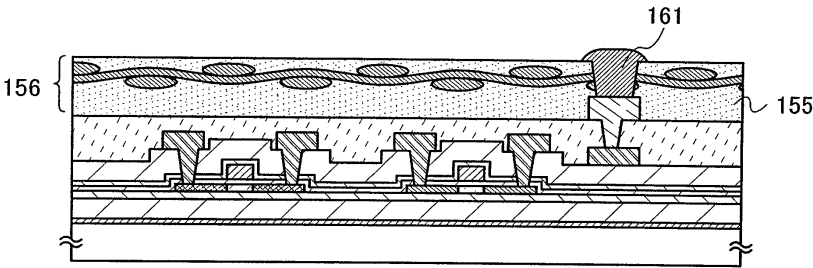
도면5d



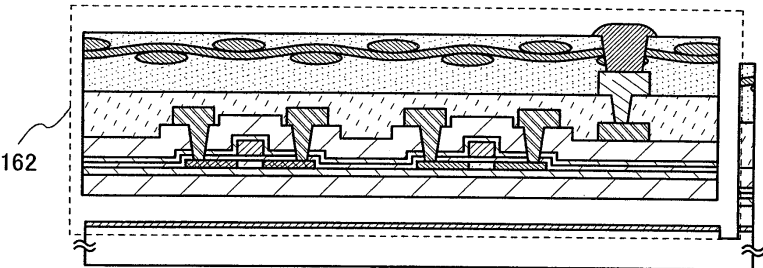
도면6a



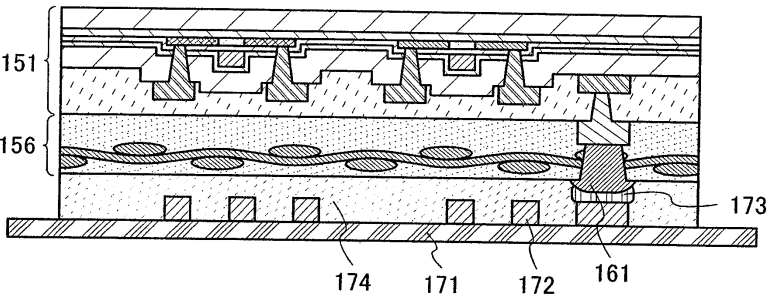
도면6b



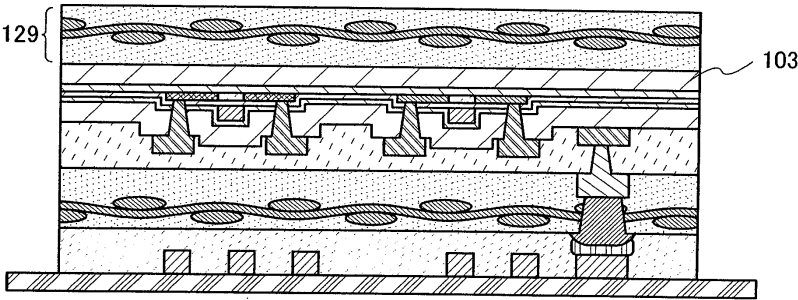
도면6c



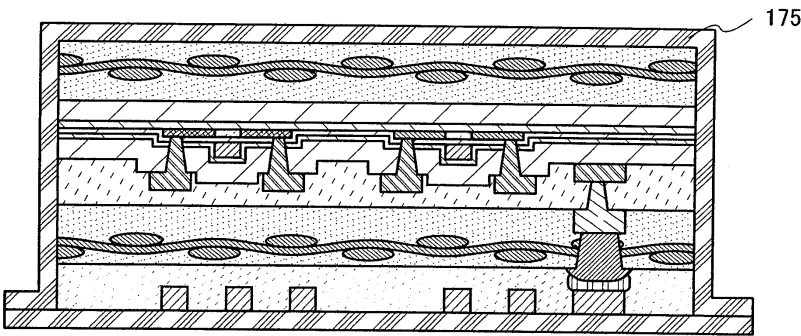
도면7a



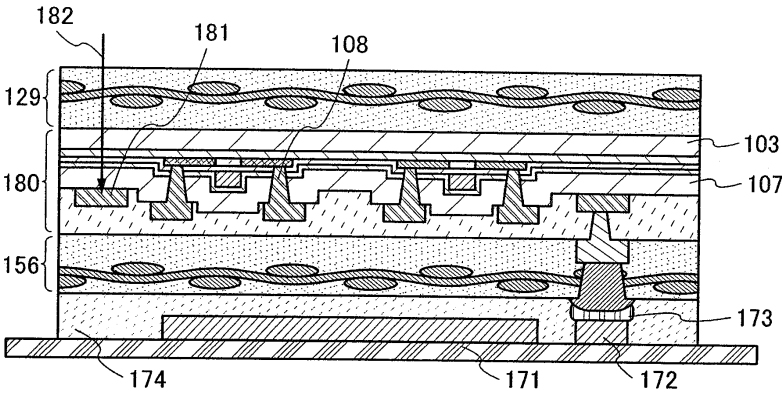
도면7b



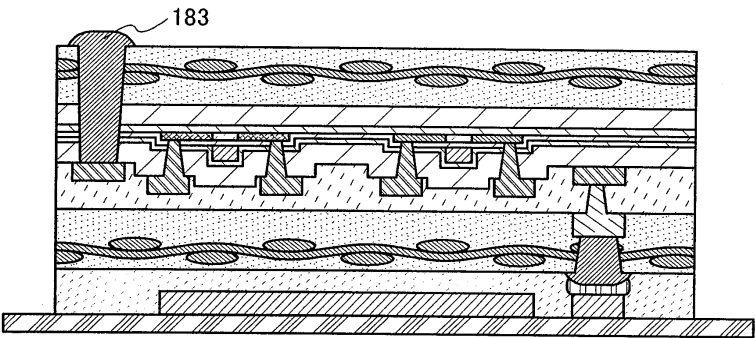
도면7c



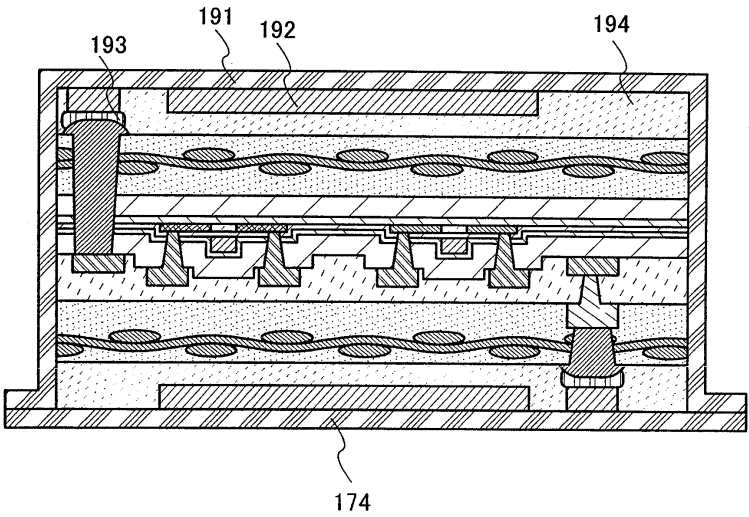
도면8a



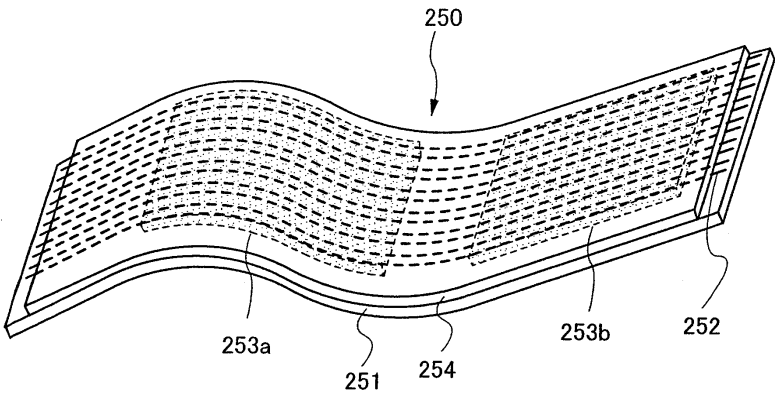
도면8b



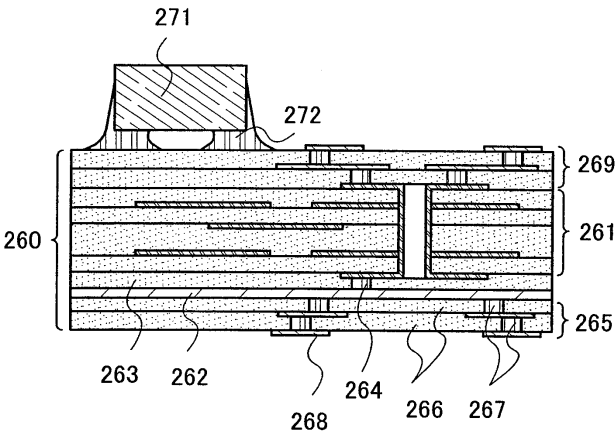
도면8c



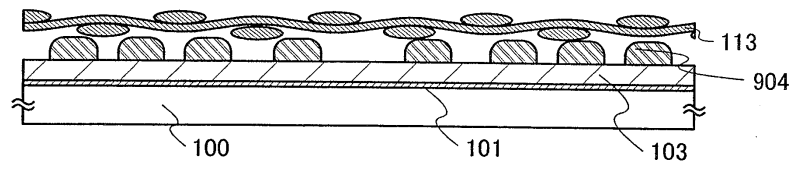
도면9a



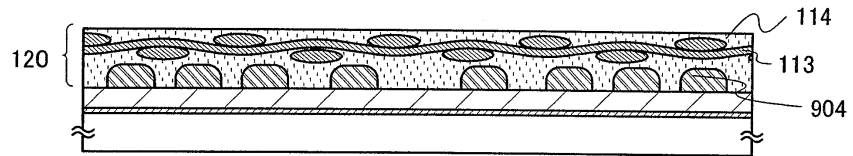
도면9b



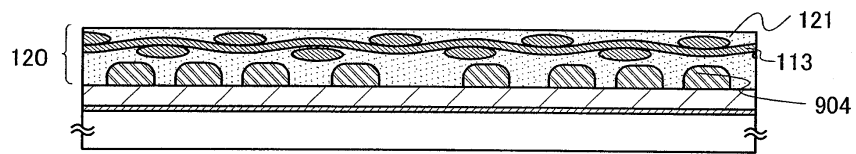
도면10a



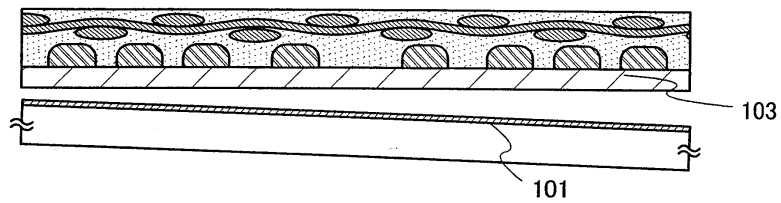
도면10b



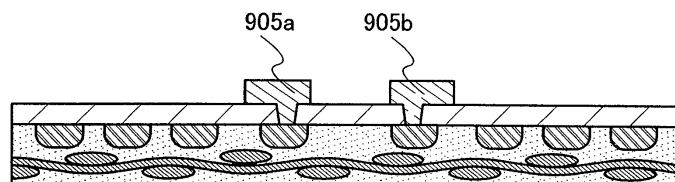
도면10c



도면10d

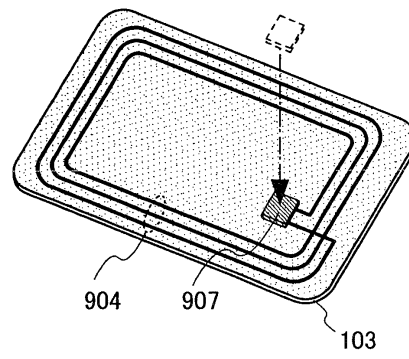


도면10e

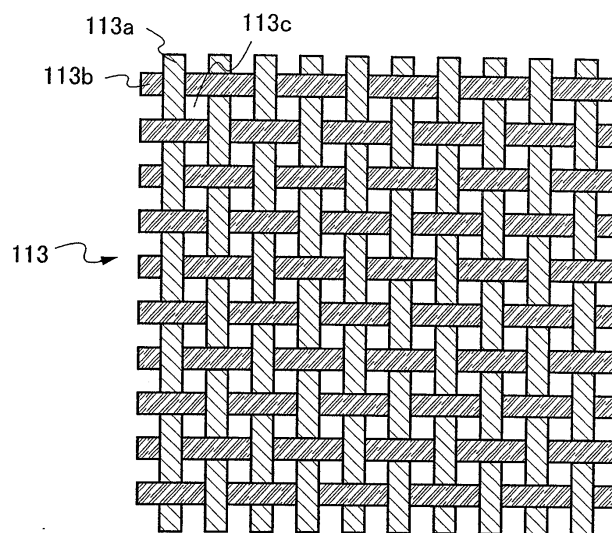




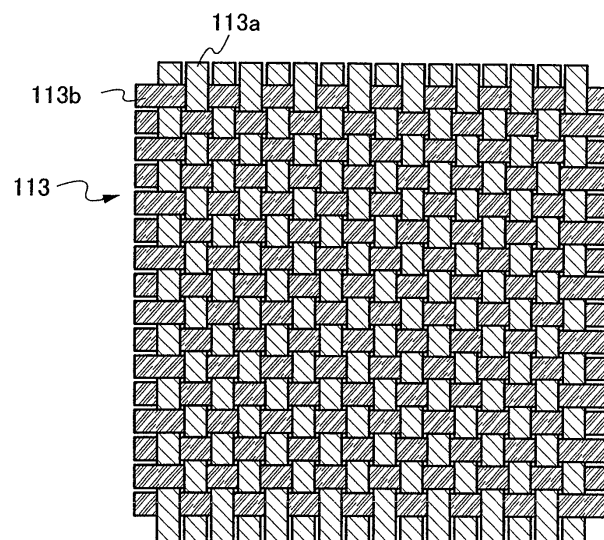
도면10f



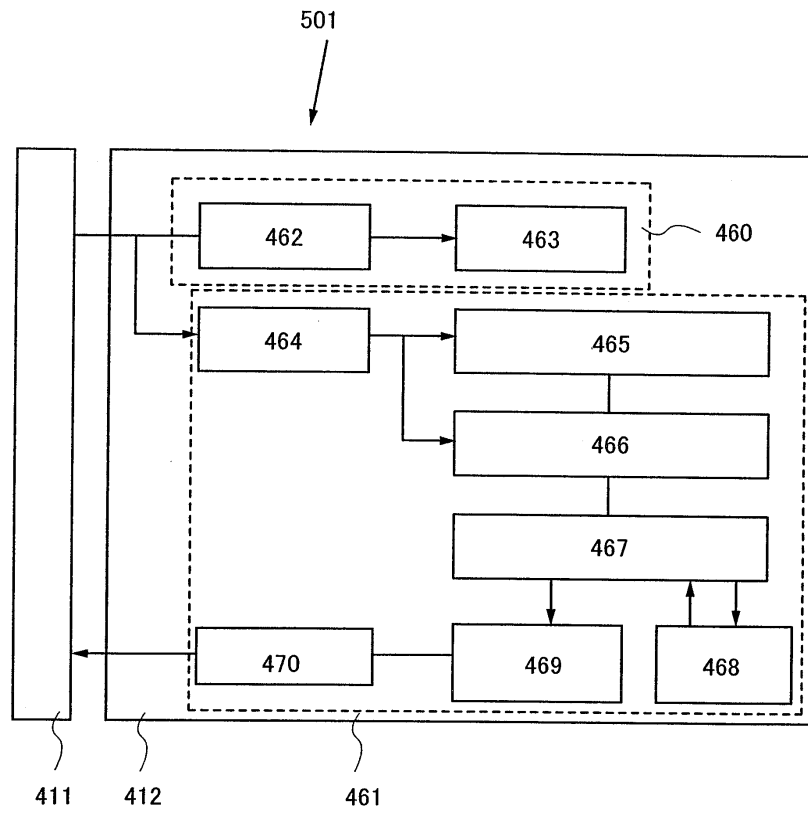
도면11a



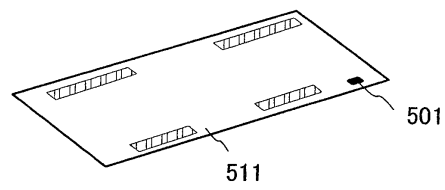
도면11b



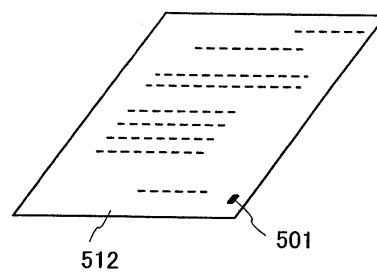
도면12



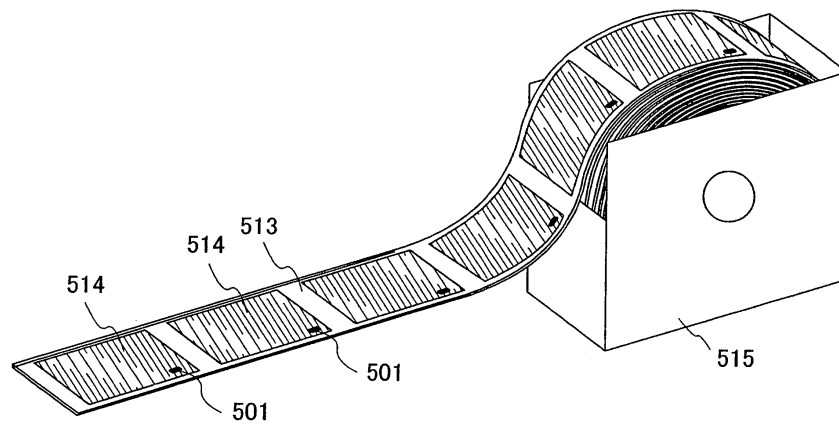
도면13a



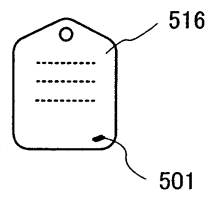
도면13b



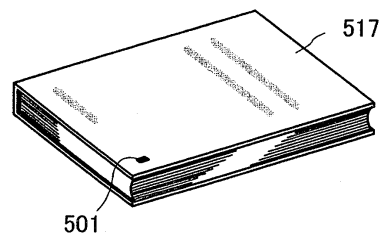
도면13c



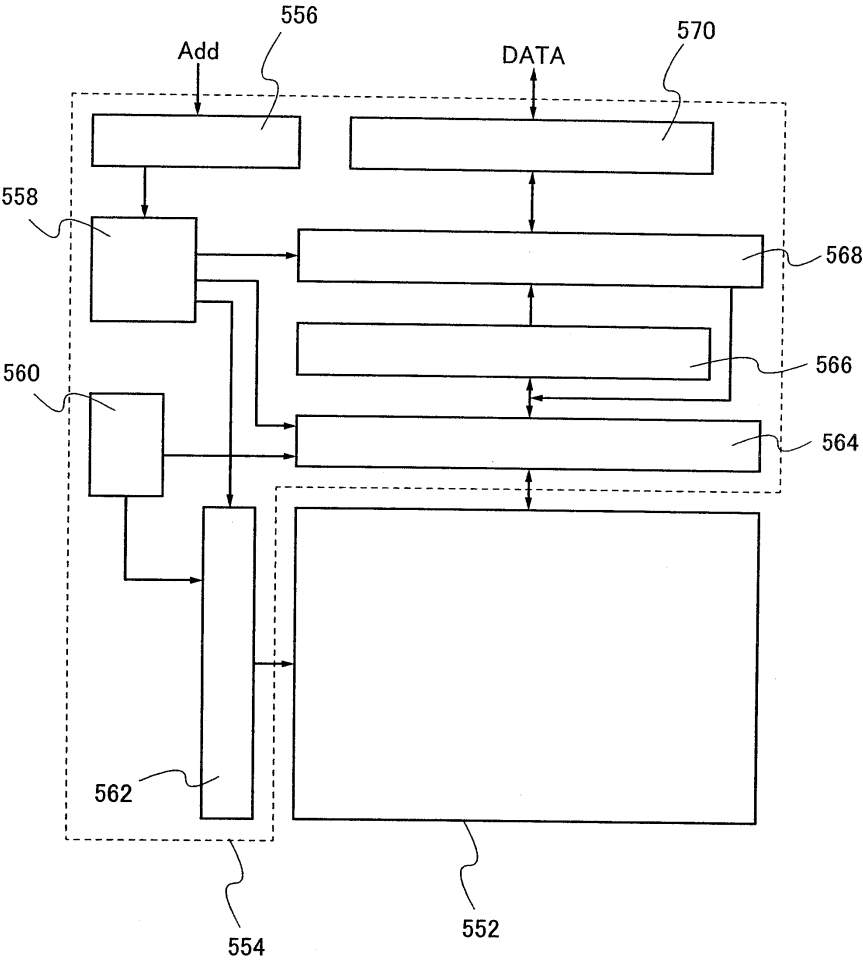
도면13d



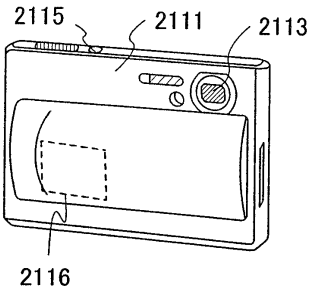
도면13e



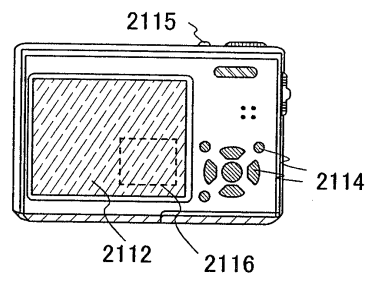
도면14



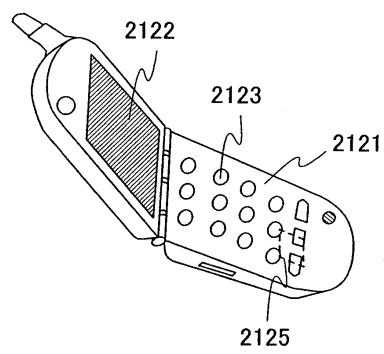
도면15a



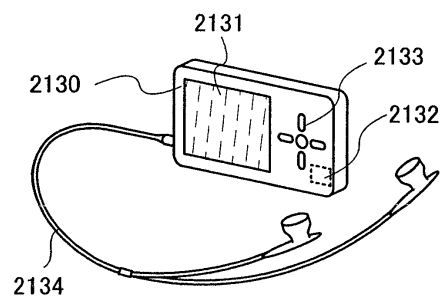
도면15b



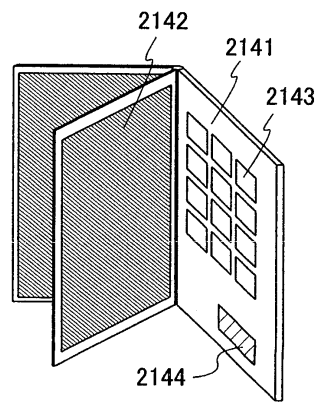
도면15c



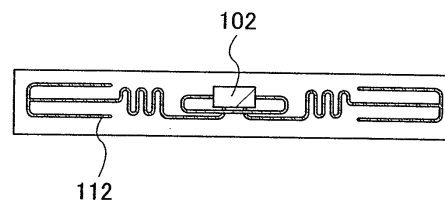
도면15d



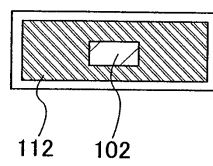
도면15e



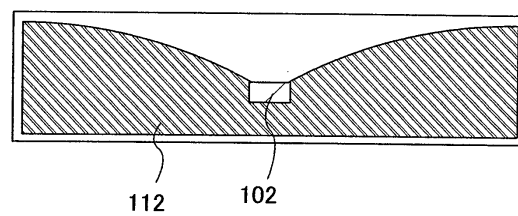
도면16a



도면16b



도면16c



도면16d

