

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 30 日(30.10.2014)



(10) 国際公開番号
WO 2014/174938 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/788 (2006.01)
H01L 21/8247 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)
- (21) 国際出願番号: PCT/JP2014/057316
- (22) 国際出願日: 2014 年 3 月 18 日(18.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-091374 2013 年 4 月 24 日(24.04.2013) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 林 豊(HAYASHI Yutaka); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 池上 敬一(IKEGAMI Keiichi); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 大野 恭秀(OHNO Yasuhide); 〒5620032 大阪府箕面市小野原西 1-3-5-308 Osaka (JP). 上村 崇史(KAMIMURA Takafumi); 〒1870013 東京都小平市

回田町 2 8 2-3 Tokyo (JP). 松本 和彦(MATSUMOTO Kazuhiko); 〒6110002 京都府宇治市木幡御蔵山 3 9-4 0 5 Kyoto (JP).

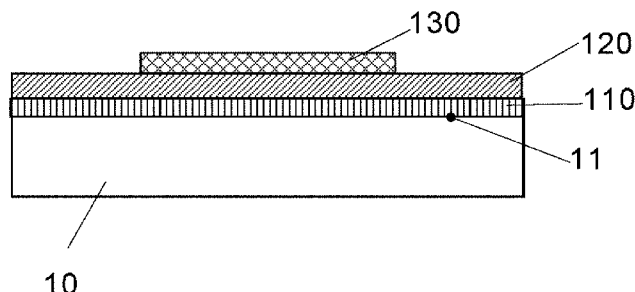
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

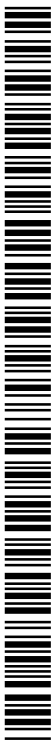
(54) Title: STORAGE ELEMENT HAVING HYDROGENATED AMORPHOUS SILICON FILM

(54) 発明の名称: 水素化アモルファスシリコン系膜を有する記憶素子



(57) Abstract: As a storage means at which a favorable electron interface is formed at a low temperature, provided is a configuration such that a hydrogenated amorphous silicon film (110) is provided contacting at least a portion of the first surface of a first semiconductor region (10) having the first surface (11) and a first conductive shape, furthermore a single-layer or multi-layer first insulating film (120) is provided contacting the hydrogenated amorphous silicon film, and furthermore a first conductive film (130) is provided contacting the first insulating film.

(57) 要約: 低温で良好な電子界面が形成される記憶手段として、第 1 表面 (11) と第 1 導電形を有する第 1 半導体領域 (10) の該第 1 表面の少なくとも一部に接して水素化アモルファスシリコン系膜 (110) を設け、更に該水素化アモルファスシリコン系膜に接して一層または多層の第 1 絶縁膜 (120) を設け、更に該第 1 絶縁膜に接して第 1 導電膜 (130) を設けた構成を提供する。



WO 2014/174938 A1

明 細 書

発明の名称：水素化アモルファスシリコン系膜を有する記憶素子
技術分野

[0001] 本発明は記憶素子に関する。

背景技術

[0002] 多層絶縁膜構造を利用した記憶素子の一つとしてMONOSメモリが実用化されている〔非特許文献1〕。このメモリの実用化された構造の一つとして、導電電極/シリコン酸化膜/シリコン窒化膜/シリコン酸化膜/シリコンであらわされる積層構造が知られている。該シリコンに接するシリコン酸化膜はシリコンとの界面の電子欠陥密度または界面準位密度の少ない熱酸化膜が使われてきた。この熱酸化膜は通常、シリコン表面を酸化性雰囲気中で高温(たとえば800℃以上)に加熱することにより形成される。

先行技術文献

非特許文献

[0003] 非特許文献1：T. Nozaki et al., “A 1 Mbit EEPROM with MONOS memory cell for semiconductor disk application”, session 10-4, Symposium on VLSI Circuit, 1990.

発明の概要

発明が解決しようとする課題

[0004] 一方、このMONOSメモリ(ここではSは半導体を、Oはシリコン酸化膜を、Nはシリコン窒化膜を、Mは導電電極を示す。)の記憶手段(記憶に供される電荷を蓄積する手段)ONOを、

1)高温熱酸化に耐えられない半導体、たとえば、Ge、InGaAsなどの化合物半導体、または有機物半導体上に形成するとき、

2)半導体がシリコンの場合でも、前後の製造プロセスの条件、それに使用する材料により、高温プロセスを使用出来ないとき、

たとえば真空蒸着などによりシリコン酸化膜を半導体上に形成すると、シ

リコン酸化膜の低温形成は可能であるが、半導体との界面欠陥密度または界面準位密度を小さくした良好な電子界面を実現することは困難であった。このため、良好な記憶素子の実現は困難であった。

高温プロセスが使用出来ないシリコンデバイス形成プロセスの例として、シリコンデバイスのパターンニングのために電子ビームリソグラフィを使用した場合が挙げられる。電子ビームリソグラフィの位置合わせマークは金などの重金属で半導体基板上に形成する必要がある、重金属の位置合わせマークを半導体基板上に形成したあとは、高温プロセスは使用できない。

課題を解決するための手段

[0005] 上記の課題を解決するために、本発明では、従来の熱酸化より低温で形成可能な、水素化アモルファスシリコン系膜と一層または多層の第1絶縁膜の積層構造を記憶手段として用いる。水素化アモルファスシリコン系膜を第1半導体領域の第1表面に接して設け、その水素化アモルファスシリコン系膜に接して一層または多層の第1絶縁膜を設け、更にその第1絶縁膜に接して第1導電膜を設ける構成を提供する。この構成により低温プロセスでも界面欠陥密度または界面準位密度の小さく、良好な電子界面を実現し、結果としてメモリウインドウが確保された記憶素子を提供することが出来る。

[0006] 第1半導体領域10はシリコン、ゲルマニウム、InGaAsなど化合物半導体、有機半導体で構成することが出来る。

また、グラフェンなどカーボン系の半導体も第1半導体領域として使用できる。

[0007] 水素化アモルファスシリコン系膜としては

- 1) 水素化アモルファスシリコンの原子構造へシリコンのほかに、
 - 2) 炭素(C)が導入された水素化アモルファスシリコンカーバイト膜、
 - 3) 水素化アモルファスシリコンの原子構造へシリコンのほかに酸素(O)が導入された水素化アモルファスシリコン酸化膜
- を用いることができる。

この水素化アモルファスシリコン系膜はシリコン原子に結合したモノハイ

ドライド(Si-H)が離脱をしない温度、350℃以下の温度での製膜が望ましい。

製膜方法はプラズマCVD、触媒CVD、光CVD、マイクロ波励起のラディカル水素を用いたCVDなどを用いることが出来る。

[0008] 前記一層または多層の絶縁膜として、シリコン酸化膜、酸化アルミニウム膜、シリコン窒化膜、シリコン酸化膜/シリコン窒化膜、酸化アルミニウム膜/シリコン窒化膜などを用いることが出来る。この2層絶縁膜の例ではシリコン窒化膜が水素化アモルファスシリコン系膜に接する。

前記一層または多層の絶縁膜も350℃以下の温度で製膜することが望ましい。

シリコン酸化膜は電子ビーム蒸着などの真空蒸着法で製膜しても半導体表面への製膜ではないから界面準位密度発生は問題にならない。酸化アルミニウム膜はALD(atomic layer deposition)、スパッタなどの350℃以下の低温プロセスで製膜することができる。

シリコン窒化膜は触媒CVD、ALD、プラズマCVDなどにより350℃以下の低温プロセスで製膜することができる。

[0009] 本発明の記憶素子は上記の解決手段を更に具体的に記述すれば、次の構成をとることが出来る。

(1) 第1表面と第1導電形を有する第1半導体領域の該第1表面の少なくとも一部に接して水素化アモルファスシリコン系膜を設け、更に該水素化アモルファスシリコン系膜に接して第1絶縁膜を設け、更に該第1絶縁膜に接して第1導電膜を設けたことを特徴とする記憶素子。

(2) 前記水素化アモルファスシリコン系膜は水素化アモルファスシリコンであることを特徴とする(1)記載の記憶素子。

(3) 前記水素化アモルファスシリコン系膜は水素化アモルファス炭化シリコンであることを特徴とする(1)記載の記憶素子。

(4) 前記水素化アモルファスシリコン系膜は水素化アモルファス酸化シリコンであることを特徴とする(1)記載の記憶素子。

[0010] (5) 前記第1絶縁膜は酸化アルミニウムであることを特徴とする(1)記載の記憶素子。

(6) 前記第1絶縁膜はシリコン酸化膜であることを特徴とする(1)記載の記憶素子。

(7) 前記第1絶縁膜はシリコン窒化膜であることを特徴とする(1)記載の記憶素子。

(8) 前記第1絶縁膜は多層絶縁膜であることを特徴とする(1)記載の記憶素子。

(9) 前記多層絶縁膜は酸化アルミニウムとシリコン窒化膜であり、該シリコン窒化膜は前記水素化アモルファス系膜と接していることを特徴とする(8)記載の記憶素子。

[0011] (10) 前記第1表面は前記第1半導体領域を第1半導体領域の延在する第1方向を軸として少なくとも一部囲む形状を有し、その部分での前記第1半導体領域の第1方向と直交する断面の外周は外に凸の形状を有することを特徴とする(1)記載の記憶素子。

ここで凸の形状とは円形、楕円形、多角形等、外側に凸部分を有する閉図形の一部である。

[0012] (11) 前記第1導電膜は少なくとも対向する2辺を含む形状を有し、その2辺の両側に第1導電膜と離間して第2領域と第3領域を設けたことを特徴とする(1)記載の記憶素子。

この第2、第3領域は、それぞれ、前記第1導電膜をゲートとした電界効果トランジスタのドレイン、ソースのいずれかとして使うことが出来る。

[0013] (12) 前記第1半導体領域はさらに第2表面を有し、前記第1半導体領域の一部は該第2表面の少なくとも一部で絶縁基板に接して設けられていることを特徴とする(1)記載の記憶素子。

(13) 前記絶縁基板は導電基板上に第2絶縁膜を設け前期第1半導体領域は該第2絶縁膜に前記第2表面の少なくとも一部で接して設けられたことを特徴とする(12)記載の記憶素子。

[0014] ここで導電基板は半導体、導体のいずれかを材料とする基板である。

この他絶縁基板はガラス、石英、サファイア、など無機絶縁材料、またはポリイミド、ポリスチレンなど有機絶縁材料から構成することもできる。有機絶縁材料シートの表面に無機絶縁薄膜を設けた絶縁基板は防湿、強度増強に有効である。

[0015] (14) 前記第2領域または第3領域は半導体領域であることを特徴とする(11)記載の記憶素子。

(15) 前記第2領域または第3領域は金属領域であることを特徴とする(11)記載の記憶素子。

(16) 前記第2領域または第3領域はシリサイド領域であることを特徴とする(11)記載の記憶素子。

発明の効果

[0016] 本発明の記憶素子は350℃以下の低温製造工程に好適である。したがって、たとえば、金などの重金属のアラインメントマークの必要な電子ビーム露光技術によりメモリ機能を有するデバイスを作成するときには望ましい素子である。第1半導体薄膜が結晶シリコンの場合、金は370℃以上の製造温度で合金を作ってしまうため、それ以上の温度が必要な製造技術は使えない。またガラス、有機フィルムへ形成された電子回路、ディスプレイ、センサにメモリの機能を付与することが出来、高機能化を計ることが出来る。

図面の簡単な説明

[0017] [図1]本発明の記憶素子の第1実施形態の断面図

[図2]本発明の記憶素子の第1実施形態にかかわる第1実施例の電気容量-電圧メモリ(C-V_gメモリ)特性および損失ファクター-電圧(D-V_g)特性

[図3]本発明に係る第1実施例のメモリウインドウのプログラム電圧依存性

[図4]本発明の記憶素子の第1実施形態にかかわる第2実施例のC-V_gメモリ特性

[図5]本発明の記憶素子の第1実施形態にかかわる第3実施例のC-V_gメモリ特性

[図6]本発明の記憶素子の第1実施形態にかかわる第4実施例のC-V_gメモリ特性

[図7]本発明の記憶素子の第2実施形態の断面図

[図8]本発明の記憶素子の第2実施形態にかかわる第5実施例のI_ds-V_gメモリ特性

[図9]本発明の記憶素子の第3実施形態の断面図

[図10]本発明の記憶素子の第3実施形態にかかわる第6実施例のI_ds-V_gメモリ特性

[図11]本発明の記憶素子の第4実施形態の断面図

発明を実施するための形態

[0018] 本発明の記憶素子の実施形態例、実施例を以下に示す。

図1は本発明の第1実施形態例の断面図である。10は第1半導体領域、11は第1半導体領域の第1表面、110は水素化アモルファスシリコン系膜、120は第1絶縁膜、130は第1導電膜を示す。10、110、120、130で記憶素子の1つの単位を構成する。

[0019] 水素化アモルファスシリコン系膜110は水素化アモルファスシリコン、水素化アモルファス炭化シリコンで構成することが出来る。さらに第1半導体領域がシリコン、ゲルマニウム、酸化を嫌わない化合物半導体、例えば酸化物半導体、SiCなど、の場合は水素化アモルファス酸化シリコン等で構成することが出来る。

水素化アモルファス炭化シリコン(a-SiC:H)の場合はSiH₄、CH₄、H₂を原料ガスとしたプラズマCVDで製膜することが出来る。CH₄ガスの量をSiH₄ガスの量と同じレベルかそれ以上に調整することで、水素化アモルファスシリコン(a-Si:H)より桁違いに小さいコンダクタンスを有するa-SiC:Hを製膜することが出来る。水素化アモルファス酸化シリコン(a-SiO₂:H)はSiH₄、CO₂、H₂を原料ガスとしたプラズマCVDで製膜できる。

[0020] 図2は、図1の第1実施形態例において、水素化アモルファスシリコン系膜110として、触媒CVDにより室温に近い温度で製膜した厚さ10nm

の水素化アモルファスシリコン(a-Si:H)を用いた記憶素子の第1実施例の第1導電膜-第1半導体領域間の電気容量(C)-電圧(V_g)メモリ特性である。ここでCは第1導電膜-第1半導体領域間電気容量、 V_g は第1導電膜-第1半導体領域間電圧である。

この図2の実施例の水素化アモルファスシリコン系膜以外の材料は、第1半導体領域10:(100)面の第1表面11を有するp形10 Ω cmの結晶シリコン(c-Si)

第1絶縁膜120:ALDにより製膜した20nm厚酸化アルミニウム、第1導電膜130:電子ビーム蒸着された150nm厚金属アルミニウム膜、である。

この記憶素子の単位が製造時に経験した最高温度は、酸化アルミニウム製膜時の温度250℃である。このため、水素化アモルファスシリコンのモノハイドライド(monohydride, Si-H)は脱離せず保存され、かつc-Si表面の界面準位密度も低く抑えることが出来る。このことは図2に同時に示した損失ファクター(dissipation factor、D)-電圧(D- V_g)特性で第1半導体領域の表面反転状態に対応する電圧範囲(図2で、電気容量値Cが小さい電圧範囲、矢印で示した部分)の損失ファクターDの値が1よりはるかに小さいことから実証されている。

[0021] 図2のC- V_g メモリ特性では、 ± 4 Vのプログラム電圧に対してメモリウインドウが1.9 Vであることを示している。この実施例の記憶素子の第1導電膜の電圧 V_g を $-V_{prg}$ と $+V_{prg}$ (V_{prg} をプログラム電圧と呼ぶ)の間を往復させて得られたメモリウインドウ V_{mem} の測定値を図3に示す。図3は V_{prg} が1 Vですでに $V_{mem}=0.2$ Vが得られており、書き込みが行われていることを示している。従来のMONOSメモリに比べてプログラム電圧は非常に小さくなっている。

[0022] 図4のC- V_g メモリ特性は図2の記憶素子の材料パラメータのうち、酸化アルミニウム膜の膜厚を10 nmとした第2実施例の特性である。同じ ± 4

Vのプログラム電圧に対してメモリウインドウは、1.9 Vから1.2 Vへ小さくなっているが十分応用価値はある。

[0023] 図5のC-V_gメモリ特性は図2の記憶素子の材料パラメータのうち水素化アモルファスシリコン膜厚を8 nmとし、酸化アルミニウム膜厚を22 nmとした第3実施例の特性である。±2 Vのプログラム電圧で0.5 Vのメモリウインドウが得られている。

[0024] 図6のC-V_gメモリ特性は図2のメモリ素子の材料パラメータのうち水素化アモルファスシリコン膜厚を13 nmとし、酸化アルミニウム膜厚を22 nmとした第4実施例の特性である。±4 Vのプログラム電圧で2.1 Vのメモリウインドウが得られている。

[0025] 水素化アモルファスシリコン系膜および酸化アルミニウムの膜はその膜厚が5 nm以上になると10 nm膜厚のそれぞれと膜質が変わらないので、5 nmまで薄くしてもメモリヒステリシスが得られる。

[0026] 図1の構成に更に第2領域20、第3領域30を設けて、電界効果メモリトランジスタとして機能させた本発明の記憶素子の第2実施様態の断面図を図7に示す。図で131、132は前記第1導電膜130の対向する2つの辺を示し、前記第1導電膜130の一方の一边131側に該第2領域20が前記第1半導体領域へ接して設けられ、該一方の辺に対抗する他方の辺132側に該第3領域が前記第1半導体領域へ接して設けられている。

該第2領域20、第3領域30は電界効果メモリトランジスタのソース、ドレインとして機能する。第1導電膜は電界効果メモリトランジスタのゲート電極として機能する。

前記第1半導体領域10は必ずしも絶縁基板に接して設けられている必要はないが、この実施様態では前記第1半導体領域10はさらに第2表面12を有し、該第2表面で絶縁基板40に接して設けられている。該絶縁基板40はこの実施様態では導電性(半導体または導体からなる)基板41の表面に第2絶縁膜42が接して設けられ、前記第1半導体領域10の第2表面12が第2絶縁膜42に接している。

この第2領域または第3領域は半導体領域、金属領域あるいはシリサイドとすることができる。

第1導電膜130、第1絶縁膜120、水素化アモルファスシリコン系膜110は第1図と同じである。

[0027] 図8は図7の構成を有する本発明の第5実施例のゲート電圧 V_g 変化に対する第2領域-第3領域間電流(ドレイン-ソース電流、 $I_{ds}(V_{ds}=0.5V$ のとき))変化($I_{ds}-V_g$ メモリ特性)を示す。 $\pm 2V$ のプログラム電圧で $0.6V$ 強のメモリウインドウが得られている。このメモリウインドウの値は図3のメモリウインドウのプログラム依存性から得られた値とほぼ一致する。

図8の特性を示した電界効果メモリトランジスタの構成要素のパラメータは、第1導電膜130、第1絶縁膜120、水素化アモルファスシリコン系膜110の材料、膜厚は図2の記憶素子と同じであり、第1半導体領域は $25nm$ 厚の p 形 $10\Omega cm(100)$ 面 cSi 薄膜、第2絶縁膜42は $145nm$ 厚シリコン酸化膜、導電性基板41は $5\Omega cm(100)$ 面 cSi であり、第2、第3領域を $145nm$ 厚アルミニウム膜である。

第1半導体領域の第2、第3領域を結ぶ線と直交する方向の幅は $12\mu m$ であり、第1導電膜(ゲート電極)の第2、第3領域を結ぶ方向の長さは $2\mu m$ である。

[0028] 図7の電界効果メモリトランジスタの第1絶縁膜を多層構造とした本発明の記憶素子の第3実施形態の断面図を図9に示す。図9では第1絶縁膜120が第1水素化アモルファスシリコン系膜に接する絶縁膜121と第1導電膜に接する絶縁膜122の2層構造となっている。

[0029] 図10は図9の構成を有する本発明の第6実施例のゲート電圧変化に対する第2領域-第3領域間電流(ドレイン-ソース電流、 $I_{ds}(V_{ds}=0.5V$ のとき))変化($I_{ds}-V_g$ メモリ特性)を示す。 $\pm 2V$ のプログラム電圧で $0.6V$ のメモリウインドウが得られている。記憶の保持時間は第1絶縁膜が単層の図8の実施例よりも大きい。

図7の特性を示した電界効果メモリトランジスタの構成要素のパラメータは、第1絶縁膜を除いて、他は図8の実施例と同じである。

第1絶縁膜のうち第1導電膜に接する絶縁膜122は図8で使用されている20nm厚酸化アルミニウム膜と同じものである。第1絶縁膜のうち第1水素化アモルファス膜に接する絶縁膜121は触媒CVDにより室温に近い温度で製膜した厚さ10nmの窒化シリコン膜である。

[0030] 図11は第4実施様態の構造を示す。図7記載の番号は図11でも同様な構成要素を示す。図11では1で示される矢印は第1半導体領域の延在する第1方向を示す。

第1表面11は、図11において点線の囲み13で示される部分で該第1方向を軸として前記第1半導体領域10の一部を囲む形状を有する。図11には2-2と記された二点鎖線で点線の囲み13で示される部分が切断された断面図も同時に示されている。その部分での前記第1半導体薄膜の第1方向と直交する断面の外周は外に凸の形状を有している。図11ではこの断面形状は台形であるが、該凸の形状は円形、楕円形、多角形等任意の閉図形の一部である。第1表面は該点線の囲み13で示される部分で第1半導体薄膜をすべて囲んだ構造でもよい。図11の実施様態の場合は台形の底面は前記第2表面となっているため、第1表面が第1半導体領域のすべてを囲んでいないので「一部を囲む」と記述しているが、該点線の囲み部分13で第1半導体領域10を絶縁基板40と離間させ、第1表面で第1半導体領域のすべてを囲む構造とすることも出来る。

[0031] 上記断面の凸形状を、図11に示すように該断面と同一の面積を有する円形3で近似し、その半径を r としたとき、記憶をつかさどるキャリア電荷が保持される第1絶縁膜120と膜厚が t_1 の水素化アモルファスシリコン系膜110との界面の面積は第1表面の面積の $(1 + t_1 / r)$ 倍となるので、該界面での電界は図1, 7に示された平坦な第1表面の場合の $1 / (1 + t_1 / r)$ と小さくなり、記憶の保持時間が大幅に向上する。(記憶保持時間は通常、界面電界の指数関数の逆数に依存する。)なお、第1絶縁膜内にキャリア電荷

が蓄積される場合は更に記憶の保持時間が向上する。

[0032] 図9のように第1絶縁膜を絶縁膜121、絶縁膜122と2層化した場合は、絶縁膜121と絶縁膜122の界面にもキャリア電荷を蓄積することができ、絶縁膜121の厚さを t_{11} とすると、その部分での電界の強さは $1/(1+(t_{11}+t_{11}*\epsilon_1/\epsilon_{11}))/r)$ となる(ϵ_1 、 ϵ_{11} は水素化アモルファスシリコン系膜120、絶縁膜121のそれぞれの誘電率)ので、絶縁膜121と絶縁膜122の界面に蓄積されたキャリア電荷の保持時間も大幅に改善される。

産業上の利用可能性

[0033] 本発明は350℃以下の低温で記憶素子を実現できるので、LSIの多層配線の上に記憶素子層を集積して、集積密度の高いLSIを構成することが出来る。さらに、このような構成により、メモリアレイを必要とするロジックブロックの直近に配置できるので高効率なシステム構成を有するLSIの実現が可能である。しかも1トランジスタで1ビットのメモリが実現できるので高密度のメモリブロックの実現が可能である。

本発明の技術により、ガラス基板、有機フレキシブル基板上のディスプレイ回路またはセンサ回路に低温でメモリブロックが搭載できるので、信号処理にフレキシビリティを与えることが出来、携帯機器の高機能化が促進される。

符号の説明

- [0034] 1 第1方向を表す矢印
 2 $\longleftrightarrow$ 2 上記第1方向と直交する方向で、第1半導体領域を切断する線
 3 半導体領域の断面と同一の面積を有する円
 10 第1半導体領域
 11 第1表面(前記第1半導体領域の)
 12 第2表面(前記第1半導体領域の)
 20 第2領域
 30 第3領域

- 4 0 絶縁基板
- 4 1 導電基板
- 4 2 第2絶縁膜
- 1 1 0 水素化アモルファスシリコン系膜
- 1 2 0 第1絶縁膜
- 1 2 1 第1水素化アモルファスシリコン系膜に接する絶縁膜
- 1 2 2 第1導電膜に接する絶縁膜
- 1 3 0 第1導電膜
- 1 3 1 第1導電膜130の対向する2つの辺の一方
- 1 3 2 第1導電膜130の対向する2つの辺の他方

請求の範囲

- [請求項1] 第1表面と第1導電形を有する第1半導体領域の該第1表面の少なくとも一部に接して水素化アモルファスシリコン系膜を設け、更に該水素化アモルファスシリコン系膜に接して第1絶縁膜を設け、更に該第1絶縁膜に接して第1導電膜を設けたことを特徴とする記憶素子。
- [請求項2] 前記水素化アモルファスシリコン系膜は水素化アモルファスシリコンであることを特徴とする請求項1記載の記憶素子。
- [請求項3] 前記水素化アモルファスシリコン系膜は水素化アモルファス炭化シリコンであることを特徴とする請求項1記載の記憶素子。
- [請求項4] 前記水素化アモルファスシリコン系膜は水素化アモルファス酸化シリコンであることを特徴とする請求項1記載の記憶素子。
- [請求項5] 前記第1絶縁膜は酸化アルミニウムであることを特徴とする請求項1記載の記憶素子。
- [請求項6] 前記第1絶縁膜はシリコン酸化膜であることを特徴とする請求項1記載の記憶素子。
- [請求項7] 前記第1絶縁膜はシリコン窒化膜であることを特徴とする請求項1記載の記憶素子。
- [請求項8] 前記第1絶縁膜は多層絶縁膜であることを特徴とする請求項1記載の記憶素子。
- [請求項9] 前記多層絶縁膜は酸化アルミニウムとシリコン窒化膜であり、該シリコン窒化膜は前記水素化アモルファス系膜と接していることを特徴とする請求項8記載の記憶素子。
- [請求項10] 前記第1表面は前記第1半導体領域を第1半導体領域の延在する第1方向を軸として少なくとも一部囲む形状を有し、その部分での前記第1半導体領域の第1方向と直交する断面の外周は外に凸の形状を有することを特徴とする請求項1記載の記憶素子。
- [請求項11] 前記第1導電膜は少なくとも対向する2辺を含む形状を有し、その2辺の両側に第1導電膜と離間して第2領域と第3領域を設けたこと

を特徴とする請求項 1 記載の記憶素子。

[請求項12] 前記第 1 半導体領域はさらに第 2 表面を有し、前記第 1 半導体領域の一部は該第 2 表面の少なくとも一部で絶縁基板に接して設けられていることを特徴とする請求項 1 記載の記憶素子。

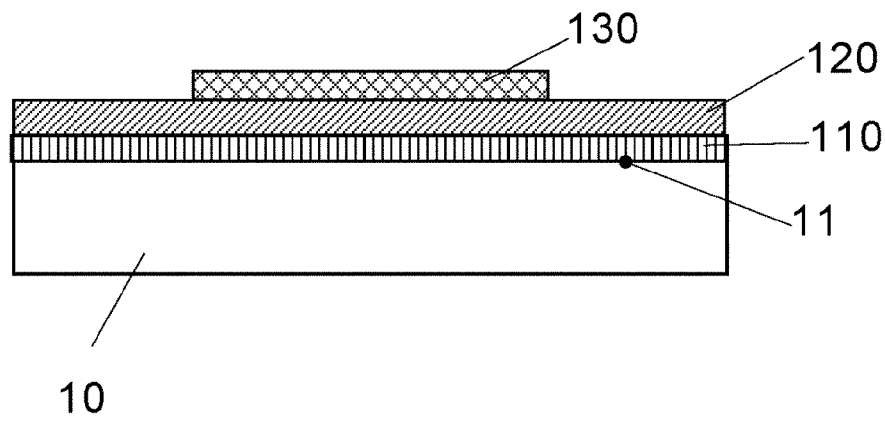
[請求項13] 前記絶縁基板は導電基板上に第 2 絶縁膜を設け前記第 1 半導体領域は該第 2 絶縁膜に前記第 2 表面の少なくとも一部で接して設けられたことを特徴とする請求項 1 2 記載の記憶素子。

[請求項14] 前記第 2 領域または前記第 3 領域は半導体領域であることを特徴とする請求項 1 1 記載の記憶素子。

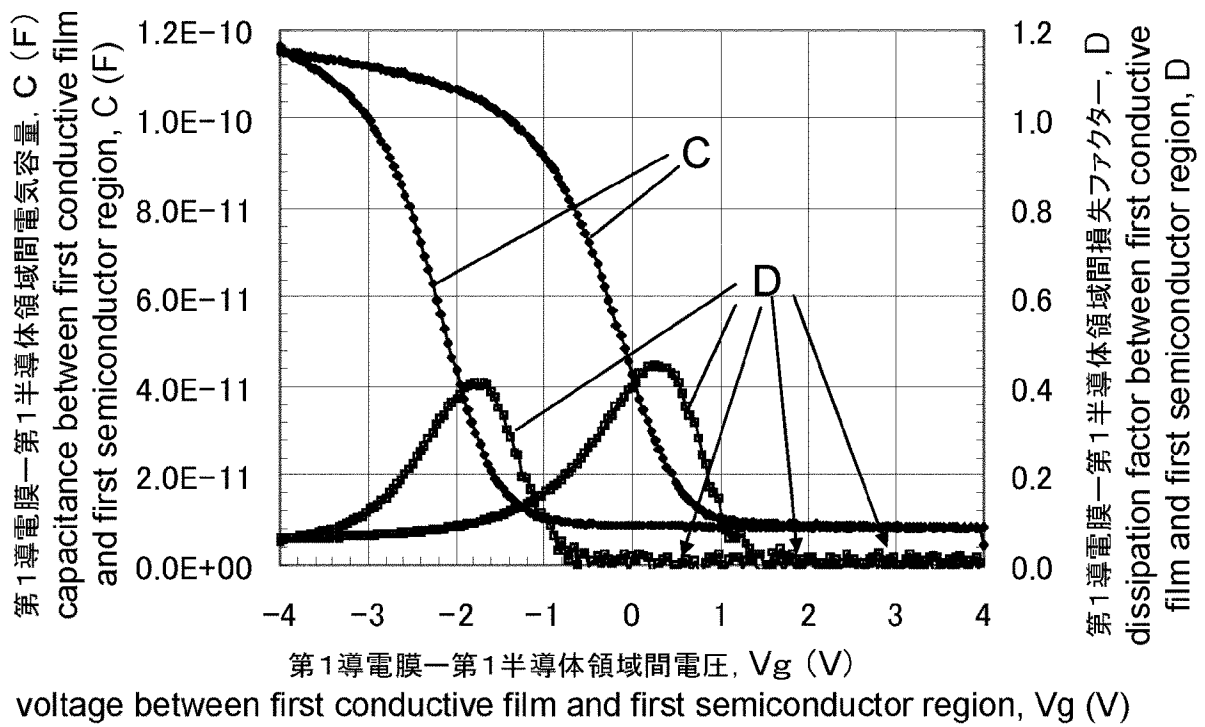
[請求項15] 前記第 2 領域または第 3 領域は金属領域であることを特徴とする請求項 1 1 記載の記憶素子。

[請求項16] 前記第 2 領域または第 3 領域はシリサイド領域であることを特徴とする請求項 1 1 記載の記憶素子。

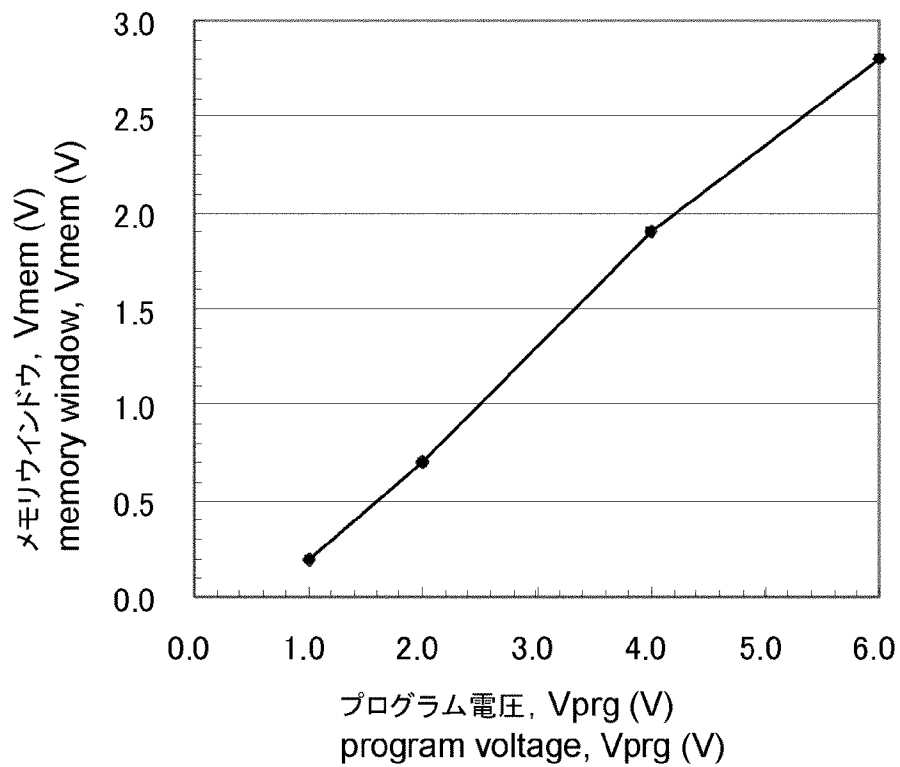
[図1]



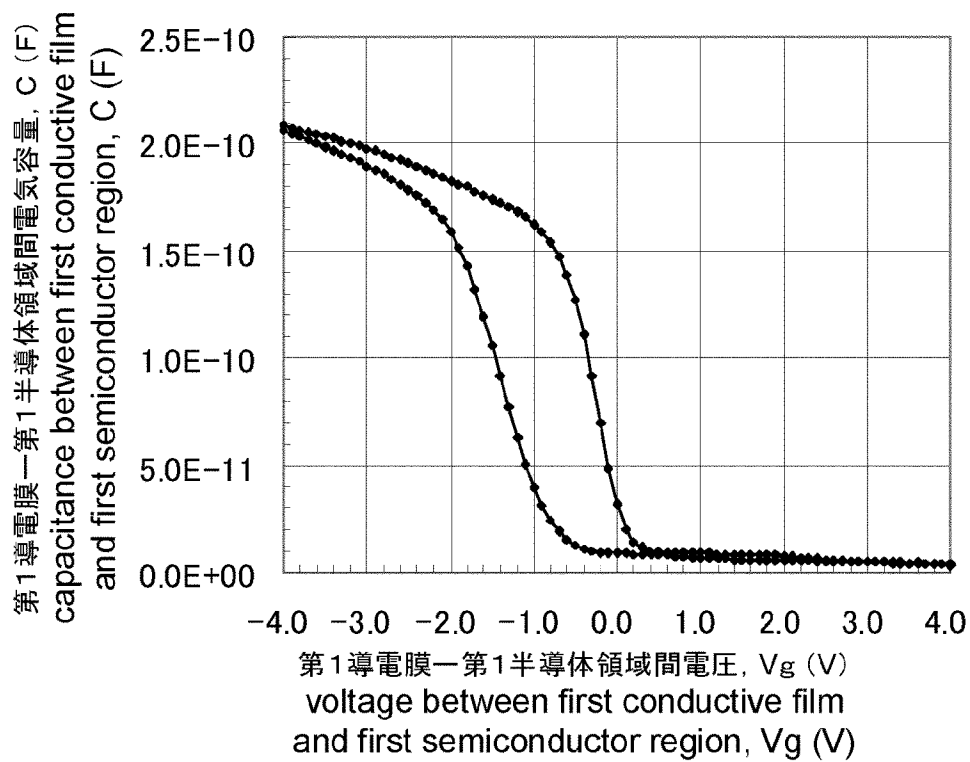
[図2]



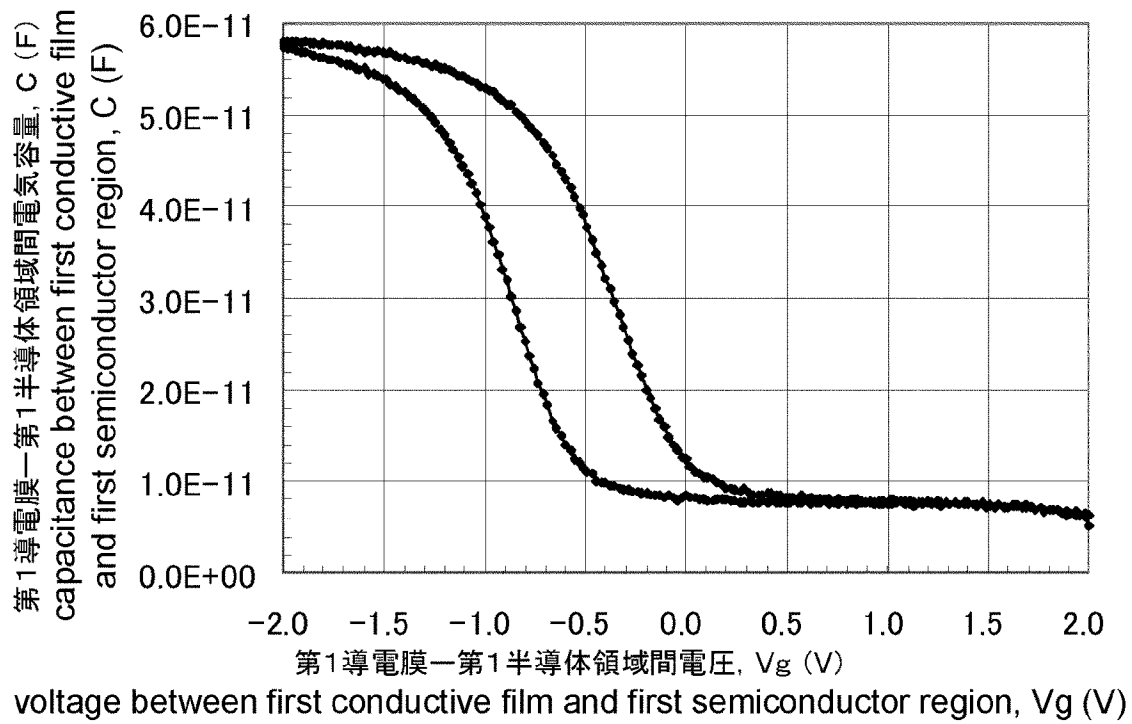
[図3]



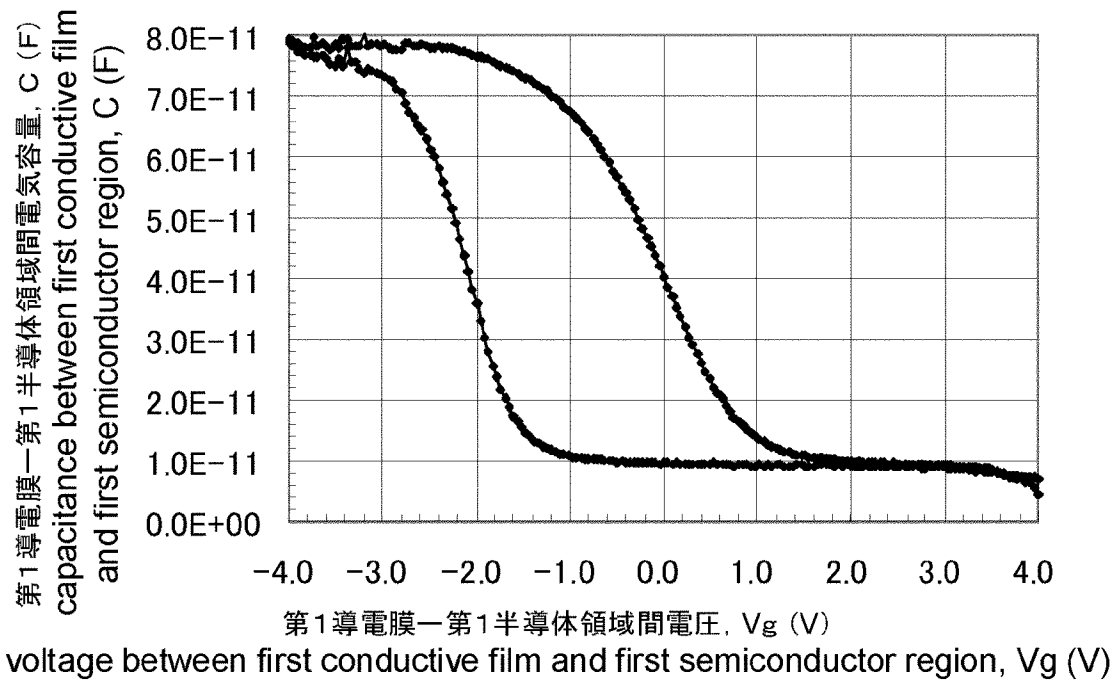
[図4]



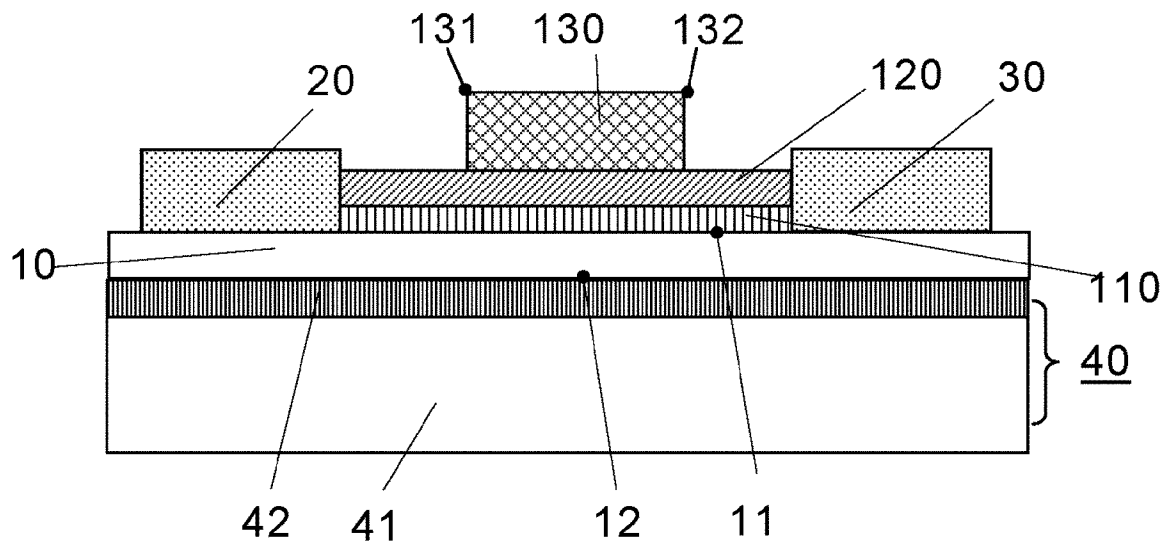
[図5]



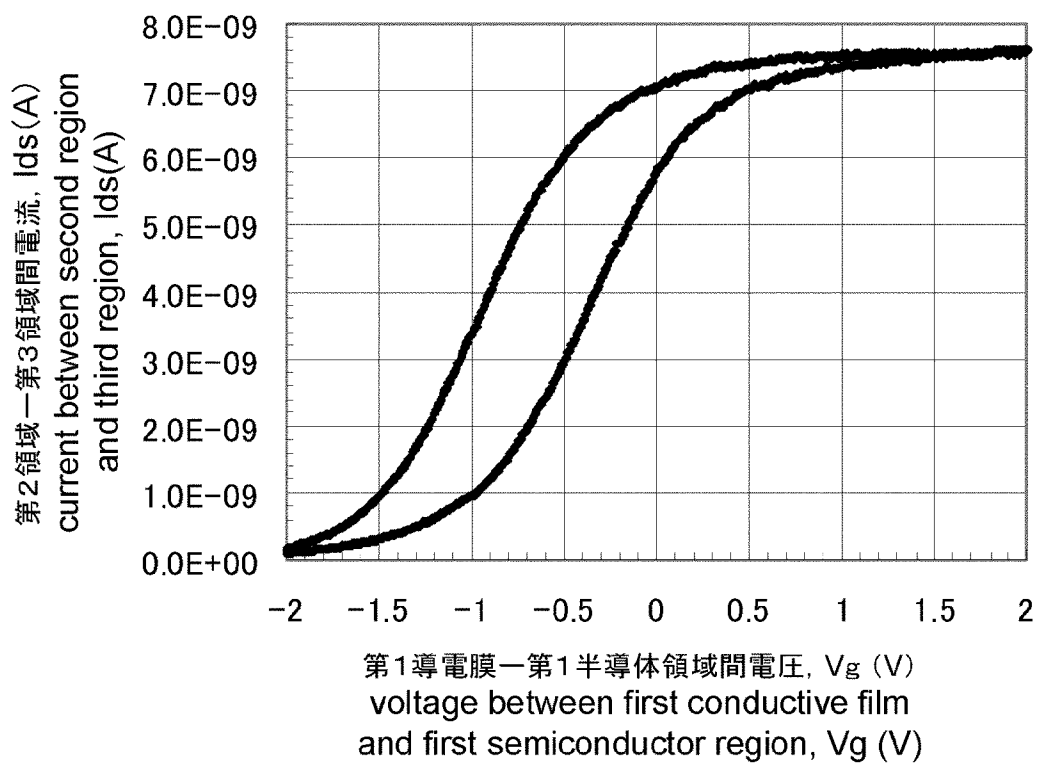
[図6]



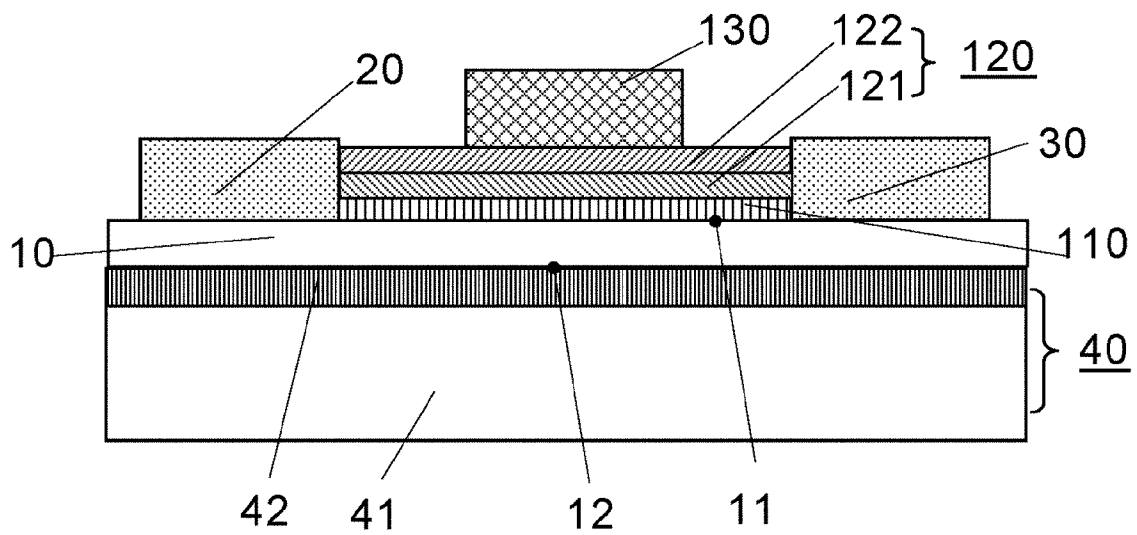
[図7]



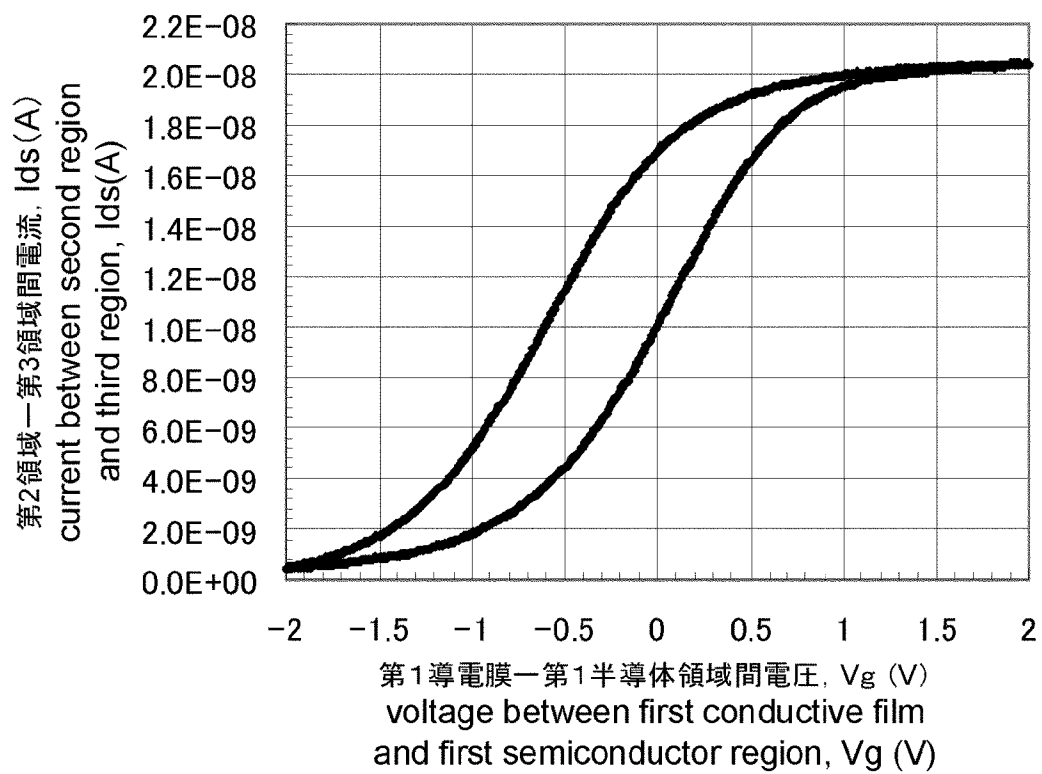
[図8]



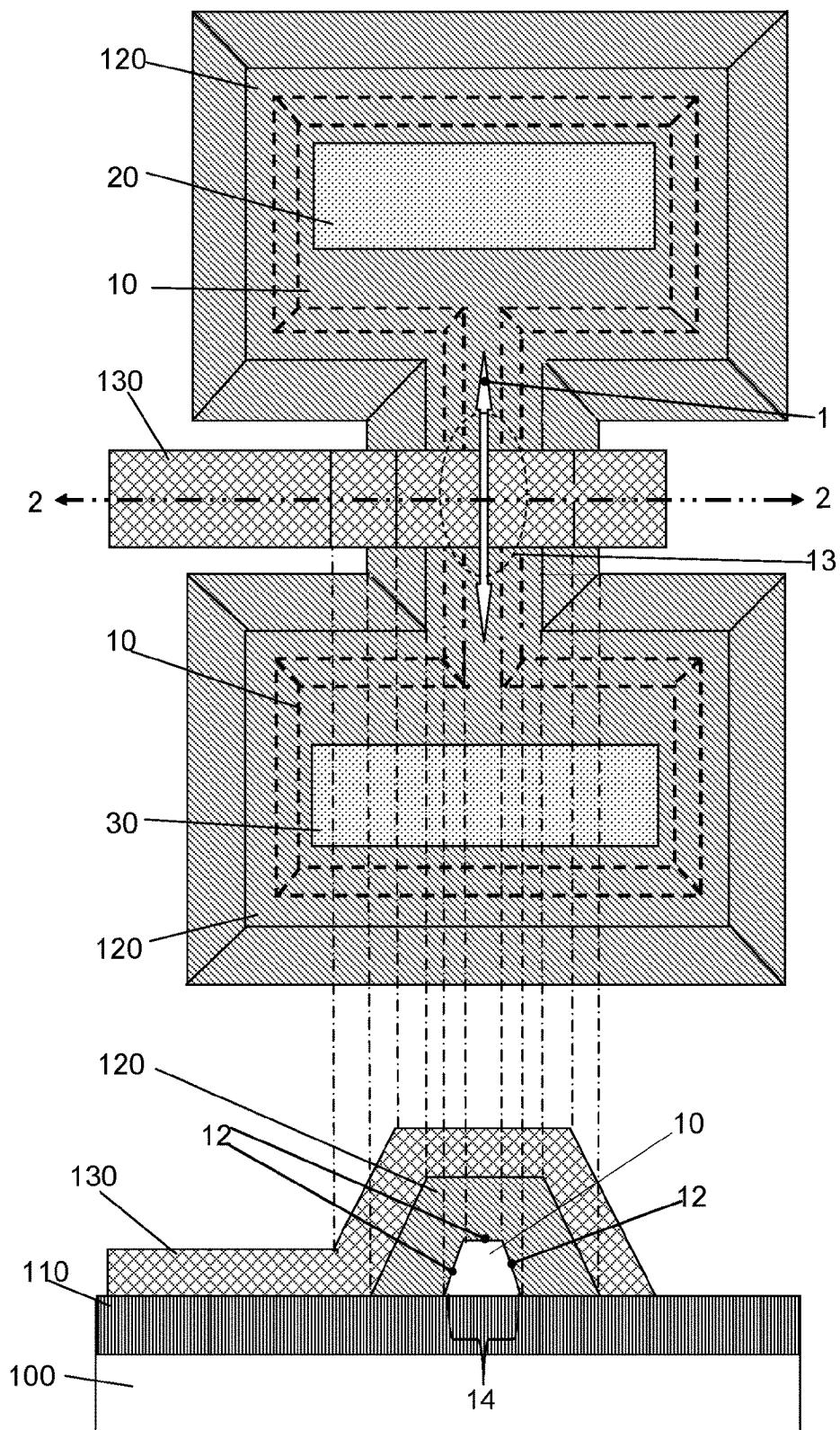
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/057316

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-8402 A (Director General, Agency of Industrial Science and Technology), 12 January 1999 (12.01.1999), paragraphs [0001] to [0015]; fig. 1 (Family: none)	1-7, 11, 12, 14-16 8-10, 13
X A	JP 10-341003 A (Sanyo Electric Co., Ltd.), 22 December 1998 (22.12.1998), paragraphs [0035] to [0064]; fig. 1 (Family: none)	1, 2, 8, 11, 14-16 3-7, 9, 10, 12, 13
X A	JP 10-242406 A (Sanyo Electric Co., Ltd.), 11 September 1998 (11.09.1998), paragraphs [0021] to [0046]; fig. 1 (Family: none)	1, 2, 8 3-7, 9-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
19 May, 2014 (19.05.14)

Date of mailing of the international search report
27 May, 2014 (27.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 11-8402 A（工業技術院長）1999.01.12, 段落【0001】－【0015】、図1 (ファミリーなし)	1-7, 11, 12, 14-16 8-10, 13
X A	JP 10-341003 A（三洋電機株式会社）1998.12.22, 段落【0035】－【0064】、図1 (ファミリーなし)	1, 2, 8, 11, 14-16 3-7, 9, 10, 12, 13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 5 . 2 0 1 4

国際調査報告の発送日

2 7 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

上田 智志

電話番号 03-3581-1101 内線 3514

5 F

3 6 6 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 10-242406 A (三洋電機株式会社) 1998. 09. 11, 段落【0021】－【0046】, 図 1 (ファミリーなし)	1, 2, 8 3-7, 9-16