

公告本

修正補充
88年4月15日

申請日期	87.11.13
案 號	87118856
類 別	H11C 11/22, H01L 29/78

A4
C4

446943

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體記憶裝置及半導體記憶裝置之存取方法
	英 文	SEMICONDUCTOR MEMORY APPARATUS AND ACCESS METHOD FOR A SEMICONDUCTOR MEMORY APPARATUS
二、發明人	姓 名	中村孝
	國 籍	日 本
	住、居所	日本國京都府京都市右京區西院溝崎町21番地
三、申請人	姓 名 (名稱)	日商・羅姆股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國京都府京都市右京區西院溝崎町21番地
	代 表 人 姓 名	佐藤研一郎

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

裝

訂

線

446943

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
1997,11,14 特願平9-313359
1997,11,14 特願平9-313360

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

技術領域

本發明，係關於一種使用鐵電電容器之不變性半導體記憶裝置，尤其是關於備有鐵電體記憶體FET的半導體記憶裝置及半導體記憶裝置之存取方法。該鐵電記憶體FET，係在柵極與半導體層間至少具有鐵電體層。

技術背景

鐵電記憶體FET，係如第4圖所示，成為一在形成於半導體板51之汲極區域52與源極區域53間之基板上設有鐵電體層54與柵極55的FET構造。而且，在柵極55與半導體基板51間外加高電壓，藉此在鐵電體層54產生極化電荷，按照其極化之方向寫入“1”及“0”，且在柵極外加低電壓，藉此可讀出“1”或“0”，即使電源被斷開也不會使資料消滅，可作為不破壞讀出之不變性記憶體來利用之事，已為公知。然而，將此存儲單元設成矩陣狀以構成記憶體之電路構成，卻尚未到實用階段。即，雖已知在每各單元分別各設置一個寫入用及讀出用之選擇元件，使用選擇元件存取於矩陣狀之各單元的方法，但對於寫入，讀出分別使用選擇元件的話，單元面積則變大，而有積體度大幅度地降低之問題。

一方面，例如為了不使寫入時因電壓外加於所需選擇性單元以外之單元而重寫資料事發生，而把電源電壓 V_{cc} 三均分將電壓外加於各線路之存取方法，已被應用於將強電介質電容器排列成矩陣之記憶體。如將此三均分電壓外加方法適用於把鐵電記憶體FET排列成矩陣狀之記憶體的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

話，有如下之存取方法。

即，如第13a圖之簡略化圖所示，若將由矩陣狀之多數個鐵電記憶體FET所成之單元加以布線，於選擇單元P進行“1”之寫入時，藉著分別在具有選擇單元P之字線WL1外加Vcc，在不具選擇單元P之字線WL2外加 $1/3 \cdot V_{cc}$ ，在具有選擇單元P之位元線BL1外加0，在不具選擇單元P之位元線BL2外加 $2/3 \cdot V_{cc}$ ，而進行寫入。又，將“0”寫入於選擇單元P時，於字線WL1外加0，於字線WL2外加 $2/3 \cdot V_{cc}$ ，於位元線BL1外加Vcc，於位元線BL2外加 $1/3 \cdot V_{cc}$ ；而在讀出選擇單元P時，分別在字線WL1外加VIC低於Vcc之電壓，且為讀出時之電壓)，在字線WL2外加0，在位元線BL1外加0，在資料傳輸線DL1外加Vsa(資料檢出用電壓)。將此“1”及“0”之寫入及譯出時之序列示於第13b圖。又，於第13b圖，空欄部份係意味著斷開open或0V。其結果，在寫入時，於選擇單元P，將Vcc或 $-V_{cc}$ 之高電壓外加於柵極與半導體基板間，以進行“1”或“0”之寫入。此時，施加於非選擇單元之電壓變為 $1/3 \cdot V_{cc}$ 或 $-1/3 \cdot V_{cc}$ ，因而不進行寫入。又，在讀出時，於選擇單元P，將V1外加於柵極與半導體基板間，非選擇單元則為0或開(OPEN)，幾乎沒有電壓之外加，因而不進行讀出。

如前所述，寫入及讀出雖只選擇選擇單元來進行，但寫入時，在非選擇單元也外加 $1/3 \cdot V_{cc}$ 之電壓。在此 $1/3 \cdot V_{cc}$ 電壓之外加下，鐵電電容器之極化(對應於記憶“1”或“0”之極化)便被干擾，而一再二再地重覆，為此令人擔

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

綜請委員明示
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

五、發明說明 (3)

心不進行寫入之單元之記憶內容會變化之事。在此狀態下，利用鐵電存儲單元之小型半導體記憶裝置，並未確立不干擾非選擇記憶體之資料的存取方法，因而如前述，存在著使用鐵電記憶體FET來形成單元成矩陣狀之半導體記憶裝置仍未實用化之問題。

發明之揭露

本發明之目的係在於提供一種可解決這種問題之半導體記憶裝置之寫入方法及讀出方法，以便將鐵電記憶體FET排列成矩陣狀以形成半導體記憶裝置時，即使在各單元未設置選擇元件也因外加於非選擇單元之干擾電壓而不破壞資料，可只在所需之存儲單元進行資料之寫入及/或出。

本發明之又一目的係在於提供一種使用鐵電記憶體FET之半導體裝置，以便對於這種非選擇時外加低電壓時之資料之劣化，也可修復資料以作為記憶體使用而具有高信賴性。

本發明之更其他目的係在提供一種半導體裝置之存取方法，以便將鐵電記憶體FET排列成矩陣狀以構成半導體裝置時，即使利用一種外加電源電壓之三均分電壓，也不會干擾其記憶內容。

即，本發明，係提供一種使用不干擾記憶內容之鐵電記憶體的半導體記憶裝置等為目的。

依據本發明之半導體記憶裝置之寫入方法，係包含有存儲單元的半導體記憶裝置之寫入方法，該存儲單元係由

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

一在柵極與半導體層間具有鐵電體層之鐵電記憶體FET所成；其特徵在於：

當將資料寫入於前述存儲單元時，先外加跟該資料之寫入電壓相反方向之電壓後，再外加前述寫入用之電壓。

又，本發明之半導體記憶裝置之讀出方法，係包含有存儲單元的半導體記憶裝置之讀出方法，該存儲單元係由一在柵極側具有鐵電體層之鐵電記憶體FET所成；其特徵在於：

當讀出前述存儲單元之資料時，先外加跟該資料之讀出電壓相反方向之電壓後，再外加前述讀出用之電壓。

在此所謂在柵極與半導體層間具有鐵電體層之鐵電記憶體FET，係意味著柵極(金屬M)-鐵電體F一半導體S構造MFS構造、在MFS構造之金屬M與半導體S之間至少具有一層鐵電體F以外之層的構造，柵極M-鐵電體F-浮動柵極M-絕緣膜I-半導體S構造MFMIS構造等，在柵極與半導體層間至少設有鐵電體層之FET構造的記憶元件而言。

藉著進行這種方法，而於例如將電源電壓三均分來外加電壓於各線路之存儲方法，即使將 $1/3 \cdot V_{cc}$ 之干擾電壓外加於非選擇單元，但由於經常於前後外加跟干擾電壓相反方向電壓，因此由干擾電壓所造成之電荷之減少便恢復，資料自不會被消除。

前述之寫入時將電壓外加於各存儲單元事宜，例如可使用一種將電源電壓三均分來外加於各線路之三均分法；即，可將電源電壓外加於選擇單元，並將電源電壓之 $\pm 1/3$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

· 之電壓外加於非選擇單元。

為了將前述之存儲單元排列成矩陣狀以構成記憶體，而將成自前述鐵電記憶體FET之單元多數個排列成矩陣狀，將向行或列方向排列之各單元的柵極連結以形成字線，將向行或列方向排列之各單元的源極連結以形成源線，將向列或行方向排列之各單元之汲極連結以形成資料傳輸線，將向列或行方向排列之各單元之半導體層連結以形成位元線，於前述字線與位元線間外加電壓，藉此可進行寫入或讀出。

使用本發明鐵電體層之半導體裝置，更包含有：

存儲單元，係由一在柵極與半導體層具有鐵電體層之鐵電記憶體FET所成；

緩衝單元，係可轉錄該存儲單元之資料；及

緩衝電路，係將前述存儲單元之資料轉錄於前述緩衝單元，且，將所轉錄之資料再度重寫於前述存儲單元。

藉著作成此構造，而可利用緩衝單元將存儲單元之資料定期地再生，所以不會使資料消除，可長期保持資料。

由於將前述存儲單元設置多數個成矩陣狀，前述緩衝單元由可轉錄前述存儲單元之行或列之至少一線路的存儲單元資料之單元列所成，前述緩衝電路為一可將前述存儲單元之至少一線路之資料總括起來轉錄，且，重寫之電路之事，乃說明可在各線路進行資料之轉錄及重寫，所以可在短時間內再生資料。

只要前述緩衝單元由一在柵極與半導體層間具有鐵電

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明(6)

體層之鐵電記憶體FET所成，即可由與存儲單元相同之工程來同時製造虛偽之記憶單元。

前述緩衝電路，係包含有：第一選擇元件，其係連接於前述緩衝單元之柵極與前述存儲單元之資料傳輸線間藉以控制存儲單元之轉錄；第二選擇元件，其係用以控制一連接於前述緩衝單元之柵極側的前述緩衝單元之資料讀出；及變壓器，其係用以變換前述緩衝單元之讀出資料的電壓並連接至用來連結前述存儲單元之基板的位元線；

藉此，在選擇元件之控制下，可隨時進行資料之再生。

具有本發明鐵電體層之半導體記憶裝置的存取方法，係備有一由在柵極與半導體層間具有鐵電體層之鐵電記憶體FET所成之存儲單元，及一可轉錄該存儲單元的資料之緩衝單元的，半導體記憶裝置之存取方法者；其特徵在於：

將前述存儲單元之資料一旦轉錄於前述緩衝單元，且，將所轉錄之前述資料再度重寫於前述存儲單元，藉此再生前述存儲單元之資料。

前述存儲單元之資料之再生，宜按照用於該存儲單元之鐵電體層的資料之預先所掌握的干擾特性，每隔一定之存取時間即進行，或對於該存儲單元之寫入及讀出之次數每達一定次數即進行。此時，藉計數器來計數寫入及/或讀出之次數，當達到一定之次數時可再生前述存取之次數。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

本發明之特徵，雖可知上述一般地廣泛地表示，但其構成和內容係與目的及特徵同時，參照圖式在以下之揭露下更加明瞭。

圖式之簡單說明

第1a圖，係本發明半導體記憶裝置之一實施形態的結線圖。

第1b圖為一序列圖，顯示第1a圖之半導體記憶裝置之動作。

第2圖為一平面說明圖，顯示第1圖之存儲單元部分之構造例。

第3a~d圖為第2圖之斷面說明面。

第4圖為一平面說明圖，顯示第1圖之存儲單元部份之其他構造例。

第5a~5d圖為第4圖之斷面說明圖。

第6a~6d圖，係顯示調查干擾特性時外加之波形例。

第7圖為一干擾特性圖，係顯示對於欲外加之脈衝次數的干擾特性。

第8圖，係顯示外加雙方向脈衝時之每正負一次之電荷變化。

第9圖，係顯示將電壓外加於鐵電電容器時之對於外加時間之電流變化。

第10圖為一干擾特性圖，顯示對於欲外加之脈衝的脈衝寬度之干擾特性。

第11圖為一干擾特性圖，顯示對於欲外加之脈衝的大

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

小(振幅)之干擾特性。

第12a~12b圖為一等效電路，顯示本發明之半導體記憶裝置之其他實施形態。

第13a~13b圖為一方法說明圖，顯示將鐵電記憶體EFT排列成矩陣狀，藉三均分法來存取之方法。

第14圖，係鐵電記憶體FET之一例的構造說明圖。

用以實施發明之最佳實施形態

其次，一面參照圖式一面說明使用本發明之一實施形態即鐵電體層之半導體記憶裝置之寫入方法及讀出方法。

使用本發明鐵電體層之半導體記憶裝置之寫入方法及讀出方法，係如第1圖之其一實施形態之一部分即四個存儲單元Q1~Q4部之電路說明圖及序列所示，當由柵極與半導體層間具有鐵電體層之鐵電記憶體FET所成之存儲單元，例如於設置多數個或矩陣狀之半導體記憶裝置，選擇存儲單元來寫入資料時，先外加跟其資料之寫入或讀出之電壓相反方向之電壓之後，再外加寫入用或讀出用之電壓為特徵者。即，由本發明者重覆銳意檢討，例如藉電源電壓之三均分法來寫入時，經由鐵電體電容器之電荷量變化，調查因外加於非選擇單元之 $1/3V_{cc}$ 的干擾電壓而引起之非選擇單元之對於資料之影響，結果如後述，發現了儘管外加低電壓時，也會干擾鐵電電容器之電荷量，但其干擾現象因外加反方向之干擾脈衝而可修復成原來之電荷量。當根據其見識，進行寫入及/或讀出時，首先外加反方向之電壓然後外加寫入或讀出之電壓，藉此可防止由干擾電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

壓所造成之資料之劣化。

其次，一面參照第1圖，一面藉由具體例進一步詳細說明。於第1a圖中，由四個鐵電記憶體FET所成之存儲單元Q1~Q4被排列成矩陣狀，其連結有向橫向排列的單元之柵極同時，分別設有字線WL1、WL2，且，連結有向橫向排列之源極同時，分別設有源線SL1、SL2；另外，連結有向縱向排列之汲極同時，分別設有資料傳輸線DL1、DL2，且，連結有縱向之單元的基板(半導體層)，且，分設有位元線BL1、BL2，以形成矩陣。

若於此矩陣之選擇Q1寫入“1”，首先將0外加於選擇單元Q1之字線WL1，並將Vcc外力於位元線BL1；且，將 $\frac{2}{3} \cdot V_{cc}$ 外加於成為非選擇單元之字線WL2，並將 $\frac{1}{3} \cdot V_{cc}$ 外加於位元線BL2，寫入“0”(外加“1”之相反電壓)。接著，將Vcc外加於字線WL1同時將0外加於位元線BL1，且，將 $\frac{1}{3} \cdot V_{cc}$ 外加於成為非選擇單元之字線WL2同時，將 $\frac{2}{3} \cdot V_{cc}$ 外加於位元線BL2，藉此將“1”寫入於存儲單元Q1。反之，當將“0”寫入於存儲單元Q1時，首先與寫入“1”同樣，將Vcc外加於選擇單元Q1之字線WL1，同時將0外加於位元線BL1；且，將 $\frac{1}{3} \cdot V_{cc}$ 外加於成為非選擇單元之字線WL2，同時將 $\frac{2}{3} \cdot V_{cc}$ 外加於位元線BL2。接著將0外加於字線WL2，同時將Vcc外加於位元線BL1而寫入“1”；分別將 $\frac{2}{3} \cdot V_{cc}$ 外加於成為非選擇單元之字WL2，將 $\frac{1}{3} \cdot V_{cc}$ 外加於位元線BL2。

又，要進行選擇單元Q1之讀出時，將-V1(V1，係為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

了將寫入成“1”或“0”之單元的FET作成ON而需要的電壓，且藉由FET之閾電壓之差及Si基板之雜質濃度等來決定之值，從而藉著調整雜質注入量而可變化並調整FET之閾電壓)外加於字線WL1，同時使位元線BL1及字線WL2變為0，將-VSA(資料檢出用電壓)外加於資料傳輸DL1後，再將V1外加於字線WL1，將0外加於位元線BL1及字線WL2，及將VSA外加於資料傳輸線DL1，藉此來讀出選擇單元Q1之資料。將此一連系之寫入及讀出之順序示於第1圖b。又，於第1b圖，空欄處，係意味著為斷開或0V。

排列前述存儲單元之構造，可作成例如第2~3圖所示之構造。即，第2圖為其一例之平面圖；第3圖為其A-A線、第B-B線、C-C線及D-D線之斷面圖；其係顯示鐵電記憶體FET(存儲單元Q1~Q4)部分之圖。本例，係藉由一在半導體基板挖深溝俾在其中埋入絕緣物來分離的深溝渠介質10，來進行各單元列之分離的例者。

本構造，係例如在P型或N型之半導體基板1設有P型阱1a，並在阱1a內分別形成有n型之汲極區域2、源極區域3，且在其間之阱1a上例如透過由PZT系所成之鐵電體層4，設有例如由多晶矽所成之柵極5(WL1、WL2)。6為Locos氧化膜；7、8、9各為層間絕緣膜；10為將阱1a分離成各列的深溝渠介質。第2圖之用Q2來表示之部分為一個存儲單元，其係如第2圖所示，分別連結向橫向排列的各單元之柵極以設置字線WL1、WL2，同樣連結向橫向排列的源極區域3以設置源線SL1、SL2；且連結電接於向縱向排列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

的各單元之汲極區域2的第一金屬層11以分別設置資料傳輸線DL1、DL2，藉此將存儲單元設成如第1圖之等效電路圖所示一般之矩陣狀。又，位元線BL1、BL2，被設成連接至阱1a。

第4~5圖，係構成本發明半導體記憶裝置之另外的構造例圖；本構造係與2~3圖所示者相同。本例，係例如於半導體基板1形造P型之阱16，在其阱16內形成n型之汲極區域2，源極區域3；而該各阱16之間則被元件分離用之例如LOCOS氧化膜15所分離著。而且，其阱16之間則被元件分離用之例如LOCOS氧化膜15所分離著。而且，其阱16成為位元線。其他之構造，係與第2~3圖所示者相同，所以附註同一符號，省略其說明。

此等之構造，雖說都是一種在半導體層上直接設置鐵電體層，並在上面設有用做柵極之金屬的MFS構造之存儲單元，但在鐵電體層與半導體層間存在 SiO_2 或 SiO_3N_4 等之其他絕緣膜之MFIS構造，或者，在其間更設有浮動柵極之金屬層的MFMIS構造等也可；總而言之，只要用來構成一在EET之柵極與半導體層設有鐵電體層之鐵電記憶體FET者，任何構造均可。

其次，說明有關外加於非選擇單元之 $1/3 \cdot V_{cc}$ 的影響之查證。此查證係藉著在前述之寫入或讀出前先外加反向之電壓後進行通常之寫入或讀出，而成為可安全地保存資料之根據者。即，使用300nm厚度之PZT電容器，將 $1/3 \cdot V_{cc}$ 之電壓外加於鐵電電容器以調查其轉換電荷量(向一定

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

方向外加電壓時倒轉極化方向時所產生的電荷量與不倒轉極化方向時所產生之電荷量的差數)之變化，藉此來進行該查證。

首先，向6a圖所示之負方向外加電源電壓 V_{cc} ，藉此將膜向負方向極化後，外加如第6b圖所示之僅正方向(與極化相反之方向)的同一方向之 $1/3 \cdot V_{cc}$ 脈衝一規定次數(n 次)，其後外加如第6c圖所示之雙脈衝，進行了轉換電荷量之測定。又，也進行：不外加前述第6b圖所示同一方向之脈衝，而代之外加向如第6d圖所示之正負方向交替地變化的 $\pm 1/3 \cdot V_{cc}$ 之雙方向脈衝時的，電荷量之測定。又，干擾脈衝之脈衝寬度均用200ns，電源電壓 V_{cc} 則用5V及3.3V(外加之電壓成為其之 $1/3$)來進行。又，在雙方脈衝之場合，分別在正方向及負方向作成一次脈衝之外加，並每一循環作成二次脈衝。

第7圖，係將對於外加 $1/3 \cdot V_{cc}$ (或 $\pm 1/3 \cdot V_{cc}$)之脈衝的次數 n 測定而得的轉換電荷量之絕對值，繪製於圖面之圖表者。於第7圖，A1係用3.3V外加同一方向脈衝時結果；A2係用3.3V外加雙向脈衝時之結果；B1係用5V外加同一方向脈衝時之結果；B2係用5V外加雙向脈衝時之結果。由第7圖可知，不論電源電壓 V_{cc} 為5V或3.3V，均獲得同樣之結果；外加同一方向脈衝時逐漸地減少轉換電荷量，而外加 $10^3 \sim 10^4$ 次程度之脈衝時轉換電荷量則變成 $1/3$ 以下。換言之，這是表示若重覆對於一個存儲單元作用同一方向之脈衝之存取時，其單元之資料有可能被消除。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(13)

一方面由圖可知，向正負方向交替地外加脈衝者(A_2 、 B_2)，即使外加 10^8 次以上之脈衝，轉換電荷量也幾乎未有變化。本發明就是根據「即使外加非常多之脈衝，資料也不會變化」之結果，來做者。

第8圖係顯示將電源電壓 V_{cc} 作為5V來調查「轉換電荷量對於外加該雙向脈衝時之正負各一次的脈衝如變變化」之結果。由第8圖顯示， V_{cc} 為5V(外加電壓為1.67V)時，如外加跟極化方向相反方向之干擾脈衝的話，轉換電荷量則從30減至15左右。然而，可知藉著施加與極化方向同一方向的脈衝，而恢復至大到原來之值。即，雖因外加交替脈衝(雙向脈衝)，而使存儲電荷量減少至某一定之值，但不會發生其以上之減少。只要其所減少之值為足以判別單元之資料的電荷量，即可防止因干擾而失去資料之事。

又，如將此轉換電荷量之變化。用對於外加 $1/3 \cdot V_{cc}$ 於電容器時之外加時間的電流密度(A/cm^2)之變化來表示的話，變成如第9圖所示者。於第9圖中，D為使極化方向倒轉進行寫入時及其後之干擾脈衝被外加偶數次($n=2k$)，亦即外加其雙向脈衝跟極化方向同一方向之脈衝時之電流值；E為其方向跟極化方向不同的干擾脈衝被外加奇數次($n=2k+1$)後之電流值；F為向跟極化方向同一之方向外加電壓來進行寫入時之電流值。前述之轉換電荷量就是，用來表示此D或E之電流值與F之電流值之差數的電荷量。

其次，為了壓低因一次之干擾脈衝而造成之干擾電荷

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

量之減少，而調查脈衝寬度之依存性及電源電壓 V_{cc} 之依存性，檢討了最佳值。將其結果示於第10~11圖。第10圖，係於電源電壓為3.3V時之A及5V時之B，外加一次之干擾脈衝(跟極化方向相反之方向)，藉此使脈衝寬度變化以測定存儲電荷量減少多少。其結果，顯示可藉著拉長脈衝寬度，而使減少變大。且，顯示 $V_{cc}=3.3V$ ，脈衝寬度為 10^{-7} 秒以下時干擾(載荷量之減少)變成非常小。在實際之元件，由於可預料到脈衝寬度成為 10^{-7} 秒以下，所以可說不需擔心因單脈衝而引起之大干擾。

又，第11圖，將極化方向之相反方向之電壓(干擾電壓)分別外加於用1.5V使之向正方向及負方向極化之電容器後，測定轉換電荷量者；就是改變干擾電壓之值來測定者。藉由與寫入之極化方向相反之方向脈衝來測定者為A；而藉由同一方向脈衝來測定者為B。又，脈衝寬度係用500ns來進行。兩個電容器之轉換電容量之差數成為用來檢出資料之電荷量。其結果顯示，干擾電壓為1.5V附近時兩個電容器之轉換電荷量已反轉而無法檢出資料。為了保持即使外加了 $1/3 \cdot V_{cc}$ 之干擾脈衝也可充份檢出之電荷量，最好將兩條線之交叉電壓之大約2倍左右之電壓作為 V_{cc} 。但，此特性，由於依鐵電體之飽和特性和膜厚而變化，所以其決定適於膜之 V_{cc} ，不如選擇適於 V_{cc} 之膜厚、材料，較為妥當。在此次之檢討膜，以電源電壓為3.3V，寫入脈衝寬度為100ns以下者最為適宜。

如此，若一定方向之干擾電壓之外加重覆某次數以上

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(15)

的話，寫入於非選擇單元之資料有可能被擦除，而且此也大大地依存於脈衝寬度和脈衝之大小。然而，如依本發明，由於經常交替地外加正方向及負方向之電壓，所以資料之減少僅為由第一次之干擾電壓所引起之減少，其後之減少即不會發生。其結果，在由第一次之干擾電壓所引起之資料之減少不妨礙讀出之程度內，使電源電壓 V_{cc} 和寫入(讀出)速度、鐵電體材料和其膜厚成為最佳化，藉此使讀出沒有任何之障礙，即使外加 10^8 次之干擾脈衝，也可經常維持資料不被擦除。其結果，一面利用鐵電記憶體FET一面構成一排列成矩陣狀之隨機存取記憶體。

依照前述之例，其雖是就寫入及讀出之兩方外加其寫入或讀出之電壓之前，先外加反方向之電壓的例，但依半導體裝置之種類，有時候寫入與讀出之比率有極端之偏倚，在頻繁地進行之一方(寫入或讀出)連接選擇單元，藉其選擇元件來轉換選擇單元與非選擇單元，而在頻度少之一邊則不使用選擇單元而代之使用本發明之方法，藉此可減少選擇元件之數一面使晶片面積變小一面重寫，在不降低讀出速度下存取。

其次，一面參照圖式一面說明有關使用本發明之其他實施形態亦即鐵電體層之半導體記憶裝置及其存取方法。

使用本發明之鐵電體層的半導體記憶裝置，係如第12圖中之其一實施形態的一部分之等效電路圖所示，由一在柵極與半導體層之間具有鐵電體層之鐵電記憶體FET所成，例如包含有：設成矩陣狀之多數個(第12圖為4個)之存

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(16)

儲單元Q1~Q4；可轉錄其存儲單元Q1~Q4之資料的緩衝單元；及一將存儲單元Q1~Q4之資料轉錄於存儲單元20，且，將所轉錄之資料再度重寫於前述存儲單元Q1~Q4之緩衝電路30。即，本發明者一再銳意檢討後，藉鐵電電容器之電容量之變化，調查由外加於非選擇單元之 $1/3 \cdot V_{cc}$ 干擾電壓所引起的非選擇單元之對於資料之影響，結果如後述，發現了雖然外加低電壓時，也因存儲單元之寫入及讀出而所記憶之資料被干擾，但其干擾之現象卻依所外加之電壓之大小及時間而產生一定之比例，定期地重寫(再生)資料，藉此可在不破壞資料之狀態下再生資料。本發明之特徵就是，根據其見識，設有緩衝單元20及可控制其轉錄(transcription)及其重寫，俾可定期地再生其資料。

緩衝單元20，係如第12圖之例所示，與存儲單元之鐵電記憶體FET相同之構造者，其可使用一在FET之柵極與半導體層間具有鐵電體層之構造。然而，只要可記憶一定之資料，使用其他構造者也可。此緩衝單元20，為了可在矩陣之至少每線路進行再生，而宜與設成矩陣狀之存儲單元之行或列平行地至少設置一線路。

緩衝電路30，係構成一從存儲單元轉錄資料至緩衝單元及將所轉錄之資料再度寫入存儲單元之控制電路。如第12圖之例所示，在存儲單元之資料傳輸線DL與緩衝單元20之柵極間，連接有由FET所成之第一選擇元件31；且，連結向排列(分別連接至形成1線路的隣接緩衝單元)的第一選擇元件31之柵極以引出RL5。而且，於緩衝單元20連接

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

一由FET所成之第二選擇元件32之汲極(源極)；同樣連接向橫向排列之第二選擇元件之源極(汲極)以作為RL3引出，且同樣地連結柵極以作為RL4引出；另，連結緩衝單元20之源極以作為RL1引出，並連結緩衝單元20之基板以作為RL2引出；緩衝單元20之汲極則透過變壓器33連接至存儲單元之位元線BL。

排列此等存儲單元之構造，例如，可構成跟前述第2~3圖所示之構造同一之構造。又，與前述情況一樣，也可構成如第4~5圖所示之構造。

此等存儲單元之構造，係與前述之情況一樣，除了作成在半導體層上直接設有鐵電體層，在其上設有一用做柵極之MFS構造以外，也可作成將 SiO_2 或 Si_3N_4 等之其他絕緣膜介於鐵電體層與半導體間之MFIS構造，或在其間更設有浮動柵極之金屬層的MFMIS構造，總而言之，只要構成一在FET之柵極與半導體間設有鐵電體層之鐵電記憶體FET者，任何構造均可。

有關外加於非選擇單元之 $1/3 \cdot V_{cc}$ 的影響之查證，係與前述之情況(第6圖、第7圖、第11圖)相同，所以省略其記載。該查證，係設置緩衝單元及緩衝電路來再生資料，藉此成為可在不破壞資料之狀態下加以保存之根據。

如前所述，發現了，若一定方向之干擾電壓之外加重覆某次數以上的話，寫入非選擇單元之資料有可能被擦除之虞，而且此又是大大地依存於脈衝寬度和脈衝之大小，且將電源電壓 V_{cc} 和寫入(讀出)速度度、鐵電體材料和膜

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(18)

厚加以最佳化，藉此減低由干擾脈衝所引起之電荷量之減少。根據此見識，如前所述，每一定次數(例如1000次左右)之寫入即再生，藉此可經常維持資料不被擦除，一面利用鐵電記憶體FET，一面構成一排列成矩陣狀之隨機存取記憶體。

其次，一面參照第12圖所示之本發明半導體記憶裝置之一實施形態的電路圖，一面說明用來再生其資料之存取方法。首先，將“0”寫入於緩衝電路30內之緩衝單元內來初始化。就其順序而言，於RL4添加Vcc，進而將第二選擇單元32接通，接著接地RL3，將Vcc外加於RL2。在此作業下，緩衝電路內之鐵電記憶體FET(緩衝單元20)被寫入所有資料“0”。其次，將存儲單元之資料轉錄於緩衝單元20。就順序而言，將Vcc外加於RL5以接地R14，藉此將第一選擇元件31作成接通，選擇一連繫於緩衝單元20之柵極的線路。接著，將V1外加於用來進行轉錄的存儲單元列之字線WL1，以接地位元線BL。V1係為了接通一接連WL且寫入有“1”之存儲單元的FET，而需要的電壓者；其係藉FET之間電壓差數及Si基板之雜質等來決定之值；其可藉著調整雜質注入量，而改變調整FET之間電壓。當將Vcc外加於SL1時，僅只FET成為ON(接通)之單元的DL，電位變為Vcc，因而在緩衝單元之柵極外加Vcc，寫入資料“1”。

接著，將存儲在緩衝單元20之資料重寫於存儲單元。首先，進行存儲單元之初始化。將Vcc外加於WL1並接地

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

BL1, BL2, 藉此將“1”寫入於接連至WL1之存儲單元。接著將緩衝單元之資料轉錄於存儲單元。就順序而言, 在RL4外加Vcc, 將RL5接地, 藉此使第一選擇元件31成為OFF(斷開)、使第二選擇元件33成為ON(接通)。當在RL1外加小於Vcc之電壓Vrw時, 在變壓器33則外加0或Vrw之電壓。在變壓器33之部分, 將0變換為Vcc, 並將Vrw變換為 $1/3 \cdot Vcc$ 。若跟在第10圖之資料“0”之寫入時同時設定WL1、WL2的話, 原來之資料則被寫入於存儲單元。將此資料之轉錄及重寫之一連的序列示於第12圖b。

此重寫序列之間隔之設定可為兩種。將在寫入有資料之單元向其相反方向外加 $1/3 \cdot Vcc$ 之干擾電壓時消除資料(成為無法檢出)之時間, 設為 t_e 。將一次之寫入時需要的干擾脈衝之寬度設為 t_w 的話, 在 $n=t_e/t_w$ 次之寫入時, 有可能出現資料被消除之事態。因此, 為了不使資料消滅, 藉計數器來計數次數, 在進行 n 次之寫入前實行重寫順序。此時, 在讀出時也會一點一點地發生資料之消滅, 因此宜將讀出次數也換算為寫入次數(由於外加電壓低於寫入時, 所以與其電壓成比例地減少干擾), 同樣地計數。

資料之再生定時之另一個方法, 係於 t_e 以下之周期每於一定時間藉計時器來實行重寫順序的話, 資料之消滅則不會發生。即, 只要寫入及讀出之頻度對於半導體記憶裝置之使用時間大致成一定, 即可藉計時器來計數半導體記憶裝置之使用時間, 藉此來掌握資料被擦除之時期, 可在其時期前進行再生。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

究竟採用此等方法之那一個才好，乃依其半導體記憶裝置之使用環境而定，或者依寫入及讀出之頻度比例而決定。又，若在寫入及讀出中只一方之使用頻度非常大時，將其頻度多的一方之選擇元件設置一個，以便完全不外加干擾電壓也可，如此做的話，幾乎不進行再生也可保存資料。

此重寫用緩衝電路只在一個之行或列設置一個就可，所以晶片面積不會增大。因此，幾乎不需要增大晶片面積，可用小型單元長期間保持資料。而且，不需要經常再生，隨使用頻度而再生就可，所以再生之時間處理速度幾乎不會延遲。再者，當不使用而將電源作成斷開之狀態時，鐵電體層之資料則一如原樣地被保持著，所以不使用時，完全不需要再生資料。

如依本發明，於排列鐵電記憶體EFT成矩陣狀之半導體記憶裝置，在寫入時及/或讀出時即使因干擾電壓之於非選擇單元，資料也不會消滅。因此，本來為了防止完全之干擾而需要用來寫入及讀出之兩個選擇單元，卻可免除選擇元件，或減少，從而可獲得使用小單元面積的1FET/1單元小型鐵電記憶體FET之不變性半導體記憶裝置。

如依本發明，僅以對應於使用頻度之一定比例再生資料，即使沒有選擇元件也可在不破壞資料之狀態下進行寫入及讀出。其結果，可將鐵電記憶體FET排列成矩陣狀藉此使1FET/1單元之半導體記憶裝置實用化，且可用小型之晶片來實現，電源即使成為OFF(斷開)也可保持資料之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

不變半導體記憶裝置。

又，再生之定時，可藉所使用之鐵電體之性質(厚度和介電特性等)、及使用條件(電源電壓、脈衝寬度等)，來預期；藉著設置計數器或計時器等，而可確實地掌握其再生之定時；可在不破壞資料之狀態下維持資料。

於上述之說明中，雖以較佳之實施形態來說明本發明，但各用語並非為限定而使用，而是為說明而使用者。在不逸離本發明之範圍及精神、以及添附之申請專利範圍的範圍內，應可予以變更。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(22)

元件標號對照

1...半導體基板	20...緩衝電路
1a,1b...阱	30...緩衝電路
2...n型汲極區域	31...第一選擇元件
3...源極區域	32...第二選擇元件
4...鐵電體層	33...變壓器
5...汲極	BL1,BL2...位元線
6,15...LOCOS氧化膜	DL1,DL2...資料傳輸線
7,8,9...層間絕緣膜	Q1~Q4...存儲單元
10...深溝絕緣	SL1,SL2...源線
11...第一金屬層	WL1,WL2...字線

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

半導體記憶裝置及半導體記憶裝置之存取方法)

提供半導體記憶裝置之寫入方法及讀出方法。該等方法，係將鐵電記憶體FET排列成矩陣狀以構成半導體記憶裝置時，藉由一在各單元不設置選擇元件也外加於非選擇單元之干擾電壓，在不破壞資料之狀態下，可只在所需之存儲單元進行資料之寫入及/或讀出。於由鐵電記憶體FET(其柵極側具有鐵電體層)之存儲單元Q1~Q4多數個被設成矩陣狀之半導體記憶裝置，當在存儲單元寫入或讀出資料時，先外加跟資料之寫入或讀出之電壓相反方向之電壓後，再外加寫入或讀出用之電壓。

英文發明摘要(發明之名稱：SEMICONDUCTOR MEMORY APPARATUS AND ACCESS METHOD FOR A SEMICONDUCTOR MEMORY APPARATUS)

A writing method and a reading method for a semiconductor memory apparatus are provided. In these methods, when ferroelectric memory FET are arranged into a matrix to form the semiconductor memory apparatus, each cell is not provided with a selector element and, under the condition that no data will be damaged, a disturb voltage is added externally to non-selected cells such that data can be written into and/or read from the desired memory cell. Because a plurality of memory cells Q1-Q4 of ferroelectric memory FET (the gate electrode side of which has a ferroelectric layer) are arranged into a matrix to form the semiconductor memory apparatus, when data is written into or read from a memory cell, a voltage that is opposite in polarity to the voltage for writing or reading of data is added externally before the voltage for writing or reading is added externally.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種半導體記憶裝置之寫入方法，其係包含有存儲單元的半導體記憶裝置之寫入方法，該存儲單元係由一在柵極與半導體層間具有鐵電體層之鐵電記憶體FET所成；其特徵在於：

當將資料寫入於前述存儲單元時，先外加跟該資料之寫入電壓相反方向之電壓後，再外加前述寫入用之電壓。

2. 如申請專利範圍第1項所述之寫入方法，其特徵為：

使用一將電源電壓三均分以外加於各線路之三均分法，向前述存儲單元外加寫入時之電壓；將電源電壓外加於選擇單元，並將電源電壓之 $\pm 1/3$ 電壓外加於非選擇單元。

3. 如申請專利範圍第1項或第2項所述之半導體記憶裝置之寫入方法，其特徵為：

將由鐵電記憶體FET所成之單元，多數個排列成矩陣狀；連結向行或列方向排列之各單元之柵極以形成字線；連結向列方向排列之各單元的源極以形成源線；連結向列或行方向排列之各單元之汲極以形成資料傳輸線；連結向列或行方向排列之各單元的半導體層以形成位元線，藉此構成前述半導體記憶裝置；在前述字線與位元線間外加電壓，藉此進行寫入。

4. 一種半導體記憶裝置之讀出方法，其係包含有存儲單元的半導體記憶裝置之讀出方法，該存儲單元係由一在柵極與半導體層間具有鐵電體層之鐵電記憶體FET

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

所成；其特徵在於：

當讀出前述存儲單元之資料時，先外加跟該資料之
出電壓相反方向之電壓後，再外加前述讀出用之電壓。

5. 一種使用鐵電體層之半導體記憶裝置，包含有：

存儲單元，係由一在柵極與半導體層間具有鐵電
體層之鐵電記憶體FET所成；

緩衝單元，係可轉錄該存儲單元之資料；及

緩衝電路，係將前述存儲單元之資料轉錄於前述
緩衝單元，且，將該所轉錄之資料再度重寫於前述存
儲單元。

6. 如申請專利範圍第5項所述之半導體記憶裝置，其特徵
在於：

前述存儲單元係設置多數個成矩陣狀；前述緩衝
單元係由可轉錄前述存儲單元之行或列之至少一線路
的存儲單元資料之單元列所成；前述緩衝電路為一可
將前述存儲單元之至少一線路之資料總括起來轉錄，
且，重寫之電路。

7. 如申請專利範圍第5項或第6項所述之半導體記憶裝置
，其特徵在於：

前述緩衝單元，係由一在柵極與半導體層間具有
鐵電體層之鐵電記憶體FET所成。

8. 如申請專利範圍第7項所述之半導體記憶裝置，其特徵
在於：

前述緩衝電路，係包含有：第一選擇元件，其係

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

連接於前述柵極與前述存儲單元之資料傳輸線間藉以控制前述存儲單元之轉錄；第二選擇元件，其係用以控制一連接於前述緩衝單元之柵極側的前述緩衝單元之資料讀出；及變壓器，其係用以變換前述緩衝單元之讀出資料的電壓並連接至用來連結前述存儲單元之基板的位元線。

9. 一種具有鐵電體層之半導體記憶裝置的存取方法，其係備有一由在柵極與半導體層間具有鐵電體層之鐵電記憶體FET所成之存儲單元，及一可轉錄該存儲單元的資料之緩衝單元的，半導體記憶裝置之存取方法者；其特徵在於：

將前述存儲單元之資料一旦轉錄於前述緩衝單元，且，將所轉錄之前述資料再度重寫於前述存儲單元，藉此再生前述存儲單元之資料。

10. 如申請專利範圍第9項所述之存取方法，其特徵在於：

按照用於該存儲單元之鐵電體層的資料之預先所掌握的干擾特性，每隔一定之存儲時間即進行前述存儲單元之資料之再生。

11. 如申請專利範圍第9項所述之存取方法，其特徵在於：

對於該存儲單元之寫入及/或讀出之次數每達一定次數即進行前述存儲單元之資料之再生。

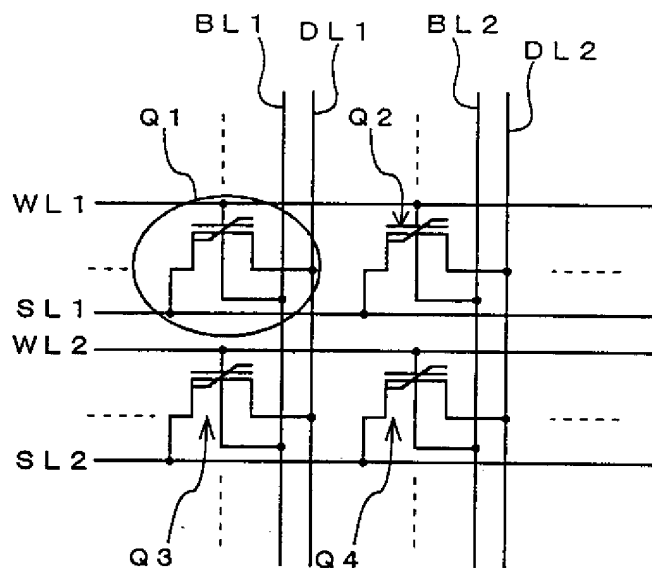
12. 如申請專利範圍第11項所述之存取方法，其特徵在於：

藉計數器來計數前述寫入及/或讀出之次數。

(請先閱讀背面之注意事項再填寫本頁)

訂

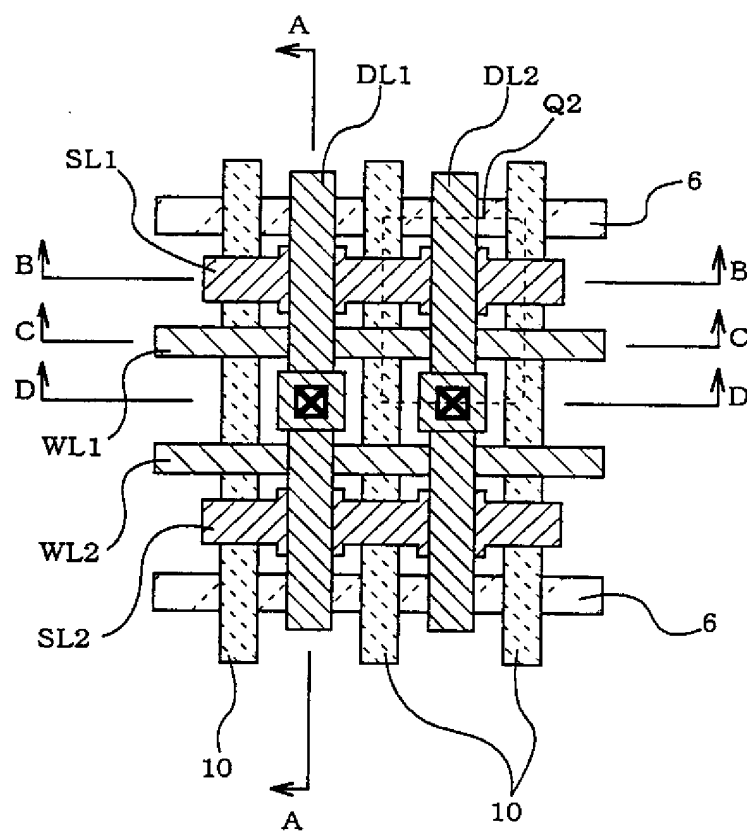
第1(a)圖



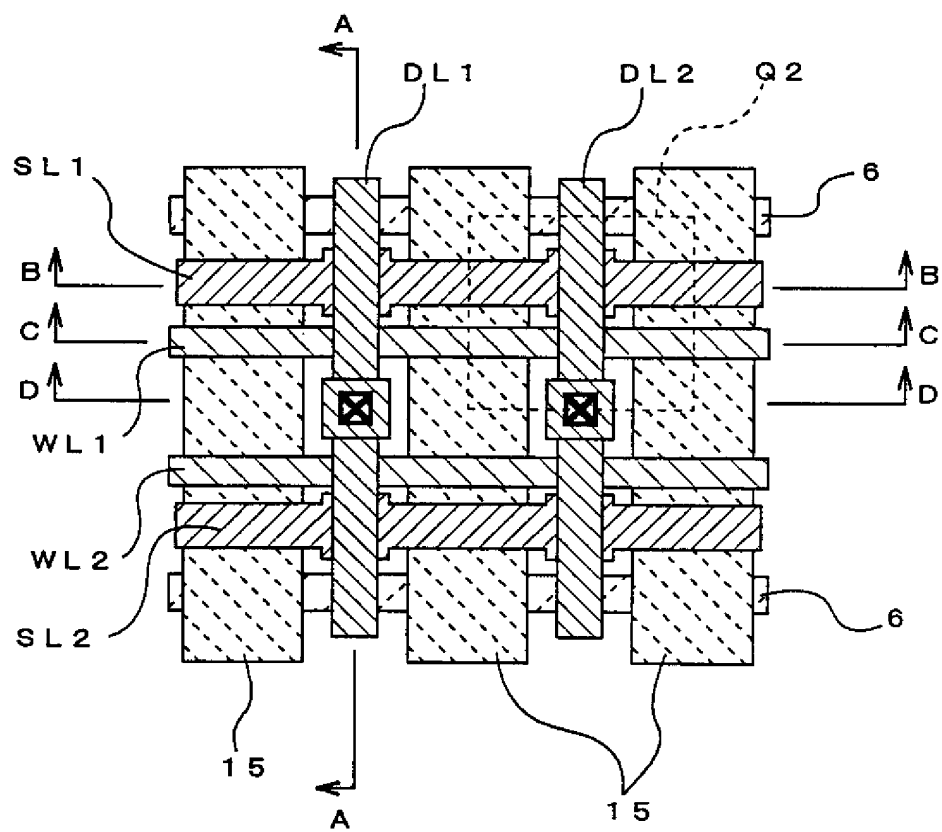
第1(b)圖

	WL1	WL2	SL1	SL2	BL1	BL2	DL1	DL2
寫入"1"	0	$2/3V_{cc}$			V_{cc}	$1/3V_{cc}$		
	V_{cc}	$1/3V_{cc}$			0	$2/3V_{cc}$		
寫入"0"	V_{cc}	$1/3V_{cc}$			0	$2/3V_{cc}$		
	0	$2/3V_{cc}$			V_{cc}	$1/3V_{cc}$		
讀出	$-V_1$	0			0		$-v_{SA}$	
	V_1	0			0		v_{SA}	

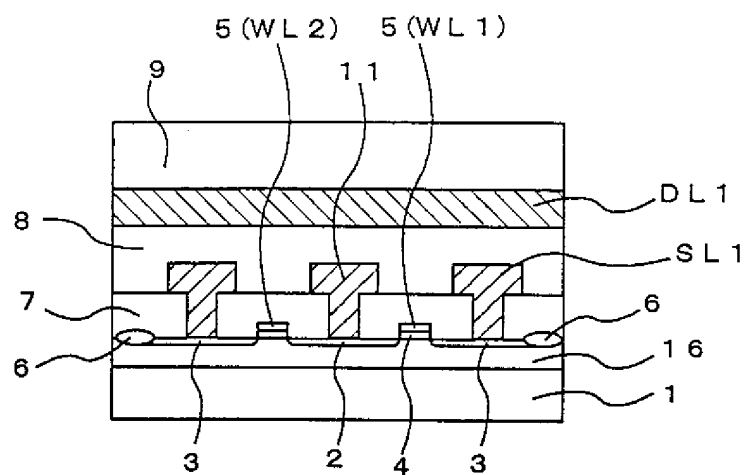
第 2 圖



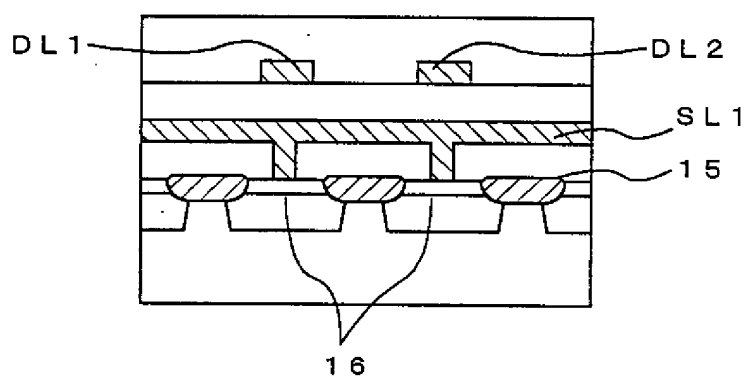
第 4 圖



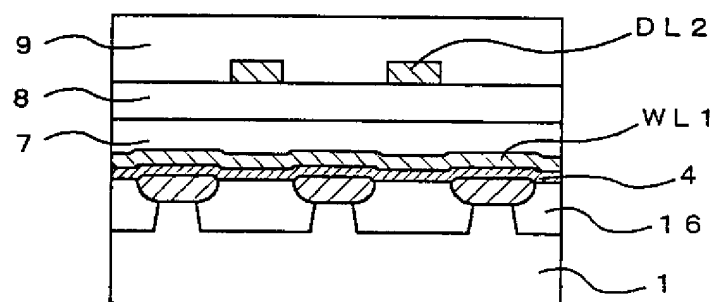
第 5(a) 圖



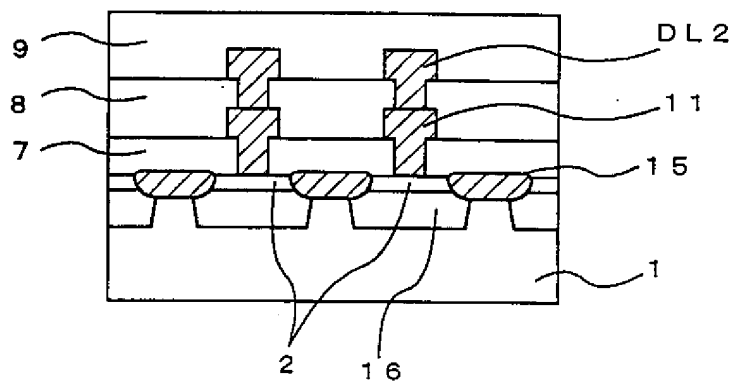
第 5(b) 圖



第 5(c) 圖



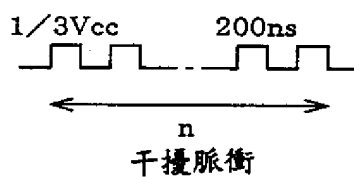
第 5(d) 圖



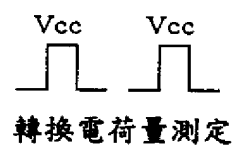
第 6(a) 圖



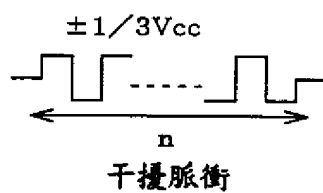
第 6(b) 圖



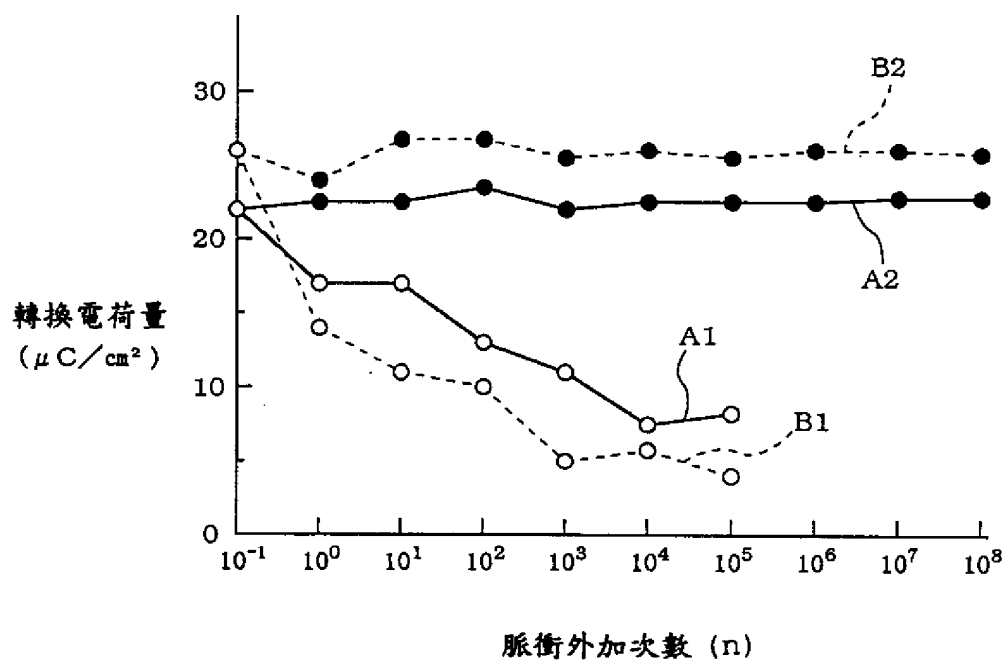
第 6(c) 圖



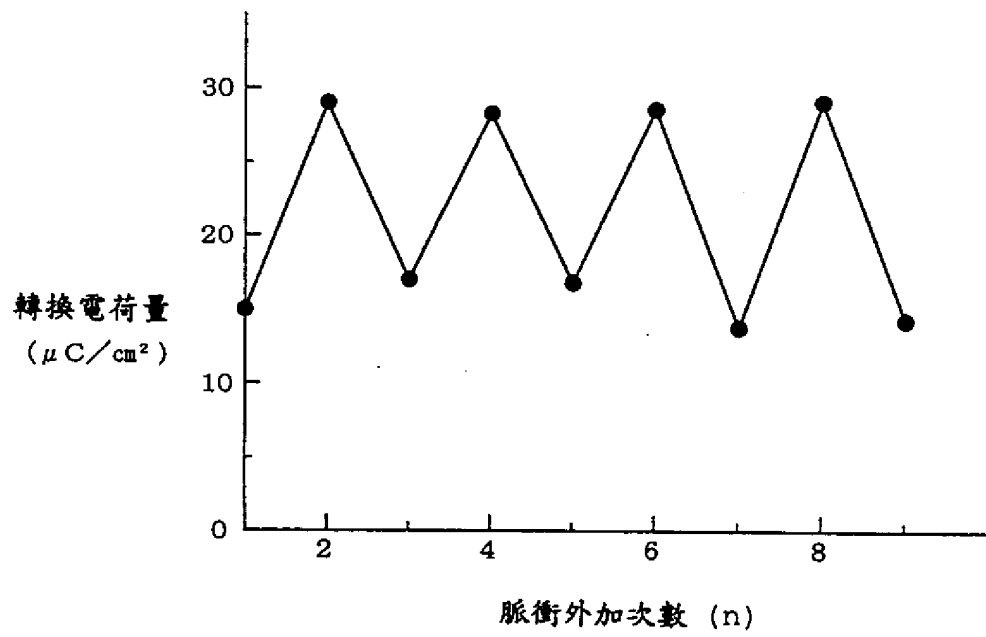
第 6(d) 圖



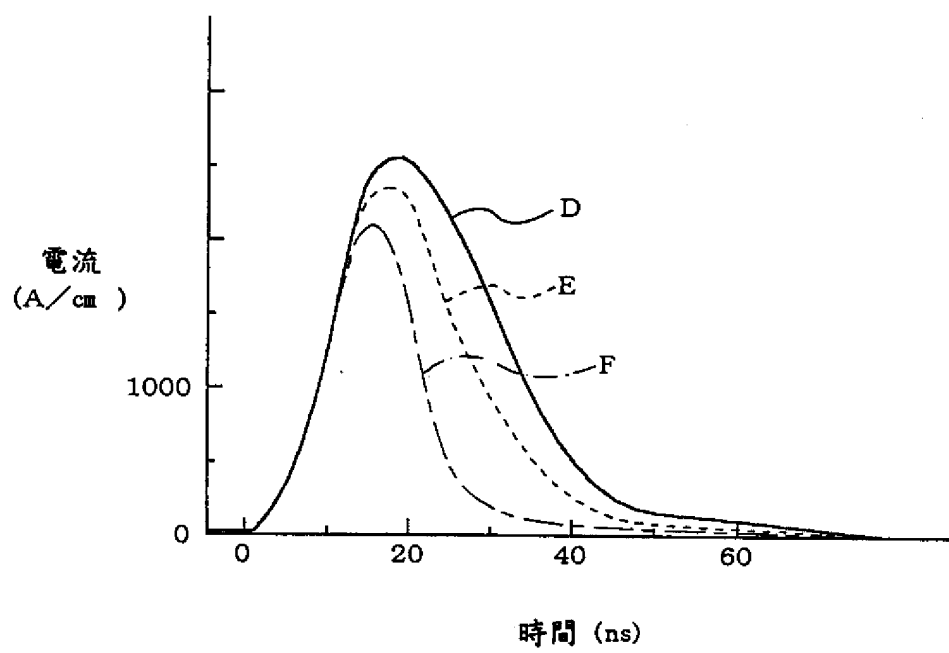
第 7 圖



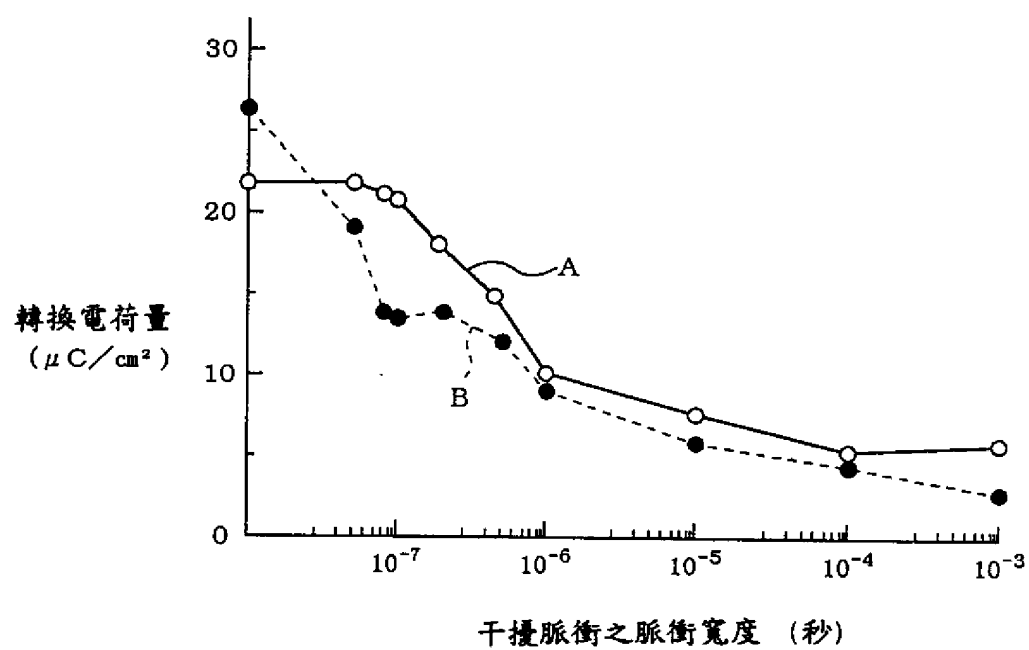
第 8 圖



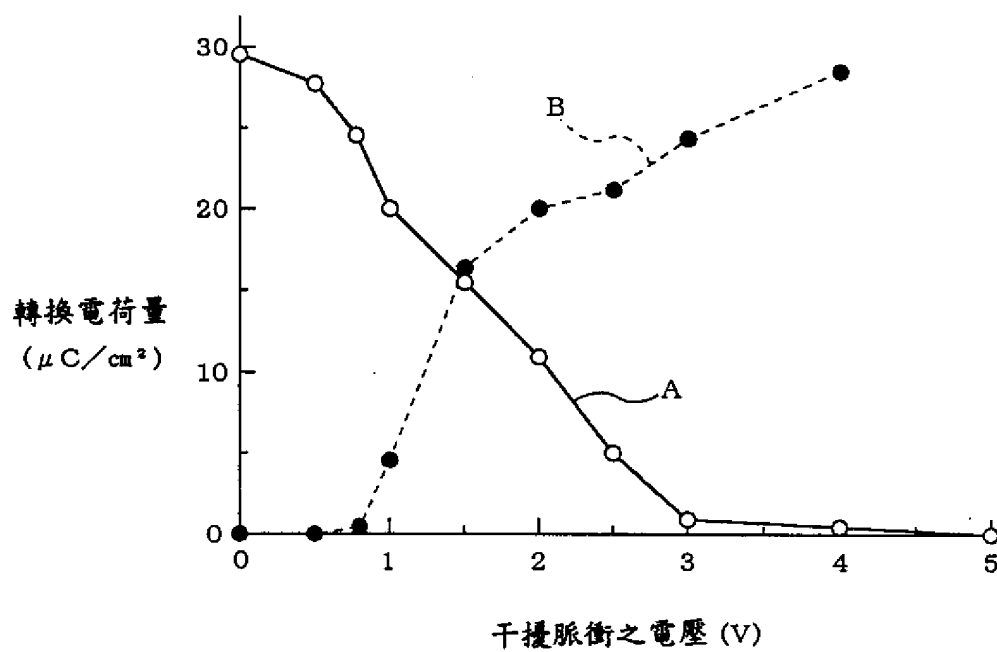
第 9 圖



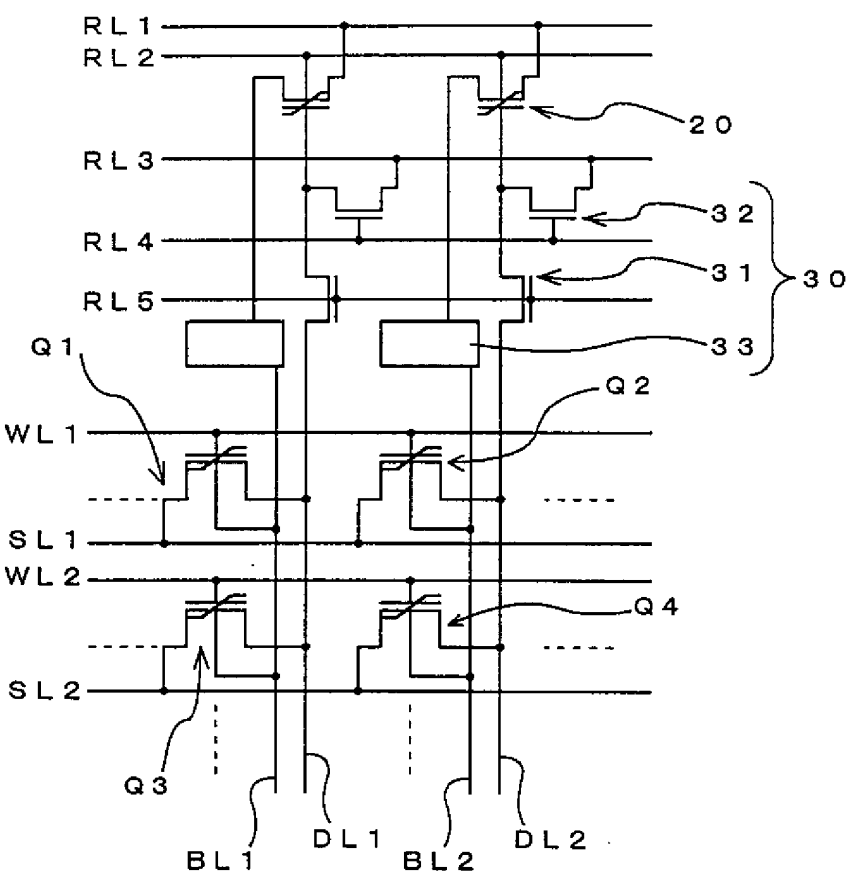
第 10 圖



第 11 圖



第12(a)圖

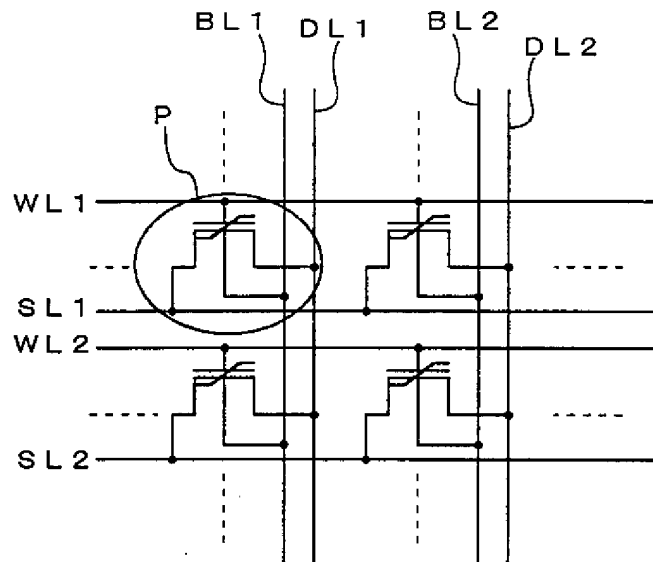


第12(b)圖

	WL1	WL2	SL1	SL2	BL1	BL2	DL1	DL2	RL1	RL2	RL3	RL4	RL5
(1)										Vcc	0	Vcc	0
(2)	V1		Vcc		0	0	斷開	斷開		0		0	Vcc
(3)	Vcc				0	0							
(4)	0	2/3Vcc			斷開	斷開			Vrw	0	V1	Vcc	0

- (1) 緩衝單元初始化 (3) 存儲單元初始化
- (2) 存儲單元→緩衝單元 (4) 緩衝單元→存儲單元

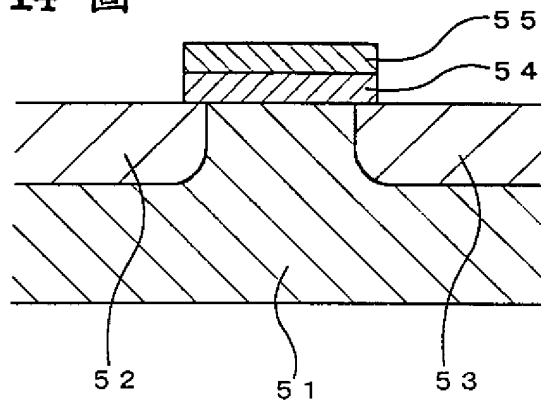
第13(a)圖



第13(b)圖

	WL1	WL2	SL1	SL2	BL1	BL2	DL1	DL2
寫入"1"	V _{cc}	1/3V _{cc}			0	2/3V _{cc}		
寫入"0"	0	2/3V _{cc}			V _{cc}	1/3V _{cc}		
讀出	V _I	0			0		V _{SA}	

第 14 圖



公告本

修正補充
88年4月15日

申請日期	87.11.13
案 號	87118856
類 別	H11C 11/22, H01L 29/78

A4
C4

446943

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體記憶裝置及半導體記憶裝置之存取方法
	英 文	SEMICONDUCTOR MEMORY APPARATUS AND ACCESS METHOD FOR A SEMICONDUCTOR MEMORY APPARATUS
二、發明人	姓 名	中村孝
	國 籍	日 本
	住、居所	日本國京都府京都市右京區西院溝崎町21番地
三、申請人	姓 名 (名稱)	日商・羅姆股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國京都府京都市右京區西院溝崎町21番地
	代 表 人 姓 名	佐藤研一郎

五、發明說明(2)

話，有如下之存取方法。

即，如第13a圖之簡略化圖所示，若將由矩陣狀之多數個鐵電記憶體FET所成之單元加以布線，於選擇單元P進行“1”之寫入時，藉著分別在具有選擇單元P之字線WL1外加Vcc，在不具選擇單元P之字線WL2外加 $1/3 \cdot V_{cc}$ ，在具有選擇單元P之位元線BL1外加0，在不具選擇單元P之位元線BL2外加 $2/3 \cdot V_{cc}$ ，而進行寫入。又，將“0”寫入於選擇單元P時，於字線WL1外加0，於字線WL2外加 $2/3 \cdot V_{cc}$ ，於位元線BL1外加Vcc，於位元線BL2外加 $1/3 \cdot V_{cc}$ ；而在讀出選擇單元P時，分別在字線WL1外加VIC低於Vcc之電壓，且為讀出時之電壓)，在字線WL2外加0，在位元線BL1外加0，在資料傳輸線DL1外加Vsa(資料檢出用電壓)。將此“1”及“0”之寫入及譯出時之序列示於第13b圖。又，於第13b圖，空欄部份係意味著斷開open或0V。其結果，在寫入時，於選擇單元P，將Vcc或 $-V_{cc}$ 之高電壓外加於柵極與半導體基板間，以進行“1”或“0”之寫入。此時，施加於非選擇單元之電壓變為 $1/3 \cdot V_{cc}$ 或 $-1/3 \cdot V_{cc}$ ，因而不進行寫入。又，在讀出時，於選擇單元P，將V1外加於柵極與半導體基板間，非選擇單元則為0或開(OPEN)，幾乎沒有電壓之外加，因而不進行讀出。

如前所述，寫入及讀出雖只選擇選擇單元來進行，但寫入時，在非選擇單元也外加 $1/3 \cdot V_{cc}$ 之電壓。在此 $1/3 \cdot V_{cc}$ 電壓之外加下，鐵電電容器之極化(對應於記憶“1”或“0”之極化)便被干擾，而一再二再地重覆，為此令人擔

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

綜請委員明示
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

五、發明說明(10)

了將寫入成“1”或“0”之單元的FET作成ON而需要的電壓，且藉由FET之閾電壓之差及Si基板之雜質濃度等來決定之值，從而藉著調整雜質注入量而可變化並調整FET之閾電壓)外加於字線WL1，同時使位元線BL1及字線WL2變為0，將-VSA(資料檢出用電壓)外加於資料傳輸DL1後，再將V1外加於字線WL1，將0外加於位元線BL1及字線WL2，及將VSA外加於資料傳輸線DL1，藉此來讀出選擇單元Q1之資料。將此一連系之寫入及讀出之順序示於第1圖b。又，於第1b圖，空欄處，係意味著為斷開或0V。

排列前述存儲單元之構造，可作成例如第2~3圖所示之構造。即，第2圖為其一例之平面圖；第3圖為其A-A線、第B-B線、C-C線及D-D線之斷面圖；其係顯示鐵電記憶體FET(存儲單元Q1~Q4)部分之圖。本例，係藉由一在半導體基板挖深溝俾在其中埋入絕緣物來分離的深溝渠介質10，來進行各單元列之分離的例者。

本構造，係例如在P型或N型之半導體基板1設有P型阱1a，並在阱1a內分別形成有n型之汲極區域2、源極區域3，且在其間之阱1a上例如透過由PZT系所成之鐵電體層4，設有例如由多晶矽所成之柵極5(WL1、WL2)。6為Locos氧化膜；7、8、9各為層間絕緣膜；10為將阱1a分離成各列的深溝渠介質。第2圖之用Q2來表示之部分為一個存儲單元，其係如第2圖所示，分別連結向橫向排列的各單元之柵極以設置字線WL1、WL2，同樣連結向橫向排列的源極區域3以設置源線SL1、SL2；且連結電接於向縱向排列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

半導體記憶裝置及半導體記憶裝置之存取方法)

提供半導體記憶裝置之寫入方法及讀出方法。該等方法，係將鐵電記憶體FET排列成矩陣狀以構成半導體記憶裝置時，藉由一在各單元不設置選擇元件也外加於非選擇單元之干擾電壓，在不破壞資料之狀態下，可只在所需之存儲單元進行資料之寫入及/或讀出。於由鐵電記憶體FET(其柵極側具有鐵電體層)之存儲單元Q1~Q4多數個被設成矩陣狀之半導體記憶裝置，當在存儲單元寫入或讀出資料時，先外加跟資料之寫入或讀出之電壓相反方向之電壓後，再外加寫入或讀出用之電壓。

英文發明摘要(發明之名稱：SEMICONDUCTOR MEMORY APPARATUS AND ACCESS METHOD FOR A SEMICONDUCTOR MEMORY APPARATUS)

A writing method and a reading method for a semiconductor memory apparatus are provided. In these methods, when ferroelectric memory FET are arranged into a matrix to form the semiconductor memory apparatus, each cell is not provided with a selector element and, under the condition that no data will be damaged, a disturb voltage is added externally to non-selected cells such that data can be written into and/or read from the desired memory cell. Because a plurality of memory cells Q1-Q4 of ferroelectric memory FET (the gate electrode side of which has a ferroelectric layer) are arranged into a matrix to form the semiconductor memory apparatus, when data is written into or read from a memory cell, a voltage that is opposite in polarity to the voltage for writing or reading of data is added externally before the voltage for writing or reading is added externally.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂