

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 10-2005-0106410
G11C 11/406 (43) 공개일자 2005년11월09일

(21) 출원번호 10-2005-7014195
(22) 출원일자 2005년08월02일
 번역문 제출일자 2005년08월02일
(86) 국제출원번호 PCT/US2004/003494 (87) 국제공개번호 WO 2004/075257
 국제출원일자 2004년02월06일 국제공개일자 2004년09월02일

(30) 우선권주장 10/370,011 2003년02월19일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 펠리, 페리, 에이치.
 미국 78726 텍사스주 오스틴 인디고 브러쉬 드라이브 9606
 버간, 존, 엠.
 미국 33408 플로리다주 노스 팔름 비치 플래밍고 웨이 734

(74) 대리인 주성민
 백만기
 이중희

심사청구 : 없음

(54) 가변 리프레시 제어 기능을 구비한 메모리 및 방법

요약

메모리 어레이(12), 전하 펌프(18), 전압 조절기(20), 리프레시 제어 회로(16) 및 리프레시 카운터(22)를 구비한 메모리(10)가 개시된다. 전하 펌프(18)는 메모리 어레이(12)에 기관 바이어스를 제공한다. 전압 조절기(20)는 상한 및 하한 내에서 기관 바이어스의 전압 레벨을 유지하기 위한 펌프 인에이블 신호를 제공한다. 리프레시 제어 회로(16)는 리프레시 동작을 제어한다. 리프레시 카운터(22)는 펌프 인에이블 신호를 수신하도록 결합되고, 이에 응답하여 메모리 어레이(12)의 리프레시 레이트를 제어하기 위하여 리프레시 제어 회로(16)에 리프레시 타이밍 신호를 제공한다. 카운터(22)를 이용하여 리프레시 레이트를 프로그래밍하기 위한 프로그래머블 퓨즈 회로(26)가 제공된다. 프로그래머블 퓨즈 회로(26)는 웨이퍼 프로브 테스트 동안 또는 기관 레벨 번-인 동안 프로그래밍될 수 있다. 테스트를 쉽게 하는 내장 셀프 테스트(BIST) 회로가 포함된다.

대표도

도 1

색인어

리프레시 제어, 메모리, 전하 펌프, 리프레시 카운터, 전압 조절기

명세서

기술분야

본 발명은 집적 회로 메모리에 관한 것으로서, 보다 상세하게는 가변 리프레시 레이트 제어 기능을 가진 동적 랜덤 액세스 메모리(DRAM)에 관한 것이다.

배경기술

DRAM은 2개의 논리 상태를 나타내는 전하를 저장하기 위해 커패시터에 의존하는 잘 알려진 메모리 타입이다. 일반적으로, 각각의 DRAM 셀은 커패시터 및 액세스 트랜지스터를 포함한다. 커패시터에 저장된 전하는 시간이 지남에 따라 누설되므로, DRAM 셀에 저장된 데이터는 주기적으로 판독되고 재기입되는 것을, 즉 리프레시되는 것을 필요로 한다. 주기적 리프레시 동작은 많은 양의 전력을 필요로 한다.

커패시터의 전하 누설량은 온도 및 프로세스 변화에 따라 크게 달라진다. 높은 온도는 낮은 온도보다 많은 누설을 유발한다. 프로세스 변화도 많은 누설을 유발할 수 있다. 따라서, 일정한 리프레시 레이트를 가진 DRAM에서, 메모리 셀은 최악의 누설에서도 신뢰성 있는 메모리 유지를 보장하는 레이트로 리프레시되어야 한다. 배터리에 의해 전력이 공급되는 장치에서는 전력 소비를 가능한 한 낮추는 것이 중요하다. 일정한 리프레시 레이트는 배터리 전원 메모리의 신뢰성 있는 동작에 필요한 높은 전력 소비를 요구할 수 있다.

따라서, 메모리의 리프레시 동작을 신뢰성 있게 제어하고 배터리 전원 응용에서 메모리의 전력 소비를 줄이도록 리프레시 레이트를 정확하게 결정하는 가변 레이트 리프레시 제어 회로를 구비한 DRAM이 요구된다.

도면의 간단한 설명

본 발명의 기술적 목적과 이점 및 다른 구체적인 목적과 이점은 첨부된 도면과 관련하여 이루어지는 바람직한 실시예의 상세한 설명으로부터 당업자에게 명확해질 것이다.

도 1은 본 발명에 따른 집적 회로 메모리의 블록도.

도 2는 본 발명에 따른 웨이퍼 프로브 테스트 동안의 반도체 웨이퍼의 하향도.

도 3은 도 1의 집적 회로 메모리를 테스트하는 방법의 흐름도.

발명의 상세한 설명

일반적으로, 본 발명은 저장된 데이터를 유지하기 위해 주기적인 리프레싱을 필요로 하는 복수의 메모리 셀, 전하 펌프, 전압 조절기, 리프레시 제어 회로 및 리프레시 카운터를 구비한 메모리를 제공한다. 전하 펌프는 복수의 메모리 셀에 기관 바이어스를 제공한다. 전압 조절기는 전압 펌프에 결합되어 상한 및 하한 내에서 기관 바이어스의 전압 레벨을 유지하기 위한 펌프 인에이블 신호를 제공한다. 리프레시 제어 회로는 복수의 메모리 셀의 리프레시 동작을 제어한다. 리프레시 카운터는 펌프 인에이블 신호를 수신하도록 결합되고, 펌프 인에이블 신호에 응답하여 복수의 메모리 셀의 리프레시 레이트를 제어하기 위해 리프레시 제어 회로에 리프레시 타이밍 신호를 제공한다. 리프레시 레이트는 전압 조절기가 펌프 인에이블 신호를 표명하는 것에 응답하여 리프레시 카운터에 의해 조절된다.

또한, 리프레시 레이트를 프로그래밍하기 위한 프로그래머블 퓨즈 회로가 제공된다. 프로그래머블 퓨즈 회로는 웨이퍼 프로브 테스트 동안 프로그래밍될 수 있다. 또한, 테스트를 쉽게 하기 위해 집적 회로 상에 내장 셀프 테스트(BIST) 회로가 포함될 수 있다.

전하 누설 및 전계 효과 트랜지스터(FET) 접합 누설이 온도에 따라 변하므로, 전압 조절기는 온도가 증가함에 따라 보다 자주 전하 펌프를 스위치 온한다. 따라서, 온도가 높아질 때, 전압 조절기 펌프 인에이블 신호에 의해 구동되는 리프레시 카운터는 메모리 어레이의 리프레시 레이트를 증가시킨다. 이것은 소정의 온도 범위에서 최적의 리프레시 레이트로 메모리 어레이를 리프레시하는 이점을 제공한다. 또한, 이것은 메모리가 특정 온도에서 신뢰성 있는 데이터 저장을 제공하는 데 필요한 빈도로만 리프레시되는 것을 허용한다. 온도에 따라 조절이 가능한 보다 낮은 리프레시 레이트는 최악의 온도

및 프로세스 변화에 따라 일정한 보다 높은 리프레시 레이트를 이용하는 메모리에 비해 보다 낮은 메모리 전력 소비를 제공한다. 또한, 본 명세서에 개시되는 실시예의 전력 소비는 전하 펌프 및 조절기가 집적 회로 상에 이미 존재하므로 더욱 감소된다.

도 1은 본 발명에 따른 집적 회로 메모리(10)의 블록도이다. 집적 회로 메모리(10)는 메모리 어레이(12), 제어, 디코더, 감지 증폭기 및 I/O 회로 블록들(14), 리프레시 제어 회로(16), 전하 펌프(18), 전압 조절기(20), 리프레시 카운터(22), 및 내장 셀프 테스트(BIST) 회로(24)를 포함한다. 집적 회로 메모리(10)는 독립식 메모리 또는 내장 메모리일 수 있다. 메모리 어레이(12)는 비트 라인과 워드 라인의 교차점에 결합된 메모리 셀들의 어레이이다. 메모리 셀들은 다수의 메모리 셀 블록으로 편성된다. 도시된 실시예에서, 메모리 셀들은 커패시터와 액세스 트랜지스터를 구비한 통상의 DRAM이다. 커패시터는 저장된 논리 상태를 나타내는 전하를 저장하기 위한 것이다. 액세스 트랜지스터는 메모리 셀에 액세스할 때 선택된 워드 라인에 응답하여 비트 라인에 커패시터를 결합하기 위한 것이다. 다른 실시예에서, 메모리 어레이(12)는 저장된 논리 상태를 유지하기 위해 주기적인 리프레싱을 필요로 하는 다른 메모리 셀 타입을 포함할 수 있다.

블록(14)은 판독, 기입 및 리프레시 동작을 위해 메모리 어레이(12)에 액세스하는 데 사용되는 회로들을 포함하고, 복수의 도체를 통해 메모리(12)에 결합된다. 집적 회로 메모리(10)는 판독 및 기입 동작 동안 통상의 DRAM과 같이 기능한다. 블록(14)은 행 및 열 디코더, 감지 증폭기, 제어 회로 및 I/O 회로를 포함한다. 블록(14)은 예를 들어 기입 인에이블(WE), 감지 인에이블(SE) 등과 같이 메모리에 사용되는 다양한 제어 신호를 나타내는 "CONTROL"로 표시된 제어 신호를 수신한다. 제어 신호 CONTROL 및 어드레스 신호 ADDRESS에 응답하여, 행 및 열 디코더는 메모리 어레이(12)의 하나 이상의 메모리 셀에 액세스한다. 판독 동작 동안, 감지 증폭기는 저장된 논리 상태에 대응하는 선택된 비트 라인의 전압을 감지하고 증폭하여, 추가적인 증폭 및 버퍼링을 위해 대응 논리 신호를 I/O 회로에 제공한다. I/O 회로는 버퍼링된 데이터 신호 DATA를 메모리(10) 외부의 회로로 전송한다. 기입 동작 동안, 입력 데이터 신호가 양방향 데이터 라인 DATA를 통해 블록(14)으로 제공된다. 입력 데이터 신호는 어드레스 신호 ADDRESS에 대응하는 메모리 위치로 제공된다. 제어 신호 CONTROL는 판독 및 기입 사이클 양자를 제어하는 데 사용된다.

리프레시 제어 회로(16)는 메모리 어레이(12)의 리프레시 동작을 제어하고 조절한다. 메모리 어레이(12) 및 회로 블록(14) 내에서의 리프레시 동작은 통상적이며, 자동으로 또는 블록(14)으로부터의 제어 신호 RFSH CNTRL를 통한 외부 리프레시 요구에 응답하여 발생할 수 있다. 리프레시 제어 회로(16)는 또한 복수의 도체 REFRESH CONTROL 및 복수의 도체 REFRESH ADDRESS를 통해 회로 블록(14)에 결합된다. 또한, 리프레시 제어 회로(16)는 리프레시 카운터(22)로부터 REFRESH REQUEST를, BIST 회로(24)로부터 BIST 리프레시 제어 신호 BIST REFRESH CONTROL을 수신한다.

전하 펌프(18)는 통상의 전하 펌프이며, 기관 바이어스 VSUB를 메모리 어레이(12)에 제공하는 데 사용된다. 다른 실시예에서, 전하 펌프(18)는 다른 목적에 사용될 수 있다. 예를 들어, 전하 펌프(18)는 메모리 어레이(12)의 커패시터들에 대한 플레이트 전압 또는 승압 워드 라인 전압을 제공하는 데 사용될 수 있다. 응용에 따라, 전하 펌프(18)에 의해 제공되는 전압은 일반적으로 전원 전압 단자에 의해 제공되는 전원 전압 VDD 및 VSS를 초과하는 임의의 전압일 수 있다. 일반적으로, VDD는 양의 전원 전압을 수신하고, VSS는 접지 전위이다. 다른 실시예에서, VDD 및 VSS에 의해 제공되는 전압은 상이할 수 있다. 또한, 다른 실시예에서 전하 펌프(18)는 전원 전압보다 큰 전압 또는 음의 전압을 제공할 수 있다.

전압 조절기(20)는 통상의 전압 조절기이다. 전압 조절기(20)는 기관 바이어스 VSUB를 수신하도록 결합된 입력, 및 제어 신호 ON/OFF를 전하 펌프(18)의 제어 입력에 제공하는 출력 단자를 구비한다. 전압 조절기(20)는 전압 VSUB를 모니터링하고, 상한 및 하한을 가진 소정의 전압 내에서 기관 바이어스 VSUB를 유지하기 위해 ON/OFF 신호를 교대로 표명, 비표명한다. 즉, ON/OFF 신호가 표명될 때, 전압 VSUB는 상한 전압에 도달할 때까지 상승한다. 이어서, 전압 조절기(20)는 ON/OFF 신호를 비표명하며, 전하 펌프(18)는 전압 VSUB가 하한까지 하강할 때까지 펌핑을 중지한다. 이 시점에서, ON/OFF 신호는 다시 표명되고, 전하 펌프(18)는 펌핑을 시작하고 VSUB는 상승된다. 메모리(10)의 정상 동작 동안, ON/OFF 신호의 표명 및 비표명은 다소 주기적이다. 또한, 전압 조절기(20)는 메모리(10)의 전압 또는 온도가 상승할 때 더 자주 전하 펌프(18)를 스위치 온/오프한다.

전압 조절기(20)는 전하 펌프(18)를 제어하는 것 외에도 본 발명에 따라 메모리 어레이(12)의 리프레시 타이밍을 제어하는 데 사용된다. 즉, 메모리(10)의 온도 및 전압 변화에 기인한 전압 조절기(20)의 스위칭 동작의 변화는 리프레시 카운터(22)를 통해 메모리 어레이(12)의 리프레시 빈도를 변경하는 데 사용된다. 리프레시 카운터(22)는 ON/OFF 신호를 수신하도록 전압 조절기(20)에 결합된 클럭 입력 단자(CLK), 및 리프레시 요구 신호 REFRESH REQUEST를 제공하기 위한 출력 단자를 구비한다. 리프레시 카운터(22)는 조절기 ON/OFF 사이클을 리프레시 타이밍으로 변환하고, ON/OFF 사이클의 온도 및 전압 변화를 이용하여 리프레시 레이트를 변경한다. 전술한 바와 같이, 온도 및 전압 변화는 메모리 셀 커패시터로부터의 전하 누설에 영향을 미친다. 따라서, 메모리(10)의 온도 또는 전압이 상승할 때, 메모리 어레이가 리프레시되어야

하는 레이트가 상승한다. 다이 온도가 변할 때 조절기(20)의 ON/OFF 출력의 빈도 변화는 일차로 어레이 셀 누설을 트래킹한다. 이것은 전압 USUB가 다이 전압 및 온도가 전하 펌프가 보다 자주 턴온되는 것을 요구하는 것에 응답하는 메모리 셀 커패시터로부터의 전하 누설과 유사한 방식으로 누설되기 때문이다.

도시된 실시예에서, 카운터는 통상의 모듈러 카운터이다. 카운터는 소정의 카운트 값에 도달할 때마다 REFRESH REQUEST 신호를 표명하도록 설계된다. 다른 실시예에서, 다른 타입의 카운터가 사용될 수 있다. 리프레시 카운터(22)는 프로그래머블 퓨즈 회로(26)를 포함한다. 프로그래머블 퓨즈 회로(26)는 복수의 퓨즈(28, 30, 32)를 포함한다. 복수의 퓨즈(28, 30, 32) 중 하나 이상을 절단함으로써 리프레시 사이클들 사이의 ON/OFF 사이클의 수에 대응하는 소정의 카운트가 임의의 주어진 반도체 다이 또는 웨이퍼에 대해 증가하거나 감소하여 프로세스 차이에 의한 상이한 누설들을 보상할 수 있다. 보상되는 누설 레이트는 최상의 다이에서 최악의 다이까지 크기의 순서들에 의해 변할 수 있다. 도시된 실시예에서, 복수의 퓨즈(28, 30, 32)는 전기적으로 절단된다. 다른 실시예에서, 복수의 퓨즈는 레이저로 절단되거나, 복수의 불휘발성 레지스터 비트 등을 포함할 수 있다.

본 발명의 다른 양태에 따르면, 프로세스 변화로 인한 메모리(10)의 잠재 리프레시 레이트는 BIST 회로(24)를 사용하여 웨이퍼 레벨 테스트 동안에 결정될 수 있다. 리프레시 레이트 테스트는 대부분의 테스트보다 훨씬 더 길고 비용이 많이 들므로 유효 테스트 시간, 따라서 비용을 줄이기 위해 다이는 병렬로 테스트되어야 한다. 다이를 병렬로 테스트하는 하나의 방법은 웨이퍼 레벨 테스트를 이용하는 것이다. 웨이퍼 레벨 테스트에서는 웨이퍼 상의 다이의 모두 또는 큰 서브세트가 병렬로 프로브되고 테스트되어 전체 테스트 시간을 줄인다.

BIST 회로(24)는 메모리 어레이(12)를 테스트하기 위한 테스트 데이터 및 제어 신호를 수신하고 제공하도록 블록(14)에 양방향 결합된다. 또한, BIST 회로(24)는 리프레시 제어 신호 BIST REFRESH CONTROL을 제공한다. 또한, BIST 회로(24)는 직렬 테스트 입력 데이터 SIN을 수신하고, 직렬 테스트 출력 데이터 SOUT을 제공하며, 제어 신호 BIST CONTROL을 수신한다. 집적 회로 메모리(10)의 경계를 정의하는 점선으로 표시된 바와 같이, 신호들 SIN, SOUT 및 BIST CONTROL은 집적 회로 메모리(10)의 외부로 라우팅된다.

도 2는 본 발명에 따른 웨이퍼 프로브 테스트 동안의 반도체 웨이퍼(38)의 하향도이다. 반도체 웨이퍼(38)는 통상의 반도체 프로세스를 이용하여 형성되는 집적 회로 메모리(10)와 같은 복수의 집적 회로를 포함한다. 제조 프로세스 동안, 웨이퍼(38)는 개별 다이로 분리된다. 개별 다이는 분리된 후 추가 프로세스를 거친다. 그러나, 분리 전에 웨이퍼 상의 집적 회로는 웨이퍼 프로브 또는 웨이퍼 레벨 테스트로 알려진 프로시저 동안 테스트될 수 있다. 웨이퍼 레벨 테스트에서 웨이퍼는 프로브 패드(48, 50, 52, 54, 56, 58)와 같은 복수의 프로브 패드를 포함한다. 프로브 패드는 웨이퍼 프로브 니들과 접촉된다. 도 2의 프로브 니들(60, 62)과 같은 웨이퍼 프로브 니들은 테스트 장비와 웨이퍼 상에 형성된 전기 회로 간의 전기적 접촉을 제공하는 데 사용된다. 다른 실시예에서, 웨이퍼(38)에 전기적으로 접촉하기 위해 범프 맴브레인 또는 다른 웨이퍼 접촉 기술이 이용될 수 있다.

웨이퍼(38) 상의 개별 다이 각각 사이에는 다이싱 선들이 포함된다. 예를 들어, 다이싱 선들(40, 42)은 도 2에서 수직으로 형성되며, 다이싱 선들(44, 46)은 수평으로 형성된다. 다이싱 선들은 웨이퍼를 개별 다이로 분리하기 위해 웨이퍼가 절단되는 영역을 정의한다. 그러나, 분리 전에 다이싱 선들은 테스트 신호를 다이 각각으로 라우팅하기 위한 편리한 장소를 제공한다. 도 1에 도시된 실시예에서, 신호들 SIN, SOUT 및 BIST CONTROL은 집적 회로 메모리(10)를 구비한 다이를 프로브 패드들에 결합하기 위해 다이싱 선들로 라우팅된다.

BIST 회로(24)는 웨이퍼(38) 상의 각각의 집적 회로에 포함되며, 웨이퍼(38)의 웨이퍼 프로브 동안 복수의 집적 회로 메모리의 메모리 어레이들에 대한 리프레시 타임을 개별적으로 테스트하는 데 사용된다. 예컨대, 도 1 및 도 2를 참조하면, 집적 회로 메모리(10)가 테스트될 때, 테스트 데이터 SIN은 BIST 회로(34)로 스캐닝된다. 리프레시 동작은 BIST REFRESH CONTROL 신호를 이용하여 트리거될 수 있다. 테스트 결과는 SOUT 데이터로서 스캔 아웃된다. 인접 다이의 SIN 및 SOUT 핀들은 일반적으로 다이싱 선들을 통해 스캔 체인으로 함께 결합되어, 체인 내의 다이 모두에 대한 테스트 결과가 단일 패드로부터 테스트될 수 있다. SOUT 데이터는 다이의 통과 여부, 임의의 고장 셀 및 고장 어드레스를 포함할 수 있다. 테스트 결과를 이용하여 리프레시 카운터(22)에 의해 리프레시 타임이 다이 단위로 조절될 수 있다. 또한, 테스트 결과는 리프레시 타임에 따라 다이를 저장하거나 분류하는 데 사용될 수 있다.

도 3은 도 1의 복수의 집적 회로 메모리를 구비한 웨이퍼(38)를 테스트하는 방법(70)의 흐름도이다. 도시된 실시예에서, 방법(70)은 웨이퍼 레벨 번-인 동안에 이루어진다. 다른 실시예에서, 방법(70)은 다른 웨이퍼 레벨 테스트 환경에서 이용될 수 있다.

단계 72에서, 복수의 집적 회로 메모리를 구비한 반도체 웨이퍼가 제공된다. 단계 73에서, 웨이퍼의 온도가 소정의 테스트 온도로 조절된다. 도시된 실시예에서, 테스트 온도는 실온을 크게 초과하는, 예컨대 100도이다. 다른 실시예에서, 테스트 온도는 실온이거나 또는 실온보다 크게 낮을 수 있다. 단계 74에서, 웨이퍼 테스트 패드들이 웨이퍼 프로브 니들들에 접촉되어, 테스트 다이와 테스트 장치 간의 전기적 접촉을 제공한다.

단계 76에서, 복수의 메모리 집적 회로 다이의 최대 리프레시 레이트가 병렬로 BIST 테스트되어, 특정 다이 상의 메모리 셀들이 언제 실패하는지를 결정하고, 그 결과가 복수의 집적 회로 각각에 대해 기록된다.

단계 78에서, 복수의 메모리 집적 회로의 전하 저장 능력을 분석하여, 다이 각각에 대한 리프레시 레이트 및 대응 퓨즈 좌표를 결정한다. 단계 80에서, 복수의 집적 회로의 프로그래머블 퓨즈 회로들이 계산된 퓨즈 좌표에 따라 프로그래밍된다. 퓨즈는 전기적으로, 레이저 등으로 절단될 수 있다.

이것은 다이 각각이 개별 다이의 프로세스 변화에 관하여 최적 리프레시 레이트로 리프레시되는 것을 허용한다. 메모리는 특정 온도에서 신뢰성 있는 데이터 저장을 제공하는 데 필요한 빈도로만 리프레시되므로, 메모리의 전력 소모는 최악의 온도에 기초하는 일정한 보다 높은 리프레시 레이트를 이용하는 메모리에 비해 감소된다.

또 다른 실시예에서, 다이는 통상의 번-인 인쇄 회로 기판을 이용하여 기관 레벨 번-인 상태에서 테스트될 수 있다. BIST 제어 신호 BIST CONTROL 및 직렬 데이터 신호들 SIN 및 SOUT는 기관 트레이스를 이용하여 라우팅된다. 테스트는 일반적으로 도 3에 대해 위에 설명된 바와 같으며, 먼저 테스트될 패키지 집적 회로가 번-인 인쇄 회로 기판의 테스트 소켓에 삽입된다. 통상의 번-인 기판은 8개 이상의 패키징된 집적 회로의 병렬 테스트를 수용하기에 충분한 테스트 소켓을 구비한다. 패키징된 집적 회로는 테스트 온도로 상승한다. 테스트 온도에 있는 동안, 집적 회로 메모리의 전하 보유량이 측정된다. 이어서, 패키징된 집적 회로의 전하 저장 능력을 분석하여 리프레시 레이트를 결정한다. 마지막으로, 프로그래머블 퓨즈 회로들(26)이 리프레시 레이트로 리프레시 카운터를 프로그래밍하도록 설정된다. 전술한 바와 같이, 도 2를 참조하면, 각각의 패키징된 집적 회로의 리프레시 레이트는 개별적으로 결정될 수 있다. 기관 레벨 번-인과 웨이퍼 레벨 번-인 간의 하나의 차이는 다이가 이미 패키징되어 있으므로 퓨즈들이 전기적으로 절단되어야 한다는 것이다. 기관 레벨 번-인의 단점은 웨이퍼 레벨 번-인에 비해 적은 집적 회로 메모리들이 병렬로 테스트될 수 있다는 점이다. 그러나, 패키징된 집적 회로의 번-인 시간은 일반적으로 BIST 테스트 시간보다 훨씬 더 길며, 따라서 본 발명에 따른 리프레시 테스트는 기관 레벨 번-인 시간을 연장하지 않는다.

당업자에게는, 설명을 위해 본 명세서에서 선택된 실시예들에 대한 다양한 변경 및 수정이 쉽게 이루어질 수 있다. 예컨대, 트랜지스터의 도전성 타입, 트랜지스터의 타입 등의 변경이 쉽게 이루어질 수 있다. 이러한 수정 및 변경은 본 발명의 사상을 벗어나지 않는 범위에서 아래의 청구범위의 공정한 해석에 의해서만 평가되는 본 발명의 범위 내에 포함되는 것으로 의도된다.

(57) 청구의 범위

청구항 1.

저장된 데이터를 유지하기 위해 주기적인 리프레싱을 요구하는 복수의 메모리 셀;

상기 복수의 메모리 셀에 결합되어, 기관 바이어스를 제공하는 전하 펌프;

상기 전하 펌프에 결합되어, 상기 기관 바이어스의 전압 레벨을 제어하기 위한 펌프 인에이블 신호를 제공하는 전압 조절기;

상기 전압 조절기에 결합된 입력 단자를 구비하고, 상기 펌프 인에이블 신호를 수신하고, 이에 응답하여 리프레시 타이밍 신호를 제공하는 리프레시 카운터; 및

상기 리프레시 타이밍 신호를 수신하도록 결합되고, 이에 응답하여 상기 복수의 메모리 셀의 리프레시 동작을 제어하는 리프레시 제어 회로

를 포함하는 메모리.

청구항 2.

제1항에 있어서, 상기 복수의 메모리 셀 및 복수의 테스트 메모리 셀은 동적 랜덤 액세스 메모리(DRAM) 셀인 메모리.

청구항 3.

제1항에 있어서, 상기 복수의 메모리 셀의 리프레시 레이트는 상기 펌프 인에이블 신호에 응답하여 상기 리프레시 카운터에 의해 조절되는 메모리.

청구항 4.

제1항에 있어서, 상기 리프레시 카운터의 카운터 값이 조절 가능한 메모리.

청구항 5.

제4항에 있어서, 상기 메모리는 집적 회로 다이의 일부이고, 복수의 집적 회로 다이가 반도체 웨이퍼 상에 포함되고, 상기 리프레시 카운터의 카운트 레이트를 조절하기 위하여 반도체 웨이퍼의 웨이퍼 프로브 테스트 동안에 프로그래머블 퓨즈 회로가 사용되는 메모리.

청구항 6.

제5항에 있어서, 상기 웨이퍼 프로브 테스트 동안 상기 복수의 메모리 셀 내외로 테스트 데이터를 스캐닝하기 위한 내장 셀프 테스트(BIST) 회로를 더 포함하는 메모리.

청구항 7.

제1항에 있어서, 상기 리프레시 레이트는 온도에 따라 변하는 메모리.

청구항 8.

저장된 데이터를 유지하기 위해 주기적인 리프레싱을 요구하는 복수의 메모리 셀을 각각 구비한 복수의 집적 회로 메모리를 테스트하는 방법에 있어서,

복수의 메모리 셀의 리프레시 레이트를 제어하기 위해 리프레시 제어 회로에 리프레시 타이밍 신호를 제공하는 리프레시 카운터를 각각 구비하는 복수의 집적 회로 메모리를 구비한 반도체 웨이퍼를 제공하는 단계;

상기 복수의 집적 회로 메모리 각각의 리프레시 제어 회로에 결합된 프로그래머블 퓨즈 회로를 제공하는 단계;

상기 복수의 집적 회로 각각에, 상기 복수의 집적 회로 메모리 각각의 복수의 메모리 셀 내외로 테스트 데이터를 스캐닝하기 위한 내장 셀프 테스트(BIST) 회로를 제공하는 단계;

상기 반도체 웨이퍼 상의 상기 BIST 회로에 결합되는 복수의 웨이퍼 테스트 패드를 제공하는 단계;

상기 웨이퍼 테스트 패드를 웨이퍼 프로브 니들에 접촉시키는 단계;

상기 복수의 집적 회로 각각의 복수의 메모리 셀의 전하 유지 능력을 측정하는 단계;

상기 복수의 집적 회로 각각에 대응하는 복수의 리프레시 레이트를 결정하기 위해 상기 복수의 집적 회로 각각의 복수의 메모리 셀의 전하 유지 능력을 분석하는 단계; 및

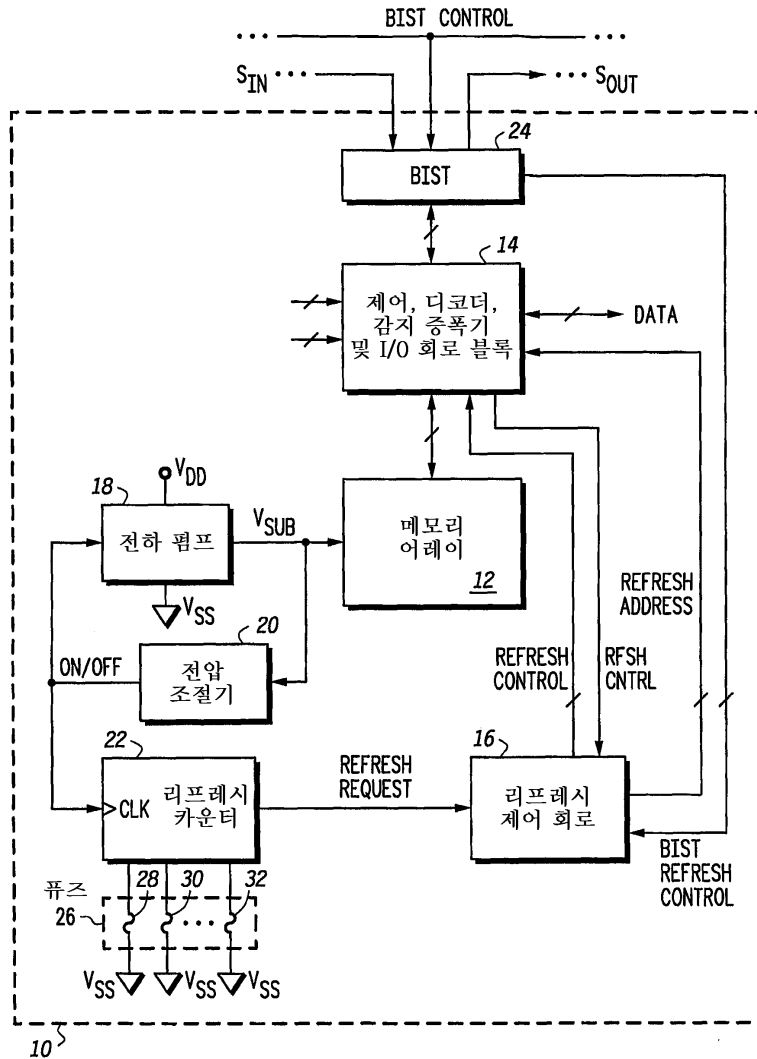
상기 복수의 집적 회로의 프로그래머블 퓨즈 회로들 각각을 그에 대응하는 리프레시 레이트로 프로그래밍하는 단계를 포함하는 방법.

청구항 9.

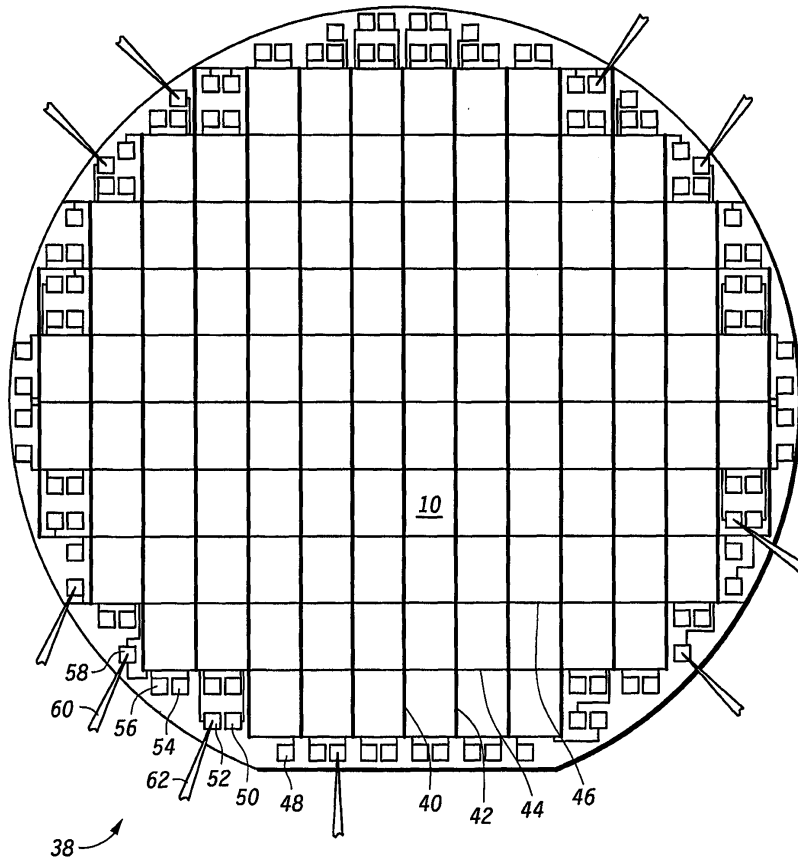
제8항에 있어서, 상기 웨이퍼의 테스트 온도를 조절하는 단계를 더 포함하는 방법.

도면

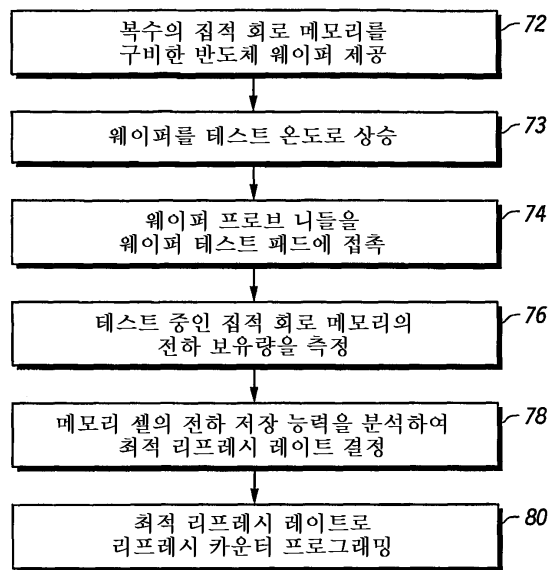
도면1



도면2



도면3



70