



(12) 发明专利

(10) 授权公告号 CN 101989857 B

(45) 授权公告日 2015. 03. 18

(21) 申请号 201010000945. 5

CN 1349683 A, 2002. 05. 15, 说明书第 5 页倒数第 1 段至第 11 页第 1 段以及附图 1 至 6.

(22) 申请日 2010. 01. 21

CN 2919274 Y, 2007. 07. 04, 全文.

(30) 优先权数据

10-2009-0070733 2009. 07. 31 KR

审查员 杨明

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 尹元柱 李铉雨 金基汉

(74) 专利代理机构 北京弘权知识产权代理事务所(普通合伙) 11363

代理人 郭放 黄启行

(51) Int. Cl.

H03L 7/07(2006. 01)

(56) 对比文件

US 7317343 B1, 2008. 01. 08, 说明书第 4 栏第 42 行至第 7 栏第 50 行以及附图 4 至 10.

US 7317343 B1, 2008. 01. 08, 说明书第 4 栏第 42 行至第 7 栏第 50 行以及附图 4 至 10.

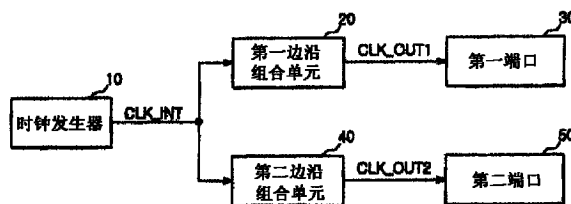
权利要求书2页 说明书7页 附图6页

(54) 发明名称

用于在半导体集成电路中产生时钟的装置

(57) 摘要

本发明公开半导体集成电路的各个实施例。根据一个示例性实施例,一种半导体集成电路,包括:多相时钟发生器,配置为产生多相内部时钟;第一边沿组合单元,配置为通过组合包含于所述内部时钟内的时钟的上升沿,产生具有第一频率的第一输出时钟,并将所述第一输出时钟传送到第一端口;以及第二边沿组合单元,配置为通过组合包含于所述内部时钟内的时钟的上升沿,产生具有第二频率的第二输出时钟,并将该输出时钟传送到第二端口。



1. 一种用于在半导体集成电路中产生时钟的装置,包括:

多相时钟发生器,配置为产生多相内部时钟;

第一边沿组合单元,配置为从包含于所述多相内部时钟内的时钟之中提取预定数量的时钟,并且通过组合所提取的时钟的上升沿,产生具有第一频率的第一输出时钟,并将所述第一输出时钟传送到第一端口,其中,所述第一边沿组合单元提取的时钟数取决于频率模式;以及

第二边沿组合单元,配置为从包含于所述多相内部时钟内的时钟之中提取预定数量的时钟,并且通过组合所提取的时钟的上升沿,产生具有第二频率的第二输出时钟,并将所述第二输出时钟传送到第二端口,其中,所述第二边沿组合单元提取的时钟数取决于频率模式;

其中所述第一频率不同于所述第二频率。

2. 根据权利要求1所述的装置,其中,所述多相时钟发生器包括多相延迟锁定环DLL电路和多相锁相环PLL电路中的任意之一。

3. 根据权利要求1所述的装置,其中,所述第一边沿组合单元包括:

边沿提取单元,配置为从包含于所述内部时钟内的时钟之中提取根据频率模式限定的预定数量的时钟的上升沿,并产生多个上升脉冲信号和多个下降脉冲信号;以及

时钟发生单元,配置为响应于所述多个上升脉冲信号和所述多个下降脉冲信号,产生所述第一输出时钟。

4. 根据权利要求3所述的装置,其中,所述边沿提取单元被配置为:激活与根据频率模式在包含于所述内部时钟内的时钟之中确定的时钟数量相同的数量的上升脉冲信号和下降脉冲信号,使得所述被激活的上升脉冲信号和下降脉冲信号以对应于所述频率模式的时序差在所述多个上升脉冲信号和所述多个下降脉冲信号中被交替切换。

5. 根据权利要求3所述的装置,其中,所述时钟发生单元被配置为:当所述多个上升脉冲信号中的任一个被切换时,产生所述第一输出时钟的上升沿,以及当所述多个下降脉冲信号中的任一个被切换时,产生所述第一输出时钟的下降沿。

6. 根据权利要求1所述的装置,其中,所述第二边沿组合单元包括:

边沿提取单元,配置为从包含于所述内部时钟内的时钟之中提取根据频率模式限定的预定数量的时钟的上升沿,并产生多个上升脉冲信号和多个下降脉冲信号;以及

时钟发生单元,配置为响应于所述多个上升脉冲信号和所述多个下降脉冲信号,产生所述第二输出时钟。

7. 根据权利要求6所述的装置,其中,所述边沿提取单元被配置为:激活与根据频率模式在包含于所述内部时钟内的所述时钟之中确定的时钟的数量相同的数量的上升脉冲信号和下降脉冲信号,使得所述被激活的上升脉冲信号和下降脉冲信号以对应于所述频率模式的时序差在所述多个上升脉冲信号和所述多个下降脉冲信号中被交替切换。

8. 根据权利要求6所述的装置,其中,所述时钟发生单元被配置为:当所述多个上升脉冲信号中的任一个被切换时,产生所述第二输出时钟的上升沿,以及当所述多个下降脉冲信号中的任一个被切换时,产生所述第二输出时钟的下降沿。

9. 根据权利要求1所述的装置,其中,所述第一端口和所述第二端口包括用于在半导体集成电路的外部传输信息的端子。

10. 根据权利要求 9 所述的装置,其中,经所述第一端口或所述第二端口在外部传输的所述信息是数据、时钟、命令和地址中的任意之一。

11. 一种用于在半导体集成电路中产生时钟的装置,所述装置包括:

上升脉冲提取单元,配置为产生多个上升脉冲提取信号,在包含于多相内部时钟内的时钟之中的预先指定的时钟的一部分的上升沿处,所述多个上升脉冲提取信号被切换到预定的电平,其中,所述上升脉冲提取单元被配置为:通过从包含于所述多相内部时钟内的第一至第 N 时钟之中提取奇数编号的时钟的上升沿,产生所述多个上升脉冲提取信号, N 是 2 或者大于 2 的偶数;

下降脉冲提取单元,配置为产生多个下降脉冲提取信号,在包含于多相内部时钟内的时钟之中的预先指定的时钟的一部分的上升沿处,所述多个下降脉冲提取信号被切换到低电平;

复用单元,配置为通过组合所述多个上升脉冲提取信号和所述多个下降脉冲提取信号,产生多个上升脉冲信号和多个下降脉冲信号;以及

时钟发生单元,配置为响应于所述多个上升脉冲信号和所述多个下降脉冲信号,产生输出时钟。

12. 根据权利要求 11 所述的装置,其中,所述下降脉冲提取单元被配置为:通过从包含于所述多相内部时钟内的第一至第 N 时钟之中提取除第一时钟之外的其它时钟的上升沿,产生所述多个下降脉冲提取信号, N 是 2 或者大于 2 的偶数。

13. 根据权利要求 11 所述的装置,其中所述复用单元被配置为:输出所述多个上升脉冲提取信号中的根据频率模式预定的信号,作为所述多个上升脉冲信号,以及输出所述多个下降脉冲提取信号中的根据频率模式预定的信号,作为所述多个下降脉冲信号。

14. 根据权利要求 11 所述的装置,其中,所述时钟发生单元被配置为:当所述多个上升脉冲信号中的任一个被切换时,产生所述输出时钟的上升沿,以及当所述多个下降脉冲信号中的任一个被切换时,产生所述输出时钟的下降沿。

## 用于在半导体集成电路中产生时钟的装置

[0001] 相关申请的交叉引用

[0002] 根据 35U. S. C § 119(a), 本申请要求 2009 年 7 月 31 日向韩国知识产权局提交的韩国申请 No. 10-2009-0070733 的优先权, 其全部内容通过引用合并进来, 如同全部列出一样。

### 技术领域

[0003] 在此描述的本公开内容的各个实施例总的来说涉及半导体集成电路, 具体地说涉及用于在半导体集成电路中产生时钟的装置。

### 背景技术

[0004] 一般来说, 已经通过使用时钟激活半导体集成电路来提高半导体集成电路的激活速度。为了提高激活速度, 半导体集成电路被提供有时钟缓冲器并且在缓冲后使用外部时钟。在一些情形中, 半导体集成电路自身通过时钟发生器例如 DLL(延迟锁定环) 电路或 PLL(锁相环) 电路, 产生并使用已被校正与外部时钟的相位差的内部时钟。

[0005] 目前, 半导体集成电路的激活速度逐渐提高, 并且相应地, 传统的半导体集成电路通过将内部时钟的相位划分为几个相位以产生多相内部时钟, 来将数据与每个相位同步。因此, 内部时钟被实现为具有预定相位差的多个时钟的集合。

[0006] 最近, 已经提供多个通道用于在半导体集成电路之间传输信号, 其中这些通道可以在不同的频域被激活。然而, 通常每个通道都被提供有时钟发生器以实现该操作。结果, 这削弱了半导体集成电路的面积裕度和功率效率。

[0007] 另外, 通常的半导体集成电路通过组合包含于多相内部时钟内的时钟的上升沿来产生时钟; 然而, 这种配置存在问题, 因为频带被限于实施低频操作模式。因为在降低时钟的频率方面存在一定的限制, 通常的半导体集成电路被要求在组合低频操作模式中的时钟的上升沿之前, 降低每个时钟的频率。

[0008] 如上所述, 由于通常应当将时钟发生器提供给半导体集成电路中的每一个通道, 考虑到面积和功率, 有效的应用是困难的, 并且难以在低频操作模式实施适当的操作。因此, 需要具有一种用于产生时钟的改进装置, 其实现半导体集成电路中的高集成和低功耗。

### 发明内容

[0009] 为了克服以上问题并获得优点, 根据本发明的目的, 如本文所具体实施并广泛描述的, 本发明的各个实施例可以提供一种用于在半导体集成电路中产生时钟的装置, 其能克服频带限制。

[0010] 根据一个方面, 一种用于在半导体集成电路中产生时钟的装置可以包括: 多相时钟发生器, 产生多相内部时钟; 第一边沿组合单元, 配置为通过组合包含于所述内部时钟内的时钟的上升沿, 产生具有第一频率的第一输出时钟, 并将所述第一输出时钟传送到第一端口; 以及第二边沿组合单元, 配置为通过组合包含于所述内部时钟内的时钟的下降沿, 产

生具有第二频率的第二输出时钟,并将所述第二输出时钟传送到第二端口。

[0011] 根据另一个方面,一种用于在半导体集成电路中产生时钟的装置可以包括:上升脉冲提取单元,配置为产生多个上升脉冲提取信号,在包含于多相内部时钟内的时钟之中的预先指定的时钟的一部分的上升沿处,所述多个上升脉冲提取信号被切换到高电平;下降脉冲提取单元,配置为产生多个下降脉冲提取信号,在包含于多相内部时钟内的时钟之中的预先指定的时钟的一部分的上升沿处,所述多个下降脉冲提取信号被切换到低电平;复用单元,配置为通过组合所述多个上升脉冲提取信号和所述多个下降脉冲提取信号,产生多个上升脉冲信号和多个下降脉冲信号;以及时钟发生单元,配置为响应于所述多个上升脉冲信号和所述多个下降脉冲信号,产生输出时钟。

[0012] 本发明的其它目的和优点一部分将在随后的描述中阐述,一部分从描述中将会变得明显,或者可以通过实践本发明来了解。借助于所附的权利要求中具体指出的元件和组合,将实现和获得本发明的目的和优点。

[0013] 应当理解,前面的概括描述和随后的详细描述仅仅是示例性的和说明性的,并且不是如权利要求那样来限制本发明。

#### 附图说明

[0014] 包括在本说明书中并构成本说明书的一部分的附图说明了本发明的各个实施例,并且附图连同说明书用来解释本发明的原理。

[0015] 图 1 是说明根据本发明实施例的用于在半导体集成电路中产生时钟的装置的示例性配置的方框图。

[0016] 图 2 是说明图 1 中所示的第一边沿组合单元的示例性配置的图。

[0017] 图 3 是说明图 2 中所示的第一边沿组合单元的示例性操作的时序图。

[0018] 图 4 是说明图 2 中所示的边沿提取单元的示例性配置的方框图。

[0019] 图 5 是说明图 4 中所示的边沿提取单元的示例性配置的图。

[0020] 图 6 是说明图 5 中所示的第一上升脉冲发生器的示例性配置的图。

[0021] 图 7 是说明图 2 中所示的时钟发生器的示例性配置的图。

[0022] 图 8 是说明根据本发明实施例的半导体集成电路的示例性布置的图。

#### 具体实施方式

[0023] 现在将详细说明与本公开内容的示例性实施例,其实例示于附图中。只要有可能,在整个附图中,将使用相同的附图标记来指代相同或相似的部件。

[0024] 图 1 是说明根据本发明的一个实施例的用于在半导体集成电路中产生时钟的装置的示例性配置的方框图。

[0025] 如图 1 所示,根据本发明的示例性实施例的用于在半导体集成电路中产生时钟的装置可以包括:多相时钟发生器 10,其产生多相的内部时钟 CLK\_INT;第一边沿组合单元 20,其通过组合包含于内部时钟 CLK\_INT 内的时钟的上升沿,产生具有第一频率的第一输出时钟 CLK\_OUT1,并将该第一输出时钟传送到第一端口 30;以及第二边沿组合单元 40,其通过组合包含于内部时钟 CLK\_INT 内的时钟的上升沿,产生具有第二频率的第二输出时钟 CLK\_OUT2,并将该第二输出时钟传送到第二端口 50。

[0026] 可以通过使用多相 DLL 电路或多相 PLL 电路来实现多相时钟发生器 10。多相内部时钟 CLK\_INT 可以是具有相同相位差的多个时钟的集合,并且为了便于描述,后文示例出八个时钟的集合。

[0027] 第一边沿组合单元 20 从包含于多相内部时钟 CLK\_INT 内的时钟之中提取预定数量的时钟,并通过组合这些提取的时钟的上升沿,产生第一输出时钟 CLK\_OUT1。在此示例性过程中,第一边沿组合单元 20 提取的时钟的数量取决于频率模式。例如,当第一边沿组合单元 20 实施 X4- 频率模式(产生四倍频率作为高频的模式)时,第一边沿组合单元 20 从内部时钟 CLK\_INT 提取所有的八个时钟,以产生第一输出时钟 CLK\_OUT1。可替换地,当第一边沿组合单元 20 实施 X2- 频率模式(产生两倍频率作为高频的模式)时,第一边沿组合单元 20 从内部时钟 CLK\_INT 提取四个时钟,以产生第一输出时钟 CLK\_OUT1。替换地,当第一边沿组合单元 20 实施 X1- 频率模式(产生相同频率的模式)时,第一边沿组合单元 20 从内部时钟 CLK\_INT 提取两个时钟,以产生第一输出时钟 CLK\_OUT1。

[0028] 第二边沿组合单元 40,可能以与第一边沿组合单元 20 相同的方式,从包含于多相内部时钟 CLK\_INT 内的时钟之中提取预定数量的时钟,并通过组合这些提取的时钟的上升沿,产生第二输出时钟 CLK\_OUT2。第二边沿组合单元 40 以该方式实施预定的频率模式只是示例,然而,还可以实施与第一边沿组合单元 20 不同的其他频率模式。

[0029] 第一端口 30 和第二端口 50 可以是例如用于在半导体集成电路的外部传输信息的端子,并且经第一端口 30 或第二端口 50 在外部传输的信息可以是数据、时钟、数据选通时钟 DQS、命令和地址中的任一种。

[0030] 第一端口 30 和第二端口 50 可以包括输入/输出缓冲器(未示出)和焊盘(未示出)。当信息是数据、数据选通时钟、命令和地址中的任一种时,第一端口 30 和第二端口 50 响应于第一输出时钟 CLK\_OUT1 和第二输出时钟 CLK\_OUT2 中的每一个执行缓冲,并随后经焊盘输出每个信号。另外,当信息是时钟时,第一端口 30 和第二端口 50 缓冲第一输出时钟 CLK\_OUT1 和第二输出时钟 CLK\_OUT2,并随后经焊盘输出信号。

[0031] 如上所述,根据本发明的示例性实施例的用于在半导体集成电路中产生时钟的装置可以仅使用一个产生多相内部时钟 CLK\_INT 的时钟发生器 10,来产生具有各自频率的输出时钟 CLK\_OUT1 和 CLK\_OUT2。

[0032] 另外,在已经实施 X4- 频率模式的半导体集成电路中,时钟发生器过去被要求降低内部时钟的频率,以便实施 X2- 频率模式或 X1- 频率模式。然而,在根据本发明的示例性实施例的半导体集成电路中,由于第一边沿组合单元 20 或第二边沿组合单元 40 提取预定数量的时钟,并产生相应频率处的输出时钟 CLK\_OUT1 和 CLK\_OUT2,不需要降低内部时钟 CLK\_INT 的频率。因此,可能产生具有各种频率的时钟,而不论内部时钟 CLK\_INT 的频率限制如何。

[0033] 图 2 是说明图 1 中所示的第一边沿组合单元的示例性配置的图,其中,第一边沿组合单元 20 和第二边沿组合单元 40 被形成为与上面参考第一边沿组合单元 20 描述的配置相同的配置。在下文中,通过八个内部时钟 CLK\_INT1 至 CLK\_INT8 来表示包含于多位内部时钟 CLK\_INT 内的八个时钟。

[0034] 如图 2 所示,第一边沿组合单元 20 可以包括:边沿提取单元 210,响应于 X4- 频率模式信号 FMX4、X2- 频率模式信号 FMX2 和 X1- 频率模式信号 FMX1,从八个内部时钟 CLK\_

INT1 至 CLK\_INT8 中提取预定的时钟的上升沿,并产生四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4;以及时钟发生单元 220,响应于四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4,产生第一输出时钟 CLK\_OUT1。

[0035] 参考图 3 的时序图描述具有上述配置的第一边沿组合单元 20 的操作。

[0036] 图 3 是说明当以 X2- 频率模式操作时,图 2 中所示的第一边沿组合单元 20 的示例性操作的时序图。

[0037] 如图 3 所示,八个内部时钟 CLK\_INT1 至 CLK\_INT8 具有相同的相位差。

[0038] 当 X2- 频率模式信号 FMX2 被使能时,边沿提取单元 210 使用来自八个内部时钟 CLK\_INT1 至 CLK\_INT8 的第一、第三、第五和第七内部时钟 CLK\_INT1、CLK\_INT3、CLK\_INT5 和 CLK\_INT7,激活第一上升脉冲信号 RPLS1 和第二上升脉冲信号 RPLS2 以及第一下降脉冲信号 FPLS1 和第二下降脉冲信号 FPLS2。在此过程中,激活第一上升脉冲信号 RPLS1 和第二上升脉冲信号 RPLS2 以及第一下降脉冲信号 FPLS1 和第二下降脉冲信号 FPLS2,使得一个上升脉冲信号和一个下降脉冲信号被交替切换,并具有与第一、第三、第五和第七内部时钟 CLK\_INT1、CLK\_INT3、CLK\_INT5 和 CLK\_INT7 的相位差相等的切换时序差。虽然未示出,但是在此过程中,第三上升脉冲信号 RPLS3 和第四上升脉冲信号 RPLS4 以及第三下降脉冲信号 FPLS3 和第四下降脉冲信号 FPLS4 不被激活并具有无效电平。

[0039] 随后,时钟发生单元 220 响应于第一上升脉冲信号 RPLS1 和第二上升脉冲信号 RPLS2 以及第一下降脉冲信号 FPLS1 和第二下降脉冲信号 FPLS2 中的上升脉冲信号,产生第一输出时钟 CLK\_OUT1 的上升沿,并响应于下降脉冲信号产生第一输出时钟 CLK\_OUT1 的下降沿。因此,第一输出时钟 CLK\_OUT1 被实现为具有两倍于第一内部时钟 CLK\_INT1 频率的时钟。

[0040] 虽然未示出,将理解的是,可以使用 X4- 频率模式信号 FMX4、X1- 频率模式信号 FMX1 或其他被使能的信号来操作第一边沿组合单元 20。

[0041] 当 X4- 频率模式信号 FMX4 被使能时,边沿提取单元 210 使用所有的八个内部时钟 CLK\_INT1 至 CLK\_INT8,产生四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 和 FPLS4,其中,所有的四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4 被激活。在此过程中,激活四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4,使得一个上升脉冲信号和一个下降脉冲信号被交替切换,并具有与八个内部时钟 CLK\_INT1 至 CLK\_INT8 的相位差相等的切换时序差。

[0042] 另外,时钟发生单元 220 响应于四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4 中的上升脉冲信号,产生第一输出时钟 CLK\_OUT1 的上升沿,并响应于下降脉冲信号产生第一输出时钟 CLK\_OUT1 的下降沿。因此,第一输出时钟 CLK\_OUT1 被实现为具有四倍于第一内部时钟 CLK\_INT1 频率的时钟。

[0043] 另外,当 X1- 频率模式信号 FMX1 被使能时,边沿提取单元 210 仅使用第一内部时钟 CLK\_INT1 和第五内部时钟 CLK\_INT5,激活第一上升脉冲信号 RPLS1 和第一下降脉冲信号 FPLS1。在此过程中,第一上升脉冲信号 RPLS1 和第一下降脉冲信号 FPLS1 被激活为交替切换,并具有与第一内部时钟 CLK\_INT1 和第五内部时钟 CLK\_INT5 的相位差相等的切换时间差。在此过程中,第二至第四上升脉冲信号 RPLS2 至 RPLS4 和第二至第四下降脉冲信号 FPLS2 至 FPLS4 不被激活并具有无效电平。

[0044] 另外,时钟发生单元 220 响应于第一上升脉冲信号 RPLS1 产生第一输出 CLK\_OUT1 的上升沿,并响应于第一下降脉冲信号 FPLS1 产生第一输出 CLK\_OUT1 的下降沿。在此过程中,第一输出时钟 CLK\_OUT1 被实现为具有与内部时钟 CLK\_INT1 频率相同的频率的时钟。

[0045] 也就是说,第一边沿组合单元 20 基于频率模式,从八个内部时钟 CLK\_INT1 至 CLK\_INT8 中提取预定数量的时钟,并产生四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4。在此过程中,在四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4 中,与频率模式中被提取的时钟相同数量的脉冲信号被激活。随后,边沿组合单元 20 使用激活的脉冲信号,产生第一输出时钟 CLK\_OUT1 的上升沿和下降沿,由此产生具有频率模式所限定的频率的第一输出时钟 CLK\_OUT1。

[0046] 同时,虽然在此示例出内部时钟 CLK\_INT 包含有八个时钟,但是可以使用不同数量的时钟,并且第一边沿组合单元 20 和第二边沿组合单元 40 可以产生具有不同频率的时钟。上面的描述涉及第一边沿组合单元 20 和第二边沿组合单元 40 的操作原理,并且能够产生的时钟数量和频率量仅仅作为示例。

[0047] 图 4 是说明图 2 中所示的边沿提取单元的示例性配置的方框图。

[0048] 如图 4 所示,边沿提取单元 210 可以包括:上升脉冲提取单元 212,产生在第一、第三、第五和第七内部时钟 CLK\_INT<1,3,5,7> 的上升沿处被切换到高电平的四个上升脉冲提取信号 RPE1 至 RPE4;下降脉冲提取单元 214,产生在第二至第八内部时钟 CLK\_INT2 至 CLK\_INT8 的上升沿处被切换到低电平的七个下降脉冲提取信号 FPE1 至 FPE7;以及复用单元 216,通过组合四个上升脉冲提取信号 RPE1 至 RPE4 和七个下降脉冲提取信号 FPE1 至 FPE7,产生四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4。

[0049] 参考图 5 中详细示出的配置的图详细描述边沿提取单元 210。

[0050] 图 5 是详细说明图 4 中所示的边沿提取单元的示例性配置的图。

[0051] 如图 5 所示,上升脉冲提取单元 212 可以包括四个上升脉冲发生器 2121 至 2124。四个上升脉冲发生器 2121 至 2124 产生在第一、第三、第五和第七内部时钟 CLK\_INT<1,3,5,7> 的上升沿的每一个处被切换到高电平的四个上升脉冲提取信号 RPE1 至 RPE4。

[0052] 第二边沿脉冲发生单元 214 可以包括七个下降脉冲发生器 2141 至 2147。七个下降脉冲发生器 2141 至 2147 产生在第二至第八内部时钟 CLK\_INT2 至 CLK\_INT8 的上升沿的每一个处被切换到低电平的七个下降脉冲提取信号 FPE1 至 FPE7。

[0053] 复用单元 216 可以包括七个复用器 2161 至 2167。复用单元 216 输出第一上升脉冲提取信号 RPE1 作为第一上升脉冲信号 RPLS1。

[0054] 当 X4- 频率模式信号 FMX4 被使能时,第一复用器 2161 输出第一下降脉冲提取信号 FPE1 作为第一下降脉冲信号 FPLS1,当 X2- 频率模式信号 FMX2 被使能时,第一复用器 2161 输出第二下降脉冲提取信号 FPE2 作为第一下降脉冲信号 FPLS1,以及当 X1- 频率模式信号 FMX1 被使能时,第一复用器 2161 输出第四下降脉冲提取信号 FPE4 作为第一下降脉冲信号 FPLS1。

[0055] 当 X4- 频率模式信号 FMX4 被使能时,第二复用器 2162 输出第二上升脉冲提取信号 RPE2 作为第二上升脉冲信号 RPLS2,以及当 X2- 频率模式信号 FMX2 被使能时,第二复用器 2162 输出第三上升脉冲提取信号 RPE3 作为第二上升脉冲信号 RPLS2。当 X4- 频率模式信号 FMX4 和 X2- 频率模式信号 FMX2 均被禁止时,第二复用器 2162 将第二上升脉冲信号



RPLS2 固定为低电平。

[0056] 当 X4- 频率模式信号 FMX4 被使能时,第三复用器 2163 输出第三下降脉冲提取信号 FPE3 作为第二下降脉冲信号 FPLS2,以及当 X2- 频率模式信号 FMX2 被使能时,第三复用器 2163 输出第六下降脉冲提取信号 FPE6 作为第二下降脉冲信号 FPLS2。以及当 X4- 频率模式信号 FMX4 和 X2- 频率模式信号 FMX2 均被禁止时,第三复用器 2163 将第二下降脉冲信号 FPLS2 固定为高电平。

[0057] 当 X4- 频率模式信号 FMX4 被使能时,第四复用器 2164 输出第三上升脉冲提取信号 RPE3 作为第三上升脉冲信号 RPLS3。当 X4- 频率模式信号 FMX4 被禁止时,第四复用器 2164 将第三上升脉冲信号 RPLS3 固定为低电平。

[0058] 当 X4- 频率模式信号 FMX4 被使能时,第五复用器 2165 输出第五下降脉冲提取信号 FPE5 作为第三下降脉冲信号 FPLS3。当 X4- 频率模式信号 FMX4 被使能时,第五复用器 2165 将第三下降脉冲信号 FPLS3 固定为高电平。

[0059] 当 X4- 频率模式信号 FMX4 被使能时,第六复用器 2166 输出第四上升脉冲提取信号 RPE4 作为第四上升脉冲信号 RPLS4。当 X4- 频率模式信号 FMX4 被禁止时,第六复用器 2166 将第四上升脉冲信号 RPLS4 固定为低电平。

[0060] 当 X4- 频率模式信号 FMX4 被使能时,第七复用器 2167 输出第七下降脉冲提取信号 FPE7 作为第四下降脉冲信号 FPLS4。当 X4- 频率模式信号 FMX4 被禁止时,第七复用器 2167 将第四下降脉冲信号 FPLS4 固定为高电平。

[0061] 在此实施例中,当 X4- 频率模式信号 FMX4 被使能时,边沿提取单元 210 使用所有的八个内部时钟 CLK\_INT1 至 CLK\_INT8,激活四个上升脉冲信号 RPLS1 至 RPLS4 和四个下降脉冲信号 FPLS1 至 FPLS4。另外,当 X2- 频率模式信号 FMX2 被使能时,边沿提取单元 210 使用第一、第三、第五和第七内部时钟 CLK\_INT1、CLK\_INT3、CLK\_INT5 和 CLK\_INT7,激活第一上升脉冲信号 RPLS1 和第二上升脉冲信号 RPLS2 以及第一下降脉冲信号 FPLS1 和第二下降脉冲信号 FPLS2。另外,当 X1- 频率模式信号 FMX1 被使能时,边沿提取单元 210 使用第一内部时钟 CLK\_INT1 和第五内部时钟 CLK\_INT5,激活第一上升脉冲信号 RPLS1 和第一下降脉冲信号 FPLS1。

[0062] 图 6 是详细说明图 5 中所示的第一上升脉冲发生器以及如上面述及的第一上升脉冲发生器 2121 的示例性配置的图。

[0063] 如图 6 所示,第一上升脉冲发生器 2121 可以包括反相延迟器 IVD、NAND 门 ND 和驱动器 DRV。在此实施例中,第一上升脉冲信号 RPLS1 在第一内部时钟 CLK\_INT1 的每一个上升沿处被切换到高电平,并且上升脉冲信号 RPLS1 的脉宽由反相延迟器 IVD 具有的延迟量确定。

[0064] 根据一个实施例,边沿提取单元 210 中的所有的上升脉冲发生器都具有该配置,并且所有的下降脉冲发生器除了使用反相驱动器代替驱动器 DRV 之外,具有该相同的配置。

[0065] 图 7 是说明图 2 中所示的时钟发生单元的示例性配置的图。

[0066] 如图 7 所示,时钟发生单元 220 可以包括:第一晶体管 TR1,其栅极端可以接收第一下降脉冲信号 FPLS1,其源极端可以被施加有外部电源 VDD,以及其漏极端可以连接到第一节点 N1;第二晶体管 TR2,其栅极端可以接收第一上升脉冲信号 RPLS1,其漏极端可以连

接到第一节点 N1, 以及其源极端可以接地; 第三晶体管 TR3, 其栅极端可以接收第二下降脉冲信号 FPLS2, 其源极端可以被施加有外部电源 VDD, 以及其漏极端可以连接到第一节点 N1; 第四晶体管 TR4, 其栅极端可以接收第二上升脉冲信号 RPLS2, 其漏极端可以连接到第一节点 N1, 以及其源极端可以接地; 第五晶体管 TR5, 其栅极端可以接收第三下降脉冲信号 FPLS3, 其源极端可以被施加有外部电源 VDD, 以及其漏极端可以连接到第一节点 N1; 第六晶体管 TR6, 其栅极端可以接收第三上升脉冲信号 RPLS3, 其漏极端可以连接到第一节点 N1, 以及其源极端可以接地; 第七晶体管 TR7, 其栅极端可以接收第四下降脉冲信号 FPLS4, 其源极端可以被施加有外部电源 VDD, 以及其漏极端可以连接到第一节点 N1; 第八晶体管 TR8, 其栅极端可以接收第四上升脉冲信号 RPLS4, 其漏极端可以连接到第一节点 N1, 以及其源极端可以接地; 以及反相器 IV, 其可以接收在第一节点 N1 处产生的电位并可以输出第一输出时钟 CLK\_OUT1。

[0067] 在该实施例中, 当第一至第四上升脉冲信号 RPLS1 至 RPLS4 中的任一个被切换时, 时钟发生单元 220 产生第一输出时钟 CLK\_OUT1 的上升沿, 并当第一至第四下降脉冲信号 FPLS1 至 FPLS4 中的任一个被切换时, 时钟发生单元 220 产生第一输出时钟 CLK\_OUT1 的下降沿。因此, 根据包含于第一至第四上升脉冲信号 RPLS1 至 RPLS4 和第一至第四下降脉冲信号 FPLS1 至 FPLS4 中的信号的切换时序, 确定第一输出时钟 CLK\_OUT1 的频率。

[0068] 图 8 是示出根据本发明实施例的半导体集成电路的布置实例的图。

[0069] 如图 8 所示, 可以在两个半导体集成电路 1 和 2 之间提供两个通道 CH1 和 CH2, 并且经通道 CH1 和 CH2 传输数据。在该实施例中, 如果将本发明的用于产生时钟的装置提供给半导体集成电路 1 和 2, 如图 8 所示, 则可能实现这一操作: 一个通道 CH1 实施 X4- 频率模式, 而另一个通道 CH2 实施 X1- 频率模式。如图 8 所示, 两个半导体集成电路 1 和 2 可以是例如主机和从机。

[0070] 如上所述, 由于本发明的用于在半导体集成电路中产生时钟的装置可以仅仅使用一个时钟发生器来产生具有不同频率的时钟, 通过实施本发明有可能防止面积裕度的减小和功耗的增加。另外, 有可能降低输出时钟的频率, 而不改变由时钟发生器产生的内部时钟的频率, 以及因此, 有可能产生具有各种频率的时钟, 而不论内部时钟的频率限制如何。

[0071] 在整个说明书中, 包括在权利要求书中, 术语“包括”应当被理解为与术语“包括至少一个”同义, 除非另外指定为其他情况。

[0072] 虽然上面已经描述了某些实施例, 但是对于本领域技术人员将理解的是, 描述的实施例仅仅是示例描述。因此, 不应基于描述的实施例限制在此描述的装置和方法。而是, 在此描述的装置和方法仅受到权利要求并且结合上面的描述和附图的限制。

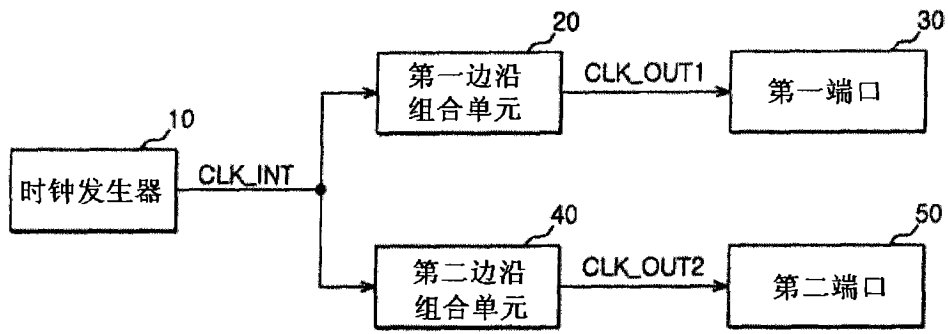


图 1

20

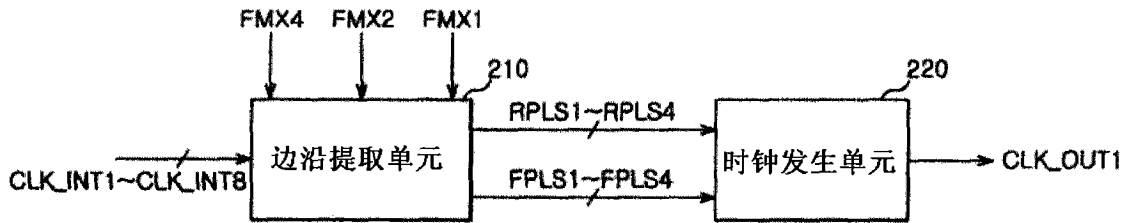


图 2

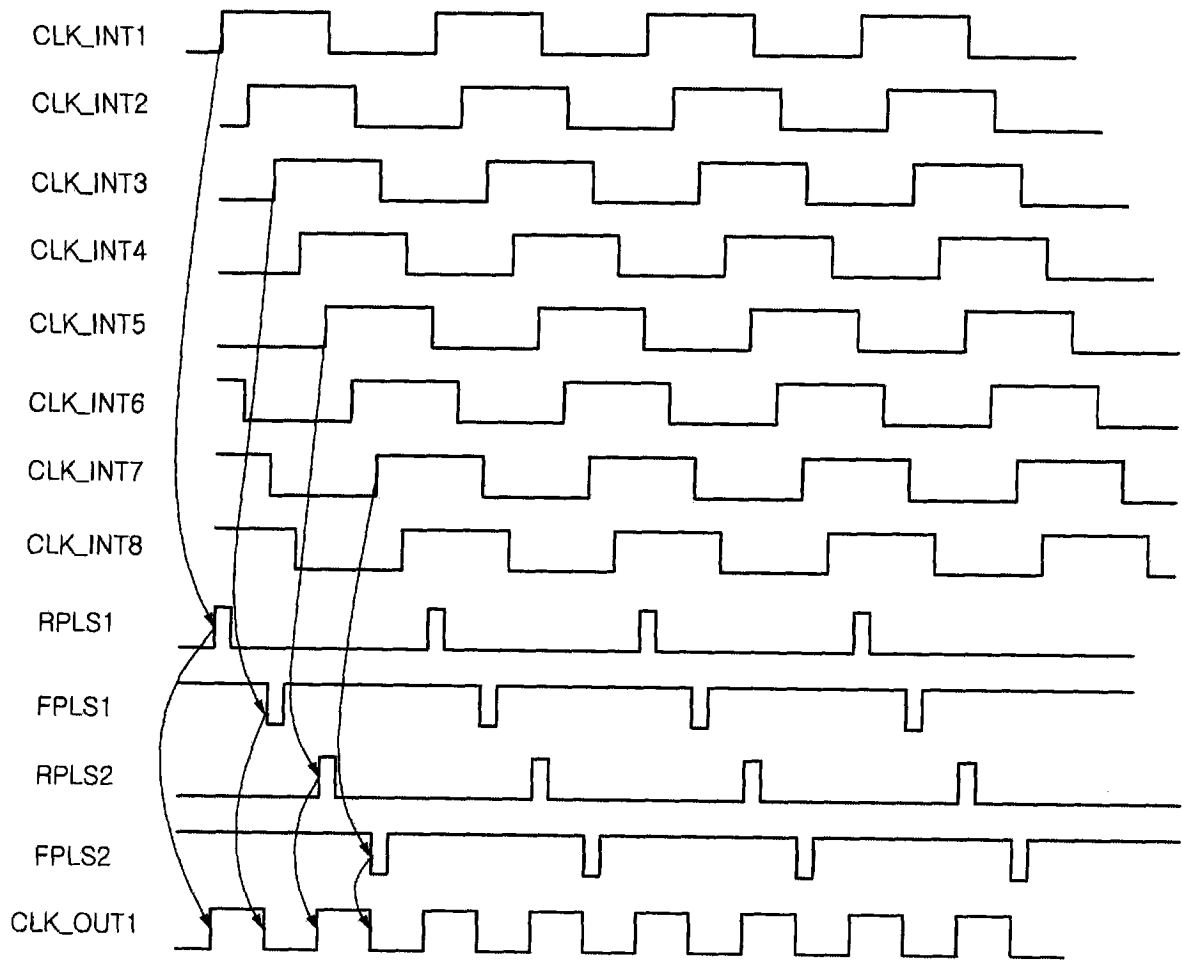


图 3

210

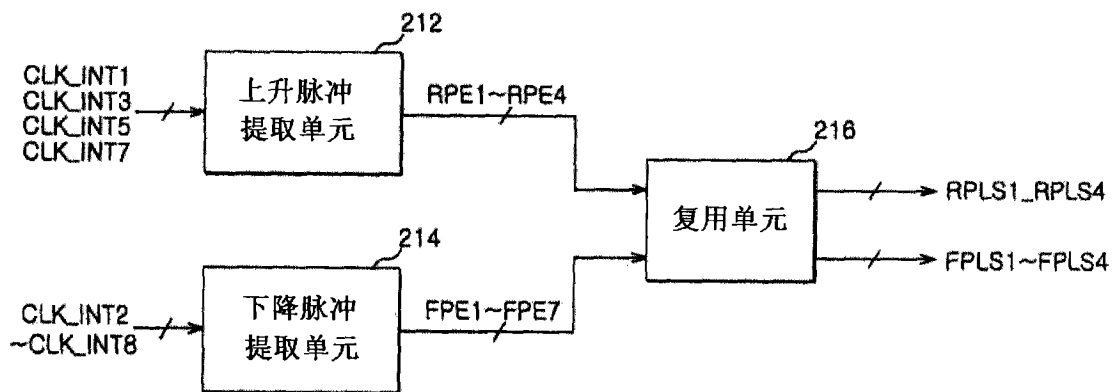


图 4

210

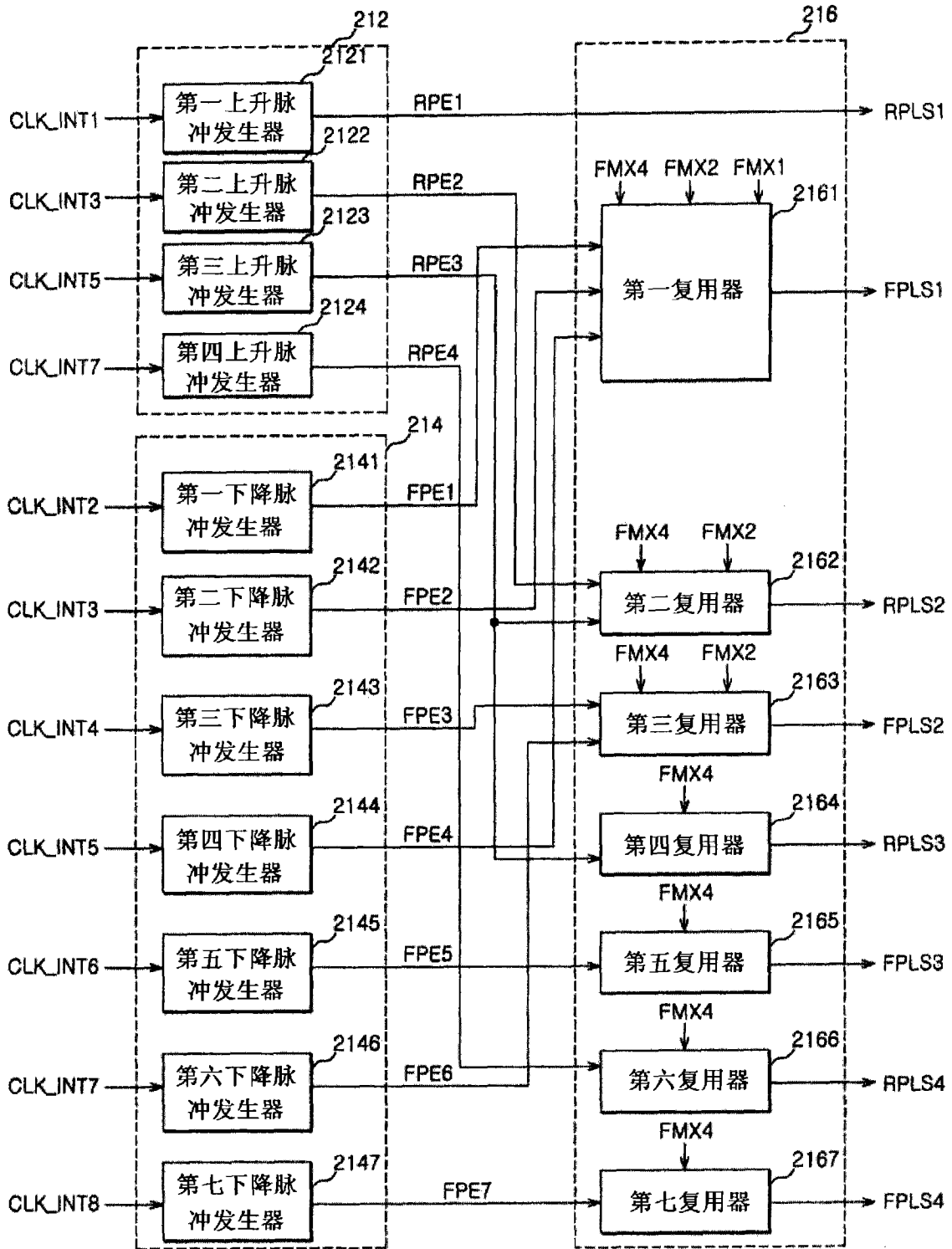


图 5

2121

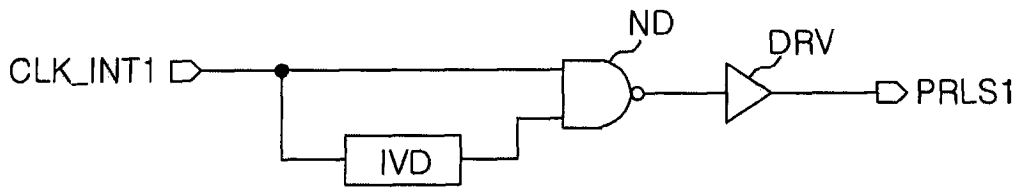


图 6

220

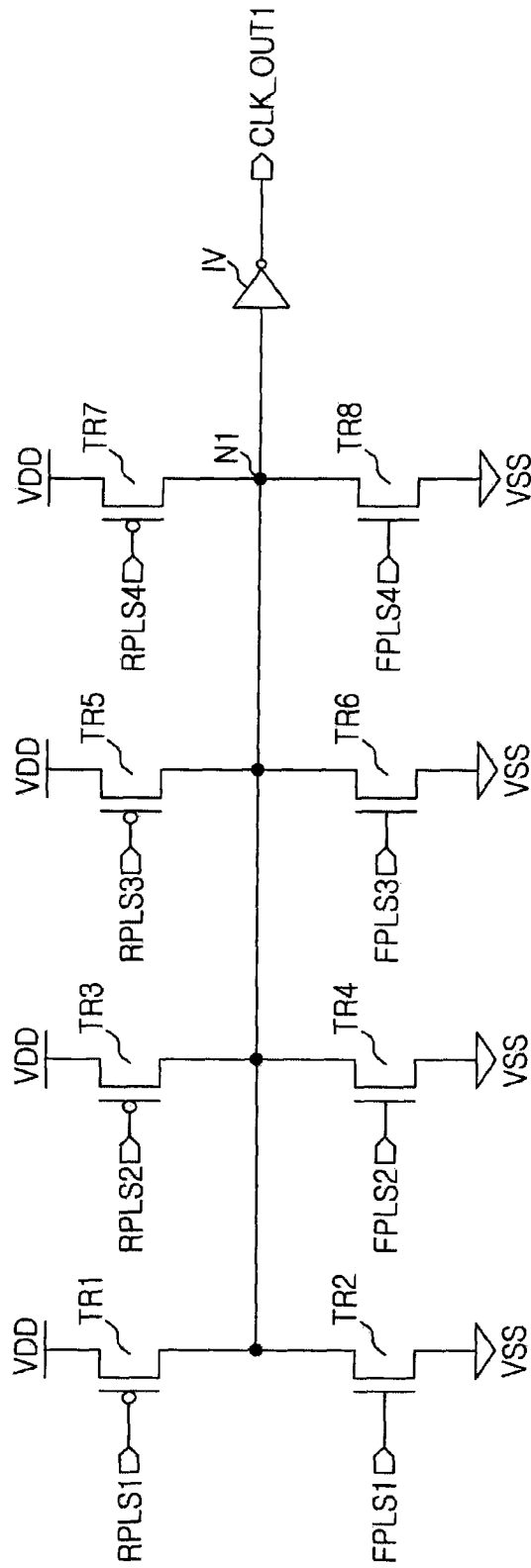


图 7

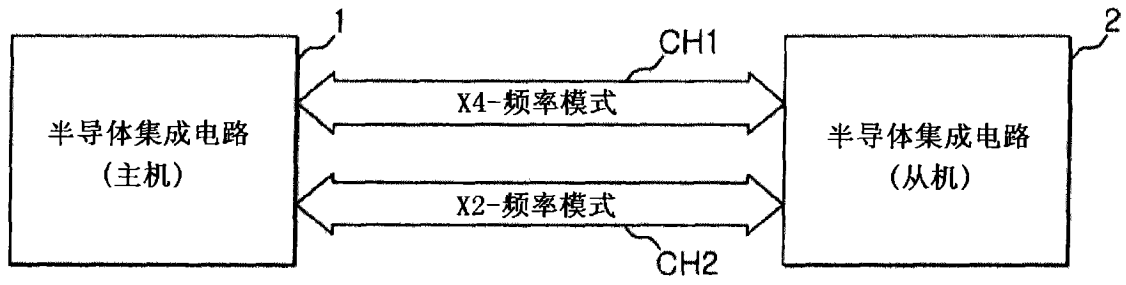


图 8