



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0040998
(43) 공개일자 2015년04월15일

- (51) 국제특허분류(Int. C1.)
H01L 25/065 (2006.01) *H01L 23/00* (2006.01)
H01L 23/13 (2006.01) *H01L 23/498* (2006.01)
- (52) CPC특허분류
H01L 25/0657 (2013.01)
H01L 23/13 (2013.01)
- (21) 출원번호 10-2015-7005424
- (22) 출원일자(국제) 2013년08월01일
 심사청구일자 없음
- (85) 번역문제출일자 2015년03월02일
- (86) 국제출원번호 PCT/US2013/053240
- (87) 국제공개번호 WO 2014/022675
 국제공개일자 2014년02월06일
- (30) 우선권주장
 13/565,613 2012년08월02일 미국(US)
 13/741,890 2013년01월15일 미국(US)
- (71) 출원인
 테세라, 인코포레이티드
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025
- (72) 발명자
 하바 벨가센
 미국 95070 캘리포니아주 사라토가 밀러 코트 19487
 조니 와엘
 미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025 테세라 인코포레이티드내
 (뒷면에 계속)
- (74) 대리인
 유미특허법인

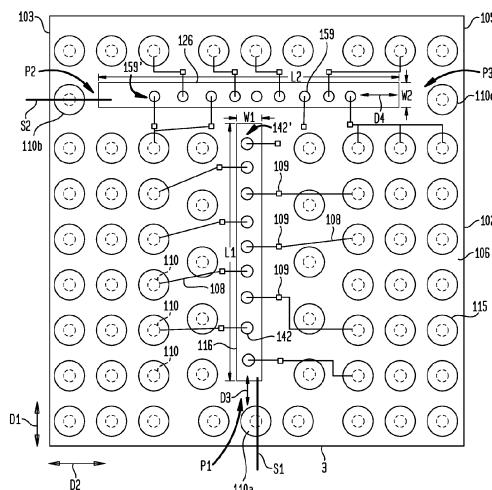
전체 청구항 수 : 총 49 항

(54) 발명의 명칭 두 개 이상의 다이에 대한 다중 다이 페이스-다운 적층

(57) 요 약

마이크로전자 어셈블리(100)는 각각 제 1 및 제 2 횡방향(D1, D2)으로 연장하는 제 1 및 제 2 면(104, 106), 제 2 방향으로 연장하는 주변 에지(3), 제 1 및 제 2 면 사이에서 연장하는 제 1 및 제 2 개구(116, 126), 및 주변 에지 및 개구들 중 하나 사이에서 연장하는 제 2 면의 주변 영역(P1)을 가지는 기판(102)을 포함할 수 있다. 어셈블리(100)는 그것의 전면 및 후면(140, 138)사이에서 연장하는 에지(146)를 가지는 제 1 마이크로전자 소자(136) 및 제 1 마이크로전자 소자의 후면에 대향하고 에지를 넘어서 돌출하는 전면(157)을 가지는 제 2 마이크로전자 소자(153)를 더 포함할 수 있다. 어셈블리(100)는 제 2 면(106)에서 노출되는 복수 개의 단자(110)를 더 포함할 수 있는데, 단자(110a)들 중 적어도 하나는 적어도 부분적으로 주변 영역(P1) 내에 배치된다.

대 표 도 - 도3



(52) CPC특허분류

H01L 23/49816 (2013.01)
H01L 24/05 (2013.01)
H01L 24/06 (2013.01)
H01L 24/32 (2013.01)
H01L 24/48 (2013.01)
H01L 24/49 (2013.01)
H01L 24/73 (2013.01)

(72) 발명자

크리스프 리차드 드윗

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라 인코포레이티드내

모하메드 일야스

미국 95050 캘리포니아주 산타 클라라 보하년 드라
이브 2377

람브레히트 프랭크

미국 캘리포니아주 95134 샌 호제 오처드 파크웨이
3025 테세라 인코포레이티드내

명세서

청구범위

청구항 1

마이크로전자 어셈블리로서,

기판으로서:

각각 제 1 및 제 2 횡방향으로 연장하는 제 1 및 제 2 대향면;

제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는 주변 에지;

상기 제 1 및 제 2 면 사이에서 연장하는 제 1 및 제 2 개구로서, 상기 개구들 각각은 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지는, 제 1 및 제 2 개구; 및

상기 주변 에지 및 개구들 중 하나 사이에서 연장하는 상기 제 2 면의 주변 영역을 포함하는 기판;

상기 제 1 면에 대향하는 전면 및 상기 제 1 개구와 정렬되는 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자;

제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 개구와 정렬되고 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자; 및

상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들로서, 상기 단자들은 상기 마이크로전자 어셈블리를 상기 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키도록 구성되고, 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 1 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 개구들 중 적어도 하나를 통과하여 또는 그 위로 지나도록 하는, 복수 개의 단자들을 포함하는, 마이크로전자 어셈블리.

청구항 2

제 1 항에 있어서,

상기 주변 에지는 제 1 주변 에지이고, 상기 주변 영역은 제 1 주변 영역이며, 상기 단자들 중 적어도 하나는 제 1 단자이고,

상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는 제 1 주변 에지에 반대인 제 2 주변 에지를 가지고, 그리고 상기 기판은 제 2 주변 에지 및 상기 개구들 중 하나 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가지며, 그리고

상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 개구들 중 적어도 하나를 통과하여 또는 그 위로 지나도록 하는, 상기 제 2 단자인, 마이크로전자 어셈블리.

청구항 3

제 1 항에 있어서,

상기 주변 영역은 제 1 주변 영역이고, 상기 개구들 중 하나는 제 1 개구이며, 및 상기 단자들 중 적어도 하나는 제 1 단자이고,

상기 기판은 상기 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가지고, 그리고 상기 단자들 중 적어도 하나는 적어도 부분적으로 제 2 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는 상기 제 2 단자인, 마이크로전자 어셈블리.

청구항 4

제 3 항에 있어서,

상기 주변 에지는 제 1 주변 에지이고, 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는, 제 1 주변 에지와 반대인 제 2 주변 에지를 가지며, 그리고 상기 기판은 상기 제 2 주변 에지 및 개별적인 제 1 및 제 2 개구 사이에서 연장하는 제 2 면의 제 3 및 제 4 주변 영역을 가지고,

상기 단자들 중 적어도 하나는 적어도 부분적으로 제 3 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 3 단자를 통과하는 직선이 상기 제 1 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 3 단자이고, 그리고

상기 단자들 중 적어도 하나는 적어도 부분적으로 제 4 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 4 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 4 단자인, 마이크로전자 어셈블리.

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 마이크로전자 소자의 본드 패드는 상기 기판의 도전성 소자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 6

제 5 항에 있어서,

제 1 마이크로전자 소자의 본드 패드는 제 1 개구와 정렬되는 부분을 가지는 제 1 리드에 의하여 상기 도전성 소자에 전기적으로 접속되고, 제 2 마이크로전자 소자의 본드 패드는 제 2 개구와 정렬되는 부분을 가지는 제 2 리드에 의하여 상기 도전성 소자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 7

제 6 항에 있어서,

상기 제 1 리드는 상기 제 1 개구를 통하여 연장하지 않는 것, 또는 상기 제 2 리드는 상기 제 2 개구를 통하여 연장하지 않는 것 중 적어도 하나가 구현되는, 마이크로전자 어셈블리.

청구항 8

제 5 항에 있어서,

상기 제 1 마이크로전자 소자의 본드 패드는 상기 제 1 개구를 통해서 연장하는 제 1 와이어 본드에 의하여 상기 도전성 소자에 전기적으로 접속되고, 상기 제 2 마이크로전자 소자의 본드 패드는 상기 제 2 개구를 통해서 연장하는 제 2 와이어 본드에 의하여 상기 도전성 소자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 9

제 8 항에 있어서,

상기 제 1 와이어 본드는 오직 제 1 개구를 통해서만 연장하고, 상기 제 2 와이어 본드는 오직 제 2 개구만을 통해서만 연장하는, 마이크로전자 어셈블리.

청구항 10

제 1 항에 있어서,

상기 제 1 마이크로전자 소자의 에지는 제 1 에지이고 상기 제 1 마이크로전자 소자는 그것으로부터 반대인 제 2 에지를 가지며, 상기 제 2 마이크로전자 소자는 제 1 및 제 2 대향 에지를 가지고, 각각의 마이크로전자 소자는 그것의 전면의 중앙 영역 내에서 상기 제 1 방향으로 연장하는 본드 패드들 중 다섯 개 이상의 적어도 한 행을 가지고, 각각의 중앙 영역은 개별적인 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장하는, 마이

크로전자 어셈블리.

청구항 11

제 1 항에 있어서,

각 마이크로전자 소자는 더 많은 개수의 능동 디바이스를 구현하여 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공하는, 마이크로전자 어셈블리.

청구항 12

제 1 항에 있어서,

상기 제 1 마이크로전자 소자는 상기 에지 및 그것의 전면 및 후면 사이에서 연장하는 반대 에지(opposite edge) 사이의 폭을 가지고, 상기 제 2 마이크로전자 소자는 각각 그것의 전면 및 후면 사이에서 연장하는 대향 에지들(opposed edges) 사이의 폭을 가지며, 상기 제 1 마이크로전자 소자의 폭은 상기 제 1 개구의 제 2 치수 보다 더 크고, 상기 제 2 마이크로전자 소자의 폭은 상기 제 2 개구의 제 2 치수보다 더 큰, 마이크로전자 어셈블리.

청구항 13

제 1 항에 있어서,

상기 제 1 및 제 2 개구 중 하나는 상기 제 1 및 제 2 개구 중 다른 하나보다 상기 주변 에지에 더 근접한 위치로 연장하는, 마이크로전자 어셈블리.

청구항 14

제 1 항에 있어서,

상기 기판은 상기 제 1 및 제 2 면 사이에서 연장하는 제 3 및 제 4 개구를 가지고, 상기 제 3 및 제 4 개구 각각은 상기 제 2 방향으로 연장하는 길쭉한 제 1 치수, 및 상기 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가지며,

상기 마이크로전자 어셈블리는 각각 상기 기판의 제 1 면에 대향하는 전면을 가지는 제 3 및 제 4 마이크로전자 소자를 더 포함하고, 상기 제 3 및 제 4 마이크로전자 소자는 각각 개별적인 제 3 또는 제 4 개구와 정렬되고 그것의 전면에 있는 본드 패드를 가지며, 그리고

상기 제 3 및 제 4 마이크로전자 소자의 본드 패드는 상기 기판의 도전성 소자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 15

제 14 항에 있어서,

상기 기판은 상기 주변 영역에서 제 1 및 제 2 면 사이에서 연장하는 개구부(aperture)를 더 포함하고, 상기 개구부는 그것을 통과하는 봉합재 또는 언더필 재료의 흐름을 수납하도록 구성되는, 마이크로전자 어셈블리.

청구항 16

마이크로전자 어셈블리로서,

기판으로서:

각각 제 1 및 제 2 횡방향(transverse direction)으로 연장하는 제 1 및 제 2 대향면;

제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는 주변 에지;

상기 제 1 및 제 2 면 사이에서 연장하는 제 1 및 제 2 개구로서, 상기 제 1 개구는 상기 제 2 개구 및 주변 에지 사이에 위치되고 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지며, 상기 제 2 개구는 상기 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수 보다 더 짧은 제 1 방향에서의 제 2 치수를 가지는, 제 1 및 제 2 개구; 및

상기 주변 에지 및 제 1 개구 사이에서 연장하는 상기 제 2 면의 주변 영역을 포함하는, 기판;

상기 제 1 면에 대향하는 전면 및 상기 제 1 개구와 정렬되는 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자;

제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 개구와 정렬되고 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자; 및

상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들로서, 상기 단자들은 상기 마이크로전자 어셈블리를 상기 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키도록 구성되고, 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 1 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 제 1 개구를 통과하여 또는 그 위로 지나가도록 하는, 복수 개의 단자들을 포함하는, 마이크로전자 어셈블리.

청구항 17

제 16 항에 있어서,

상기 주변 에지는 제 1 주변 에지이고, 상기 주변 영역은 제 1 주변 영역이며, 상기 단자들 중 적어도 하나는 제 1 단자이고,

상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는 제 2 주변 에지를 가지고, 그리고 상기 기판은 제 2 주변 에지 및 상기 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가지며, 그리고

상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는, 상기 제 2 단자인, 마이크로전자 어셈블리.

청구항 18

제 17 항에 있어서,

상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 상기 제 1 방향에서 연장하는 상기 제 2 주변 에지에 반대인 제 3 주변 에지를 가지고, 상기 기판은 상기 제 3 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 3 주변 영역을 가지며,

상기 단자들 중 적어도 하나는 적어도 부분적으로 제 3 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 3 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 3 단자인, 마이크로전자 어셈블리.

청구항 19

마이크로전자 어셈블리로서,

기판으로서:

각각 제 1 및 제 2 횡방향으로 연장하는 제 1 및 제 2 대향면;

제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는 주변 에지;

상기 제 1 및 제 2 면 사이에서 연장하고, 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지는 제 1 개구;

상기 제 1 및 제 2 면 사이에서 연장하고, 상기 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가지는 제 2 개구; 및

상기 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 주변 영역을 포함하는, 기판;

상기 제 1 면에 대향하는 전면 및 상기 제 1 개구와 정렬되는 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자;

제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 개구와 정렬되고 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자; 및

상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 접속된 복수 개의 단자들로서, 상기 단자들은 상기 마이크로전자 어셈블리를 상기 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키도록 구성되고, 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 2 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는, 복수 개의 단자들을 포함하는, 마이크로전자 어셈블리.

청구항 20

제 19 항에 있어서,

상기 주변 에지는 제 1 주변 에지이고, 상기 주변 영역은 제 1 주변 영역이며, 상기 단자들 중 적어도 하나는 제 1 단자이고,

상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는 상기 제 1 주변 에지에 반대인 제 2 주변 에지를 가지고, 그리고 상기 기판은 제 2 주변 에지 및 상기 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가지며, 그리고

상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는, 상기 제 2 단자인, 마이크로전자 어셈블리.

청구항 21

제 19 항에 있어서,

상기 주변 영역은 제 1 주변 영역이고, 상기 단자들 중 적어도 하나는 제 1 단자이며, 상기 제 1 마이크로전자 소자의 에지는 제 1 에지이고, 상기 기판은 상기 제 1 및 제 2 면 사이에서 연장하고 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 방향에서 연장하며 상기 제 1 치수보다 더 짧은 제 2 치수를 가지는 제 3 개구를 가지며,

상기 기판은 상기 주변 에지 및 제 3 개구 사이에서 연장하는 제 2 면의 제 2 주변 영역을 가지고, 그리고

상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 3 개구를 통과하여 또는 그 위로 지나도록 하는, 상기 제 2 단자이며,

상기 마이크로전자 어셈블리는, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 그것의 제 1 에지에 반대인 상기 제 1 마이크로전자 소자의 제 2 에지를 넘어서 돌출하는 제 1 면, 및 상기 제 3 개구와 정렬되며 상기 제 3 마이크로전자 소자의 전면에 있는 본드 패드를 가지는 제 3 마이크로전자 소자를 더 포함하는, 마이크로전자 어셈블리.

청구항 22

제 21 항에 있어서,

상기 제 2 및 제 3 마이크로전자 소자의 전면은 단일 평면 내에 포지셔닝되는, 마이크로전자 어셈블리.

청구항 23

제 21 항에 있어서,

상기 주변 에지는 제 1 주변 에지이고, 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는, 제 1 주변 에지와 반대인 제 2 주변 에지를 가지며, 그리고 상기 기판은 상기 제 2 주변 에지 및 개별적인 제 2 및 제 3 개구 사이에서 연장하는 제 2 면의 제 3 및 제 4 주변 영역을 가지고,

상기 단자들 중 적어도 하나는 적어도 부분적으로 제 3 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 3 단자를 통과하는 직선이 상기 제 1 개구를 통과하여 또는 그 위로 지나도록 하는 상기 제 3 단자이고,

그리고

상기 단자들 중 적어도 하나는 적어도 부분적으로 제 4 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 4 단자를 통과하는 직선이 상기 제 2 개구를 통하여 또는 그 위로 지나가도록 하는 상기 제 4 단자인, 마이크로전자 어셈블리.

청구항 24

제 21 항에 있어서,

상기 기판은 상기 제 1 및 제 2 면 사이에서 연장하고 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 상기 제 2 방향에서의 제 2 치수를 가지는 제 4 개구를 가지고, 상기 마이크로전자 어셈블리 는 상기 제 4 개구와 정렬되며 그것의 전면에 있는 본드 패드를 가지는 제 4 마이크로전자 소자를 더 포함하는, 마이크로전자 어셈블리.

청구항 25

제 24 항에 있어서,

상기 제 2, 제 3, 및 제 4 마이크로전자 소자는 각각 제 1 및 제 2 대향 에지를 가지고, 각각의 마이크로전자 소자는 그것의 전면의 중앙 영역 내에서 그것의 상기 제 1 및 제 2 에지에 평행한 방향으로 연장하는 본드 패드 들 중 다섯 개 이상의 적어도 한 행을 가지며, 각각의 중앙 영역은 개별적인 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장하는, 마이크로전자 어셈블리.

청구항 26

마이크로전자 어셈블리로서,

기판으로서:

각각 상단 및 하단 대향면을 가지는 제 1 및 제 2 유전체 소자로서, 각각의 면은 제 1 및 제 2 횡방향 으로 연장하고, 상기 유전체 소자는 상기 제 1 또는 제 2 횡방향들 중 적어도 하나에서 서로로부터 이격되고, 상기 기판의 제 1 면은 양자의 유전체 소자들의 상단면들을 포함하고, 상기 기판의 제 2 면은 양자의 유전체 소자들의 하단면들을 포함하는, 제 1 및 제 2 유전체 소자;

상기 제 1 및 제 2 유전체 소자의 인접한 대향 에지를 사이의 개방된 영역에 의하여 정의되는 제 1 개 구로서, 상기 인접한 대향 에지는 각각 상기 제 1 방향으로 연장하는 제 1 치수를 가지고, 상기 제 1 개구는 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지는, 제 1 개구; 및

상기 제 2 유전체 소자에 의하여 밀봉되는 제 2 개구를 포함하는, 기판;

상기 제 1 면에 대향하는 전면 및 상기 제 1 및 제 2 개구 중 하나와 정렬되며 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는, 제 1 마이크로전자 소자;

제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 상기 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 1 및 제 2 개구 중 다른 하나와 정렬되며 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자; 및

상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속되는 복수 개의 단자로서, 상기 단자들은 상기 마이크로전자 어셈블리를 상기 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키도록 구성되는, 단자들을 포함하는, 마이크로전자 어셈블리.

청구항 27

제 26 항에 있어서,

상기 제 2 개구는 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지는, 마이크로전자 어셈블리.

청구항 28

제 26 항에 있어서,

상기 제 2 개구는 상기 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가지는, 마이크로전자 어셈블리.

청구항 29

제 26 항에 있어서,

상기 기판은 상기 제 1 및 제 2 유전체 소자의 인접한 대향 에지 사이에서 연장하는 유전체 영역을 더 포함하고, 상기 기판의 제 1 면은 상기 유전체 영역의 상단면을 포함하고, 상기 제 2 면은 상기 유전체 영역의 하단면을 포함하는, 마이크로전자 어셈블리.

청구항 30

제 26 항에 있어서,

상기 유전체 영역은 상기 유전체 소자보다 기판의 평면 내의 더 높은 영계수를 가지는, 마이크로전자 어셈블리.

청구항 31

제 26 항에 있어서,

상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 1 개구와 정렬되고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 2 개구와 정렬되는, 마이크로전자 어셈블리.

청구항 32

제 31 항에 있어서,

상기 단자들은 개별적인 제 1 및 제 2 유전체 소자의 하단면에서 노출되는 제 1 및 제 2 단자를 포함하고, 상기 제 1 마이크로전자 소자의 본드 패드들 중 적어도 일부는 상기 제 1 및 제 2 단자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 33

제 26 항에 있어서,

상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 2 개구와 정렬되고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 1 개구와 정렬되는, 마이크로전자 어셈블리.

청구항 34

마이크로전자 어셈블리로서,

각각 제 1 및 제 2 횡방향으로 연장하는 제 1 및 제 2 대향면을 가지는 기판으로서, 상기 기판은 상기 제 1 또는 제 2 횡방향들 중 적어도 하나에서 서로로부터 이격되는 제 1 및 제 2 유전체 소자를 가지는, 기판;

상기 제 1 면에 대향하는 제 1 면 및 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자;

상기 제 1 마이크로전자 소자의 후면에 대향하고 상기 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는 제 2 마이크로전자 소자; 및

상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들로서, 상기 단자들은 상기 마이크로전자 어셈블리를 상기 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키도록 구성되는, 단자들을 포함하는, 마이크로전자 어셈블리.

청구항 35

제 34 항에 있어서,

상기 마이크로전자 소자 중 적어도 하나는 상기 제 1 및 제 2 유전체 소자들 각각의 상단면에 적어도 부분적으

로 상재하는, 마이크로전자 어셈블리.

청구항 36

제 34 항에 있어서,

상기 제 1 마이크로전자 소자의 에지는 제 1 에지이고 상기 제 1 마이크로전자 소자는 그것으로부터 반대인 제 2 에지를 가지며, 상기 제 2 마이크로전자 소자는 제 1 및 제 2 대향 에지를 가지고, 각각의 마이크로전자 소자는 그것의 전면의 중앙 영역 내에서 상기 제 1 방향으로 연장하는 본드 패드들 중 다섯 개 이상의 적어도 한 행을 가지고, 각각의 중앙 영역은 개별적인 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장하는, 마이크로전자 어셈블리.

청구항 37

마이크로전자 어셈블리로서,

기판으로서:

각각 상단 및 하단 대향면을 가지는 제 1, 제 2, 및 제 3 유전체 소자로서, 각각의 면은 제 1 및 제 2 횡방향으로 연장하고, 상기 유전체 소자는 상기 제 1 또는 제 2 횡방향들 중 적어도 하나에서 서로로부터 이격되고, 상기 기판의 제 1 면은 상기 제 1, 제 2, 제 3 유전체 소자들의 상단면들을 포함하고, 상기 기판의 제 2 면은 상기 제 1, 제 2, 제 3 유전체 소자들의 하단면들을 포함하는, 제 1, 제 2, 제 3 유전체 소자;

상기 제 1 및 제 2 유전체 소자의 인접한 대향 에지를 사이의 개방된 영역에 의하여 정의되는 제 1 개구로서, 상기 인접한 대향 에지는 각각 상기 제 1 방향으로 연장하는 제 1 치수를 가지고, 상기 제 1 개구는 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지는, 제 1 개구; 및

상기 제 2 및 제 3 유전체 소자의 인접하는 대향 에지를 사이의 개방된 영역에 정의되는 제 2 개구로서, 상기 인접하는 대향 에지들은 각각 상기 제 1 방향으로 연장하는 제 1 치수를 가지고, 상기 제 1 개구는 상기 제 1 치수보다 더 작은 상기 제 2 방향의 제 2 치수를 가지는, 제 2 개구를 가지는, 기판;

상기 제 1 면에 대향하는 전면 및 상기 제 1 및 제 2 개구 중 하나와 정렬되며 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는, 제 1 마이크로전자 소자;

제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 상기 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 1 및 제 2 개구 중 다른 하나와 정렬되며 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자; 및

상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속되는 복수 개의 단자로서, 상기 단자들은 상기 마이크로전자 어셈블리를 상기 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키도록 구성되는, 단자들을 포함하는, 마이크로전자 어셈블리.

청구항 38

제 37 항에 있어서,

상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 1 개구와 정렬되고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 2 개구와 정렬되는, 마이크로전자 어셈블리.

청구항 39

제 38 항에 있어서,

상기 제 1 마이크로전자 소자는 상기 제 1 및 제 2 유전체 소자들 각각의 상단면에 적어도 부분적으로 상재하고, 상기 제 2 마이크로전자 소자는 상기 제 2 및 제 3 유전체 소자들 각각의 상단면에 적어도 부분적으로 상재하는, 마이크로전자 어셈블리.

청구항 40

제 37 항에 있어서,

상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 2 개구와 정렬되고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 1 개구와 정렬되는, 마이크로전자 어셈블리.

청구항 41

제 37 항에 있어서,

상기 단자들은 상기 개별적인 제 1, 제 2, 및 제 3 유전체 소자의 하단면에서 노출되는 제 1, 제 2, 및 제 3 단자를 포함하고, 상기 마이크로전자 소자들 중 적어도 하나의 본드 패드들 중 적어도 일부는 상기 제 1, 제 2, 및 제 3 단자 중 두 개 이상과 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 42

제 41 항에 있어서,

상기 제 1 마이크로전자 소자의 본드 패드들 중 적어도 일부는 상기 제 1 및 제 2 단자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 43

제 42 항에 있어서,

상기 제 2 마이크로전자 소자의 본드 패드들 중 적어도 일부는 상기 제 2 및 제 3 단자에 전기적으로 접속되는, 마이크로전자 어셈블리.

청구항 44

제 37 항에 있어서,

상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 상기 제 2 방향에서 연장하는 주변 에지 및 상기 주변 에지 및 상기 개구들 중 하나 사이에서 연장하는 상기 제 2 면의 주변 영역을 가지며,

상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 적어도 하나의 단자를 통과하는 직선이 상기 개구들 중 적어도 하나를 통과하여 또는 그 위로 지나가도록 하는, 마이크로전자 어셈블리.

청구항 45

제 44 항에 있어서,

상기 주변 영역은 제 1 주변 영역이고, 상기 개구들 중 하나는 제 1 개구이며, 및 상기 단자들 중 적어도 하나는 제 1 단자이고,

상기 기판은 상기 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가지고, 그리고 상기 단자들 중 적어도 하나는 적어도 부분적으로 제 2 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 2 단자인, 마이크로전자 어셈블리.

청구항 46

제 45 항에 있어서,

상기 제 2 유전체 소자는 상기 제 1 및 제 2 주변 영역들 모두의 일부를 포함하는, 마이크로전자 어셈블리.

청구항 47

제 45 항에 있어서,

상기 제 1 유전체 소자는 상기 제 1 주변 영역의 일부를 포함하고, 상기 제 3 유전체 소자는 상기 제 2 주변 영역의 일부를 포함하는, 마이크로전자 어셈블리.

청구항 48

제 1 항, 제 16 항, 제 19 항, 제 22 항, 제 26 항, 및 제 37 항 중 임의의 하나에 따르는 마이크로전자 어셈블리 및 상기 마이크로전자 어셈블리에 전기적으로 접속된 하나 이상의 다른 전자 컴포넌트를 포함하는, 시스템.

청구항 49

제 48 항에 있어서,

하우징을 더 포함하고,

상기 마이크로전자 어셈블리 및 상기 다른 전자 컴포넌트는 상기 하우징에 실장되는, 시스템.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호 참조

본 출원은 2013년 1월 15일에 출원된 미국 특허 출원 번호 제 13/741,890 호의 계속 출원인데, 이것은 2012년 8월 2일에 출원된 미국 특허 출원 번호 제 13/565,613 호의 계속 출원이고, 이것은 2011년 11월 29일에 출원된 미국 특허 출원 번호 제 13/306,300 호의 부분 계속 출원이며, 이것은 2011년 4월 21일에 출원된 미국 특허 출원 번호 제 61/477,877 호의 출원일에 대한 우선권을 주장하고, 이들의 개시 내용은 본 명세서에서 원용에 의해 본 명세서에 포함된다. 후속하는 공통적으로-소유되는 출원들이 본 명세서에서 원용에 의해 본 명세서에 포함된다: 모두 2011년 4월 21일에 출원된 미국 특허 출원 번호 제 61/477,820 호, 제 61/477,883 호, 및 제 61/477,967 호.

[0003] 발명의 배경

[0004] 본 발명은 페이스다운 지향에서의 적층된 반도체 칩을 포함하는 마이크로전자 어셈블리, 및 이의 제조 방법에 칙결된다.

배경 기술

[0005] 반도체 칩은 제조 도중에 그리고 그 칩의 회로 보드 또는 다른 회로 패널과 같은 외부 기판 상에의 실장 도중에 그 칩의 핸들링을 용이하게 하는 패키지 내에 공통적으로 제공된다. 예를 들어, 많은 반도체 칩이 표면 실장을 위하여 적합한 패키지 내에 제공된다. 이러한 일반적 타입의 다수의 패키지는 다양한 애플리케이션에 대하여 제안되어 왔다. 거의 공통적으로, 이러한 패키지는, 유전체 상에 도금되거나 애칭된 금속성 구조로서 형성된 단자를 가지는 "칩 캐리어"라고 공통적으로 불리는 기판을 포함한다. 이러한 단자는 칩 캐리어 자체를 따라서 연장하는 박막 트레이스와 같은 피쳐에 의하여 그리고 칩의 콘택과 단자 또는 트레이스 사이에서 연장하는 미세 리드 또는 와이어에 의하여 칩 자체의 콘택에 접속된다. 표면 실장 동작에서, 패키지는, 패키지 상의 각각의 단자가 회로 보드 상의 대응하는 콘택 패드와 정렬되도록 회로 보드 상에 배치된다. 솔더 또는 다른 본딩 물질은 단자와 콘택 패드 사이에 제공된다. 패키지는 솔더를 용해시키거나 "리플로우(reflow)"시키기 위하여 또는 그렇지 않으면 본딩 물질을 활성화시키기 위하여 어셈블리를 가열함으로써 제자리에 영구적으로 본딩될 수 있다.

[0006] 많은 패키지는, 통상적으로 직경에 있어서 약 0.1 mm 및 약 0.8 mm(5 및 30 mils)이며 패키지의 단자에 부착된 솔더 볼의 형태를 가지는 솔더 매쓰를 포함한다. 자신의 하단면으로부터 돌출하는 솔더 볼의 어레이를 가지는 패키지는 공통적으로 볼 그리드 어레이 또는 "BGA" 패키지라고 지칭된다. 랜드 그리드 어레이 또는 "LGA" 패키지라고 지칭되는 다른 패키지는 솔더로부터 형성된 박막층 또는 랜드에 의하여 기판에 고정된다. 이러한 타입의 패키지는 매우 콤팩트할 수 있다. 공통적으로 "칩 스케일 패키지"라고 불리는 어떤 패키지는 그 패키지 내에 내장된 디바이스의 면적과 같거나 또는 다소 큰 회로 보드의 면적을 점유한다. 이것이 어셈블리의 전체 사이즈를 감소시킨다는 점 및 기판 상의 다양한 디바이스들 사이에 짧은 상호접속을 사용하도록 허용한다는 점에 있어서 이것은 유리한데, 이것은 차례대로 디바이스들 사이의 신호 전파 시간을 한정하고 따라서 고속에서의 어셈블리의 동작을 용이하게 한다.

[0007] 회로 패널의 평면에 수직인, 낮은 전체 높이 또는 치수를 제공하는 칩 패키지를 생산하는 것도 역시 바람직하다. 이러한 박막 마이크로전자 패키지는 그 내부에 탑재된 패키지를 가지는 회로 패널이 이웃하는 구조에 매우 근접하게 배치하도록 하며, 따라서 그 회로 패널을 통합하는 제품의 전체 사이즈를 감소시킨다. 다

양한 제안이 복수의 칩을 단일 패키지 또는 모듈 내에 제공하기 위하여 발전되어 왔다. 종래의 "멀티-칩 모듈"에서는, 칩들이 단일 패키지 기판 상에 나란히 탑재되는데, 이것은 이제 회로 패널에 탑재될 수 있다. 이러한 접근법은 칩들에 의하여 점유되는, 회로 패널의 집합 면적에서의 감소가 제한적이 되도록 할 뿐이다. 집합 면적은 모듈 내의 개개의 칩들의 전체 면적보다 여전히 더 크다.

[0008] 복수의 칩을 "적층" 배치구성, 즉, 복수의 칩들이 서로의 상부에 배치되는 배치구성 내에 패키징하는 것도 역시 제안되어 왔다. 적층된 배치구성에서는, 여러 칩들이 칩의 전체 면적보다 더 적은, 회로 패널의 면적 내에 탑재될 수 있다. 몇몇 적층된 칩 배치구성은, 예를 들어, 앞서 언급된 미국 특허 번호 제 5,679,977 호; 제 5,148,265 호; 및 미국 특허 번호 제 5,347,159 호의 특정 실시예들에서 개시되는데, 이들의 개시물은 원용에 의해 본 명세서에 포함된다. 역시 원용에 의해 본 명세서에 포함되는 미국 특허 번호 제 4,941,033 호는 칩들이 그 칩들과 연관된 "와이어링 필름(wiring film)" 상의 도체부에 의하여 서로의 상부에 적층되고 서로 상호접속되는 배치구성을 개시한다.

[0009] 당업계에서의 이러한 노력에도 불구하고, 실질적으로 칩의 중앙 영역 내에 위치된 콘택을 가지는 칩에 대한 멀티-칩 패키지의 경우에 대해 더 나아간 진보가 이루어지는 것이 바람직할 것이다. 어떤 반도체 칩, 예컨대 몇몇 메모리 칩은 칩의 중앙 축에 실질적으로 나란하게 하나 또는 두 개의 행 내에 위치된 콘택을 가지고 공통적으로 제작된다.

발명의 내용

과제의 해결 수단

[0010] 발명의 개요

[0011] 본 발명의 일 양태에 따르면, 마이크로전자 어셈블리는 각각 제 1 및 제 2 횡방향으로 연장하는 제 1 및 제 2 대향면, 제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는 주변 에지, 상기 제 1 및 제 2 면 사이에서 연장하는 제 1 및 제 2 개구, 및 상기 주변 에지 및 개구들 중 하나 사이에서 연장하는 상기 제 2 면의 주변 영역을 포함하는 기판을 포함할 수 있다. 개구들 각각은 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가질 수 있다.

[0012] 마이크로전자 어셈블리는 상기 제 1 면에 대향하는 전면 및 상기 제 1 개구와 정렬되는 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 개구와 정렬되고 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는 제 2 마이크로전자 소자를 더 포함할 수 있다.

[0013] 마이크로전자 어셈블리는 상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들을 더 포함할 수 있다. 단자들은 마이크로전자 어셈블리를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 1 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 개구들 중 적어도 하나를 통과하여 또는 그 위로 지나도록 할 수 있다.

[0014] 일 예에서, 주변 에지는 제 1 주변 에지일 수 있고, 상기 주변 영역은 제 1 주변 영역일 수 있으며, 상기 단자들 중 적어도 하나는 제 1 단자일 수 있다. 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는 제 1 주변 에지에 반대인 제 2 주변 에지를 가질 수 있다. 기판은 제 2 주변 에지 및 상기 개구들 중 하나 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 개구들 중 적어도 하나를 통과하여 또는 그 위로 지나도록 하는 제 2 단자일 수 있다.

[0015] 특정 실시예에서, 상기 주변 영역은 제 1 주변 영역일 수 있고, 상기 개구들 중 하나는 제 1 개구일 수 있으며, 및 상기 단자들 중 적어도 하나는 제 1 단자일 수 있다. 상기 기판은 상기 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 제 2 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는 상기 제 2 단자일 수 있다.

[0016] 예시적인 실시예에서, 상기 주변 에지는 제 1 주변 에지일 수 있고, 상기 기판은 상기 제 1 및 제 2 면 사이에

서 그리고 제 2 방향으로 연장하는, 제 1 주변 에지와 반대인 제 2 주변 에지를 가질 수 있으며, 그리고 상기 기판은 상기 제 2 주변 에지 및 개별적인 제 1 및 제 2 개구 사이에서 연장하는 제 2 면의 제 3 및 제 4 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 제 3 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 3 단자를 통과하는 직선이 상기 제 1 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 3 단자일 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 제 4 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 4 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 4 단자일 수 있다.

[0017] 일 실시예에서, 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드는 상기 기판의 도전성 소자에 전기적으로 접속될 수 있다. 특정 실시형태에서, 제 1 마이크로전자 소자의 본드 패드는 제 1 개구와 정렬되는 부분을 가지는 제 1 리드에 의하여 도전성 소자에 전기적으로 접속될 수 있고, 제 2 마이크로전자 소자의 본드 패드는 제 2 개구와 정렬되는 부분을 가지는 제 2 리드에 의하여 도전성 소자에 전기적으로 접속될 수도 있다. 일 예에서, 제 1 리드는 제 1 개구를 통하여 연장하지 않을 수도 있고, 또는 제 2 리드는 제 2 개구를 통하여 연장하지 않을 수도 있다. 특정 실시형태에서, 상기 제 1 마이크로전자 소자의 본드 패드는 상기 제 1 개구를 통해서 연장하는 제 1 와이어 본드에 의하여 상기 도전성 소자에 전기적으로 접속될 수 있고, 상기 제 2 마이크로전자 소자의 본드 패드는 상기 제 2 개구를 통해서 연장하는 제 2 와이어 본드에 의하여 상기 도전성 소자에 전기적으로 접속될 수 있다. 일 실시예에서, 상기 제 1 와이어 본드는 오직 제 1 개구를 통해서만 연장할 수도 있고, 상기 제 2 와이어 본드는 오직 제 2 개구만을 통해서만 연장할 수도 있다.

[0018] 특정한 예에서, 상기 제 1 마이크로전자 소자의 에지는 제 1 에지일 수 있고 상기 제 1 마이크로전자 소자는 그것으로부터 반대인 제 2 에지를 가질 수 있다. 제 2 마이크로전자 소자는 제 1 및 제 2 대향 에지를 가질 수 있다. 각각의 마이크로전자 소자는 그것의 전면의 중앙 영역 내에서 상기 제 1 방향으로 연장하는 본드 패드들 중 다섯 개 이상의 적어도 한 행을 가질 수 있다. 각각의 중앙 영역은 개별적인 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장할 수 있다. 일 실시예에서, 각각의 마이크로전자 소자는 더 많은 개수의 능동 디바이스를 구현하여 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공할 수 있다. 예시적인 실시예에서, 상기 제 1 마이크로전자 소자는 상기 에지 및 그것의 전면 및 후면 사이에서 연장하는 반대 에지 (opposite edge) 사이의 폭을 가질 수 있고, 상기 제 2 마이크로전자 소자는 그것의 전면 및 후면 사이에서 각각 연장하는 대향 에지들 (opposed edges) 사이의 폭을 가질 수 있다. 상기 제 1 마이크로전자 소자의 폭은 상기 제 1 개구의 제 2 치수보다 더 클 수 있고, 상기 제 2 마이크로전자 소자의 폭은 상기 제 2 개구의 제 2 치수보다 더 클 수 있다.

[0019] 일 실시예에서, 상기 제 1 및 제 2 개구 중 하나는 상기 제 1 및 제 2 개구 중 다른 하나보다 상기 주변 에지에 더 근접한 위치로 연장할 수 있다. 하나의 특정한 예에서, 상기 기판은 상기 제 1 및 제 2 면 사이에서 연장하는 제 3 및 제 4 개구를 가질 수 있고, 상기 제 3 및 제 4 개구 각각은 상기 제 2 방향으로 연장하는 길쭉한 제 1 치수, 및 상기 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가질 수 있다. 상기 마이크로전자 어셈블리는 각각 상기 기판의 제 1 면에 대향하는 전면을 가지는 제 3 및 제 4 마이크로전자 소자를 더 포함할 수 있고, 상기 제 3 및 제 4 마이크로전자 소자는 각각 개별적인 제 3 또는 제 4 개구와 정렬되고 그것의 전면에 있는 본드 패드를 가진다. 상기 제 3 및 제 4 마이크로전자 소자의 본드 패드는 상기 기판의 도전성 소자에 전기적으로 접속될 수 있다. 일 예에서, 상기 기판은 상기 주변 영역에서 제 1 및 제 2 면 사이에서 연장하는 개구부 (aperture)를 더 포함할 수 있다. 상기 개구부는 그것을 통과하는 봉합재 또는 언더필 재료의 흐름을 수납하도록 구성될 수 있다.

[0020] 본 발명의 다른 양태에 따르면, 마이크로전자 어셈블리는, 각각 제 1 및 제 2 횡방향 (transverse direction)으로 연장하는 제 1 및 제 2 대향면, 제 1 및 제 2 면 사이에서 그리고 제 2 방향으로 연장하는 주변 에지, 상기 제 1 및 제 2 면 사이에서 연장하는 제 1 및 제 2 개구로서, 상기 제 1 개구는 상기 제 2 개구 및 주변 에지 사이에 위치되는, 제 1 및 제 2 개구, 및 상기 주변 에지 및 제 1 개구 사이에서 연장하는 상기 제 2 면의 주변 영역을 포함하는 기판을 포함할 수 있다. 상기 제 1 개구는 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가질 수 있다. 상기 제 2 개구는 상기 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가질 수 있다.

[0021] 마이크로전자 어셈블리는 상기 제 1 면에 대향하는 전면 및 상기 제 1 개구와 정렬되는 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 개구와 정렬되고 상기 제 2 마이크

로전자 소자의 전면에 있는 본드 패드를 가지는 제 2 마이크로전자 소자를 더 포함할 수 있다.

[0022] 마이크로전자 어셈블리는 상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들을 더 포함할 수 있다. 단자들은 마이크로전자 어셈블리를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 1 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 제 1 개구를 통과하여 또는 그 위로 지나도록 할 수 있다.

[0023] 일 예에서, 주변 에지는 제 1 주변 에지일 수 있고, 상기 주변 영역은 제 1 주변 영역일 수 있으며, 상기 단자들 중 적어도 하나는 제 1 단자일 수 있다. 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는 제 2 주변 에지를 가질 수 있고, 그리고 상기 기판은 제 2 주변 에지 및 상기 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는 상기 제 2 단자일 수 있다.

[0024] 특정 실시예에서, 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 상기 제 1 방향에서 연장하는 상기 제 2 주변 에지에 반대인 제 3 주변 에지를 가질 수 있고, 상기 기판은 상기 제 3 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 3 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 제 3 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 3 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는 상기 제 3 단자일 수 있다.

[0025] 본 발명의 또 다른 양태에 따르면, 마이크로전자 어셈블리는 각각 제 1 및 제 2 횡방향으로 연장하는 제 1 및 제 2 대향면, 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는 주변 에지, 상기 제 1 및 제 2 면 사이에서 연장하고, 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지는 제 1 개구, 상기 제 1 및 제 2 면 사이에서 연장하고, 상기 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가지는 제 2 개구, 및 상기 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 주변 영역을 포함하는 기판을 포함할 수 있다.

[0026] 마이크로전자 어셈블리는 상기 제 1 면에 대향하는 전면 및 상기 제 1 개구와 정렬되는 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 개구와 정렬되고 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는 제 2 마이크로전자 소자를 더 포함할 수 있다.

[0027] 마이크로전자 어셈블리는 상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들을 더 포함할 수 있다. 단자들은 마이크로전자 어셈블리를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 2 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 할 수 있다.

[0028] 일 예에서, 주변 에지는 제 1 주변 에지일 수 있고, 상기 주변 영역은 제 1 주변 영역일 수 있으며, 상기 단자들 중 적어도 하나는 제 1 단자일 수 있다. 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는 상기 제 1 주변 에지에 반대인 제 2 주변 에지를 가질 수 있고, 그리고 상기 기판은 제 2 주변 에지 및 상기 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나도록 하는 상기 제 2 단자일 수 있다.

[0029] 특정 실시예에서, 상기 주변 영역은 제 1 주변 영역일 수 있고, 상기 단자들 중 적어도 하나는 제 1 단자일 수 있으며, 상기 제 1 마이크로전자 소자의 에지는 제 1 에지일 수 있고, 상기 기판은 상기 제 1 및 제 2 면 사이에서 연장하고 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 방향을 가지며 상기 제 1 치수보다 더 짧은 제 2 치수를 가지는 제 3 개구를 가질 수 있다. 상기 기판은 상기 주변 에지 및 제 3 개구 사이에서 연장하는 제 2 면의 제 2 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 제 2 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 3 개구를 통과하여 또는 그 위로 지나도록 하는, 상기 제 2 단자일 수 있다. 상기 마이크로전자 어셈블리는, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 그것의 제 1 에지에 반대인 상기 제 1 마이크로전자 소자의 제 2 에지를

넘어서 돌출하는 제 1 면, 및 상기 제 3 개구와 정렬되며 상기 제 3 마이크로전자 소자의 전면에 있는 본드 패드를 가지는 제 3 마이크로전자 소자를 더 포함할 수 있다.

[0030] 예시적인 실시예에서, 제 2 및 제 3 마이크로전자 소자의 전면은 단일 평면 내에 포지셔닝될 수 있다. 일 실시예에서, 상기 주변 에지는 제 1 주변 에지일 수 있고, 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 제 1 방향으로 연장하는, 제 1 주변 에지와 반대인 제 2 주변 에지를 가질 수 있으며, 그리고 상기 기판은 상기 제 2 주변 에지 및 개별적인 제 2 및 제 3 개구 사이에서 연장하는 제 2 면의 제 3 및 제 4 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 제 3 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 3 단자를 통과하는 직선이 상기 제 1 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 3 단자일 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 제 4 주변 영역 내에 배치되어, 상기 제 2 방향으로 연장하고 제 4 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 4 단자일 수 있다.

[0031] 특정 예에서, 상기 기판은 상기 제 1 및 제 2 면 사이에서 연장하고 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 상기 제 2 방향에서의 제 2 치수를 가지는 제 4 개구를 가질 수 있다. 상기 마이크로전자 어셈블리는 상기 제 4 개구와 정렬되며 그것의 전면에 있는 본드 패드를 가지는 제 4 마이크로전자 소자를 더 포함할 수 있다. 일 예에서, 상기 제 2, 제 3, 및 제 4 마이크로전자 소자는 각각 제 1 및 제 2 대향 에지를 가질 수 있다. 각각의 마이크로전자 소자는 그것의 전면의 중앙 영역 내에서 그것의 상기 제 1 및 제 2 에지에 평행한 방향으로 연장하는 본드 패드들 중 다섯 개 이상의 적어도 한 행을 가질 수 있다. 각각의 중앙 영역은 개별적인 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장할 수 있다.

[0032] 본 발명의 또 다른 양태에 따르면, 마이크로전자 어셈블리는 각각 상단 및 하단 대향면을 가지는 제 1 및 제 2 유전체 소자를 가지는 기판을 포함할 수 있다. 각각의 표면은 제 1 및 제 2 횡방향(transverse direction)으로 연장할 수 있다. 상기 유전체 소자들은 상기 제 1 또는 제 2 횡방향들 중 적어도 하나에서 서로로부터 이격될 수 있다. 상기 기판의 제 1 면은 양자의 유전체 소자들의 상단면들을 포함할 수 있다. 상기 기판의 제 2 면은 양자의 유전체 소자들의 하단면들을 포함할 수 있다. 상기 기판은 상기 제 1 및 제 2 유전체 소자의 인접한 대향 에지들 사이의 개방된 영역에 의하여 정의되는 제 1 개구를 가질 수 있고, 상기 인접한 대향 에지는 각각 상기 제 1 방향으로 연장하는 제 1 치수를 가지며, 상기 제 1 개구는 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가지고, 제 2 개구는 상기 제 2 유전체 소자에 의하여 밀봉된다.

[0033] 마이크로전자 어셈블리는 상기 제 1 면에 대향하는 전면 및 상기 제 1 및 제 2 개구 중 하나와 정렬되며 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는, 제 1 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 상기 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 1 및 제 2 개구 중 다른 하나와 정렬되며 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들을 더 포함할 수 있다. 단자들은 마이크로전자 어셈블리를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0034] 특정 실시예에서, 상기 제 2 개구는 상기 제 1 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가질 수 있다. 일 예에서, 상기 제 2 개구는 상기 제 2 방향에서 연장하는 길쭉한 제 1 치수 및 제 1 치수보다 더 짧은 제 1 방향에서의 제 2 치수를 가질 수 있다. 예시적인 실시예에서, 상기 제 1 및 제 2 유전체 소자의 인접한 대향 에지 사이에서 연장하는 유전체 영역을 더 포함할 수 있다. 상기 기판의 제 1 면은 상기 유전체 영역의 상단면을 포함할 수 있다. 상기 제 2 면은 상기 유전체 영역의 하단면을 포함할 수 있다. 하나의 특정한 예에서, 상기 유전체 영역은 상기 유전체 소자보다 기판의 평면 내의 더 높은 영계수를 가질 수 있다.

[0035] 일 실시예에서, 상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 1 개구와 정렬될 수 있고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 2 개구와 정렬될 수 있다. 특정 실시예에서, 상기 단자들은 개별적인 제 1 및 제 2 유전체 소자의 하단면에서 노출되는 제 1 및 제 2 단자를 포함할 수 있다. 상기 제 1 마이크로전자 소자의 본드 패드들 중 적어도 일부는 상기 제 1 및 제 2 단자에 전기적으로 접속될 수 있다. 일 예에서, 상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 2 개구와 정렬될 수 있다. 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 1 개구와 정렬될 수 있다.

[0036]

본 발명의 다른 양태에 따르면, 마이크로전자 어셈블리는 각각 제 1 및 제 2 횡방향으로 연장하는 제 1 및 제 2 대향면을 가지는 기판을 포함할 수 있다. 상기 기판은 상기 제 1 또는 제 2 횡방향들 중 적어도 하나에서 서로로부터 이격되는 제 1 및 제 2 유전체 소자를 가질 수 있다. 상기 마이크로전자 어셈블리는 상기 제 1 면에 대향하는 제 1 면 및 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는 제 1 마이크로전자 소자를 더 포함할 수 있다. 상기 마이크로전자 어셈블리는 상기 제 1 마이크로전자 소자의 후면에 대향하고 상기 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는 제 2 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들을 더 포함할 수 있다. 단자들은 마이크로전자 어셈블리를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0037]

일 예에서, 상기 마이크로전자 소자 중 적어도 하나는 상기 제 1 및 제 2 유전체 소자들 각각의 상단면에 적어도 부분적으로 상재할 수 있다. 예시적인 실시예에서, 상기 제 1 마이크로전자 소자의 에지는 제 1 에지일 수 있고 상기 제 1 마이크로전자 소자는 그것으로부터 반대인 제 2 에지를 가질 수 있다. 제 2 마이크로전자 소자는 제 1 및 제 2 대향 에지를 가질 수 있다. 각각의 마이크로전자 소자는 그것의 전면의 중앙 영역 내에서 상기 제 1 방향으로 연장하는 본드 패드들 중 다섯 개 이상의 적어도 한 행을 가질 수 있다. 각각의 중앙 영역은 개별적인 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장할 수 있다.

[0038]

본 발명의 또 다른 양태에 따르면, 마이크로전자 어셈블리는 각각 상단 및 하단 대향면을 가지는 제 1, 제 2, 및 제 3 유전체 소자를 가지는 기판을 포함할 수 있다. 각각의 표면은 제 1 및 제 2 횡방향(transverse direction)으로 연장할 수 있다. 상기 유전체 소자들은 상기 제 1 또는 제 2 횡방향들 중 적어도 하나에서 서로로부터 이격될 수 있다. 상기 기판의 제 1 면은 상기 제 1, 제 2, 제 3 유전체 소자들의 상단면들을 포함할 수 있다. 상기 기판의 제 2 면은 상기 제 1, 제 2, 제 3 유전체 소자들의 하단면들을 포함할 수 있다. 기판은 상기 제 1 및 제 2 유전체 소자의 인접한 대향 에지를 사이의 개방된 영역에 의하여 정의되는 제 1 개구를 더 가질 수 있다. 상기 인접한 대향 에지는 각각 상기 제 1 방향으로 연장하는 제 1 치수를 가질 수 있다. 상기 제 1 개구는 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가질 수 있다. 상기 기판은 상기 제 2 및 제 3 유전체 소자의 인접하는 대향 에지를 사이의 개방된 영역에 정의되는 제 2 개구를 더 가질 수 있다. 상기 인접한 대향 에지는 각각 상기 제 1 방향으로 연장하는 제 1 치수를 가질 수 있다. 상기 제 1 개구는 제 1 치수보다 더 짧은 제 2 방향에서의 제 2 치수를 가질 수 있다.

[0039]

마이크로전자 어셈블리는 상기 제 1 면에 대향하는 전면 및 상기 제 1 및 제 2 개구 중 하나와 정렬되며 상기 전면에 있는 본드 패드, 상기 전면으로부터 반대인 후면, 및 상기 전면 및 후면 사이에서 연장하는 에지를 가지는, 제 1 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 제 2 마이크로전자 소자로서, 상기 제 1 마이크로전자 소자의 후면을 향하여 대향하고 상기 제 1 마이크로전자 소자의 에지를 넘어서 돌출하는 전면, 및 상기 제 1 및 제 2 개구 중 다른 하나와 정렬되며 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드를 가지는, 제 2 마이크로전자 소자를 더 포함할 수 있다. 마이크로전자 어셈블리는 상기 제 2 면에서 노출되고 상기 제 1 및 제 2 마이크로전자 소자의 본드 패드와 전기적으로 접속된 복수 개의 단자들을 더 포함할 수 있다. 단자들은 마이크로전자 어셈블리를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0040]

일 실시예에서, 상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 1 개구와 정렬될 수 있고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 2 개구와 정렬될 수 있다. 특정한 예에서, 상기 제 1 마이크로전자 소자는 상기 제 1 및 제 2 유전체 소자들 각각의 상단면에 적어도 부분적으로 상재할 수 있고, 상기 제 2 마이크로전자 소자는 상기 제 2 및 제 3 유전체 소자들 각각의 상단면에 적어도 부분적으로 상재할 수 있다. 예시적인 실시예에서, 상기 제 1 마이크로전자 소자의 전면에 있는 상기 본드 패드는 상기 제 2 개구와 정렬될 수 있고, 상기 제 2 마이크로전자 소자의 전면에 있는 본드 패드는 상기 제 1 개구와 정렬될 수 있다.

[0041]

특정 실시예에서, 상기 단자들은 상기 개별적인 제 1, 제 2, 및 제 3 유전체 소자의 하단면에서 노출되는 제 1, 제 2, 및 제 3 단자를 포함할 수 있다. 상기 마이크로전자 소자들 중 적어도 하나의 본드 패드들 중 적어도 일부는 상기 제 1, 제 2, 및 제 3 단자 중 두 개 이상과 전기적으로 접속될 수 있다. 일 예에서, 상기 제 1 마이크로전자 소자의 본드 패드들 중 적어도 일부는 상기 제 1 및 제 2 단자에 전기적으로 접속될 수 있다. 하나의 특정한 예에서, 상기 제 2 마이크로전자 소자의 본드 패드들 중 적어도 일부는 상기 제 2 및 제 3 단자에 전기

적으로 접속될 수 있다.

[0042] 예시적인 실시예에서, 상기 기판은 상기 제 1 및 제 2 면 사이에서 그리고 상기 제 2 방향에서 연장하는 주변 에지 및 상기 주변 에지 및 상기 개구들 중 하나 사이에서 연장하는 상기 제 2 면의 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는 적어도 부분적으로 상기 주변 영역 내에 배치되어 제 1 방향으로 연장하고 상기 적어도 하나의 단자를 지나는 직선이 상기 개구들 중 적어도 하나를 통과하여 또는 그 위로 지나가도록 할 수 있다.

[0043] 일 예에서, 상기 주변 영역은 제 1 주변 영역일 수 있고, 상기 개구들 중 하나는 제 1 개구일 수 있으며, 및 상기 단자들 중 적어도 하나는 제 1 단자일 수 있다. 상기 기판은 상기 주변 에지 및 제 2 개구 사이에서 연장하는 상기 제 2 면의 제 2 주변 영역을 가질 수 있다. 상기 단자들 중 적어도 하나는, 적어도 부분적으로 제 2 주변 영역 내에 배치되어, 상기 제 1 방향으로 연장하고 제 2 단자를 통과하는 직선이 상기 제 2 개구를 통과하여 또는 그 위로 지나가도록 하는 상기 제 2 단자일 수 있다. 특정 실시예에서, 상기 제 2 유전체 소자는 상기 제 1 및 제 2 주변 영역들 모두의 일부를 포함할 수 있다. 일 실시예에서, 상기 제 1 유전체 소자는 상기 제 1 주변 영역의 일부를 포함할 수 있고, 상기 제 3 유전체 소자는 상기 제 2 주변 영역의 일부를 포함할 수 있다.

[0044] 하나의 특정한 예에서, 시스템은 위에서 설명된 바와 같은 마이크로전자 어셈블리 및 마이크로전자 어셈블리에 전기적으로 접속된 하나 이상의 다른 전자 컴포넌트를 포함할 수 있다. 일 예에서, 시스템은 하우징을 더 포함할 수 있고, 마이크로전자 어셈블리 및 다른 전자 컴포넌트는 하우징에 마운팅된다.

도면의 간단한 설명

[0045] 도 1 은 본 발명의 일 실시예의 상단 평면도이다.

도 1a 는 도 1 의 컴포넌트의 하단 평면도이다.

도 1b 는 도 1 의 실시예에서의 마이크로전자 소자의 하단 평면도이다.

도 1c 는 도 1 의 실시예에서의 다른 마이크로전자 소자의 하단 평면도이다.

도 2b 는 2A-2A를 따라 취해진, 도 1 의 단면이다.

도 2b 는 선분 2B-2B를 따라 취해진, 도 1 의 단면이다.

도 3 은 도 1 에 도시되는 실시예의 하단 뷰이다.

도 3a 는 본 발명의 대안적 실시예의 단면도이다.

도 3b 는 도 3a 에 도시되는 실시예의 하나의 가능한 하단 뷰이다.

도 3b 는 두 개의 유전체 소자를 가지는, 도 3a 의 실시예의 다른 가능한 하단 뷰이다.

도 3d 는 세 개의 유전체 소자를 가지는, 도 3a 의 실시예의 또 다른 가능한 하단 뷰이다.

도 3e 내지 도 3g 는 도 3d 의 실시예의 변형들이다.

도 3h 는 도 3d 에 도시되는 복수 개의 마이크로전자 어셈블리의 인-프로세스 어셈블리이다.

도 3i 는 도 3a 의 실시예의 변형의 단면이다.

도 3j 는 도 3i 에 도시되는 실시예의 하나의 가능한 하단 뷰이다.

도 3k 는 복수 개의 유전체 소자를 가지는, 도 3i 의 실시예의 다른 가능한 하단 뷰이다.

도 4 는 본 발명의 대안적 실시예의 상단 평면도이다.

도 5b 는 선분 5A-5A를 따라 취해진, 도 4 의 단면이다.

도 5b 는 선분 5B-5B를 따라 취해진, 도 4 의 단면이다.

도 5c 는 선분 5C-5C를 따라 취해진, 도 4 의 단면이다.

도 6 은 도 4 의 하단 뷰이다.

도 7 은 본 발명의 대안적 실시예의 평면도이다.

도 8a 는 선분 8A-8A를 따라 취해진, 도 7 의 단면이다.

도 8b 는 선분 8B-8B를 따라 취해진, 도 7 의 단면이다.

도 8c 는 선분 8C-8C를 따라 취해진, 도 7 의 단면이다.

도 8d 는 선분 8D-8D를 따라 취해진, 도 7 의 단면이다.

도 9 는 도 7 의 하단 뷰이다.

도 9a 는 본 발명의 대안적 실시예의 평면도이다.

도 10 은 본 발명의 대안적 실시예의 평면도이다.

도 11a 는 선분 10A-10A를 따라 취해진, 도 10 의 단면이다.

도 11b 는 선분 11B-11B를 따라 취해진, 도 10 의 단면이다.

도 11c 는 선분 11C-11C를 따라 취해진, 도 10 의 단면이다.

도 11d 는 선분 11D-11D를 따라 취해진, 도 10 의 단면이다.

도 12 는 도 10 의 하단 뷰이다.

도 13 은 본 발명의 대안적 실시예의 평면도이다.

도 14 는 본 발명의 대안적 실시예의 상단 평면도이다.

도 15 는 선분 15-15를 따라 취해진, 도 14 의 단면도이다.

도 16 은 본 발명의 대안적 실시예의 상단 평면도이다.

도 17a 는 선분 17A-17A를 따라 취해진, 도 16 의 단면이다.

도 17b 는 선분 17B-17B를 따라 취해진, 도 16 의 단면이다.

도 18 은 본 발명의 일 실시예에 따르는 시스템의 개략적인 묘사이다.

발명을 실시하기 위한 구체적인 내용

[0046]

도 1 내지 도 3 은 본 발명의 일 실시예에 따르는 마이크로전자 패키지 또는 마이크로전자 어셈블리(100)의 상이한 뷰를 도시한다. 도 1 을 참조하면, 마이크로전자 어셈블리(100)는 기판(102)에 상재하는 두 개의 마이크로전자 소자를 포함한다. 마이크로전자 소자는 페이스-다운 포지션에서 적층됨으로써, 제 2 마이크로전자 소자(153)의 적어도 일부가 제 1 마이크로전자 소자(136)의 후면(138)(도 2a)에 상재하게 한다.

[0047]

제 1 및 제 2 마이크로전자 소자(136, 153)는 기판(102) 상에 포지셔닝됨으로써, 제 1 마이크로전자 소자(136)의 외부 예지(즉, 제 1, 제 2, 제 3, 제 4 예지(144, 145, 146, 147) 및 제 2 마이크로전자 소자(153)의 외부 예지(즉, 제 1, 제 2, 제 3, 제 4 예지(161, 162, 163, 164)가 기판(102)의 제 1 표면(104) 상에 포지셔닝되고 기판(102)의 주변 예지 너머로 연장하지 않도록 할 수도 있다.

[0048]

특정한 실시예에서, 기판은 다양한 구성 타입의 유전체 소자, 예컨대 고분자 물질 또는 세라믹 또는 유리와 같은 무기질 물질로 이루어진 유전체 소자일 수 있는데, 기판은 그 위에 도전성 소자, 예컨대 단자 및 리드, 예를 들어, 트레이스, 기판 콘택, 또는 단자와 전기적으로 접속된 다른 도전성 소자를 가진다. 다른 예에서, 기판은 본질적으로 실리콘과 같은 반도체 물질로 이루어질 수 있으며, 또는 대안적으로는 반도체 물질의 층 및 그것의 하나 이상의 유전체 층을 포함한다. 또 다른 실시예에서, 기판은 리드를 가지는 리드 프레임일 수 있는데, 여기에서 단자는 리드의 부분, 예컨대 리드의 단부 부분일 수 있다.

[0049]

도 2a 및 도 2b 에 최적으로 도시되는 바와 같이, 기판(102)은 제 1 면(104) 및 제 1 면으로부터 반대인 제 2 면(106)을 포함하고, 제 1 및 제 2 면은 각각 제 1 및 제 2 횡방향(D1, D2)으로 연장한다. 비록 기판(102)의 두께가 애플리케이션에 따라 변동할 것이지만, 기판(102)은 거의 통상적으로 두께가 10 내지 100 마이크로미터(마이크론)이다. 기판(102)은 도전성 트레이스(108) 및 단자 콘택(110)과 같은 복수 개의 콘택, 콘택(109)의 제 1 세트, 및 그것의 표면에서 노출된 콘택(111)의 제 2 세트를 가질 수도 있다. 본 개시물에서 사용될 때, 전기적으로 도전성인 소자가 어떤 구조의 면에 "노출된다"라는 진술은, 그 전기적으로 도전성인 소자가 그 구조의 외부로부터 그 면을 향하여 그 면에 수직인 방향으로 이동하는 이론적인 지점과 콘택되기 위하여 가용이다라

는 것을 표시한다. 따라서, 어느 구조의 표면에 노출된 단자 또는 다른 도전성 소자는 이러한 표면으로부터 돌출될 수도 있고; 이러한 표면과 같은 높이일 수도 있으며; 또는 이러한 표면에 상대적으로 리세싱되고 그 구조 내의 홀 또는 오목부를 통하여 노출될 수도 있다.

[0050] 도 1a를 참조하면, 에지의 대향된 쌍 사이에서, 기판(102)의 제 1 표면(104)은 기판(102)의 1 에지와 제 2 에지(103, 105) 사이의 기판(102)의 폭을 분할하는 3 개의 부분을 포함할 수도 있다. 동일하거나 상이한 폭을 가질 수도 있는 3 개의 부분은 기판(102)의 제 1 에지(103)에 인접한 제 1 외부 부분(900), 기판(102)의 제 2 에지(105)에 인접한 제 2 외부 부분(902), 및 제 1 외부 부분과 제 2 외부 부분(900, 902) 사이의 영역을 점유하는 중앙 부분(906)을 포함할 수도 있다. 일 실시예에서, 도전성 트레이스(108) 및 복수 개의 콘택은 기판(102)의 제 2 표면(106) 상의 이러한 부분 중 하나 이상에서 노출된다. 다른 실시예들에서, 도전성 트레이스(108) 및 콘택은 기판(102)의 제 1(104) 및 제 2(106) 표면 모두에서 또는 기판(102)의 내부 내에서 연장할 수도 있다.

[0051] 도전성 트레이스(108)는 임의의 전기적으로 도전성인 물질로 형성될 수도 있는데, 하지만 거의 통상적으로 구리, 구리 합금, 금 또는 이러한 물질의 조합으로 형성된다. 트레이스의 두께도 애플리케이션에 따라 변동할 것인데, 하지만 통상적으로 약 5 내지 25 마이크론이다. 기판(102) 및 트레이스(108)는 동시-계류중이며, 동일 양수인에게 양도된 미국 특허 번호 제 7,462,936 호에서 개시된 것과 같은 프로세스에 의하여 제작될 수 있는데, 그 개시물은 본 명세서에 원용에 의하여 통합된다.

[0052] 도 1, 도 1a, 도 2b, 및 도 3 을 참조하면, 기판(102)은 기판(102)의 제 1 면(104)과 제 2 면(106) 사이에서 연장하는 적어도 두 개의 개구부 또는 개구를 더 포함할 수도 있다. 제 1 개구(116)는 기판(102)의 중앙 부분(906)(도 1a)에 포지셔닝되고, 단에지(118)의 쌍 및 단에지(118)의 길이보다 더 큰 길이를 가지는 장에지(120)의 쌍을 가질 수도 있다. 제 1 개구(116)는 제 1 방향(D1)에서 연장할 수 있다. 제 2 개구(126)는 제 1 방향(D1)에 횡단하는 제 2 방향(D2)에서 연장할 수도 있다. 이러한 실시예에서, 제 2 개구(126)가 연장하는 제 2 방향(D2)은 제 1 개구(116)가 연장하는 제 1 방향(D1)에 수직임으로써, 제 1 및 제 2 개구(116, 126)가 T 자의 형상을 형성할 수 있도록 할 수 있다. 제 1 및 제 2 개구(116, 126)가 대안적으로 함께 조인되어 하나의 연속 개구를 형성할 수도 있는 것이 이해되어야 한다. 다른 대안적인 실시예에서, 제 1 개구(116) 또는 제 2 개구(126)는 각각 복수 개의 개구로 구성됨으로써, 제 1 개구(116)가 제 1 방향(D1)으로 연장하는 복수 개의 개구를 포함하고, 제 2 개구(126)가 제 1 방향(D1)에 횡단하는 제 2 방향(D2)에서 연장하는 복수 개의 개구를 포함하도록 할 수도 있다. 개구가 임의의 대안적 형상 또는 디자인도 역시 가질 수 있다는 것이 또한 이해되어야 한다.

[0053] 일 예에서, 제 1 개구(116)는 단치수(A2)보다 더 큰 장치수(A1)를 가질 수 있으며, 장치수(A1)는 제 1 방향(D1)으로 연장하고, 단치수(A2)는 제 2 방향(D2)으로 연장한다. 제 2 개구(126)는 단치수(B2)보다 더 큰 장치수(B1)를 가질 수 있는데, 장치수(B1)는 제 2 방향(D2)으로 연장하고, 단치수(B2)는 제 1 방향(D1)으로 연장한다.

[0054] 이제 도 2a 및 도 2b 를 참조하면, 제 1 마이크로전자 소자(136)는 공지된 본딩 물질 또는 기법, 예컨대 접착제(101)를 사용하여 기판(102)의 제 1 면(104)에 대향하고 이것에 부착될 수 있는 전면(140)을 가진다. 제 1 마이크로전자 소자(136)는 자신의 전면(140)으로부터 반대인 후면(138)을 더 포함한다. 이러한 실시예에서, 전면(140)은 그 위에 결합 패드(142)를 가지는 마이크로전자 소자(136)의 제 1 면이고, 후면(138)은 그것의 후면이다. 이러한 실시예에서, 제 1 마이크로전자 소자(136)의 대향된 제 1 및 제 2 에지(144, 145) 및 대향된 제 3 및 제 4 에지(146, 147)는 기판(102)의 제 1 면(104) 및 제 2 면(106) 사이에서 연장한다. 제 1 마이크로전자 소자(136)의 에지는 동일하거나 상이한 길이일 수도 있다.

[0055] 도 1b로 돌아가면, 제 1 마이크로전자 소자(136)는 반도체 칩의 임의의 타입일 수도 있다. 이러한 실시예에서, 제 1 마이크로전자 소자(136)는 그 위에 도전성 소자를 가지는 DRAM(dynamic random access memory) 칩일 수 있다. 도시된 바와 같이, 제 1 마이크로전자 소자(136)의 전면(140)의 표면 영역은 제 1 마이크로전자 소자의 제 1 에지와 제 2 에지 사이의 방향에서 실질적으로 동등한 폭을 가지는 3 개의 영역으로 분할될 수도 있다: 제 1 외부 영역(920), 제 2 외부 영역(922), 및 제 1 외부 영역(920) 및 제 2 외부 영역(922) 사이에 포지셔닝된 중앙 영역(924). 예를 들어, 만일 장에지들 사이의 길이가 6마이크론이라면, 제 1 외부, 제 2 외부, 및 중앙 영역의 개별적인 길이는 2 마이크론일 수도 있다. 그러므로, 중앙 영역(924)은 제 1 에지(144)로부터 2 마이크론 떨어져서 그리고 제 2 에지(145)로부터 2 마이크론 떨어져서 포지셔닝될 것이다. 다르게 말하면, 중앙 영역은 제 1 마이크로전자 소자(136)의 중앙 3분의 1 내에 포지셔닝될 수 있다. 본 명세서에서 설명되는 마이크로전자 소자 중 임의의 것 또는 모두는 더 많은 개수의 능동 디바이스를 각각 구현하여 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공할 수 있다.

[0056]

DRAM 칩에 관하여 통상적인 것과 같이, 도전성 소자는 제 1 마이크로전자 소자(136)의 전면(140)의 중앙 영역(924)을 따라서 연장하는 제 1 본드 패드(142)를 포함할 수도 있다. 도전성 소자는 제 1 마이크로전자 소자(136)와 기판(102)의 제 2 면(106) 상에 포지셔닝된 콘택(109)의 제 1 세트 사이에 전기적 접속을 제공한다. 접착제(101)가 제 1 마이크로전자 소자(136)를 기판(102)에 부착시키기 위하여 사용될 수 있다.

[0057]

도 2a 및 도 2b 를 참조하면, 제 1 마이크로전자 소자(136)의 결합 패드(142)는 직접적으로 기판(102)의 제 1 개구(117) 상부에 포지셔닝될 수도 있다. 이것은 결합 패드(142)가 제 1 개구(117)를 통하여 노출되도록 한다. 본드 패드(142)는 전기적 접속을 확립하는 임의의 공지된 방법을 사용하여 기판(102)의 제 2 면(106) 상의 콘택(109)의 제 1 세트에 전기적으로 접속될 수도 있다. 일 실시예에서, 본드 와이어(148)는 제 1 마이크로전자 소자(136) 상의 본드 패드(142)로부터, 제 1 개구(116)를 통하여, 그리고 기판(102)의 제 2 면(106) 상의 콘택(109)의 제 1 세트로 연장할 수 있다. 트레이스(108)(도 3)가 콘택(109)의 제 1 세트를 단자 콘택(110)에 접속시키기 위하여 사용될 수 있다.

[0058]

제 2 마이크로전자 소자(153)는 제 1 마이크로전자 소자(136)와 유사할 수도 있다. 그 위에 본드 패드를 가지는, 제 2 마이크로전자 소자의 전면(157)은 제 1 마이크로전자 소자(136)를 향하여 대향함으로써, 제 2 마이크로전자 소자(153)가 제 1 마이크로전자 소자(136)의 후면(138)에 상재하도록 한다. 도 1c 에서 도시된 바와 같이, 이러한 실시예에서는, 제 2 마이크로전자 소자(153)는 대향된 제 1 및 제 2 에지(161, 162) 및 제 2 마이크로전자 소자(153)의 후면(155)과 전면(157) 사이에서 연장하고 제 1 및 제 2 에지(161, 162)에 인접하는 대향된 제 3 및 제 4 에지(163, 164)를 가진다. 도전성 소자, 예컨대 본드 패드(159)는 제 2 마이크로전자 소자(153)의 전면(157)을 따라서 연장한다. 이러한 실시예에서, 제 2 마이크로전자 소자(153)는 반도체 칩, 예컨대 제 2 마이크로전자 소자(153)의 중앙 영역(932)을 따라서 포지셔닝된 본드 패드(159)가 있는 DRAM 칩일 수도 있는데, 이것은 제 1 외부 영역(928)과 제 2 외부 영역(930) 사이에 포지셔닝된다. 일 실시예에서, 본드 패드(159)는 제 1 마이크로전자 소자(136) 상의 본드 패드(142)가 연장하는 방향에 횡단하는 방향으로 연장할 수 있다.

[0059]

도 1b 에서 알 수 있는 바와 같이, 하나의 특정한 예에서, 제 1 마이크로전자 소자(136)는 제 1 마이크로전자 소자의 전면(140)의 중앙 영역(924)에서 방향(D3)으로 연장하는 5 개 이상의 본드 패드(142)의 적어도 하나의 행(142')을 가질 수 있다. 도 1c 에서 알 수 있는 바와 같이, 하나의 예에서, 제 2 마이크로전자 소자(153)는 제 2 마이크로전자 소자의 전면(157)의 중앙 영역(932)에서 방향(D4)으로 연장하는 5 개 이상의 본드 패드(159)의 적어도 하나의 행(159')을 가질 수 있다. 도 3 의 예에 도시된 바와 같이, 본드 패드(142)의 행(142')이 연장하는 방향(D3)은 본드 패드(159)의 행(159')이 연장하는 방향(D4)에 횡단할 수 있다. 도 3 에 도시된 바와 같이, 방향(D3)은 제 1 개구(116)의 장치수가 연장하는 방향(D1)과 평행할 수 있고, 방향(D4)은 제 2 개구(126)의 장치수가 연장하는 방향(D2)과 평행할 수 있지만, 이것은 강제적인 것은 아니다. 예를 들어, 일 실시예에서(미도시), 방향(D3)은 제 1 원도우의 단치수가 연장하는 방향(D2)과 평행할 수 있고, 방향(D4)은 제 2 원도우의 단치수가 연장하는 방향(D1)과 평행할 수 있다.

[0060]

도 2b 로 돌아가면, 제 2 마이크로전자 소자(153)는 제 1 마이크로전자 소자(136) 상부에 포지셔닝될 수도 있다. 도시된 바와 같이, 스페이서(135)는 기판(102)과 제 2 마이크로전자 소자(153) 사이에 포지셔닝되어 제 2 마이크로전자 소자(153)를 제 1 마이크로전자 소자(136) 상부의 높이에서 지지할 수도 있다. 도 1 에서 최적으로 도시되는 바와 같이, 제 2 마이크로전자 소자(153)의 제 1 및 제 2 에지(161, 162)는 제 1 마이크로전자 소자(136)의 제 1 및 제 2 에지(144, 145)에 횡단하는 방향에서 연장할 수도 있다. 결과적으로, 제 2 마이크로전자 소자(153)의 제 1 및 제 2 에지(161, 162)는 제 1 마이크로전자 소자(136)의 제 3 및 제 4 에지(146, 147) 중 하나 너머로 연장한다.

[0061]

도 2b 를 참조하면, 제 2 마이크로전자 소자(153) 상의 본드 패드(159)는 기판(102)에서 노출된 복수 개의 콘택들을 중 콘택(111)의 제 2 세트와 전기적으로 접속될 수도 있다.

[0062]

도전성 소자는 제 1 마이크로전자 소자(136) 상의 본드 패드(159)를 기판(102)의 제 2 면(106) 상의 콘택(111)의 제 2 세트와 전기적으로 접속시키기 위하여 사용될 수도 있다. 이러한 실시예에서, 본드 와이어(165)는 제 2 마이크로전자 소자(153) 상의 본드 패드(159)를 기판(102)의 제 2 면(106) 상의 콘택(111)(도 2b 내지 도 3)의 제 2 세트와 접속시키기 위하여 사용될 수도 있다. 도시된 바와 같이, 본드 와이어(165)는 제 2 개구(126)를 통하여 연장하고 콘택(111)의 제 2 세트에 접속한다.

[0063]

도 2a 에 도시된 바와 같이, 적층된 어셈블리가 조립되면, 봉합재(199)가 기판(102)의 제 1 면(104) 중 일부 또는 전부, 그리고 및 제 1 및 제 2 마이크로전자 소자(136, 153)에 상재할 수도 있으며, 개별적인 제 1 개구

(116) 및 제 2 개구(126)를 통하여 연장하는 본드 와이어(148, 165)를 커버할 수도 있다.

[0064] 도 3 을 참조하면, 솔더 볼(115)의 어레이가 기판(102)의 제 2 면(106)에서 노출된 단자 콘택(110)(도 2b)에 부착될 수도 있다. 도시된 바와 같이, 트레이스(108)는 콘택(109)의 제 1 세트로부터 2 표면(106)을 따라서 연장하여 콘택(109) 및 콘택(110)의 제 1 세트와 솔더 볼(115)을 지지하는 단자 사이에 전기적 접속을 제공할 수 있다. 단자(110)는 마이크로전자 어셈블리(100)를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0065] 하나의 특정한 예에서, 기판(102)은 또한 제 1 및 제 2 면(104, 106) 사이에서 그리고 제 2 방향(D2)으로 연장하는 제 1 주변 에지(3)를 가질 수 있다. 기판(102)은 또한 제 1 및 제 2 면(104, 106) 사이에서 그리고 제 1 방향(D1)으로 연장하는 제 2 주변 에지(103)를 가질 수 있다. 기판(102)은 또한 제 1 및 제 2 면(104, 106) 사이에서 그리고 제 1 방향(D1)으로 연장하는, 제 2 주변 에지(103)에 반대인 제 3 주변 에지(105)를 가질 수 있다.

[0066] 제 1 개구(116)는 제 2 개구(126) 및 제 1 주변 에지(3) 사이에 위치될 수 있고 제 1 방향(D1)으로 연장하는 길쭉한 제 1 치수(L1) 및 제 1 치수보다 더 짧은 제 2 방향(D2)의 제 2 치수(W1)를 가질 수 있다. 제 2 개구(126)는 제 2 방향(D2)에서 연장하는 길쭉한 제 1 치수(L2) 및 제 1 치수보다 더 짧은 제 1 방향(D1)에서의 제 2 치수(W2)를 가질 수 있다.

[0067] 기판(102)은 제 1 주변 에지(3) 및 제 1 개구(116) 사이에서 연장하는 상기 제 2 면(106)의 제 1 주변 영역(P1)을 가질 수 있다. 기판(102)은 제 2 주변 에지(103) 및 제 2 개구(126) 사이에서 연장하는 상기 제 2 면(106)의 제 2 주변 영역(P2)을 더 가질 수 있다. 기판(102)은 제 3 주변 에지(105) 및 제 2 개구(126) 사이에서 연장하는 상기 제 2 면(106)의 제 3 주변 영역(P3)을 더 가질 수 있다. 제 2 및 제 3 주변 영역(P2, P3)은 제 2 개구(126)의 반대면에 위치될 수 있다.

[0068] 도 3 에 도시된 바와 같이, 단자(110)들 중 적어도 하나, 예를 들어 제 1 단자(110a)는 적어도 부분적으로 제 1 주변 영역(P1) 내에 배치되어, 제 1 방향(D1)으로 연장하고 제 1 단자(110a)를 통과하는 직선(S1)이 제 1 개구(116)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(110)들 중 적어도 하나, 예를 들어 제 2 단자(110b)는 적어도 부분적으로 제 2 주변 영역(P2) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 2 단자를 통과하는 직선(S2)이 제 2 개구(126)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(110)들 중 적어도 하나, 예를 들어 제 3 단자(110c)는 적어도 부분적으로 제 3 주변 영역(P3) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 3 단자를 통과하는 직선이 제 2 개구(126)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 하나의 특정한 예에서, 동일한 직선(S2)은 제 2 단자(110b) 및 제 3 단자(110c)를 통과하여 연장할 수 있지만, 반드시 그래야 하는 것은 아니다.

[0069] 본 명세서에서 논의되는 남은 실시예들은 도 1 내지 도 3 의 실시예와 실질적으로 유사하다. 각각은, 마이크로전자 소자가 전면 내에 또는 기판 상에서 페이스-다운 포지션으로 포지셔닝되는 방식 및 그 기판 내의 개별적인 개구에 대하여만 다르다. 그러므로 도 1 내지 도 3 과 관련하여 개시된 원리는 여기에 개시된 잔여 실시예에 동일하게 적용가능하다. 이에 상응하여, 유사한 참조 번호가 유사한 구성 요소를 기술하기 위하여 사용될 것이다.

[0070] 도 3a 및 도 3b 를 참조하면, 마이크로전자 어셈블리(100')는, 제 1 및 제 2 개구(16, 26)가 각각 제 1 방향(D1)으로 연장하는 개별적인 길쭉한 제 1 치수(L1, L2) 및 제 2 방향으로 연장하는 개별적인 제 2 치수(W1, W2)를 가진다는 것을 제외하고는, 도 1 내지 도 3 에 대하여 도시되고 설명된 마이크로전자 어셈블리와 유사하다. 즉, 제 1 및 제 2 개구(16, 26)는 서로 횡단하기 보다는 서로 평행하게 연장한다.

[0071] 도 3a 에서 알 수 있는 바와 같이, 도 1 내지 도 3 과 유사하게, 제 1 마이크로전자 소자(36)는 기판(2)의 제 1 면(4)을 향하여 대향하는 전면(40) 및 제 1 개구(16)와 정렬되는 전면에 있는 본드 패드(42), 전면으로부터 반대인 후면(38), 및 전면 및 후면 사이에서 연장하는 에지(46)를 가진다. 제 2 마이크로전자 소자(53)는 제 1 마이크로전자 소자(36)의 후면(38)에 대향하고 제 1 마이크로전자 소자의 에지(46)를 넘어서 돌출하는 전면(57), 및 제 2 개구(26)와 정렬되는 제 2 마이크로전자 소자의 전면에 있는 본드 패드(59)를 가진다.

[0072] 특정한 예에서, 제 1 마이크로전자 소자(36)는 에지(46) 및 그것의 전면 및 후면 사이에서 연장하는 반대 에지 사이의 폭을 가질 수 있고, 제 2 마이크로전자 소자(53)는 그것의 전면 및 후면 사이에서 각각 연장하는 대향 에지들(opposed edges) 사이의 폭을 가질 수 있다. 제 1 마이크로전자 소자(36)의 폭은 제 1 개구(16)의 제 2 치수(W1)보다 더 클 수 있고, 제 2 마이크로전자 소자(53)의 폭은 제 2 개구(26)의 제 2 치수(W2)보다 더 클 수

있다.

[0073] 솔더 볼(15)의 어레이가 기판(2)의 제 2 면(6)에서 노출된 단자 콘택(10)에 부착될 수도 있다. 트레이스가 제 2 면(6)을 따라서 기판 콘택 9, (11)의 제 1 및 제 2 세트로부터 연장하여 기판 콘택(9, 11) 및 솔더 볼(15)을 지지하는 단자 콘택(10) 사이에 전기적 접속을 제공할 수 있다. 개별적인 제 1 및 제 2 마이크로전자 소자(36, 53)의 본드 패드(42, 59)는 기판(2)의 도전성 소자(예를 들어, 기판 콘택(9, 11) 및 단자(10))와 전기적으로 접속될 수 있다. 단자(10)는 마이크로전자 어셈블리(100')를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0074] 하나의 특정한 예에서, 기판(2)은 각각의 제 1 및 제 2 면(4, 6_ 사이에서 그리고 제 2 방향(D2)으로 연장하는 제 1 및 제 2 대향 주변 에지(3, 5)를 더 가질 수 있다. 기판(2)은 제 1 주변 에지(3) 및 개별적인 제 1 및 제 2 개구(16, 26) 사이에서 연장하는 제 2 면(6)의 제 1 및 제 2 주변 영역(P1, P2)을 가질 수 있다. 기판(2)은 제 2 주변 에지(5) 및 개별적인 제 1 및 제 2 개구(16, 26) 사이에서 연장하는 제 2 면(6)의 제 3 및 제 4 주변 영역(P3, P4)을 더 가질 수 있다. 제 1 및 제 3 주변 영역(P1, P3)은 제 1 개구(16)의 반대면에 위치될 수 있고, 제 2 및 제 4 주변 영역(P2, P4)은 제 2 개구(26)의 반대면에 위치될 수 있다.

[0075] 도 3b에 도시된 바와 같이, 제 1 개구(16)는 제 1 주변 에지(3)로부터 제 2 개구(26)와 동일한 거리인 위치까지 연장하고, 제 1 개구는 제 2 주변 에지(5)로부터 제 2 개구와 동일한 거리인 위치까지 연장하는데, 하지만 반드시 그래야 하는 것은 아니다. 일 예에서, 제 1 및 제 2 개구(16, 26) 중 하나는 제 1 및 제 2 개구 중 다른 하나보다 주변 에지(3, 5) 중 하나 또는 두 개 모두에 더 가까운 거리까지 연장할 수 있다.

[0076] 도 3b에 도시된 바와 같이, 단자(10)들 중 적어도 하나, 예를 들어 제 1 단자(10a)는 적어도 부분적으로 제 1 주변 영역(P1) 내에 배치되어, 제 1 방향(D1)으로 연장하고 제 1 단자(10a)를 통과하는 직선(S1)이 제 1 개구(16)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(10)들 중 적어도 하나, 예를 들어 제 2 단자(10b)는 적어도 부분적으로 제 2 주변 영역(P2) 내에 배치되어, 제 1 방향(D1)에서 연장하고 제 2 단자를 통과하는 직선(S2)이 제 2 개구(26)를 통과하여 또는 그 위로 지나가도록 할 수 있다.

[0077] 단자(10)들 중 적어도 하나, 예를 들어 제 3 단자(10c)는 적어도 부분적으로 제 3 주변 영역(P3) 내에 배치되어, 제 2 방향(D3)에서 연장하고 제 3 단자를 통과하는 직선이 제 1 개구(16)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(10)들 중 적어도 하나, 예를 들어 제 4 단자(10d)는 적어도 부분적으로 제 4 주변 영역(P4) 내에 배치되어, 제 1 방향(D1)에서 연장하고 제 4 단자를 통과하는 직선이 제 2 개구(26)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 하나의 특정한 예에서, 동일한 직선(S1)은 제 1 단자(10a) 및 제 3 단자(10c)를 통과하여 연장할 수 있지만, 반드시 그래야 하는 것은 아니다. 일 실시예에서, 동일한 직선(S2)은 제 2 단자(10b) 및 제 4 단자(10d)를 통과하여 연장할 수 있지만, 반드시 그래야 하는 것은 아니다.

[0078] 일 예에서, 제 1 마이크로전자 소자(36)의 본드 패드(42)는 제 1 개구(16)와 정렬되는 부분을 가지는 제 1 리드(48)에 의하여 도전성 소자(9)에 전기적으로 접속될 수 있다. 이와 유사하게, 제 2 마이크로전자 소자(53)의 본드 패드(59)는 제 2 개구(26)와 정렬되는 부분을 가지는 제 2 리드(65)에 의하여 도전성 소자(11)에 전기적으로 접속될 수 있다. 일 실시예에서, 제 1 리드(48)는, 예를 들어 만일 제 1 리드가 리드 본드라면, 제 1 개구(16)를 통과하여 연장하지 않을 수도 있다. 이와 유사하게, 제 2 리드(65)는, 예를 들어 만일 제 1 리드가 리드 본드라면, 제 1 개구(26)를 통과하여 연장하지 않을 수도 있다.

[0079] 도 3a에 도시된 바와 같이, 제 1 마이크로전자 소자(36)의 본드 패드(42)는 제 1 개구(16)를 통과하여 연장하는 와이어 본드(48)에 의하여 도전성 소자(9)에 전기적으로 접속될 수 있다. 이와 유사하게, 제 2 마이크로전자 소자(53)의 본드 패드(59)는 제 2 개구(26)를 통과하여 연장하는 와이어 본드(65)에 의하여 도전성 소자(11)에 전기적으로 접속될 수 있다. 하나의 특정한 예에서, 제 1 와이어 본드(48)는 오직 제 1 개구(16)를 통해서만 연장할 수도 있고, 제 2 와이어 본드는 오직 제 2 개구(26)만을 통해서만 연장할 수도 있다.

[0080] 예시적인 실시예에서, 제 1 및 제 2 마이크로전자 소자(36 및 53)는 도 1b 및 도 1c에 도시되는 것과 유사한 방식으로 구성되는 개별적인 본드 패드(42 및 59)를 가질 수 있다. 이러한 예에서, 제 1 및 제 2 마이크로전자 소자(36, 53)는 그것의 개별적인 전면(40, 57)의 중앙 영역 내에서 제 1 방향으로 연장하는 개별적인 본드 패드(42, 59) 중 다섯 개 이상의 적어도 하나의 행을 포함할 수 있고, 각각의 중앙 영역은 개별적인 마이크로전자 소자의 대향되는 제 1 및 제 2 에지 사이의 거리의 중간 삼분의 일만큼 연장한다.

[0081] 도 3c는 도 3a의 마이크로전자 어셈블리(100)의 다른 가능한 하단 뷰를 도시한다. 도 3c에 도시되는 실시예에서, 기판(2)은 서로 인접하게 배치된 제 1 및 제 2의 이격된 유전체 소자(2a, 2b)를 포함할 수 있는데, 각각

의 유전체 소자는 대향되는 상단 및 하단면을 가진다. 두 개의 유전체 소자(2a 및 2b)는 서로 공평면으로써, 기판(2)의 제 1 면(4)이 양자의 유전체 소자의 상단면을 포함할 수 있고, 기판의 제 2 면(6)이 양자의 유전체 소자의 하단면을 포함할 수 있게 할 수 있다.

[0082] 다른 예에서, 본 명세서에서 설명되는 유전체 소자들 중 임의의 것 또는 각각, 예컨대 도 3c에 도시되는 유전체 소자(2a 및 2b)는 본질적으로 실리콘과 같은 반도체 재료로 이루어진 기판 소자에 의하여 각각 대체될 수 있다. 특정 실시예에서, 본 명세서에서 설명되는 유전체 소자 중 임의의 것 또는 각각은 반도체 재료의 층 및 하나 이상의 유전체층을 포함할 수 있는 기판 소자에 의하여 각각 대체될 수 있다. 또 다른 실시예에서, 본 명세서에서 설명되는 유전체 소자들 중 임의의 것 또는 각각은 리드를 가지는 리드 프레임으로 대체될 수 있는데, 여기에서 단자는 리드의 부분, 예컨대 리드의 단부 부분일 수 있다.

[0083] 제 1 개구(16c)는 제 1 및 제 2 유전체 소자(2a, 2b)의 인접한 대향 에지(102a, 102b)들 사이의 개방된 영역에 의하여 정의될 수 있다. 인접한 대향 에지(102a, 102b)는 각각 제 1 치수(L1)를 가질 수 있고 각각 제 1 방향(D1)에서 연장할 수 있다. 제 1 개구(16c)는 제 1 치수(L1)보다 더 짧은, 제 2 방향(D2)에서의 제 2 치수(W1)를 가질 수 있다. 제 2 개구(26)는 도 3b에서와 같을 수 있어서, 제 2 개구는 제 2 유전체 소자(2b)에 의하여 밀봉될 수 있다.

[0084] 도 3b에 도시된 실시예와 유사하게, 단자(10)들 중 적어도 하나, 예를 들어 제 1 단자(10a)는 적어도 부분적으로 제 1 주변 영역(P1) 내에 배치되어, 제 1 방향(D1)으로 연장하고 제 1 단자(10a)를 통과하는 직선(S1)이 제 1 개구(16c)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(10)들 중 적어도 하나, 예를 들어 제 2 단자(10b)는 적어도 부분적으로 제 2 주변 영역(P2) 내에 배치되어, 제 1 방향(D1)에서 연장하고 제 2 단자를 통과하는 직선(S2)이 제 2 개구(26)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 이와 유사하게, 제 3 및 제 4 단자(10c 및 10d) 중 적어도 하나는 도 3b에 대하여 위에서 설명된 바와 같이 적어도 부분적으로 제 3 및 제 4 주변 영역 내에 배치될 수 있다.

[0085] 하나의 특정한 예에서, 제 2 개구(26)는 제 1 개구(16c)에 수직으로 지향될 수 있다. 예를 들어, 제 2 개구(26)는 제 2 방향(D2)에서의 제 1 치수(L2) 및 제 1 치수보다 더 짧은 제 1 방향(D1)에서의 제 2 치수(W2)를 가질 수 있다. 일 실시예에서, 기판(2)은 제 1 및 제 2 유전체 소자(2a, 2b)의 인접한 대향 에지(102a, 102b)들 사이에서 연장하는 유전체 영역(R)을 더 포함할 수 있고, 기판의 제 1 면은 유전체 영역의 상단면을 포함하고, 제 2 면은 유전체 영역의 하단면을 포함한다. 하나의 특정한 예에서, 유전체 영역(R)은 상기 유전체 소자(2a, 2b)보다 기판의 평면 내의 더 높은 영계수를 가질 수 있다.

[0086] 도 3a 및 도 3c에 도시된 바와 같이, 제 1 마이크로전자 소자(36)는 제 1 개구(16c)에 상재할 수 있고, 제 2 마이크로전자 소자(53)는 제 2 개구(26)에 상재할 수 있어서, 기판(2)에 더 근접한 마이크로전자 소자가 제 1 개구에 상재하는 것이 되게 한다. 그러나, 반드시 그래야 하는 것은 아니다. 다른 실시예에서, 기판(2)에 더 근접한 마이크로전자 소자(예를 들어, 제 1 마이크로전자 소자(36))는 제 2 개구(26)에 상재할 수 있고, 기판으로부터 더 멀리 떨어진 마이크로전자 소자(예를 들어, 제 2 마이크로전자 소자(53))는 제 1 개구(16c)에 상재할 수 있다.

[0087] 도 3d는 도 3a에 도시되는 마이크로전자 어셈블리(100)의 다른 가능한 하단 뷰를 도시한다. 도 3d에 도시되는 실시예에서, 기판(2)은 서로 인접하게 배치된 제 1, 제 2, 및 제 3 이격된 유전체 소자(2a, 2b, 및 2c)를 포함할 수 있는데, 각각의 유전체 소자는 대향하는 상단 및 하단면을 가진다. 3 개의 유전체 소자(2a, 2b, 및 2c)는 서로 공평면일 수 있어서, 기판(2)의 제 1 면(4)이 모든 3 개의 유전체 소자의 상단면들을 포함할 수 있고, 기판의 제 2 면(6)이 모든 3 개의 유전체 소자의 하단면들을 포함할 수 있다.

[0088] 도 3c의 제 1 개구(16c)와 유사한 제 1 개구(16d)는 제 1 및 제 2 유전체 소자(2a, 2b)의 인접한 대향 에지들 사이의 개방된 영역에 의하여 정의될 수 있다. 제 2 개구(26d)는 제 2 및 제 3 유전체 소자(2b, 2c)의 인접한 대향 에지 사이의 개방된 영역에 의하여 정의될 수 있다.

[0089] 도 3c에 도시되는 실시예와 유사하게, 단자(10)들 중 적어도 하나, 예를 들어 제 1 단자(10a)는 적어도 부분적으로 제 1 주변 영역(P1) 내에 배치되어, 제 1 방향(D1)으로 연장하고 제 1 단자(10a)를 통과하는 직선(S1)이 제 1 개구(16d)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(10)들 중 적어도 하나, 예를 들어 제 2 단자(10b)는 적어도 부분적으로 제 2 주변 영역(P2) 내에 배치되어, 제 1 방향(D1)에서 연장하고 제 2 단자를 통과하는 직선(S2)이 제 2 개구(26d)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 이와 유사하게, 제 3 및 제 4 단자(10c 및 10d) 중 적어도 하나는 도 3b에 대하여 위에서 설명된 바와 같이 적어도 부분적으로 제 3

및 제 4 주변 영역 내에 배치될 수 있다.

[0090] 일 예에서, 단자(10)는 개별적인 제 1, 제 2, 및 제 3 유전체 소자(2a, 2b, 및 2c)의 하단면에 노출되는 제 1, 제 2, 및 제 3 단자를 포함할 수 있고, 마이크로전자 소자(36, 53)들 중 적어도 하나의 본드 패드(42, 59) 중 적어도 일부는 개별적인 제 1, 제 2, 및 제 3 기판 부분들의 제 1, 제 2, 및 제 3 단자 중 두 개 이상과 전기적으로 접속될 수 있다. 특정 실시예에서, 제 1 마이크로전자 소자(36)의 본드 패드(42)의 적어도 일부는 제 1 및 제 2 기판 부분(2a, 2b)의 단자(10)와 전기적으로 접속될 수 있다. 일 실시예에서, 제 2 마이크로전자 소자(53)의 본드 패드(59) 중 적어도 일부는 제 2 및 제 3 기판 부분(2b, 2c)의 단자(10)와 전기적으로 접속될 수 있다.

[0091] 도 3e, 도 3f, 및 도 3g 는 도 3a 의 마이크로전자 어셈블리(100)의 다른 가능한 하단 뷔를 각각 도시한다. 도 3e 에 도시되는 실시예는 각각의 주변 영역이 제 1 방향(D1)에서 서로 인접하게 배치된 복수 개의 단자(10)를 포함할 수 있다는 것을 제외하고는 도 3d 에 도시되는 실시예와 동일하다. 예를 들어, 주변 영역(P1)은 단자 (10a 및 10a')를 포함하고, 제 1 개구(16e) 및 기판(2)의 주변 에지 사이에서 제 1 방향으로 연장하는 직선(S1)은 양자의 단자(10a 및 10a')를 통과하여 연장한다.

[0092] 도 3f 에 도시되는 실시예는 주변 영역들이 제 2 기판 부분(2b) 위가 아니라 제 1 및 제 3 기판 부분(2a 및 2c) 상에 위치된다는 것을 제외하고는 도 3d 에 도시되는 실시예와 동일하다. 도 3g 에 도시되는 실시예는 제 2 기판 부분(2b)이 그것의 중앙 부분에서 그것의 주변 부분 내의 제 2 폭(W')보다 더 큰 제 1 폭(W)을 가지고 주변 부분들은 제 1 방향(D1)을 따라 중앙 부분에 인접한다는 것을 제외하고는 도 3f 에 도시되는 실시예와 동일하다.

[0093] 도 3h 는 도 3d 에 도시되는 복수 개의 마이크로전자 어셈블리(100')를 포함하는 인-프로세스 어셈블리를 도시 한다. 도 3h 는 제 1 마이크로전자 어셈블리(100a') 및 제 2 마이크로전자 어셈블리(100b')를 도시한다. 제 1 및 제 2 마이크로전자 어셈블리(100)는 기판 부분(2a, 2b, 및 2c) 중 인접한 것들을 결합시키는 기판(2)의 접속 부(2')에 의하여 결합된다. 예를 들어, 기판(2)의 접속부(2')는 제 1 및 제 2 마이크로전자 어셈블리들 각각의 제 1 기판 부분(2a), 마이크로전자 어셈블리들 각각의 제 2 기판 부분(2b), 및 마이크로전자 어셈블리들 각각의 제 3 기판 부분(2c)을 결합시킨다. 마이크로전자 어셈블리(100')의 각각을 제작한 이후에, 접속부(2')는, 예를 들어 다이싱에 의하여 마이크로전자 어셈블리로부터 제거될 수 있고, 이를 통하여 개개의 마이크로전자 어셈블리를 개별화(singulating)한다.

[0094] 비록 도 3a 내지 도 3h 에서 제 1 및 제 2 개구는 서로 평행인 것으로 도시되지만, 다른 실시예들에서, 도 3a 내지 도 3h 에 도시되는 실시예들 중 임의의 것의 제 1 및 제 2 개구는 예를 들어 도 1 에 도시된 바와 같이 서로 횡단하도록 지향될 수 있다. 이러한 실시예에서, 제 1 개구 또는 제 2 개구 중 어느 하나는 기판의 유전체 소자에 의하여 밀봉될 수 있고, 다른 개구는 제 1 및 제 2 유전체 소자의 인접한 대향 에지들 사이의 개방된 영역에 의하여 정의될 수 있다. 하나의 특정한 예에서, 양자의 제 1 및 제 2 개구는 인접한 유전체 소자의 인접한 대향 에지 사이의 개별적인 개방된 영역에 의하여 정의될 수 있다.

[0095] 비록 도 3a 내지 도 3h 에서, 마이크로전자 어셈블리가 두 개의 마이크로전자 소자를 가지는 것으로 설명되지만, 다른 실시예들에서, 도 3a 내지 도 3h 에 도시되는 마이크로전자 어셈블리들 중 임의의 것은 제 3 마이크로전자 소자 또는 제 3 및 제 4 마이크로전자 소자를 더 포함할 수 있다. 예를 들어, 도 6, 도 9, 및 도 12 에 도시되는 실시예는 서로 인접하게 배치되는 두 개, 세 개, 네 개, 다섯 개, 또는 임의의 다른 개수의 유전체 소자를 가지는 기판을 포함할 수 있다.

[0096] 하나의 특정한 예에서, 도 3a 내지 도 3h 에 도시되는 마이크로전자 소자 및 개구의 구성을 중 임의의 것은 단일 마이크로전자 어셈블리 내에서 서로 인접하게 복제될 수 있다. 예를 들어, 도 3i 에 도시된 바와 같이, 도 3a 의 마이크로전자 소자 구성은 복제됨으로써, 단일 기판(2i)이 4 개의 개구(16, 26, 32, 및 82) 및 마이크로전자 소자의 두 개의 부분적으로 중첩하는 쌍을 가질 수 있게 하고, 마이크로전자 소자(36 및 53)의 제 1 중첩하는 쌍이 첫 번째 두 개의 개구(16 및 26)에 상재할 수 있게 하며, 그리고 제 1 쌍에 인접하는 마이크로전자 소자(68 및 88)의 제 2 중첩하는 쌍이 두 번째 두 개의 개구(32 및 82)에 상재할 수 있게 할 수 있다.

[0097] 일 예에서, 도 3i 의 제 4 마이크로전자 소자(88)는 생략될 수 있어서, 마이크로전자 어셈블리가 3 개의 부분적으로 중첩하는 마이크로전자 소자를 가질 수도 있고, 3 개의 마이크로전자 소자 중 두 개는 기판의 면에 평행인 단일 평면 내의 그것의 전면들과 정렬되며, 다른 마이크로전자 소자는 기판의 면에 평행인 상이한 평면 내에 정렬되는 전면을 가진다.

[0098]

도 3i 의 실시예는 다양한 하단 뷰 구성을 가질 수 있다. 일 예에서, 도 3j 에 도시된 바와 같이, 도 3b 에 도시되는 구성은 복제됨으로써, 단일 기판(2j)이 각각 기판에 의하여 밀봉되는 4 개의 평행 개구(16j, 26j, 32j, 및 82j)를 가질 수 있고, 마이크로전자 소자들 중 대응하는 하나의 콘택들은 각각의 개구(16j, 26j, 32j, 및 82j)와 정렬될 수 있게 할 수 있다. 다른 예에서, 도 3k 에 도시된 바와 같이, 도 3d 에 도시되는 구성은 복제됨으로써, 단일 기판(2k)이 서로에 대하여 배치되는 5 개의 이격된 유전체 소자(2a, 2b, 2c, 2d, 및 2e)를 가질 수 있고, 및 마이크로전자 소자들 중 대응하는 하나의 콘택들은 각각의 개구(16k, 26k, 32k, 및 82k)와 정렬될 수 있으며, 각각의 이러한 개구는 유전체 소자들 중 인접한 것들의 인접한 대향 에지들 사이의 개방된 영역에 의하여 정의될 수 있게 할 수 있다. 다른 실시예들에서, 도 3j 및 도 3k 의 기판들의 괴쳐는 단일 실시예에 통합됨으로써, 도 3i 의 4 개의 마이크로전자 소자들 중 하나 이상이 기판의 유전체 소자에 의하여 밀봉되는 개구에 각각 상재할 수 있고, 도 3i 의 4 개의 마이크로전자 소자들 중 하나 이상이 유전체 소자들 중 인접한 것들의 인접한 대향 에지들 사이의 개방된 영역에 의하여 정의되는 개구에 각각 상재할 수 있게 할 수 있다.

[0099]

도 4 내지 도 6 은 프론트 페이스-다운 포지션의 3 개의 적층된 마이크로전자 소자를 포함하는 대안적인 적층된 마이크로전자 어셈블리(200)를 도시한다. 도 5a 및 도 5b 에 최적으로 도시된 바와 같이, 제 2 마이크로전자 소자(253) 및 제 3 마이크로전자 소자(268) 모두는 제 1 마이크로전자 소자(236)에 상재할 수도 있다.

[0100]

도 4 및 도 5b 에 최적으로 도시된 바와 같이, 기판(202)은 제 1 면(204) 및 제 2 면(206), 및 제 1 면과 제 2 면(204, 206) 사이에서 연장하는 3 개의 개구를 가진다. 이전의 실시예에서와 같이, 제 1 개구(216)는 제 1 단부(222) 및 제 2 단부(224)를 가지며, 기판(202)의 중앙 부분 내에 포지셔닝될 수도 있는데, 이것은 또한 기판의 제 1 에지(203) 및 대향된 제 2 에지(205) 사이의 기판(202)의 중앙 3분의 1이다. 제 1 개구(216)는 자신의 제 1 단부(222) 및 제 2 단부(224)에서 단에지(218)를 포함한다. 제 2 개구(226)는 제 1 개구(216)의 제 1 단부(222)에 인접하게 포지셔닝될 수도 있다.

[0101]

제 3 개구(232)는 제 1 개구(216)의 제 2 단부(224)에 인접하게 포지셔닝됨으로써, 제 3 개구(232)의 장에지(234)가 제 1 개구(216)의 장에지(220)가 연장하는 방향에 횡단하는 방향으로 연장하도록 할 수도 있다. 이러한 구성에서, 제 2 및 제 3 개구(226, 232)는 서로 평행하고 또한 제 1 개구(216)에 수직함으로써, I 자의 형상을 형성할 수 있다. 대안적으로는, 제 1, 제 2, 및 제 3 개구(216, 226, 232)는 서로 조인됨으로써 이들이 하나의 연속 개구를 형성하도록 할 수도 있다. 이전의 실시예에서와 같이, 제 1, 제 2, 또는 제 3 개구(216, 226, 232) 중 하나 이상은 복수 개의 개구로 구성될 수도 있다.

[0102]

일 예에서, 제 1 개구(216)는 단치수(A2)보다 더 큰 장치수(A1)를 가질 수 있으며, 장치수(A1)는 제 1 방향(D1)으로 연장하고, 단치수(A2)는 제 1 방향에 횡단하는 제 2 방향(D2)으로 연장한다. 제 2 개구(226)는 단치수(B2)보다 더 큰 장치수(B1)를 가질 수 있는데, 장치수(B1)는 제 2 방향(D2)으로 연장하고, 단치수(B2)는 제 1 방향(D1)으로 연장한다. 제 3 개구(232)는 단치수(C2)보다 더 큰 장치수(C1)를 가질 수 있는데, 장치수(C1)는 제 2 방향(D2)으로 연장하고, 단치수(C2)는 제 1 방향(D1)으로 연장한다.

[0103]

제 1 및 제 2 마이크로전자 소자(236, 253)는 도 1 내지 도 3 의 실시예에 유사한 배치로 적층되며, 제 3 마이크로전자 소자(268)가 어셈블리 내에 포함되는 정도에서 상이하다. 도 5a 및 도 5b 를 참조하면, 제 1 마이크로전자 소자(236) 및 제 2 마이크로전자 소자(253)는 평면 내에 놓인다. 도 5b 에 더 양호하게 도시되는 바와 같이, 제 3 마이크로전자 소자(268)는 제 1 및 제 2 마이크로전자 소자(236, 253)에 인접하게 포지셔닝될 수도 있다. 이러한 실시예에서, 제 3 마이크로전자 소자(268)는 제 2 마이크로전자 소자(253)와 같은 평면에 놓이며, 제 1 마이크로전자 소자(236)와 동일한 평면 내에 놓이는 것이 아니다. 도시된 바와 같이, 하나 이상의 스페이서(235)가 제 3 마이크로전자 소자(268)를 제 1 마이크로전자 소자(236) 상부에서 지지하기 위하여 사용됨으로써, 제 3 마이크로전자 소자(268)의 제 2 에지(277)가 제 1 마이크로전자 소자(236)의 제 4 에지(247) 및 제 1 마이크로전자 소자(236)의 개별적인 제 1 및 제 2 에지(244, 245)의 부분들에 상재하거나 이와 중첩하게 할 수 있다. 제 3 마이크로전자 소자(268) 상의 본드 패드(274)는 제 3 마이크로전자 소자(268)(도 5b, 도 6)의 중앙 영역(942)을 따라서 연장하고 제 3 개구(232)에 대향한다. 이전에 개시된 실시예에서와 같이, 중앙 영역(942)은 제 3 마이크로전자 소자(268)의 제 1 에지와 제 2 에지(276, 277) 사이의 길이의 중앙 3분의 1 상에 포지셔닝될 수 있다. 제 3 마이크로전자 소자(268) 상의 본드 패드(274)는 제 3 개구(232)와 정렬되고 이를 통하여 노출될 수도 있다.

[0104]

두 개의 마이크로전자 소자를 가지는 실시예에 대하여 위에서 설명된 바와 같이, 제 3 마이크로전자 소자(268)는 제 3 마이크로전자 소자의 전면의 중앙 영역에서 일 방향으로 연장하는 5 개 이상의 본드 패드(274)의 적어도 하나의 행을 가질 수 있다. 하나의 특정한 예에서, 제 3 마이크로전자 소자(268)의 본드 패드(274) 중 5 개

이상의 적어도 하나의 행은 제 3 마이크로전자 소자의 주변 에지에 인접하게 배치될 수 있다. 도 6 에 도시된 바와 같이, 제 3 마이크로전자 소자(268)의 5 개 이상의 본드 패드(274)의 적어도 하나의 행(274')은 제 2 개구(226) 및 제 3 개구(232)의 장치수가 연장할 수 있는 것과 동일한 방향(D2)에서 연장할 수 있는데, 이것은 제 1 개구(216)의 장치수가 연장할 수 있는 방향(D1)에 횡단할 수 있지만, 반드시 그래야 하는 것은 아니다.

[0105] 도전성 접속은 개별적인 마이크로전자 소자 상의 본드 패드 각각을 기판의 하단면 상의 콘택의 개별 세트와 접속시키기 위하여 사용될 수도 있다. 예를 들어, 도시된 바와 같이, 본드 와이어(280)는 제 3 마이크로전자 소자(268)의 표면에서 노출된 본드 패드(274)를 기판(202)의 제 2 면(206) 상의 콘택(213)의 제 3 세트와 접속시킨다. 도 6 을 참조하면, 도전성 트레이스(208)는 이제 제 3 마이크로전자 소자(268) 상의 본드 패드(274) 각각을 솔더 볼을 지지하는 단자 콘택(210)과 전기적으로 접속시킬 수도 있다. 단자(210)는 마이크로전자 어셈블리(200)를 어셈블리 외부의 적어도 하나의 컴포넌트로 접속시키기 위하여 구성될 수 있다.

[0106] 이전의 실시예에 대한 것과 같이, 제 1, 제 2, 및 제 3 마이크로전자 소자(236, 253, 268)의 정렬 상태는 개별적인 제 1, 제 2 및 제 3 마이크로전자 소자(236, 253, 268)의 개별적인 본드 패드(242, 259, 274)(도 5b) 각각이 개별적인 제 1, 제 2, 및 제 3 개구(216, 226, 232)와 정렬되도록 한다. 그러면, 이것은 도전성 접속이 인접한 도전성 접속으로부터의 간섭이 없이 제 1, 제 2 및 제 3 개구(216, 226, 232) 내에서 또는 이를 통하여 진행하도록 한다. 추가적으로, 이것은 칩의 중앙 영역 상에 포지셔닝된 본드 패드를 가지는 두 개 이상의 칩의 적층을 가능하게 한다.

[0107] 하나의 특정한 예에서, 기판(202)은 또한 제 1 및 제 2 면(204, 206) 사이에서 그리고 제 1 방향(D1)으로 연장하는 제 1 주변 에지(203)를 가질 수 있다. 기판(202)은 또한 제 1 및 제 2 면(204, 206) 사이에서 그리고 제 1 방향(D1)으로 연장하는 제 2 주변 에지(205)를 가질 수 있다.

[0108] 상기 제 1 개구(216)는 상기 제 1 방향(D1)에서 연장하는 길쭉한 제 1 치수(L1) 및 제 1 치수보다 더 짧은 제 2 방향(D2)에서의 제 2 치수(W1)를 가질 수 있다. 제 2 개구(226)는 제 2 방향(D2)에서 연장하는 길쭉한 제 1 치수(L2) 및 제 1 치수보다 더 짧은 제 1 방향(D1)에서의 제 2 치수(W2)를 가질 수 있다. 제 2 개구(232)는 제 2 방향(D2)에서 연장하는 길쭉한 제 1 치수(L3) 및 제 1 치수보다 더 짧은 제 1 방향(D1)에서의 제 2 치수(W3)를 가질 수 있다.

[0109] 기판(202)은 제 1 주변 에지(203) 및 개별적인 제 2 및 제 3 개구(226, 232) 사이에서 연장하는 제 2 면(206)의 제 1 및 제 2 주변 영역(P1, P2)을 가질 수 있다. 기판(202)은 제 2 주변 에지(205) 및 개별적인 제 2 및 제 3 개구(226, 232) 사이에서 연장하는 제 2 면(206)의 제 3 및 제 4 주변 영역(P3, P4)을 더 가질 수 있다. 제 1 및 제 3 주변 영역(P1, P3)은 제 2 개구(226)의 반대면에 위치될 수 있고, 제 2 및 제 4 주변 영역(P2, P4)은 제 3 개구(232)의 반대면에 위치될 수 있다.

[0110] 도 6 에 도시된 바와 같이, 단자(210)들 중 적어도 하나, 예를 들어 제 1 단자(210a)는 적어도 부분적으로 제 1 주변 영역(P1) 내에 배치되어, 제 2 방향(D2)으로 연장하고 제 1 단자(210a)를 통과하는 직선(S1)이 제 2 개구(226)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(210)들 중 적어도 하나, 예를 들어 제 2 단자(210b)는 적어도 부분적으로 제 2 주변 영역(P2) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 3 단자(210c)를 통과하는 직선이 제 2 개구(226)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(210)들 중 적어도 하나, 예를 들어 제 3 단자(210c)는 적어도 부분적으로 제 3 주변 영역(P3) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 4 단자(210d)를 통과하는 직선이 제 3 개구(232)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(210)들 중 적어도 하나, 예를 들어 제 4 단자(210d)는 적어도 부분적으로 제 4 주변 영역(P4) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 4 단자(210d)를 통과하는 직선이 제 3 개구(232)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 단자(210)들 중 적어도 하나, 예를 들어 제 1 단자(210a) 및 제 3 단자(210c)를 통과하여 연장할 수 있지만, 반드시 그래야 하는 것은 아니다.

[0111] 단자(210)들 중 적어도 하나, 예를 들어 제 3 단자(210c)는 적어도 부분적으로 제 3 주변 영역(P3) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 3 단자(210c)를 통과하는 직선이 제 2 개구(226)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 하나의 특정한 예에서, 동일한 직선(S1)은 제 1 단자(210a) 및 제 3 단자(210c)를 통과하여 연장할 수 있지만, 반드시 그래야 하는 것은 아니다.

[0112] 단자(210)들 중 적어도 하나, 예를 들어 제 4 단자(210d)는 적어도 부분적으로 제 4 주변 영역(P4) 내에 배치되어, 제 2 방향(D2)에서 연장하고 제 4 단자(210d)를 통과하는 직선이 제 3 개구(232)를 통과하여 또는 그 위로 지나가도록 할 수 있다. 하나의 특정한 예에서, 동일한 직선(S2)은 제 2 단자(210b) 및 제 4 단자(210d)를 통과하여 연장할 수 있지만, 반드시 그래야 하는 것은 아니다.

[0113] 이제 도 7 내지 도 9 를 참조하면, 페이스-다운 포지션에서 기판에 상재하는 4 개의 적층된 마이크로전자 소자를 포함하는 마이크로전자 어셈블리(300)를 예시하는 다른 실시예가 도시된다. 이러한 실시예에서, 4 개의 개구가 기판(302)의 제 1 및 제 2 면(304, 306)을 통하여 연장한다. 도 7 에서 최선으로 도시된 바와 같이, 제 1 및 제 2 개구(316, 326)는 제 3 및 제 4 개구(332, 382)에 수직인 방향으로 포지셔닝된다. 제 1 개구(316)는 장에지(320) 및 단에지(318)를 가지는데, 단에지(318)는 제 1 개구(316)의 제 1 단부(322) 및 제 2 단부(324)

에 위치된다. 제 2 개구(326)는 단에지(328)의 쌍 및 장에지(330)의 쌍을 더 가지는데, 여기에서 단에지(328)는 제 2 개구(326, 326)의 제 1 단부(329) 및 제 2 단부(331)에 위치된다. 제 3 개구(332)는 제 1 및 제 2 개구(316, 326)의 개별적인 제 1 단부(322, 329)에 인접하여 위치되는 반면에, 제 4 개구(382)는 제 1 및 제 2 개구(316, 326)의 개별적인 제 2 단부(324, 331)에 인접하여 위치된다. 이러한 실시예에서, 제 3 및 제 4 개구(332, 382)의 개별적인 장에지(334, 384)는 개별적인 제 1 및 제 2 개구(316, 326)의 장에지(320, 330)와 정렬되지 않는다. 도시된 바와 같이, 제 1 및 제 2 개구(316, 326)는 제 3 및 제 4 개구(332, 382)보다 기판(302)의 외부 주변 에지(312)로부터 더 멀리 이격된다.

[0114] 일 예에서, 제 1 개구(316)는 단치수(A2)보다 더 큰 장치수(A1)를 가질 수 있으며, 장치수(A1)는 제 1 방향(D1)으로 연장하고, 단치수(A2)는 제 1 방향에 횡단하는 제 2 방향(D2)으로 연장한다. 제 2 개구(326)는 단치수(B2)보다 더 큰 장치수(B1)를 가질 수 있는데, 장치수(B1)는 제 1 방향(D1)으로 연장하고, 단치수(B2)는 제 2 방향(D2)으로 연장한다. 제 3 개구(332)는 단치수(C2)보다 더 큰 장치수(C1)를 가질 수 있는데, 장치수(C1)는 제 2 방향(D2)으로 연장하고, 단치수(C2)는 제 1 방향(D1)으로 연장한다. 제 4 개구(382)는 단치수(E2)보다 더 큰 장치수(E1)를 가질 수 있는데, 장치수(E1)는 제 2 방향(D2)으로 연장하고, 단치수(E2)는 제 1 방향(D1)으로 연장한다.

[0115] 도 7 내지 도 8c 를 참조하면, 제 1 및 제 2 마이크로전자 소자(336, 353)는 공지된 물질, 예컨대 접착제(301) 또는 기타 등등을 사용하여 기판(302)에 부착됨으로써, 제 1 마이크로전자 소자(336)의 전면(340) 및 제 2 마이크로전자 소자(353)의 전면(357)이 기판(302)의 제 1 면(304) 상에 직접적으로 포지셔닝되도록 할 수도 있다. 제 1 마이크로전자 소자(336) 상의 본드 패드(342)도 제 1 개구(316) 상에 포지셔닝될 수도 있으며, 제 2 마이크로전자 소자(353) 상의 본드 패드(359)는 제 2 개구(326) 상에 포지셔닝될 수도 있다. 도시된 바와 같이, 제 1 마이크로전자 소자(336)의 제 1 및 제 2 에지(344, 345) 및 제 2 마이크로전자 소자(353)의 제 1 및 제 2 에지(361, 362)는 서로 평행하며 동일한 방향에서 연장한다.

[0116] 제 3 및 제 4 마이크로전자 소자(368, 388)는 기판(302), 및 제 1 및 제 2 마이크로전자 소자(336, 353) 상에 포지셔닝될 수도 있다. 도 7 및 도 8a 에 최적으로 도시되는 바와 같이, 제 3 마이크로전자 소자(368)의 전면(372)은 제 1 및 제 2 마이크로전자 소자(336, 353)의 후면(338, 355)에 상재한다. 이와 유사하게, 제 4 마이크로전자 소자(388)의 전면(392)은 개별적인 제 1 및 제 2 마이크로전자 소자(336, 353)의 후면(338, 355)에 상재한다. 스페이서(235)(도 8a, 도 8b)는 제 3 마이크로전자 소자(368) 및 제 4 마이크로전자 소자(388)의, 기판(302)의 제 1 면(304)에 대향하는 부분을 지지하도록 사용될 수도 있는데, 하지만 제 1 및 제 2 마이크로전자 소자(336, 353)에 상재하지 않는다.

[0117] 도 7 및 도 8b 내지 도 8d 에 도시된 바와 같이, 제 3 마이크로전자 소자(368)는 제 1 및 제 2 마이크로전자 소자(336, 353)의 개별적인 제 1 단부(348, 365)에 인접한다. 제 4 마이크로전자 소자(388)는 개별적인 제 1 및 제 2 마이크로전자 소자(336, 353)의 제 2 단부(350, 367)에 인접한다. 추가적으로, 제 3 마이크로전자 소자(368)의 개별적인 제 1 및 제 2 에지(376, 377) 및 제 4 마이크로전자 소자(388)의 제 1 및 제 2 에지(396, 397)는 제 1 마이크로전자 소자(336)의 개별적인 제 1 및 제 2 에지(344, 345) 및 제 2 마이크로전자 소자(353)의 제 1 및 제 2 에지(361, 362) 모두에 수직한 방향으로 연장한다. 결과적으로, 도 9 를 참조하면, 제 3 마이크로전자 소자(368)의 중앙 영역(946)(도 8b)을 따라서 연장하는 본드 패드(374) 및 제 4 마이크로전자 소자(388)의 중앙 영역(948)(도 8b)을 따라서 연장하는 본드 패드(394)는 제 1 및 제 2 마이크로전자 소자(336, 353)의 개별적인 중앙 영역(950, 952)에 인접하게 포지셔닝된 개별적인 본드 패드(342, 359)에 수직인 방향으로 연장할 것이다. 두 개의 마이크로전자 소자를 가지는 실시예에 대하여 위에서 설명된 바와 같이, 제 4 마이크로전자 소자(388)는 제 4 마이크로전자 소자의 전면의 중앙 영역에서 일 방향으로 연장하는 5 개 이상의 본드 패드(394)의 적어도 하나의 행(394')을 가질 수 있다.

[0118] 기판(302) 상의 개별적인 마이크로전자 소자의 방위는 제 1, 제 2, 제 3, 및 제 4 마이크로전자 소자(336, 353, 368, 388)의 본드 패드(342(도 8d), 359(도 8b), 374, 394)로부터 기판(302)의 제 2 면(306) 상의 콘택(309, 311, 313, 314)의 개별적인 제 1, 제 2, 제 3, 및 제 4 세트로의 전기적 접속을 가능하게 한다. 전기적 접속은 제 1, 제 2, 제 3, 및 제 4 개구(316, 326, 332, 382) 내에 또는 이를 통하여 이루어질 수 있다. 이러한 실시예에서, 개별적인 제 1, 제 2, 제 3, 및 제 4 마이크로전자 소자(336, 353, 368, 388)로부터 연장하는 본드 와이어(380A, 380B(도 8a), 380C, 380D(도 8b))는 제 1, 제 2, 제 3, 및 제 4 개구(316, 326, 332, 382)를 통하여 연장하며 기판(도 8a, 8b) 상의 콘택(309, 311, 313, 314)의 개별적인 제 1, 제 2, 제 3, 및 제 4 세트로 접속한다.

[0119]

도 9에서 도시된 바와 같이, 기판(302)의 제 2 면(306)을 따라서 연장하는 트레이스(308)는 콘택(309, 311, 313, 314)의 제 1, 제 2, 제 3, 및 제 4 세트를 도전성 물질, 예컨대 그 위에 분산된 솔더 볼을 가지는 단자 콘택에 접속시킬 수 있다. 단자들은 마이크로전자 어셈블리(300)를 어셈블리 외부의 적어도 하나의 콤포넌트로 접속시키기 위하여 구성될 수 있다.

[0120]

도 3, 도 3a 내지 3H, 및 도 6에 대하여 도시되고 설명된 실시예들과 유사하게, 기판(302)은 개구(316, 326, 332, 382) 중 하나 이상 및 기판의 개별적인 주변 에지 사이에서 연장하는 주변 영역을 가질 수 있다. 예를 들어, 기판은 제 3 개구(332)의 반대 단부 및 기판(302)의 반대 주변 에지 사이에서 연장하는 주변 영역(P1 및 P3)을 가질 수 있고, 주변 영역(P2 및 P4)은 제 4 개구(382)의 반대 단부 및 기판(302)의 반대 주변 에지 사이에서 연장하며, 주변 영역(P5 및 P7)은 제 1 개구(316)의 반대 단부 및 기판(302)의 반대 주변 에지 사이에서 연장하고, 그리고 주변 영역(P6 및 P8)은 제 2 개구(326)의 반대 단부 및 기판(302)의 반대 주변 에지 사이에서 연장한다. 도 9에 도시된 바와 같이, 기판(302)의 제 2 면(306)에서 노출된 적어도 하나의 단자는 주변 영역(P1-P8) 각각 내에 위치될 수 있다. 다른 실시예들에서, 주변 영역(P1-P8)의 하나 이상은 그 안에 위치된 임의의 단자를 가지지 않을 수도 있다.

[0121]

도 9에 도시되는 실시예에서, 또는 여기에 개시된 다른 임의의 실시예에서, 기판(302)은 제 1 및 제 2 면(304, 306) 사이에서 그것을 통하여 연장하는 개구부를 가질 수 있다. 일 실시예에서, 하나 이상의 이러한 개구부는 적어도 부분적으로 주변 영역(P1) 내에 위치된 개구부(395)처럼, 단자(310) 중 하나 이상에 인접한 주변 영역(P1-P8) 중 하나 이상 내에 위치되거나, 또는 단자들 중 하나 이상의 자리에 위치될 수 있다. 언더필 또는 도 8b에 도시되는 봉합재(399)와 같은 봉합재는 이러한 개구부(395)를 통해 주입되어 마이크로전자 소자(336)의 본드 패드(342) 중 적어도 일부 및 본드 패드가 전기적으로 접속되는 콘택(309) 중 적어도 일부를 커버할 수 있다. 이러한 개구부(395)는 기판(302)의 표면을 따라 어디에나 위치될 수 있는데, 하지만 바람직한 실시예에서는 개구부의 하나 이상은 주변 영역(P1-P8) 중 하나 이상 내에 위치된다. 하나의 특정한 예에서, 봉합재(399)는 마이크로전자 소자(336, 353, 368, 및 388)의 하나 이상의 전면을 향해 근사적으로 45도의 각도에서 개구부(395)를 통해 주입될 수 있다.

[0122]

도 9a에 더욱 도시되는 바와 같이, 마이크로전자 어셈블리(300')는 자신의 콘택-베어링 표면(340, 357)이 기판(302)에 인접하는 마이크로전자 소자의 이격된 에지들(345, 361) 사이에 배치된 버퍼 소자(390)를 더 포함할 수 있다. 일 실시예에서, 버퍼 소자(390)는 어셈블리의 단자에서 수신된 적어도 하나의 신호를 버퍼 소자로부터 어셈블리(300') 상의 제 1, 제 2, 제 3 및 제 4 마이크로전자 소자(336, 353, 368, 388)로 재생시킬 수 있다. 이러한 경우에서, 버퍼 소자(390)는 신호를 단자로부터 수신하고 신호를 재생시키며, 재생된 신호를 어셈블리(300') 상의 마이크로전자 소자 중 하나 이상으로 전달하도록 구성된다. 이러한 구성의 하나의 이점은 어셈블리(300') 내의 마이크로전자 소자와 거기에 접속된 회로 패널 사이에 격리를 제공한다는 것이며, 이에 의하여 어셈블리 상의 상호접속 스터브가 회로 패널 상의 대응하는 신호 라인으로부터 전기적으로 격리된다. 이러한 방법에서, 어셈블리 내의 부적절하게 종단된 스터브에 의하여 야기된 신호 반영(signal reflections)이 회피될 수 있다.

[0123]

이제 도 10 내지 도 12를 참조하면, 중심 접합된 마이크로전자 소자를 페이스-다운 포지션에서 포함하는 적층된 어셈블리(400)의 대안적 실시예가 도시된다. 우선 도 10 및 도 11a를 참조하면 이러한 실시예는 비록 제 1 및 제 2 마이크로전자 소자(436, 453)가 서로 인접하지만, 이들이 동일한 평면에 놓이지는 않는다는 수준에서 차이가 난다. 이전의 실시예에서와 같이, 제 1 마이크로전자 소자(436)는 페이스-다운 포지션에 있음으로써 제 1 마이크로전자 소자(436)의 제 1 에지와 제 2 에지 사이의 중앙 영역(958)(도 11a) 또는 중앙 3분의 1을 따라서 연장하는 본드 패드(442)가 기판(402)의 제 1 개구(416)(도 11a 및 도 12)를 통하여 노출되게 한다. 제 2 마이크로전자 소자(453)는 제 1 마이크로전자 소자(436)의 적어도 일부에 상재하도록 포지셔닝된다. 도 11a에서 최적으로 도시된 바와 같이, 제 2 마이크로전자 소자(453)의 제 1 에지(465)는 제 1 마이크로전자 소자(436)의 후면(438)의 제 2 에지(445)의 일부에 상재한다. 그러면, 제 3 및 제 4 마이크로전자 소자(468, 488)는, 이전의 실시예에서 논의된 바와 같이, 제 1 및 제 2 마이크로전자 소자(436, 453) 모두에 상재하도록 포지셔닝된다. 도 11b 내지 도 11d는 도 7 내지 도 9의 그것들과 유사하게 보이는 어셈블리의 상이한 뷰를 더 도시한다.

[0124]

이전의 실시예에서와 같이, 본드 와이어가 개별적인 마이크로전자 소자 상의 본드 패드를 기판 상의 콘택과 접속시키기 위하여 사용될 수 있다. 제 1 마이크로전자 소자(436) 상의 본드 와이어(449)는 제 1 마이크로전자 소자(436) 상의 본드 패드(442)로부터, 기판(402) 내의 제 1 개구(416)를 통하여, 기판(402) 상의 콘택(409)의 제 1 세트로 연장한다. 제 2 마이크로전자 소자(453) 상의 본드 와이어(460)는 본드 패드(459)로부터 제 2 개

구(426)를 통하여 연장하며, 기판(402) 상의 콘택(411)의 제 2 세트에 접속한다. 제 3 마이크로전자 소자(468) 상의 본드 와이어(475)는 본드 패드(474)로부터 제 3 개구(432)를 통하여 연장하며, 기판(402) 상의 콘택(413)의 제 3 세트에 접속한다. 도 12 에 도시된 바와 같이, 트레이스(408)는 콘택(409, 411, 413, 414)의 각각의 세트를 기판(402) 상의 단자 콘택(410)으로 접속시키기 위하여 사용될 수 있다. 단자(410)는 마이크로전자 어셈블리(400)를 어셈블리 외부의 적어도 하나의 커먼너트로 접속시키기 위하여 구성될 수 있다.

[0125] 도 4, 도 4a 내지 도 3h, 도 6, 및 도 9 에 대하여 도시되고 설명된 실시예들과 유사하게, 기판(402)은 개구(416, 426, 432, 482) 중 하나 이상 및 기판의 개별적인 주변 에지 사이에서 연장하는 주변 영역을 가질 수 있다. 예를 들어, 기판은 제 3 개구(432)의 반대 단부 및 기판(402)의 반대 주변 에지 사이에서 연장하는 주변 영역(P1 및 P3)을 가질 수 있고, 주변 영역(P2 및 P4)은 제 4 개구(482)의 반대 단부 및 기판(402)의 반대 주변 에지 사이에서 연장하며, 주변 영역(P5 및 P7)은 제 1 개구(416)의 반대 단부 및 기판(402)의 반대 주변 에지 사이에서 연장하고, 그리고 주변 영역(P6 및 P8)은 제 2 개구(426)의 반대 단부 및 기판(402)의 반대 주변 에지 사이에서 연장한다. 도 9 에 도시된 바와 같이, 기판(402)의 제 2 면(406)에서 노출된 적어도 하나의 단자는 주변 영역(P1-P8) 각각 내에 위치될 수 있다. 다른 실시예들에서, 주변 영역(P1-P8)의 하나 이상은 그 안에 위치된 임의의 단자를 가지지 않을 수도 있다.

[0126] 도 13 으로 돌아가면, 도 10 내지 도 12 의 대안적인 실시예에서, 마이크로전자 어셈블리(500)는 제 4 마이크로전자 소자(588)의 후면(590) 및 전면(592)의 일부와 열적 통신하는 열 확산기(552)를 더 포함한다. 열 확산기(552)는 또한 제 1 마이크로전자 소자와 제 2 마이크로전자 소자(536, 553) 사이에서 연장하여, 적층된 마이크로전자 소자의 배치구성 내에서 열을 균일하게 분산시키도록 도울 수도 있다. 열 확산기(552)는 주위 환경으로의 열 소모도 함께 개선할 수도 있다. 열 확산기(552)는 임의의 적합한 열전도성 물질로 부분적으로 또는 전체적으로 제작될 수 있다. 적합한 열전도성 물질의 예는 금속, 그래파이트, 열전도성 접착제, 예를 들어, 열전도성 에폭시, 솔더, 또는 기타 등등, 또는 이러한 물질의 조합을 포함하지만 그것들로 제한되지는 않는다. 일 예에서, 열 확산기(552)는 금속의 실질적으로 연속인 시트일 수 있다. 특정 실시예에서, 금속 또는 다른 열전도성 물질로 제조된 미리-형성된 열 확산기(552)는 열전도성 접착제 또는 열전도성 구리스와 같은 열전도성 물질을 이용하여 제 4 마이크로전자 소자(588)의 후면(590)에 부착되거나 그것 상에 배치될 수도 있다. 만일 존재한다면, 접착제는 열 확산기와 이것이 부착된 마이크로전자 소자 사이의 상대적인 운동을 가능하게 하는 유연성 물질로서, 예컨대 유연하게 부착된 소자들 사이의 차동 열 팽창을 수용하는 것일 수 있다. 열 확산기(552)는 제 3 마이크로전자 소자(568)(미도시), 제 1 마이크로전자 소자(536)의 제 1 면, 및 제 2 마이크로전자 소자(553)의 일부와도 콘택할 수도 있다. 열 확산기(552)는 모놀리식 구조체일 수도 있다. 대안적으로는, 열 확산기(552)는 서로 이격된 다중 확산기부들을 포함할 수도 있다. 특정 실시예에서, 열 확산기(552)는 제 1, 제 2, 제 3, 및 제 4 마이크로전자 소자(536, 553, 568, 588) 중 하나 이상의 후면의 적어도 일부에 직접적으로 조인된 솔더의 층이거나 이를 포함할 수도 있다.

[0127] 비록 종래의 실시예가 중심-접합된 칩을 내장하는 적층된 마이크로전자 어셈블리를 개시했지만, 앞선 마이크로전자 어셈블리 중 임의의 것에 중심 접합된 적어도 하나의 칩을 내장시키는 것도 역시 가능하다는 것이 이해되어야 한다. 예를 들어, 도 14 를 참조하면, 도 4 내지 도 6 의 실시예와 실질적으로 유사한 적층된 마이크로전자 어셈블리가 도시된다. 이러한 실시예는 본드 패드의 제 2 마이크로전자 소자의 에지와 나란한 위치를 수용하기 위하여 변형이 필요하다는 수준에서 상이하다.

[0128] 도 14 에 도시된 바와 같이, 이전의 실시예에서와 같이, 제 2 마이크로전자 소자는 제 1 외부 영역(966), 제 2 외부 영역(968), 및 제 1 외부 영역(966)과 제 2 외부 영역(968) 사이에 포지셔닝된 중앙 영역(970)인 3 개의 영역을 포함할 수도 있다. 제 2 마이크로전자 소자(653) 상의 본드 패드(659)(도 15)는 제 2 마이크로전자 소자(653)의 전면(657)의 제 1 외부 영역(966) 상에 포지셔닝된다. 본드 패드(659)의 제 2 마이크로전자 소자(653) 상의 위치를 수용하기 위하여, 기판(602)의 제 2 개구(626)도 역시 기판(602)의 에지(612)(도 14)에 직접적으로 인접하여 제 1 외부 영역(966) 내에 포지셔닝된다. 도 15 를 참조하면, 도전성 접속은 이제 제 2 마이크로전자 소자(653) 상의 본드 패드(659)로부터 기판(602)의 제 2 면(606)의 콘택(611)의 제 2 세트로 연장할 수 있다. 트레이스(608)는 콘택(611)의 제 2 세트를 단자 콘택(610)에 전기적으로 접속시키는데, 이것은 솔더볼(615)을 지지한다.

[0129] 비록 이전에 개시된 실시예에서 기판 내의 개구를 통하여 연장하는 본드 와이어가 마이크로전자 소자와 기판의 제 2 면 상의 콘택 사이에 전기적 접속을 확립하는데 사용되었지만, 이러한 접속을 확립하기 위한 임의의 공지된 구조 또는 방법이 사용될 수도 있다는 것이 이해되어야 한다. 예를 들어, 일 실시예에서, 도 16 내지 도 17b 를 참조하면, 제 1 및 제 2 마이크로전자 소자(736, 753)는 도 1 내지 도 3 에 도시되는 실시예와 유사한

방식으로 적층된다. 이러한 대안적인 실시예에서, 본딩의 두 개의 추가적 타입이 예시된다. 이러한 본딩 기법은, 예를 들어 미국 특허 번호 제 5,861,666 호에 개시되는데, 그 개시물은 원용에 의해 본 명세서에 포함된다.

[0130] 우선 도 17a 를 참조하면, 리드 결합(748)은 제 1 마이크로전자 소자(736) 상의 본드 패드(742)로부터 기판(702)의 제 2 면(706) 상의 콘택(709)의 제 1 세트로 연장하는 것으로 도시된다. 리드 결합(748)은 이전의 실시예에서 개시된 본드 와이어보다 실질적으로 더 단단하다. 이제 도 17b 로 돌아가면, 기판(702)의 제 2 면(706)에 반대로, 유사한 리드 결합(765)이 제 2 마이크로전자 소자(753)의 본드 패드로부터 기판(702)의 제 1 면(704) 상의 콘택(711)의 제 2 세트로 연장할 수도 있다. 비아(766)는 기판(702)의 제 1 면(704)과 제 2 면(706) 사이에서 연장할 수도 있다. 비아(766)는 도전성 물질로써 충진되어 기판의 제 1 면 상의 콘택을 기판(702)의 제 2 면(706) 상의 단자 콘택(710)과 전기적으로 접속시킬 수도 있다.

[0131] 위에서 논의된 다양한 마이크로전자 어셈블리가 다양한 전자 시스템을 제작하는 데에 이용될 수 있다. 예를 들어, 도 18 을 참조하면, 본 발명의 다른 실시예에 따르는 시스템(1000)은 다른 전자적 컴포넌트(1008 및 1010)와 공동으로, 위의 마이크로전자 어셈블리의 이전의 실시예에서 설명된 바와 같은 구조(1006)를 포함한다. (1008 1010) 묘사된 예에서, 컴포넌트(1008)는 반도체 칩인 반면에 컴포넌트(1010)는 디스플레이 스크린인데, 하지만 임의의 다른 컴포넌트도 사용될 수 있다. 물론, 예시의 명확화를 위하여 비록 오직 두 개의 추가적 컴포넌트가 도 18 에서 묘사되지만, 시스템은 임의의 개수의 이러한 컴포넌트를 포함할 수도 있다. 위에서 설명된 바와 같은 구조(1006)는, 예를 들어 복수의 칩을 내장하는 복합 칩 또는 구조일 수도 있다. 다른 변형예에서는 양자 모두가 제공될 수도 있으며, 임의의 개수의 이러한 구조가 사용될 수도 있다. 구조(1006) 및 컴포넌트(1008 및 1010)는, 개략적으로 패션으로 묘사된 공통 하우징(1001) 내에 실장되고, 필요에 따라 서로 전기적으로 상호접속되어 원하는 회로를 형성한다. 도시된 예시적인 시스템에서, 시스템은 회로 패널 또는 가교성 인쇄 회로 보드와 같은 회로 패널(1002)을 포함하는데, 회로 패널은 다수의 도체(1004)를 포함하며, 이들 중에서 오직 하나가 도 18 에서 컴포넌트들을 서로 상호접속하는 것으로 묘사된다. 그러나, 이것은 단순히 예시적인 것일 뿐이다; 전기 접속을 이루기 위한 임의의 적합한 구조가 사용될 수 있다. (1001) 개인 휴대정보 단자기(1010) 하우징(1001)은, 예를 들어 셀룰러 전화기 또는 개인 휴대정보 단자기 내에서 사용가능한 타입의 휴대용 하우징으로서 묘사되며, 스크린(1010)은 하우징의 면에서 노출된다. 구조(1006)가 이미징 칩과 같은 광 감응성 소자를 포함하는 경우에는, 렌즈(1011) 또는 다른 광학적 디바이스가 광을 그 구조로 라우팅하기 위하여 역시 제공될 수 있다. 다시 말하건대, 도 18 에 도시된 단순화된 시스템은 단순히 예시적인 것이다; 공통적으로 고정된 구조라고 간주되는 시스템을 포함하는 다른 시스템, 예컨대 데스크탑 컴퓨터, 라우터 등도 위에서 논의된 구조를 사용하여 제작될 수 있다.

[0132] 다양한 종속 청구항 및 이것에서 설명되는 피쳐들이 최초 청구항에서 제시된 것과 상이한 방법으로 통합될 수 있다는 것이 인정될 것이다. 개개의 실시예와 연계하여 설명된 피쳐가 설명된 실시예의 다른 것들과 함께 다양한 조합에서 공유될 수도 있다는 것도 역시 인정될 것이다.

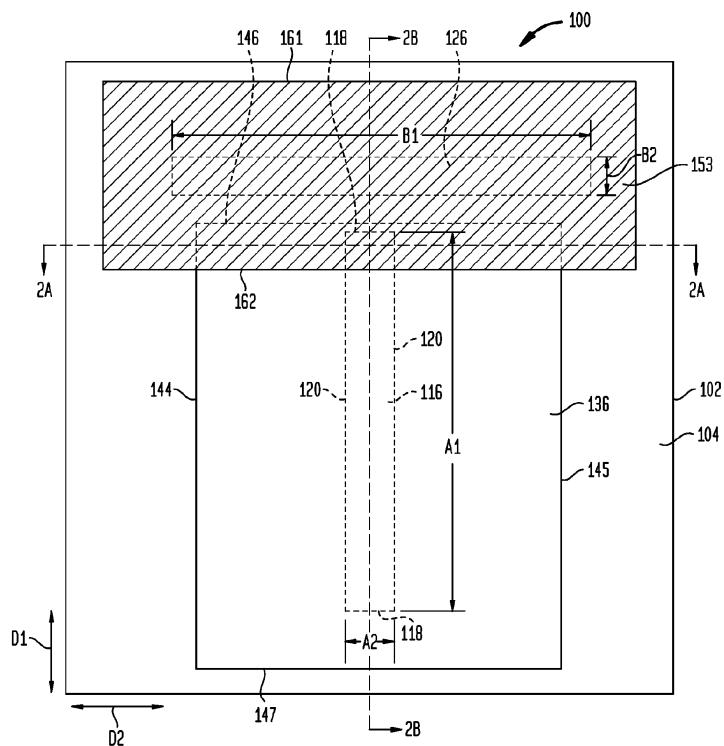
[0133] 비록 본 명세서에서 본 발명은 특정 실시예를 참조하여 설명되었지만, 이러한 실시예는 본 발명의 원리 및 적용의 단순한 예에 지나지 않는다는 것이 이해되어야 한다. 그러므로 수 많은 변경이 예시적인 실시예에 이루어질 수도 있다는 것과 다른 배치구성물이 첨부된 청구범위에 정의되는 바와 같은 본 발명의 사상 및 범위로부터 벗어나지 않으면서 고안될 수도 있다는 것이 이해되어야 한다.

산업상 이용가능성

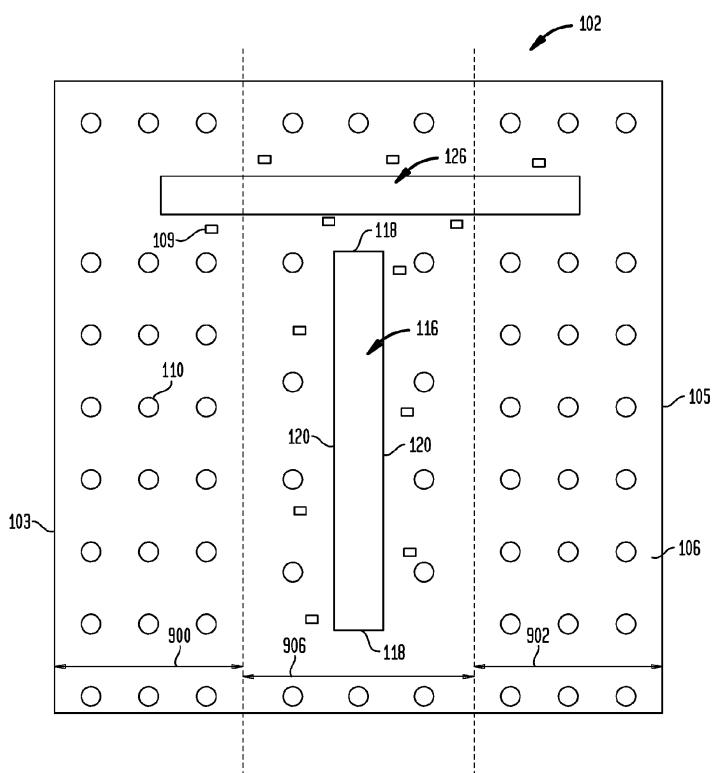
[0134] 본 발명은 마이크로전자 어셈블리 및 마이크로전자 어셈블리의 제조 방법을 포함하지만 이것으로 한정되지는 않는, 넓은 산업상 이용가능성을 향유한다.

도면

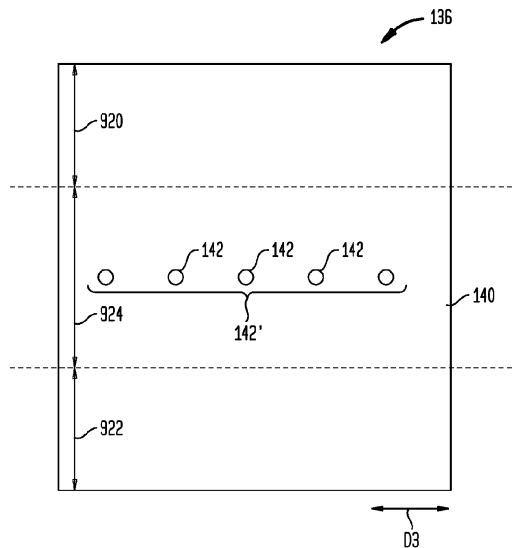
도면1



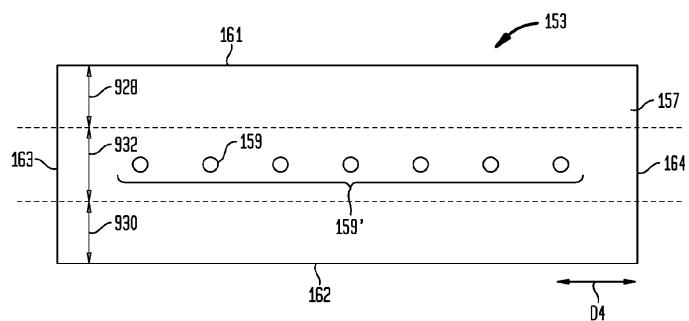
도면1a



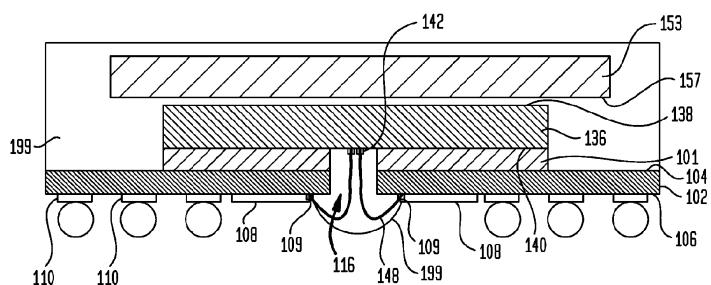
도면1b



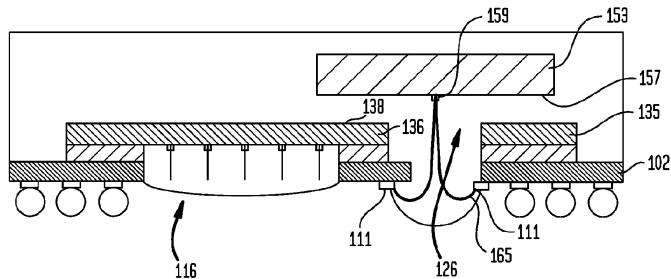
도면1c



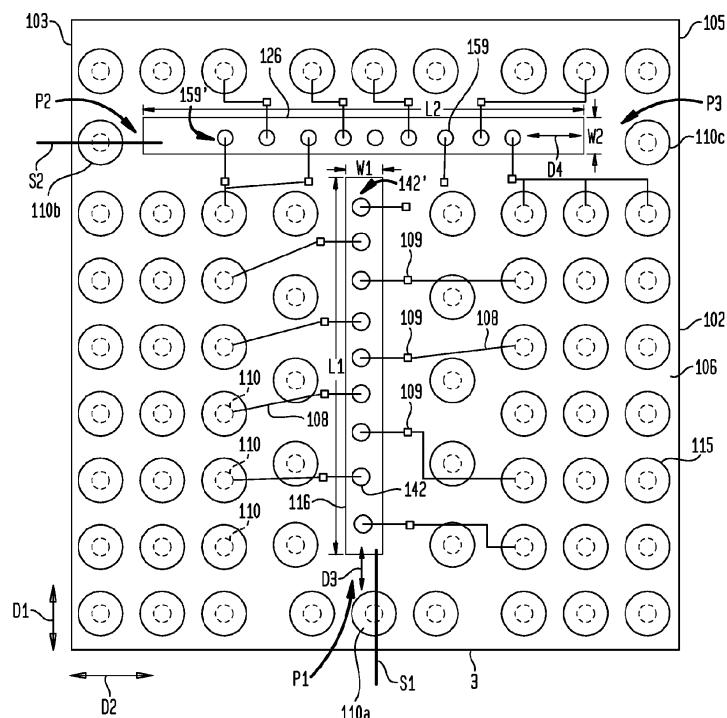
도면2a



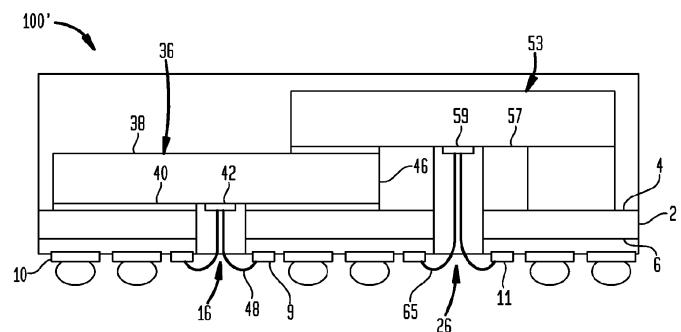
도면2b



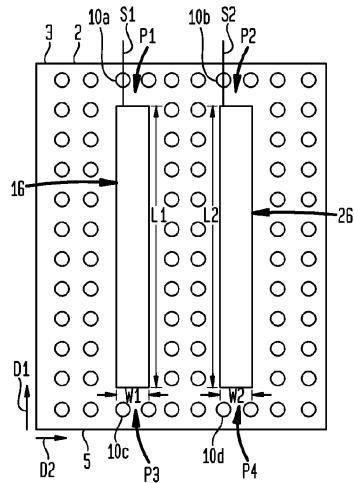
도면3



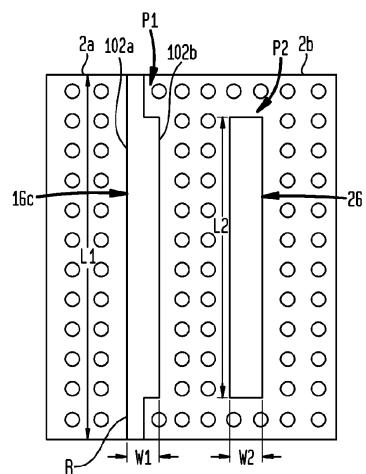
도면3a



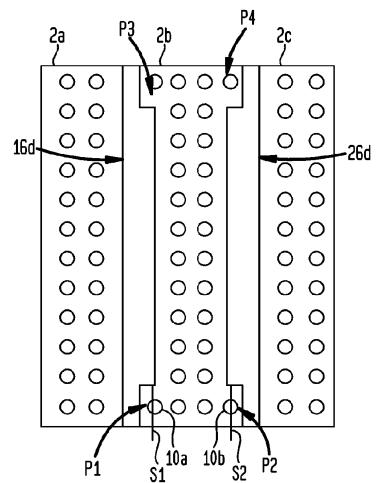
도면3b



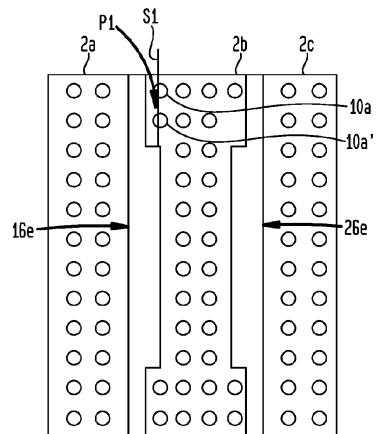
도면3c



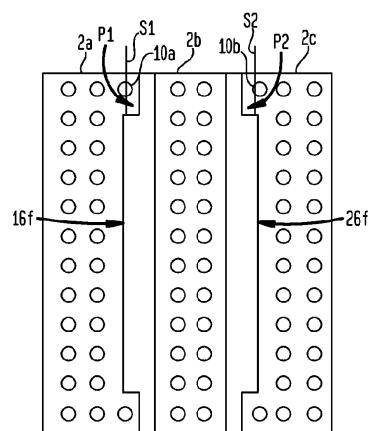
도면3d



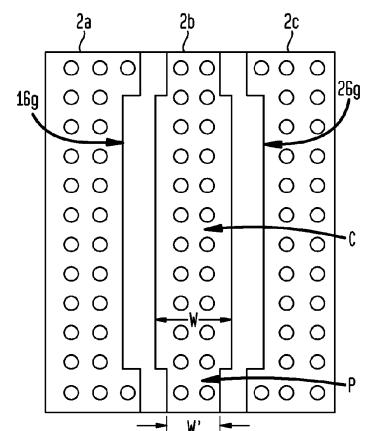
도면3e



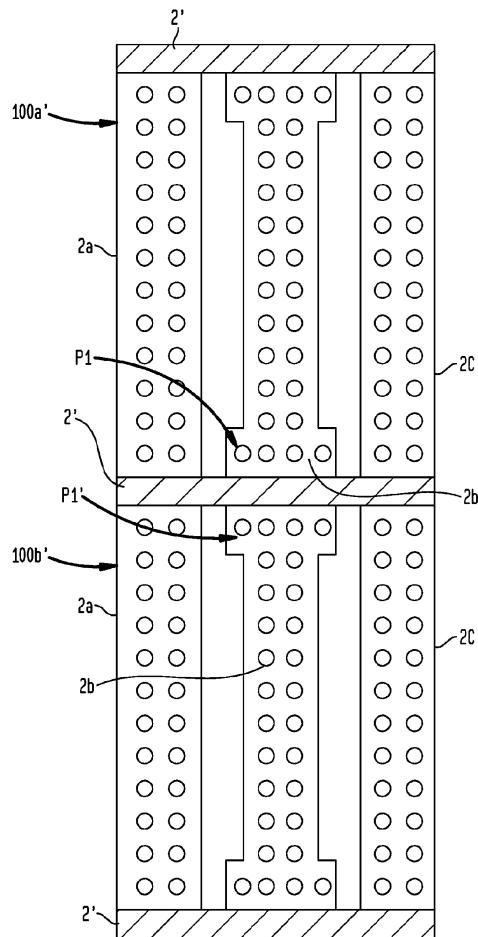
도면3f



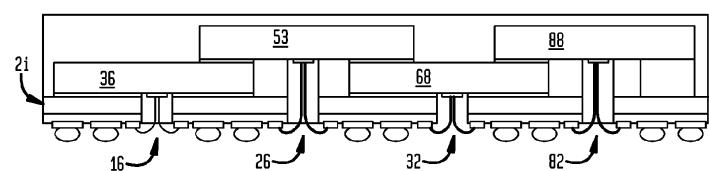
도면3g



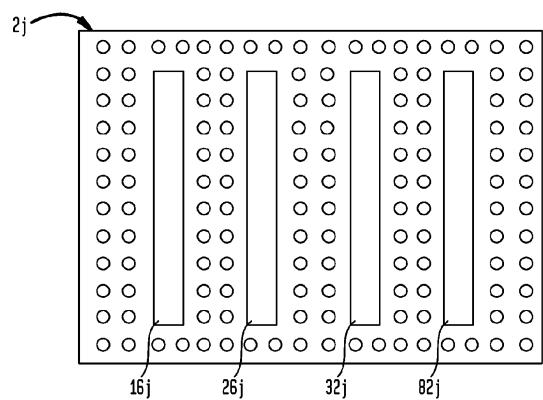
도면3h



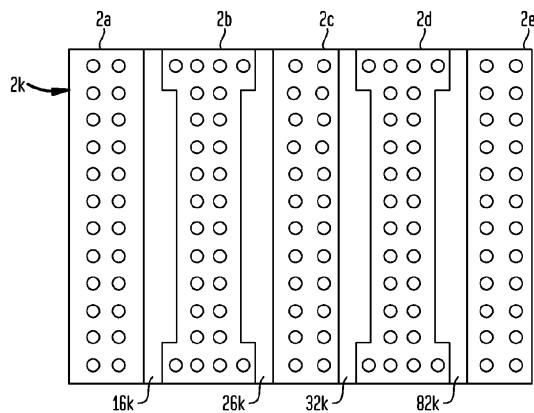
도면3i



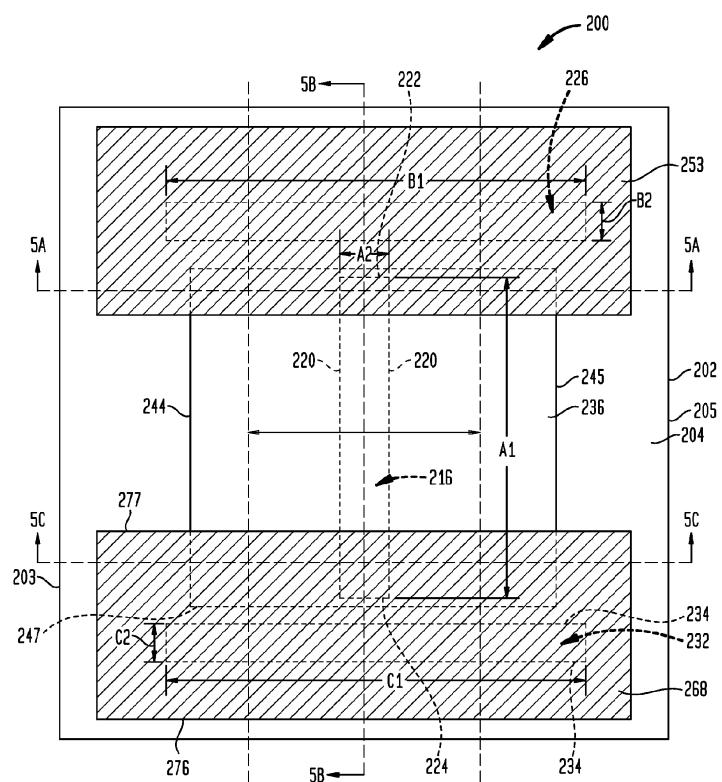
도면3j



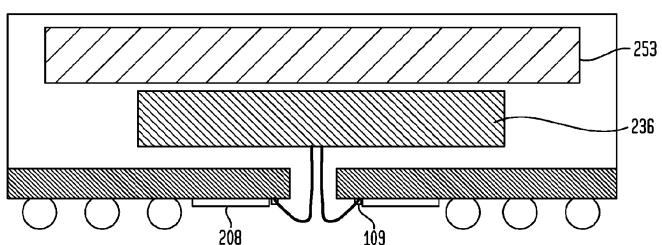
도면3k



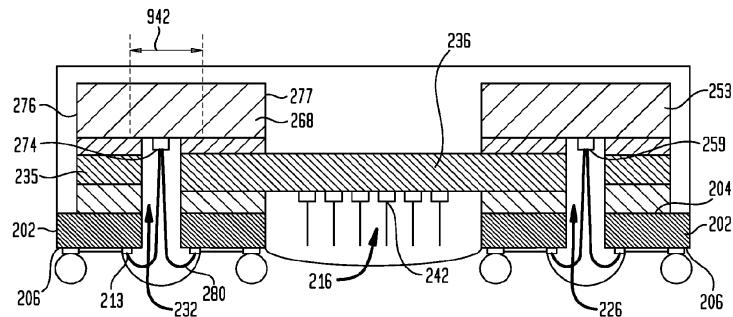
도면4



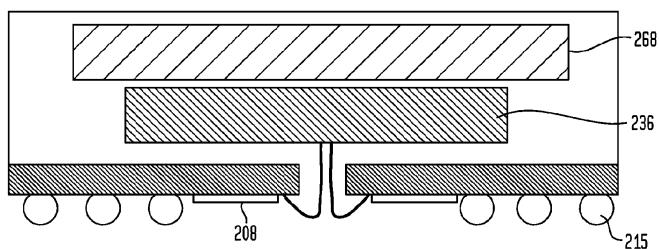
도면5a



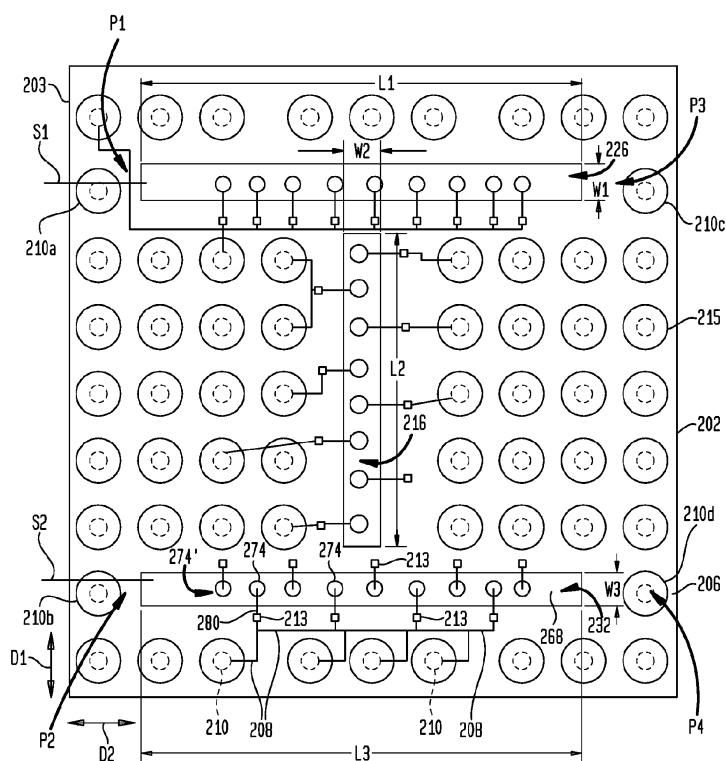
도면5b



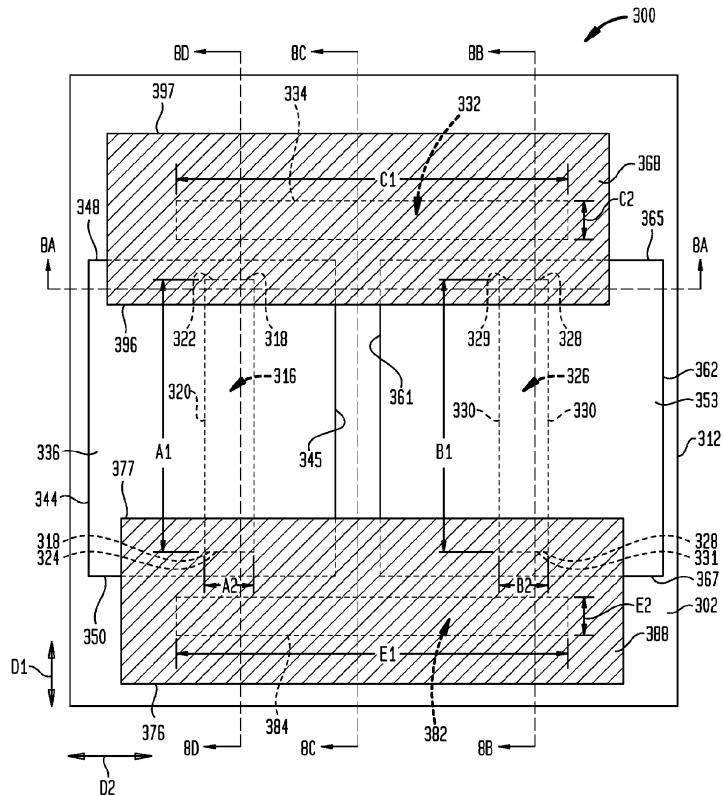
도면5c



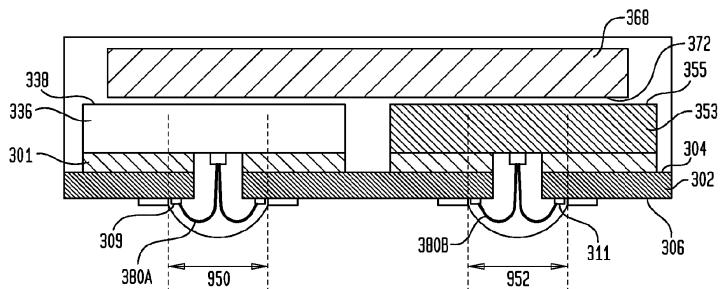
도면6



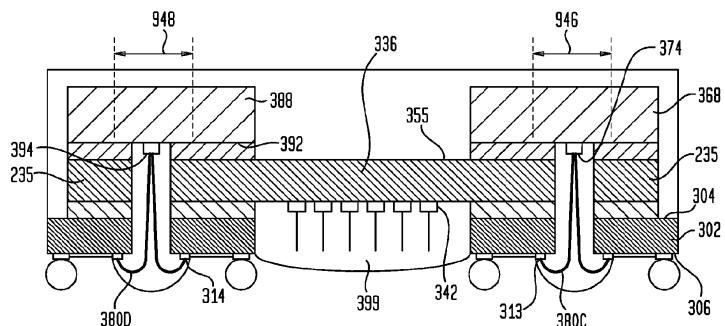
도면7



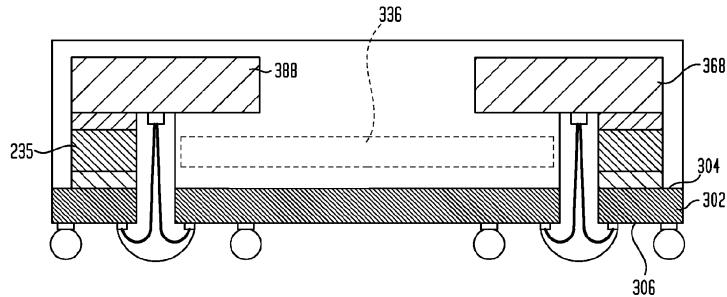
도면8a



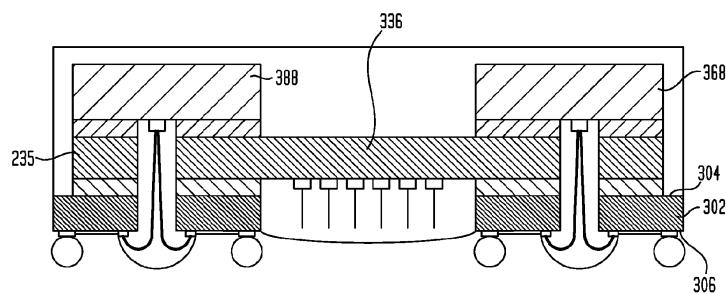
도면8b



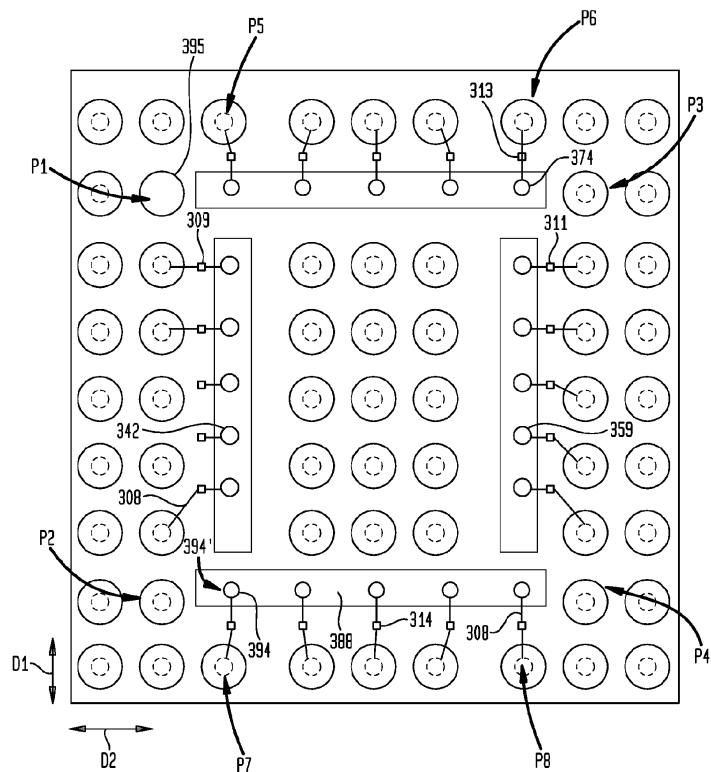
도면8c



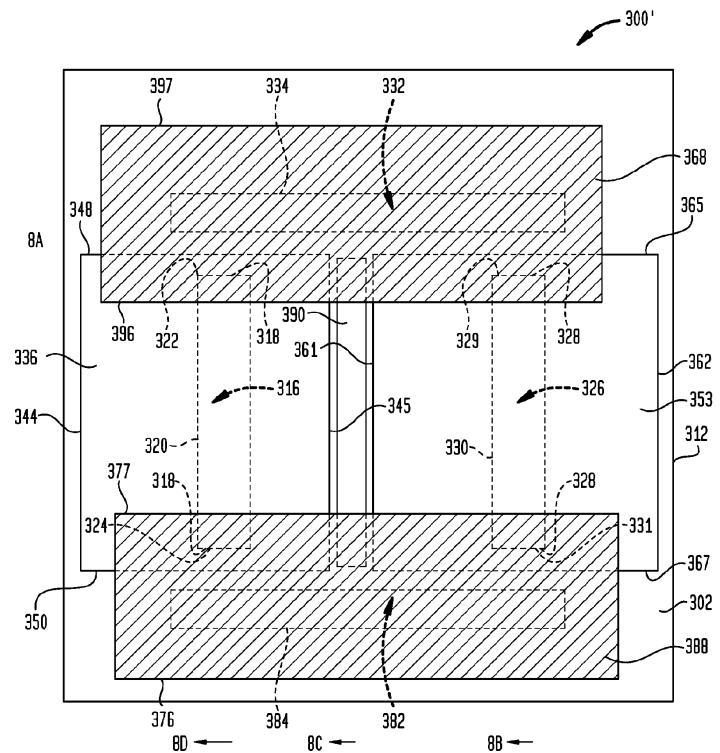
도면8d



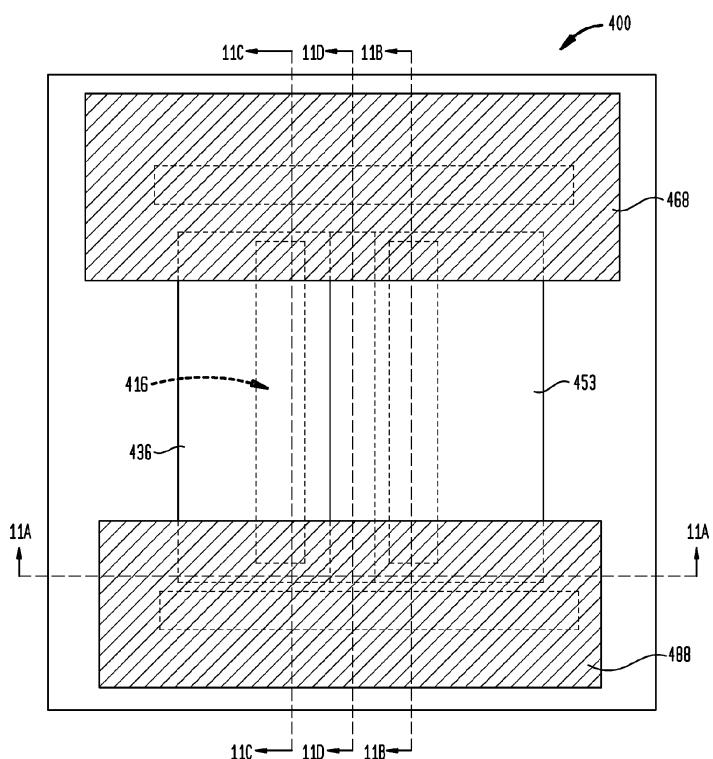
도면9



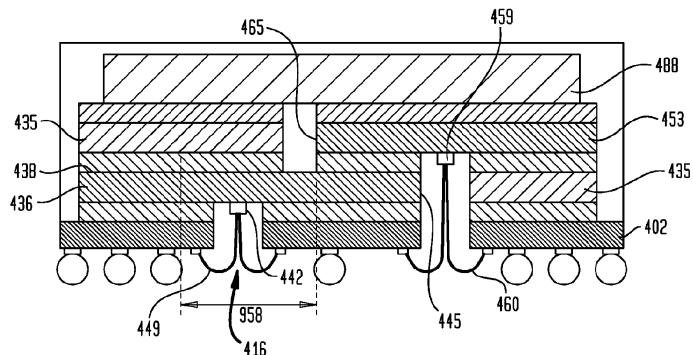
도면9a



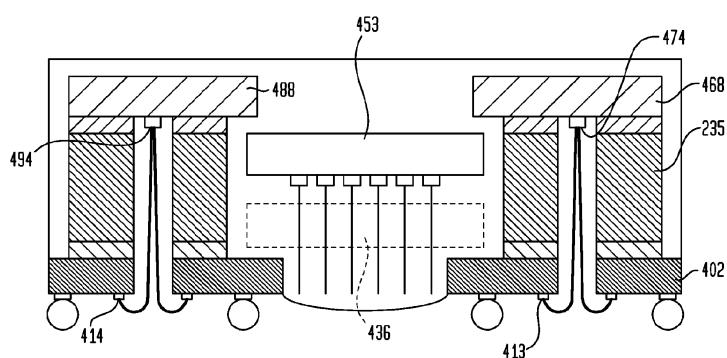
도면10



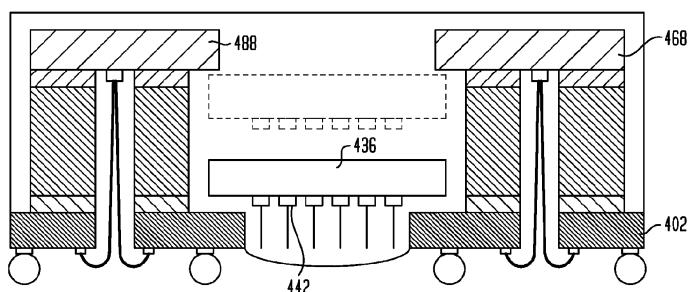
도면11a



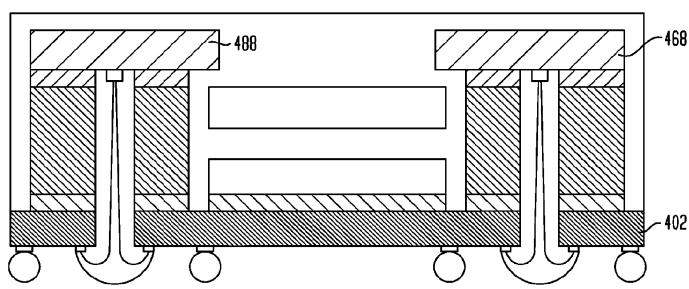
도면11b



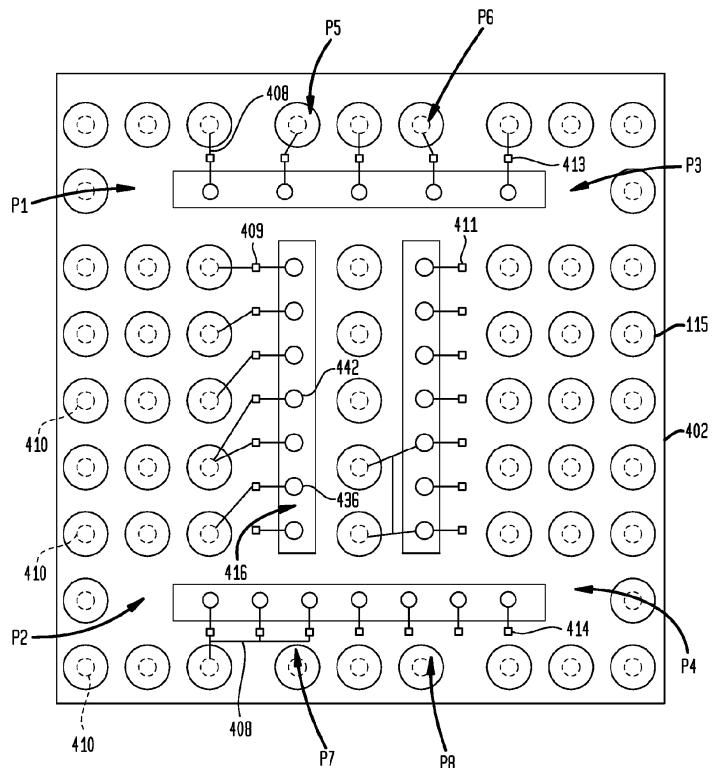
도면11c



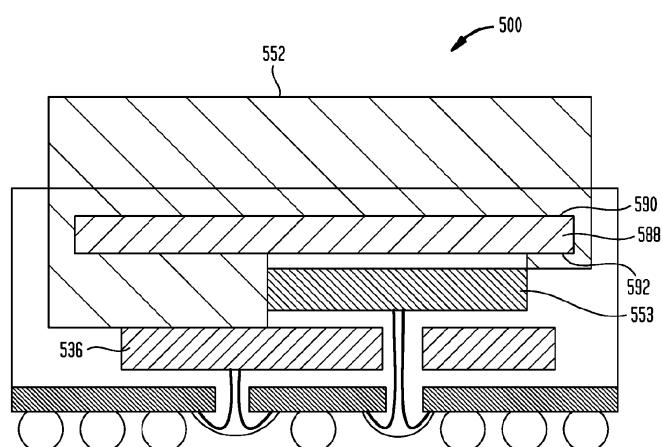
도면11d



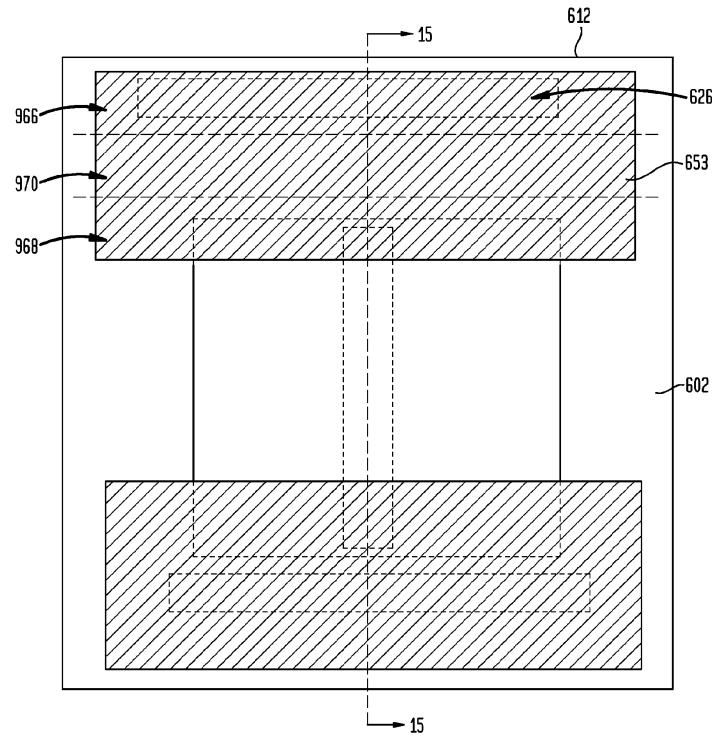
도면12



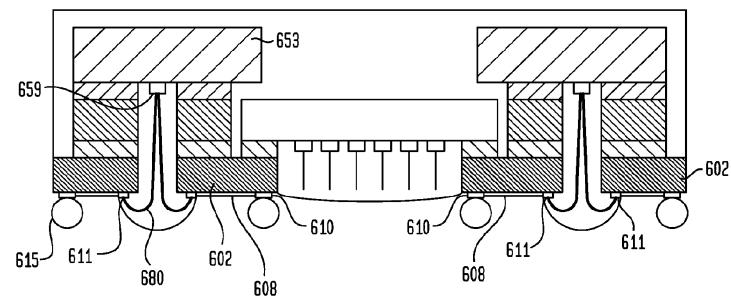
도면13



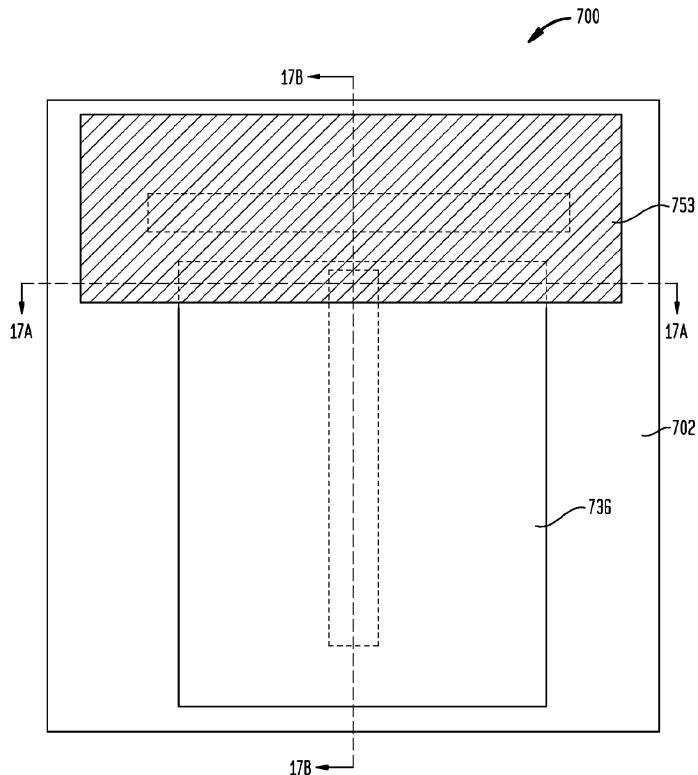
도면14



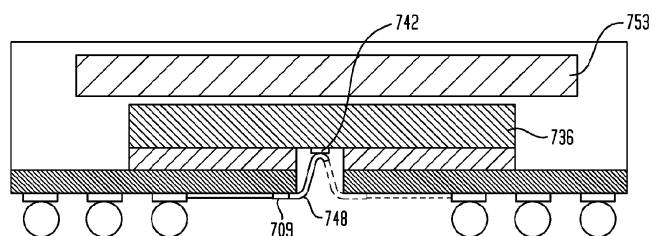
도면15



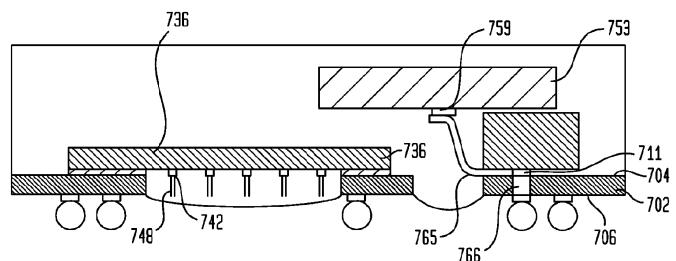
도면16



도면17a



도면17b



도면18

