



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년03월24일  
(11) 등록번호 10-1023463  
(24) 등록일자 2011년03월11일

(51) Int. Cl.  
*H04B 10/13* (2006.01) *H04B 10/08* (2006.01)  
(21) 출원번호 10-2009-0003063  
(22) 출원일자 2009년01월14일  
심사청구일자 2009년01월14일  
(65) 공개번호 10-2009-0078313  
(43) 공개일자 2009년07월17일  
(30) 우선권주장  
200810056163.6 2008년01월14일 중국(CN)  
PCT/CN2008/073506 2008년12월15일 세계지적재  
산권기구(WIPO)(WO)  
(56) 선행기술조사문헌  
KR1020010060031 A  
JP08204584 A  
전체 청구항 수 : 총 14 항

(73) 특허권자  
**후아웨이 테크놀러지 컴퍼니 리미티드**  
중화인민공화국 쉰젠 룡강 디스트릭트 반티안 어  
드미니스트레이션 빌딩 후아웨이 테크놀러지스 컴  
퍼니 리미티드  
(72) 발명자  
**리 징**  
중국 518129 광둥성 쉰젠 룡강 디스트릭트 반티안  
후아웨이 어드미니스트레이션 빌딩  
**쟁 동규**  
중국 518129 광둥성 쉰젠 룡강 디스트릭트 반티안  
후아웨이 어드미니스트레이션 빌딩  
(뒷면에 계속)  
(74) 대리인  
**유미특허법인**

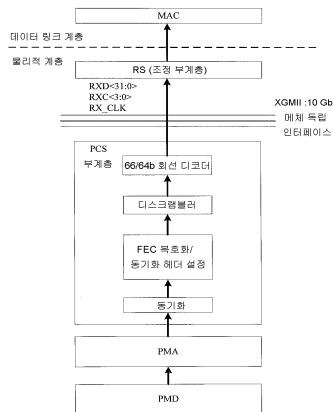
심사관 : 이진익

**(54) 데이터 에러 보고를 수행하는 방법 및 장치**

**(57) 요약**

데이터 에러 보고를 위한 수행하는 방법 및 장치가 제공된다. 데이터 에러 보고를 수행하는 방법은, 순방향 에러 정정(FEC) 복호화가 실패하면, 해당하는 데이터 블록 중의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하는 단계와, 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화(line decoding)를 수행하고, 복호된 데이터를 출력하는 단계를 포함한다. 본 발명에 의하면, FEC 복호화의 경우에, 회선 복호화 모듈에 대한 간편하고 효과적인 데이터 에러 보고가 수행될 수 있다.

**대표도 - 도5**



(72) 발명자

**펑 동닝**

중국 518129 광둥성 셴젠 룡강 디스트릭트 반티안  
후아웨이 어드미니스트레이션 빌딩

**량 웨이광**

중국 518129 광둥성 셴젠 룡강 디스트릭트 반티안  
후아웨이 어드미니스트레이션 빌딩

**에펜버거 프랭크**

중국 518129 광둥성 셴젠 룡강 디스트릭트 반티안  
후아웨이 어드미니스트레이션 빌딩

## 특허청구의 범위

### 청구항 1

데이터 에러 보고를 수행하는 방법에 있어서,

순방향 에러 정정(FEC : forward error correction) 복호화가 실패하면, 복호화가 실패된 에러 데이터의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하는 단계; 및

상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화(line decoding)를 수행하고, 복호된 데이터를 출력하는 단계

를 포함하는 데이터 에러 보고를 수행하는 방법.

### 청구항 2

제1항에 있어서,

수신된 데이터에 대해 상기 순방향 에러 정정(FEC) 복호화를 수행하고, 상기 순방향 에러 정정 복호화의 실패를 판정하는 단계를 더 포함하는, 데이터 에러 보고를 수행하는 방법.

### 청구항 3

제1항에 있어서,

상기 회선 복호화에 앞서 상기 제1 문자를 포함하고 있는 데이터 블록을 디스크램블하는 단계를 더 포함하는, 데이터 에러 보고를 수행하는 방법.

### 청구항 4

제3항에 있어서,

상기 제1 문자는 상기 회선 부호화에 의해 지정된 비정상 동기화 문자(illegal synchronization character)이거나, 또는 제어 정보를 포함하고 있는 데이터 블록의 동기화 문자인, 데이터 에러 보고를 수행하는 방법.

### 청구항 5

제1항에 있어서,

상기 에러 데이터의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하는 단계는, 64/66b 회선 부호화가 채용된 경우, 상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 "11", "00" 및 "10" 중의 적어도 하나로 설정하는 단계를 포함하는, 데이터 에러 보고를 수행하는 방법.

### 청구항 6

제5항에 있어서,

상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 "11", "00" 및 "10" 중의 적어도 하나로 설정하는 단계는,

상기 에러 데이터의 데이터 블록 중의 임의의 하나 이상의 데이터 블록의 동기화 문자를 "11" 및 "00" 중의 적어도 하나로 설정하는 단계를 포함하거나,

상기 에러 데이터의 데이터 블록 중의 임의의 하나 이상의 데이터 블록의 동기화 문자를 "10"으로 설정하고, 나머지 데이터 블록 중의 하나 이상의 데이터 블록의 동기화 문자를 "11" 및 "00" 중의 적어도 하나로 설정하는 단계를 포함하거나,

상기 에러 데이터의 데이터 블록 중의 임의의 하나 이상의 데이터 블록의 동기화 문자의 2개의 비트가 동일한 값을 갖도록, 상기 에러 데이터의 데이터 블록에 대하여 동기화 문자 복원을 수행하는 단계를 포함하거나,

상기 에러 데이터의 데이터 블록 중의 임의의 하나 이상의 데이터 블록의 동기화 문자 내의 순방향 에러 정정에 참여하는 비트의 값을 지정된 바대로 "1" 또는 "0"으로 설정하고, 데이터 블록 중의 임의의 하나 이상의 데이터

블록의 동기화 문자의 2개의 비트가 동일한 값을 갖도록, 해당 데이터 블록에 대해 동기화 문자 복원을 수행하는 단계를 포함하거나,

상기 에러 데이터의 최초 데이터 블록 및 최종 데이터 블록 또는 최초 데이터 블록 및 최종 데이터 블록을 포함한 복수의 데이터 블록의 동기화 문자를 "10"으로 설정하는 단계를 포함하거나,

상기 에러 데이터의 최초 데이터 블록 및 최종 데이터 블록 또는 최초 데이터 블록 및 최종 데이터 블록을 포함한 복수의 데이터 블록의 동기화 문자 내의 순방향 에러 정정 부호화에 참여하는 제1 비트의 값을 "1"로 설정하고, 상기 최초 데이터 블록 및 최종 데이터 블록 또는 상기 최초 데이터 블록 및 상기 최종 데이터 블록을 포함한 복수의 데이터 블록에 대해 동기화 문자 반전 복원(synchronization character inversion recovery)를 수행하여, 상기 최초 데이터 블록 및 상기 최종 데이터 블록 또는 상기 최초 데이터 블록 및 상기 최종 데이터 블록을 포함한 복수의 데이터 블록의 제2 비트가 상기 제1 비트의 역치(inverse value)를 갖도록 하는 단계를 포함하거나,

상기 에러 데이터의 최초 데이터 블록 및 최종 데이터 블록 또는 최초 데이터 블록 및 최종 데이터 블록을 포함한 복수의 데이터 블록의 동기화 문자 내의 순방향 에러 정정 부호화에 참여하는 제2 비트의 값을 "0"으로 설정하고, 상기 최초 데이터 블록 및 최종 데이터 블록 또는 상기 최초 데이터 블록 및 상기 최종 데이터 블록을 포함한 복수의 데이터 블록에 대해 동기화 문자 반전 복원(synchronization character inversion recovery)을 수행하여, 상기 최초 데이터 블록 및 상기 최종 데이터 블록 또는 상기 최초 데이터 블록 및 상기 최종 데이터 블록을 포함한 복수의 데이터 블록의 제1 비트가 상기 제2 비트의 역치(inverse value)를 갖도록 하는 단계를 포함하는,

데이터 에러 보고를 수행하는 방법.

**청구항 7**

제4항에 있어서,

상기 에러 데이터의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하는 단계는, 64/65b 회선 부호화가 채용된 경우, 상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 "1"로 설정하는 단계를 포함하는, 데이터 에러 보고를 수행하는 방법.

**청구항 8**

제7항에 있어서,

상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 "1"로 설정하는 단계는, 상기 에러 데이터의 최초 데이터 블록 및 최종 데이터 블록 또는 최초 데이터 블록 및 최종 데이터 블록을 포함한 복수의 데이터 블록의 동기화 문자를 "1"로 설정하는 단계를 포함하는, 데이터 에러 보고를 수행하는 방법.

**청구항 9**

제5항 또는 제6항에 있어서,

상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화(line decoding)를 수행하고, 복호된 데이터를 출력하는 단계는,

상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자가 "11" 또는 "00"이라는 것을 인지한 후에는, 상기 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 교체된 데이터를 출력하는 단계를 포함하거나,

상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자가 "10"이고 또한 상기 데이터 블록의 일부 또는 전부가 회선 복호화 규칙(line decoding rule)을 따르지 않는다는 것을 인지한 후에는, 상기 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 교체된 데이터를 출력하는 단계를 포함하는,

데이터 에러 보고를 수행하는 방법.

**청구항 10**

제7항 또는 제8항에 있어서,

상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화(line decoding)를 수행하고, 복호된 데이터를 출력하는 단계는,

상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자가 "1"이고 또한 상기 데이터 블록의 일부 또는 전부가 회선 복호화 규칙(line decoding rule)을 따르지 않는다는 것을 인지한 후에는, 상기 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 교체된 데이터를 출력하는 단계를 포함하는,

데이터 에러 보고를 수행하는 방법.

**청구항 11**

데이터 에러 보고를 수행하는 장치에 있어서,

순방향 에러 정정(FEC : forward error correction) 복호화가 채용되는 경우, 상기 순방향 에러 정정의 실패를 검출하고, 에러 데이터의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하도록 구성된 제1 문자 설정 모듈; 및

상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화를 수행하고, 복호된 데이터를 출력하도록 구성된 회선 복호화 모듈

포함하는 데이터 에러 보고를 수행하는 장치.

**청구항 12**

제11항에 있어서,

상기 회선 복호화 모듈이 상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화를 수행하기 전에, 상기 제1 문자를 포함하고 있는 데이터 블록을 디스크램블하는 디스크램블링 모듈을 더 포함하는, 데이터 에러 보고를 수행하는 장치.

**청구항 13**

제12항에 있어서,

상기 제1 문자 설정 모듈은 비정상 문자 설정 모듈 및 제어 문자 설정 모듈 중의 하나 이상을 포함하며,

상기 비정상 문자 설정 모듈은, 상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 회선 복호화 규칙에 지정된 비정상 동기화 문자로 설정하도록 구성되며,

상기 제어 문자 설정 모듈은, 상기 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 제어 정보를 포함하고 있는 데이터 블록의 동기화 문자로 설정하도록 구성되는,

데이터 에러 보고를 수행하는 장치.

**청구항 14**

제13항에 있어서,

상기 회선 복호화 모듈은 제1 복호화 모듈 및 제2 복호화 모듈 중의 하나 이상을 포함하며,

상기 제1 복호화 모듈은, 비정상 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정한 후에, 상기 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 상기 데이터 블록의 일부 또는 전부에 대해 회선 복호화를 수행하며, 교체된 데이터를 출력하도록 구성되며,

상기 제2 복호화 모듈은, 제어 정보를 포함하고 있는 데이터 블록의 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정한 후에, 상기 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 상기 데이터 블록의 일부 또는 전부에 대해 회선 복호화를 수행하며, 복호된 데이터를 출력하도록 구성되는, 데이터 에러 보고를 수행하는 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 출원은 "METHOD AND DEVICE FOR IMPLEMENTING DATA ERROR REPORT"를 발명의 명칭으로 하여 2008년 1월 14일자로 중국 특허청에 출원된 중국 특허 출원 번호 200810056163.6호 및 2008년 12월 15일자로 출원된 PCT 출원 번호 PCT/CN2008/073506을 우선권으로 주장하며, 상기 특허 출원의 전체 내용은 본 명세서에 발명의 일부로서 인용되어 있다.

[0002] 본 출원은 광네트워크 통신에 관한 것으로, 보다 구체적으로는 데이터 에러 보고를 수행하는 방법 및 장치에 관한 것이다.

**배경기술**

[0003] 수동 광통신망(PON : passive optical network)은 점-대-다수 광섬유 액세스 기술(point-to-multipoint optical fiber access technology)이며, 간편한 유지보수, 넓은 대역폭 및 저렴한 비용 등의 장점을 갖는다. PON은 음성, 데이터 및 영상 등의 복수의 서비스를 액세스하기 위한 이상적인 물리적 플랫폼이다. PON은 광회선 단말(OLT : Optical Line Terminal), 광통신망 유닛(ONU : Optical Network Unit), 및 광분배 통신망(ODN : Optical Distribution Network)을 포함한다. 광분배 통신망은 수동 광스플리터/커플러(a passive optical splitter/coupler)를 포함하며, PON은 증폭 및 지연 기능을 갖는 요소를 필요로 하지 않는다.

[0004] 이더넷 수동 광통신망(EPON)은 이더넷 프로토콜을 완전하고 경제적인 기술을 가지고 활용하는 PON 기술이며, 간편한 유지보수, 저렴한 비용, 광대역 전송, 및 우수한 가격대 성능비 등의 장점을 갖는다. 이더넷 프로토콜에서, EPON에 대응하는 802.3 이더넷 데이터 프레임의 구조가 도 1에 예시되어 있다. 도 1에서는 각각의 802.3 이더넷 데이터 프레임의 말단에, 즉 확장부 앞에 4-바이트 중복 순환 검사(CRC)가 존재하여, 수신기가 CRC 결과에 따라 특정 에러를 검출할 수 있다.

[0005] 시스템의 안티-재밍 능력 BER 성능(anti-jamming capability BER performance)을 향상시키고 또한 시스템의 전력 예산(power budget)을 증가시키기 위해, 현재 IEEE 802.3av에 의해 구축되고 있는 10G EPON 시스템은 순방향 에러 제어(FEC) 부호화 기술을 채용한다. FEC 기술의 기본적인 동작은, 패리티 검사부와 데이터부 간의 사전 결정된 규칙에 따라, 송신하고 있는 이더넷 데이터부의 끝에 패리티 검사 비트를 추가하는 것이다. 수신기는 송신기로부터 이더넷 프레임을 수신하는 때에, 사전 결정된 규칙에 따라 이더넷 데이터부와 FEC 코드워드의 패리티 검사부 간의 연관성을 검증한다. 발견된 연관이 정확하지 않은 것이라면, 즉 FEC 복호화가 실패하면, 수신기는 이더넷 프레임의 송신 동안 에러가 발생한 것으로 판정하고, 이 에러를 보고한다.

[0006] 상기한 FEC 부호화 기술 외에, 회선 부호화(line coding)와 같은 또 다른 부호화 기술이 EPON 시스템의 물리 계층에 채용되고 있다. 회선 부호화의 기본적인 동작은 원래의 입력 데이터를 수신기에 의해 수신 가능한 포맷의 데이터로 변환하는 것이다. 한편, 회선 부호화는 클럭 복원 회로에 제공될 수 있는 충분한 트랜지션(transition)이 있어야 한다. 또한, 인코더가 데이터를 워드와 정렬시키는 방법을 제공하며, 회선 부호화된 시퀀스가 우수한 직류 균형(direct current balance)을 유지할 수 있어야 한다. 현재, IEEE 802.3av 워크그룹에 의해 구축되고 있는 10G EPON 시스템에서, 64b/66b 및 64b/65b 등의 더 높은 부호화율을 갖는 회선 부호화 메카니즘이 채용된다. 이들 2개의 회선 부호화 메카니즘은 스크램블러(scrambler)를 이용하며, 이 방식에서는 2개의 회선 부호화 메카니즘의 동기화 문자 및 제어 문자가 스크램블러를 바이패스한다. 즉, 동기화 문자가 변경되지 않는다. 64B/66B 부호화 메카니즘에 따라, 2-비트 동기화 문자(동기화 헤더)가 64-비트 정보에 기초하여 추가된다. 2-비트 동기화 문자는 2개의 값, 즉 "01" 및 "10"만을 갖는다. 동기화 문자 "01"은 64-비트 정보의 전부가 데이터 정보라는 것을 나타내고, 동기화 문자 "10"은 64-비트 정보가 데이터 정보 및 제어 정보를 포함한다는 것을 나타낸다. 동기화 문자 "00" 또는 "11"은 송신 동안 에러가 발생하였다는 것을 나타낸다. 동기화 문자의 사용은, 블록 동기화를 용이하게 하기 위해 66 비트의 구간에서 적어도 하나의 트랜지션이 있도록 보장한다. 64-비트 정보는, 송신된 데이터에 대한 충분한 트랜지션이 클럭 복원을 용이하게 하기 위한 최대 정도까지 존재하도록 보장할 수 있는 자동-동기화 스크램블링 메카니즘(auto-synchronization scrambling mechanism)으로 스크램블된다. 64B/65B 부호화는, 64B/66B 부호화 메카니즘과 상이하게, 1-비트 데이터/제어 문자를 이용한다. 데이터/제어 문자 "0"은 64 비트 전부가 데이터 정보라는 것을 나타내고, 데이터/제어 문자 "1"은 64-비트 정보가 데이터 정보 및 제어 정보를 포함한다는 것을 나타낸다.

[0007] CRC 검증을 통한 매체 액세스 제어(MAC) 계층에서의 공지의 에러의 검출을 위해, IEEE 802.3 10G 시스템의 표준에서는 1 바이트 길이의 제어 문자 /E/가 사용된다. 제어 문자 /E/는 에러를 나타낸다.

- [0008]    오픈 시스템 인터컨넥션 레퍼런스 모델과 IEEE 802.3 10G 비트 근거리 통신망 모델 간의 대응 관계에 대한 개략도가 도 2에 예시되어 있다. 현재, IEEE 802.3av 워크그룹에 의해 구성된 10G EPON 시스템은 이 모델을 활용하여, 그 물리 계층에서의 전송율은 10Gbps에 달하고 있다.
- [0009]    도 2에 예시된 바와 같이, 조정 부계층(RS : Reconciliation Sublayer)에 의해 10G(기가비트) 매체 독립 인터페이스(XGMII)로부터 수신된 데이터가 제어 문자 /E/를 포함하면, 이것은 /E/가 위치한 수신 데이터에 대하여 에러가 발생하였다는 것을 나타낸다. 데이터가 MAC 계층에 도달한 후에 802.3 이더넷 데이터 프레임의 CRC 검사에 의해 RS가 에러를 검출할 수 있도록 하기 위해, RS는 수신된 데이터를 사전 처리할 필요가 있다. 그 처리 방법 중의 하나는 CRC에 의해 에러가 검사될 수 있도록 데이터의 일부분을 교체하는 것이다.
- [0010]    제어 문자 /E/는 송신 말단에서 삽입될 수도 있고, 또는 수신 말단에서 교체될 수도 있다. 64/66b 회선 부호화 기술의 경우, 제어 문자 /E/가 수신되어, 일반적으로 수신단의 66/64b 회선 복호화 모듈에서 처리된다. 도 3에 예시된 바와 같이, 기존의 IEEE 802.3 10G 이더넷 표준에서는, 66/64b 회선 복호화 모듈이 물리 부호화 부계층(PCS : Physical Coding Sublayer)에 위치된다.
- [0011]    기존의 IEEE 802.3 10G 이더넷 표준의 물리 계층에서, 802.3 이더넷 데이터 프레임은 식별자 /S/ 및 /T/에 의해 식별된다. /S/는 데이터 프레임의 시작을 나타내고, /T/는 데이터 프레임의 종료를 나타낸다. 수신기의 PCS 계층에 있는 66/64b 회선 복호화 모듈이, 데이터 프레임의 개시를 나타내는 제어 문자 /S/를 수신한 후, 데이터 프레임의 종료를 나타내는 제어 문자 /T/를 제외한 어떠한 제어 문자를 포함하는 동기화 헤더 "10"을 내포하고 있는 데이터 블록을 수신하거나, 또는 수신기의 PCS 계층에 있는 66/64b 회선 복호화 모듈이 동기화 헤더 "00" 또는 "11"를 갖는 유효하지 않은 데이터 블록을 수신하면, 66/64b 회선 복호화 모듈은 수신된 데이터 블록에 대하여 에러가 발생한 것으로 판정한다. 이 경우, 66/64b 회선 복호화 모듈은 그 데이터 블록 내의 8바이트 전부를 제어 문자 /E/로 교체한다. 전술한 /S/, /T/ 및 /E/는 각각 1바이트의 길이를 갖는다.

**발명의 내용**

**해결 하고자하는 과제**

- [0012]    IEEE 802.3av 워크그룹에 의해 구축된 10G EPON의 수신기는 그 PCS 계층에 FEC 부호화 기술뿐만 아니라 66/64b 회선 복호화 모듈, XGMII 및 RS를 채용한다. 그러나, FEC 복호화의 실패 후에 데이터 에러를 EPON 시스템 내의 회선 복호화 모듈에 보고하는 방법에 대한 해법은 존재하지 않는다.
- [0013]    본 발명은 데이터 에러 보고를 수행하는 방법 및 장치를 제공하는 것을 목적으로 하며, 이에 의해 FEC 복호화의 실패 후에 회선 복호화 모듈에 에러 데이터를 보고하는 방법에 대한 문제점을 해소한다.

**과제 해결수단**

- [0014]    본 발명의 목적은 이하의 기술적인 해법에 의해 달성된다.
- [0015]    데이터 에러 보고를 수행하는 방법은 이하의 단계를 포함한다:
- [0016]    순방향 에러 정정(FEC : forward error correction) 복호화가 실패하면, 복호화가 실패된 에러 데이터의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하는 단계; 및
- [0017]    상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화(line decoding)를 수행하고, 복호된 데이터를 출력하는 단계.
- [0018]    데이터 에러 보고를 수행하는 장치는 이하의 구성요소를 포함한다:
- [0019]    순방향 에러 정정(FEC : forward error correction) 복호화가 채용되는 경우, 상기 순방향 에러 정정의 실패를 검출하고, 에러 데이터의 하나 이상의 데이터 블록의 동기화 문자를 제1 문자로 설정하도록 구성된 제1 문자 설정 모듈; 및
- [0020]    상기 제1 문자를 포함하고 있는 데이터 블록에 대해 회선 복호화를 수행하고, 복호된 데이터를 출력하도록 구성된 회선 복호화 모듈.

**효과**

- [0021]    본 발명의 실시예의 기술적인 해법으로부터 알 수 있는 바와 같이, 실패한 FEC 복호화(FEC 코드워드의

데이터부)를 검출하여 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 제1 문자로 설정함으로써, 데이터 블록에 대한 에러 발생이 회선 복호화 규칙 및 제1 문자에 따라 회선 복호화 모듈에 의해 판정될 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0022] 본 발명의 실시예에서, FEC 코드워드의 FEC 복호화 실패 후에 에러 데이터가 획득된다. 에러 데이터는, 각각 동기화 헤더 및 데이터 정보를 갖는 복수의 블록을 포함하는, FEC 복호화 전의 FEC 코드워드의 데이터부이다. 그 후, 에러 데이터의 블록의 일부 또는 전부의 동기화 문자가 제1 문자로 설정된다.
- [0023] 64/66b 회선 부호화가 블록에 적용되면, 제1 문자는 "11", "00" 또는 "10"이 된다. 실제 어플리케이션에서, FEC 코드워드의 데이터부의 임의의 하나 이상의 블록의 동기화 문자는 "11", "00" 및 "10"의 값 중의 적어도 하나로 설정될 것이다. 예컨대, FEC 코드워드의 데이터부의 임의의 하나 이상의 블록의 동기화 문자는 "11" 및 "00" 중의 적어도 하나로 직접 설정될 수 있다. 또 다른 예에서, FEC 코드워드의 데이터부의 최초 블록 및 최종 블록 또는 최초 블록 및 최종 블록을 포함한 복수의 블록의 동기화 문자는 "10"으로 설정될 수 있다. 다른 예에서, FEC 코드워드의 데이터부의 임의의 하나 이상의 블록의 동기화 문자가 "10"으로 직접 설정되며, 나머지 블록의 적어도 하나의 블록의 동기화 문자가 "11" 및 "00" 중의 적어도 하나로 직접 설정된다.
- [0024] 64/65b 회선 부호화가 블록에 적용되면, 제1 문자는 "1"로 설정된다. 실제 어플리케이션에서, FEC 코드워드의 데이터부의 최초 블록 및 최종 블록 또는 최초 블록 및 최종 블록을 포함한 복수의 블록의 동기화 문자가 "1"로 설정될 수도 있다.
- [0025] 그 후, 각각의 블록이 디스크램블러에 입력되며, 블록의 데이터 정보가 변화되지만, 블록의 동기화 헤더 비트는 동기화 헤더가 변화되지 않도록 디스크램블러를 바이패스한다. 동기화 헤더 및 디스크램블된 데이터 정보를 포함한 각각의 디스크램블된 블록은 그 후 회선 디코더에 전송된다. 회선 디코더는 "11" 또는 "00"의 값을 갖는 블록의 일부 또는 전부의 동기화 문자에 따라 또는 "10" 또는 "1"의 값을 갖는 블록의 일부 또는 전부의 동기화 문자에 따라 블록의 일부 또는 전부 내에서 에러를 검출하지만, 블록의 일부 또는 전부에 포함된 제어 문자는 회선 복호화 규칙을 따르지 않는다. 회선 디코더는 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하며, 복호화된 데이터를 출력한다.
- [0026] 본 발명의 실시예를 첨부 도면을 참조하여 구체적으로 설명한다.
- [0027] 제1 실시예 : 본 실시예는, 10G EPON 시스템의 물리 계층에 64/66b 회선 부호화가 채용되고 또한 동기화 헤더의 두 번째 비트만이 FEC 부호화를 수반하는 경우, ECC 복호화가 실패한 후에 에러 데이터의 데이터 블록의 동기화 헤더를 설정하는 방법을 제공한다.
- [0028] 본 실시예에서, FEC 부호화 및 64/66b 회선 부호화를 갖는 FEC 코드워드의 구조가 도 4에 예시되어 있으며, 앞쪽의 m개의 블록(데이터 단위)은 802.3 이더넷 데이터이고, 뒤쪽의 n개의 블록은 패리티 검사 블록이다. RS(255, 233) 부호화가 채용되면, m=27이고, n=4이다.
- [0029] 데이터 수신 과정 동안, 즉 데이터 프레임의 개시를 나타내는 제어 문자 /S/가 식별된 후에 또한 FEC 복호화가 실패하면, 도 4에 예시된 바와 같은 FEC 코드워드의 데이터부의 블록의 일부 또는 전부의 동기화 헤더는 데이터 에러를 보고하기 위해 제어 동기화 문자 "10" 또는 유효하지 않은 동기화 헤더 "00" 또는 "11"로 설정된다.
- [0030] 본 실시예에 따른 10G EPON 시스템에서의 수신단의 구조도가 도 5에 예시되어 있다. FEC 복호화 실패의 경우에 수신기에서 데이터 에러 보고를 수행하는 흐름도가 도 6에 예시되어 있다. 이 과정에서, 수신된 블록의 동기화 후, 블록은 먼저 FEC 복호화 모듈의 버퍼에 전송된다. 데이터부 블록의 최초의 동기화 헤더 비트 및 패리티 검사부 블록의 모든 동기화 헤더 비트가 FEC 부호화에 참여하지 않기 때문에, FEC 복호화 블록은 FEC 부호화에 참여하지 않은 블록의 동기화 헤더 비트를 제거하여, 부호화에 대응하는 또 다른 포맷의 또 다른 FEC 코드워드를 형성하고, 이 또 다른 포맷의 FEC 코드워드를 FEC 복호화를 수행하기 위한 FEC 복호화 모듈에 입력한다.
- [0031] FEC 복호화 모듈은 FEC 코드워드에 대한 복호화를 부호화에 대응하는 포맷으로 수행한다. FEC 코드워드 내의 블록의 일부분의 동기화 헤더는 FEC 복호화 실패 후에 "10", "00" 또는 "11"로 설정된다.
- [0032] 본 실시예에 따른 동기화 헤더를 설정하는 방법은 아래와 같이 설명된다:
- [0033] 동기화 헤더가 "00" 또는 "11" 중의 하나로 설정될 수 있으면, 2가지의 방법이 제공된다: 첫 번째 방법은 동기화 헤더 복원 과정에서 제1 동기화 헤더 비트를 제2 동기화 헤더 비트와 동일하게 되도록 설정한다; 두 번째 방



법은 동기화 헤더 복원 과정에서 동기화 헤더 비트를 "00" 또는 "11"로 직접 설정한다.

- [0034] 동기화 헤더가 "00" 또는 "11" 중의 하나로 설정되면, 2가지 방법이 제공된다: 첫 번째 방법은 FEC 복호화 모듈로부터 출력된 동기화 헤더의 제2 비트를 지정된 바와 같이 "00" 및 "11" 중의 하나에 대응하는 "0" 또는 "1"로 설정하고, 그 후 제1 동기화 헤더 비트가 동기화 헤더 복원 과정에서 제2 동기화 헤더 비트와 동일하게 되도록 설정된다: 두 번째 방법은 동기화 헤더 복원 과정에서 지정된 바와 같이 동기화 헤더 비트를 "00" 또는 "11"로 직접 설정한다.
- [0035] 동기화 헤더에 대한 전술한 동작 동안, FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더만이 설정될 수 있으며, 그 결과의 제1 비트가 제2 비트와 동일하게 되도록, 즉 SH[0]=SH[1]로 설정된다. SH[0]은 동기화 헤더의 제1 비트를 나타내고, SH[1]은 동기화 헤더의 제2 비트를 나타낸다. 전술한 동작으로, 복원 후의 동기화 헤더는 "00" 또는 "11"이 된다. FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더가 설정된 후의 FEC 코드워드의 구조도가 도 7에 예시되어 있다.
- [0036] 이와 달리, 동기화 헤더에 대한 전술한 동작 동안, FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더만이 설정될 수 있으며, 그 결과의 제1 비트가 제2 비트와 동일하게 되도록, 즉 SH[0]=SH[1]로 설정된다. FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더가 설정된 후의 FEC 코드워드의 구조도가 도 8에 예시되어 있다.
- [0037] 동기화 헤더가 "10"으로 설정되면, 2가지 방법이 제공된다: 첫 번째 방법은 동기화 헤더의 제2 비트 또는 제1 비트를, 동기화 헤더의 이 비트가 FEC 부호화에 참여한다면, FEC 복호화 후에 각각 "0" 또는 "1"로 설정하고, 그 후 동기화 헤더 복원에서 동기화 헤더 "10"를 복원하기 위해 동기화 헤더 디폴트 반전 복원 메카니즘 (synchronization header default inversion recovery mechanism)이 채용된다; 두 번째 방법은 FEC 복호화 후에 동기화 헤더 복원 과정에서 동기화 헤더 비트를 "10"으로 직접 설정한다.
- [0038] 동기화 헤더에 대한 전술한 동작 동안, FEC 코드워드의 데이터부의 최초 블록 및 최종 블록의 동기화 헤더만이 설정될 수 있다. 첫 번째 방법이 채용된 경우, 설정 후의 FEC 코드워드의 데이터부의 구조도가 도 9에 예시되어 있다. 두 번째 방법이 채용된 경우, 설정 후의 FEC 코드워드의 데이터부의 구조도가 도 10에 예시되어 있다.
- [0039] 이와 달리, 동기화 헤더에 대한 전술한 동작 동안, FEC 코드워드의 데이터부의 최초 블록 및 최종 블록을 포함한 복수의 블록의 동기화 헤더가 설정될 수 있다. 첫 번째 방법이 채용된 경우, FEC 코드워드의 데이터부의 구조도가 도 11에 예시되어 있다. 두 번째 방법이 채용된 경우, FEC 코드워드의 데이터부의 구조도가 도 12에 예시되어 있다.
- [0040] 제2 실시예 : 본 실시예는, 64/66b 회선 부호화가 10G EPON 시스템의 물리 계층에 채용되고 또한 동기화 헤더의 2개의 비트가 FEC 부호화에 참여한다면, FEC 복호화가 실패한 후에 데이터 블록의 동기화 헤더를 설정하는 방법을 제공한다.
- [0041] 동기화 헤더의 2개의 비트가 FEC 부호화에 참여하기 때문에, 동기화 헤더 복원 과정이 요구되지 않으며, 동기화 헤더의 설정이 FEC 복호화 모듈에서 수행될 수 있다. FEC 복호화가 실패하면, 에러가 발생하였다는 것을 나타내기 위해, 도 4에 예시된 바와 같은 FEC 코드워드의 블록의 일부분의 동기화 헤더가 에러 보고를 목적으로 제어 블록 동기화 헤더 "10" 또는 유효하지 않은 동기화 헤더 "00" 또는 "11"로 설정된다.
- [0042] 본 실시예에 따라 동기화 헤더를 설정하는 방법은 다음과 같다:
- [0043] 동기화 헤더가 "00" 또는 "11"로 설정되면, FEC 복호화 모듈은 FEC 코드워드의 임의의 데이터부 블록의 동기화 헤더를 "00" 또는 "11"으로, 즉 SH=00 또는 SH=11로 설정할 것이다. 설정 후의 FEC 복호화 출력의 데이터 구조가 도 13에 예시되어 있다. 이와 달리, FEC 복호화 모듈은 임의의 데이터부 블록의 동기화 헤더를 "00" 또는 "11"으로, 즉 SH=00 또는 SH=11로 설정할 것이다. 설정 후의 FEC 복호화 출력의 데이터 구조가 도 14에 예시되어 있다.
- [0044] 동기화 헤더가 "10"으로 설정되면, FEC 복호화 모듈은 FEC 코드워드의 최초 및 최종 데이터부 블록의 동기화 헤더를 "10"으로, 즉 SH=10으로 설정할 것이며, 이로써 /E/를 정확하게 설정하지 못하여 종료 제어 문자 /T/ 또는 개시 제어 문자 /S/에 있게 하는 것을 방지할 수 있다. 설정 후의 FEC 복호화 출력의 데이터 구조가 도 15에 예시되어 있다. 이와 달리, FEC 복호화 모듈은 FEC 코드워드의 최초 및 최종 데이터부 블록을 포함한 복수의 블록의 동기화 헤더를 "10"으로, 즉 SH=10으로 설정할 것이다. 설정 후의 FEC 복호화 출력의 데이터 구조가 도 16에 예시되어 있다.

- [0045] 제3 실시예 : 본 실시예는, 64/65b 회선 부호화가 물리 계층에 채용되고 또한 동기화 헤더의 2개의 비트가 FEC 부호화에 참여하면, FEC 복호화가 실패한 후에 동기화 헤더를 설정하는 방법을 제공한다.
- [0046] 64/65b 회선 부호화의 경우, 동기화 헤더는 단지 "0" 또는 "1"의 형태로 있으며, 여기서 "0"은 64비트가 모두 데이터 정보라는 것을 나타내고, "1"은 64비트가 데이터 정보 및 제어 정보를 포함한다는 것을 나타낸다. 따라서, FEC 복호화가 실패한 후에 에러를 보고하도록 동기화 헤더를 설정하기 위해 유일하게 "1"이 사용될 수 있다.
- [0047] 65/64b 회선 복호화 모듈이 FEC 복호화 실패로 인해 에러 데이터의 데이터 블록을 /E/로 적절하게 교체하여 종료 제어 문자 /T/ 또는 개시 제어 문자 /S/의 위치에 있도록 할 수 없다는 사실을 방지하기 위해, 본 실시예에 따른 동기화 헤더를 설정하는 방법은 다음과 같이 설명된다.
- [0048] FEC 복호화 모듈은 FEC 코드워드의 최초 및 최종 데이터부 블록의 동기화 헤더를 "1"로, 즉 SH=1로 설정한다. 설정 후의 FEC 복호화 모듈 출력의 데이터 구조가 도 17에 예시되어 있다. FEC 복호화 모듈은 FEC 코드워드의 최초 및 최종 데이터부 블록을 포함한 임의의 블록의 동기화 헤더를 "1"로, 즉 SH=1로 설정한다. 설정 후의 FEC 복호화 모듈 출력의 데이터 구조가 도 18에 예시되어 있다.
- [0049] 블록을 입력으로 하여, 동기화 헤더에 대한 전술한 동작 후의 FEC 코드워드의 데이터부가 디스크램블러에 전송되며, 블록의 데이터 정보 비트는 변경되지만 블록의 동기화 헤더는 디스크램블러를 바이패스하는 것이 바람직하다. 디스크램블된 후의 원래의 FEC 코드워드의 데이터부가 회선 복호화 모듈에 전송된다. 64/66b 회선 부호화가 채용되면, 회선 디코더가 "11" 또는 "00"의 값을 갖는 동기화 문자에 따라 또는 "10"의 값을 갖는 블록의 일부 또는 전부의 동기화 문자에 따라 블록의 일부 또는 전부 내에서 에러를 검출하지만, 블록은 64/66b 회선 복호화 규칙을 따르지 않는다.
- [0050] 64/65b 회선 부호화가 채용되면, 회선 디코더는 "1"을 값을 갖는 FEC 코드워드의 블록의 일부 또는 전부의 동기화 문자에 따라 블록의 일부 또는 전부 내에서 에러를 검출하지만, 블록의 일부 또는 전부가 64/65b 회선 복호화 규칙을 따르지 않는다.
- [0051] 그 결과, 회선 복호화 모듈은 각각의 블록의 8바이트 전부를 /E/로 교체함으로써 /E/를 활용하여 에러 보고를 수행하며, 이로써 MAC 계층이 자신의 CRC 검증을 통해 에러를 검출할 수 있다.
- [0052] 본 발명의 실시예에 따른 데이터 에러 보고를 수행하는 장치의 구조가 도 19에 예시되어 있다. 이 장치는 제1 문자 설정 모듈 및 회선 복호화 모듈을 포함하며, 디스크램블링 모듈을 추가로 포함할 수도 있다.
- [0053] FEC 코드워드를 복호화하기 위해 채용된 제1 문자 설정 모듈은 FEC 복호화가 실패한 경우 FEC 복호화의 실패를 검출하며, 에러 데이터의 적어도 하나의 데이터 블록의 동기화 문자를 제1 문자를 설정한다. 제1 문자는 각각의 블록을 복호화하는 회선 부호화 규칙에서 지정된 비정상 동기화 문자(illegal synchronization character)이거나, 또는 제어 정보를 포함하는 데이터 블록의 동기화 문자이다. 제1 문자 설정 모듈은 비정상 문자 설정 모듈 및 제어 문자 설정 모듈 중의 적어도 하나를 포함한다.
- [0054] 디스크램블링 모듈은 회선 복호화 모듈이 제1 문자를 포함하고 있는 데이터 블록을 복호화하기 전에 제1 문자를 포함하고 있는 각각의 블록의 데이터 정보를 디스크램블하기 위해 채용된다.
- [0055] 회선 복호화 모듈은 제1 문자를 포함하고 있는 블록에 대해 회선 복호화를 수행하고, 복호화된 데이터를 출력하도록 구성된다. 또한, 회선 복호화 모듈은 소정의 회선 부호화 규칙에 따라 제1 문자를 포함하고 있는 데이터 블록 내의 에러를 검출하고, 데이터 블록 내의 디스크램블된 데이터 정보를 교체한다. 회선 복호화 모듈은 제1 복호화 모듈 및 제2 복호화 모듈 중의 하나 이상을 포함한다.
- [0056] 제1 문자 설정 모듈은 비정상 문자 설정 모듈을 포함할 수도 있으며, 이 비정상 문자 설정 모듈은 에러를 갖는 블록의 일부 또는 전부의 동기화 문자를 회선 부호화 규칙에서 지정된 비정상 동기화 문자로 설정하도록 구성된다. 64/66b 회선 부호화의 경우, 비정상 문자는 "11" 또는 "00"이다.
- [0057] 제1 문자 설정 모듈은 제어 문자 설정 모듈을 추가로 포함할 수도 있으며, 이 제어 문자 설정 모듈은 에러 데이터의 데이터 블록의 일부 또는 전부의 동기화 문자를 제어 정보를 포함하는 데이터 블록의 동기화 문자로 설정하도록 구성된다. 64/66b 회선 부호화의 경우, 동기화 문자는 "10"로 설정될 것이다. 64/65b 회선 부호화의 경우, 동기화 문자는 "1"로 설정될 것이다.
- [0058] 제1 문자 설정 모듈은 비정상 문자 설정 모듈 및 제어 문자 설정 모듈 모두를 포함할 수도 있다.

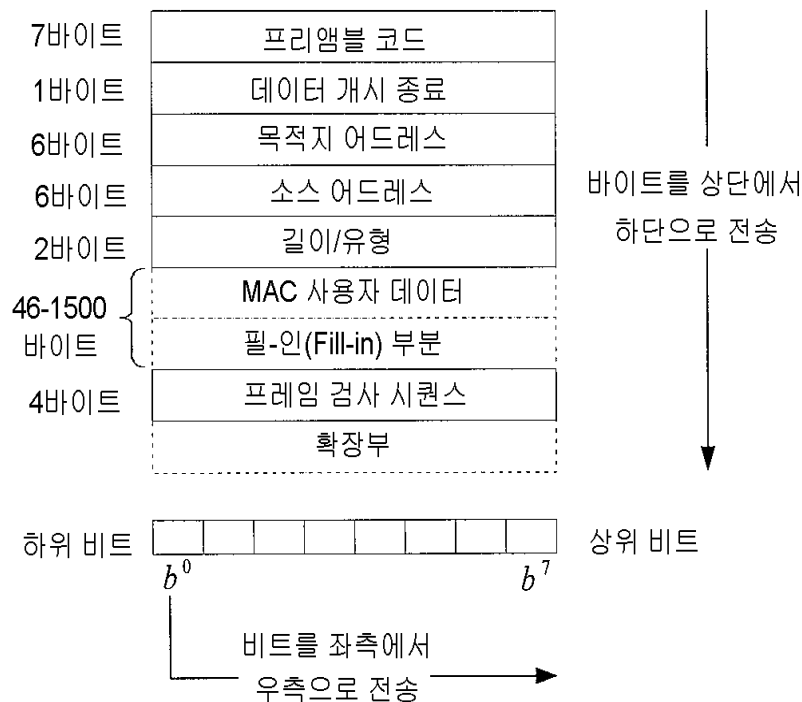
- [0059] 회선 복호화 모듈은 제1 복호화 모듈을 포함할 수도 있으며, 이 제1 복호화 모듈은 비정상 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정하고, 데이터 블록의 일부 또는 전부의 디스크램블된 데이터 정보를 교체하며, 교체된 데이터를 출력하도록 구성되거나, 또는 비정상 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정하고, 데이터 블록의 일부 또는 전부에 대해 회선 복호화를 수행하며, 복호된 블록을 출력하도록 구성된다.
  - [0060] 회선 복호화 모듈은 제2 복호화 모듈을 포함할 수도 있으며, 이 제2 복호화 모듈은 제어 정보(즉, "10" 또는 "1")를 포함하고 있는 데이터 블록의 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정하며, 데이터 블록의 일부 또는 전부가 회선 부호화 규칙을 따르지 않는 경우에는, 데이터 블록의 일부 또는 전부의 디스크램블된 데이터 정보를 교체하고, 교체된 데이터를 출력하며, 데이터 블록의 일부 또는 전부가 회선 부호화 규칙을 따르는 경우에는, 데이터 블록의 일부 또는 전부에 대해 회선 복호화를 수행하고, 복호된 데이터를 출력하도록 구성된다.
  - [0061] 또 다른 실시예에서, 제1 복호화 모듈은, 비정상 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정한 후에, 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 데이터 블록의 일부 또는 전부에 대해 회선 복호화를 수행하며, 교체된 데이터를 출력하도록 구성된다.
  - [0062] 제2 복호화 모듈은, 제어 정보를 포함하고 있는 데이터 블록의 동기화 문자를 갖는 에러 데이터의 데이터 블록의 일부 또는 전부를 판정한 후에, 데이터 블록의 일부 또는 전부의 디스크램블된 데이터를 교체하고, 데이터 블록의 일부 또는 전부에 대해 회선 복호화를 수행하며, 복호된 데이터를 출력하도록 구성된다.
  - [0063] 회선 복호화 모듈은 제1 복호화 모듈 및 제2 복호화 모듈 모두를 포함할 수도 있다.
  - [0064] 전술한 바와 같이, 본 발명의 실시예는 FEC 복호화를 실패한 경우에 회선 복호화 모듈에 에러 데이터를 보고하기 위한 간편하고 효과적인 메카니즘을 제공한다. 따라서, 회선 복호화 모듈은 에러 데이터를 사전 처리할 수 있는 RS 계층에 에러를 보고하기 위해 이더넷 시스템의 제어 문자 /E/의 기존의 에러 보고 기능을 이용하며, 이로써 MAC 계층이 자신의 CRC 검증을 통해 에러를 검출할 수 있다.
  - [0065] 전술한 설명은 본 발명의 바람직한 구체적인 실시예에 대한 것으로, 본 발명의 보호 범위는 이러한 것으로 한정되지 않는다. 당업자에 의해 본 발명의 개시 내용 이내에서 용이하게 이루어질 수 있는 수정 및 설정은 본 발명의 범위에 포함되는 것이다. 따라서, 본 발명의 보호 범위는 청구범위에 의해 정해져야 한다.
- 도면의 간단한 설명**
- [0066] 도 1은 이더넷 프로토콜에서 EPON에 대응하는 802.3 이더넷 데이터 프레임의 구조도.
  - [0067] 도 2는 오픈 시스템 인터컨넥션 레퍼런스 모델과 IEEE 802.3 10G 비트 근거리 통신망 모델 간의 관계를 예시하는 도면.
  - [0068] 도 3은 IEEE 802.3 10G 표준에서의 수신단에 있는 66/64b 회선 복호화 모듈의 위치를 예시하는 도면.
  - [0069] 도 4는 본 발명의 제1 실시예에 따른 10G EPON 시스템에서의 FEC 코드워드의 구조도.
  - [0070] 도 5는 본 발명의 제1 실시예에 따른 10G EPON 시스템에서의 수신기의 구조도.
  - [0071] 도 6은 본 발명의 제1 실시예에 따른 FEC 복호화의 실패를 검출한 후의 10G EPON의 수신기에서의 데이터 에러 보고를 수행하는 흐름도.
  - [0072] 도 7은 FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더가 본 발명의 제1 실시예에 따라 "00" 또는 "11"로 설정된 후의 FEC 코드워드의 데이터 구조도.
  - [0073] 도 8은 FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더가 본 발명의 제1 실시예에 따라 "00" 또는 "11"로 설정된 후의 FEC 코드워드의 데이터 구조도.
  - [0074] 도 9는 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록의 FEC 동기화 헤더가 본 발명의 제1 실시예에 따라 "10"으로 설정된 후의 FEC 코드워드의 데이터 구조도.
  - [0075] 도 10은 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록의 FEC 동기화 헤더가 본 발명의 제1 실시예에 따라 "10"으로 설정된 후의 FEC 코드워드의 데이터 구조도.
  - [0076] 도 11은 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록을 포함하는 복수의 블록의 동기화 헤더가 본 발명

의 제1 실시예에 따라 "10"으로 설정된 후의 FEC 코드워드의 데이터 구조도.

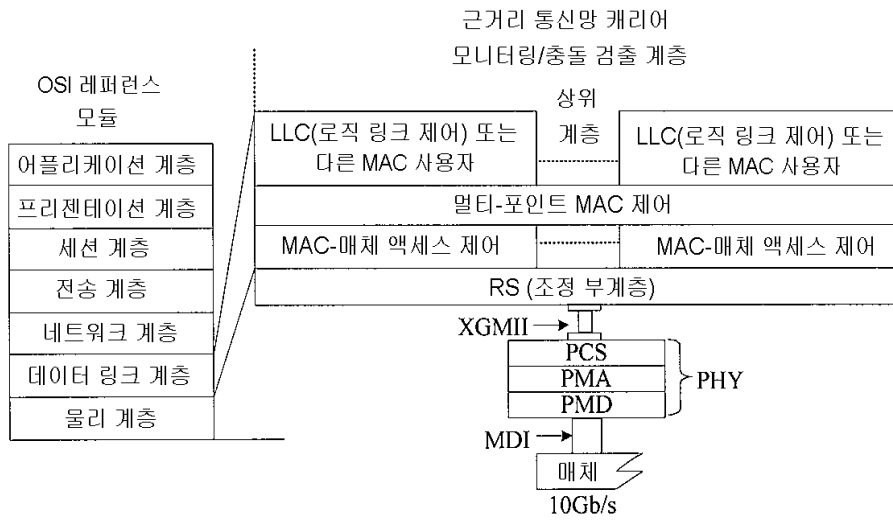
- [0077] 도 12는 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록을 포함하는 복수의 블록의 동기화 헤더가 본 발명의 제1 실시예에 따라 "10"으로 설정된 후의 FEC 코드워드의 또 다른 데이터 구조도.
- [0078] 도 13은 FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더가 본 발명의 제2 실시예에 따라 "00" 또는 "11"로 설정된 후의 FEC 코드워드의 데이터 구조도.
- [0079] 도 14는 FEC 코드워드의 데이터부의 임의의 블록의 동기화 헤더가 본 발명의 제2 실시예에 따라 "00" 또는 "11"로 설정된 후의 FEC 코드워드의 데이터 구조도.
- [0080] 도 15는 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록의 동기화 헤더가 본 발명의 제2 실시예에 따라 "10"으로 설정된 후의 FEC 코드워드의 데이터 구조도.
- [0081] 도 16은 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록을 포함한 복수의 블록의 동기화 헤더가 본 발명의 제2 실시예에 따라 "10"으로 설정된 후의 FEC 코드워드의 또 다른 데이터 구조도.
- [0082] 도 17은 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록의 동기화 헤더가 본 발명의 제3 실시예에 따라 "1"로 설정된 후의 FEC 코드워드의 데이터 구조도.
- [0083] 도 18은 FEC 코드워드의 데이터부의 최초 블록 및 최종 블록을 포함한 복수의 블록의 동기화 헤더가 본 발명의 제3 실시예에 따라 "1"로 설정된 후의 FEC 코드워드의 데이터 구조도.
- [0084] 도 19는 본 발명의 실시예에 따라 데이터 에러 보고를 수행하는 장치의 구조도.

**도면**

**도면1**



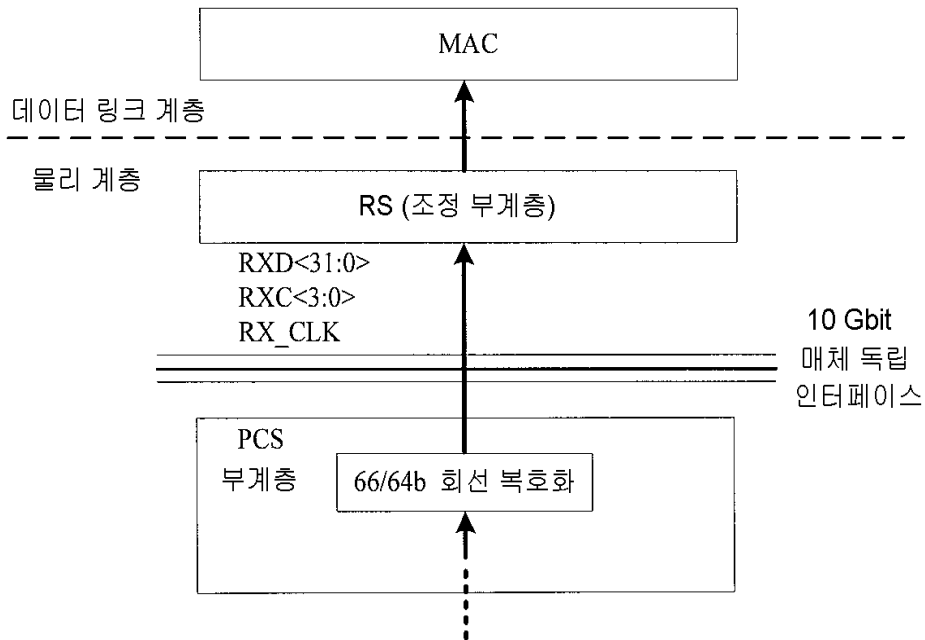
도면2



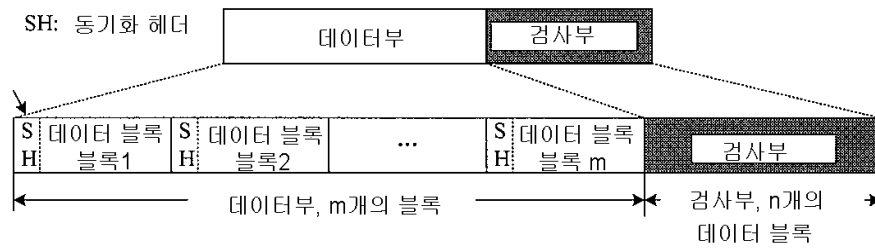
XGMII: 10 Gbit 매체 독립 인터페이스  
MDI: 매체 독립 인터페이스  
PHY: 물리적 디바이스

PCS: 물리적 부호화 부계층  
PMA: 물리적 매체 어댑터먼트  
PMD: 물리적 매체 디펜던트

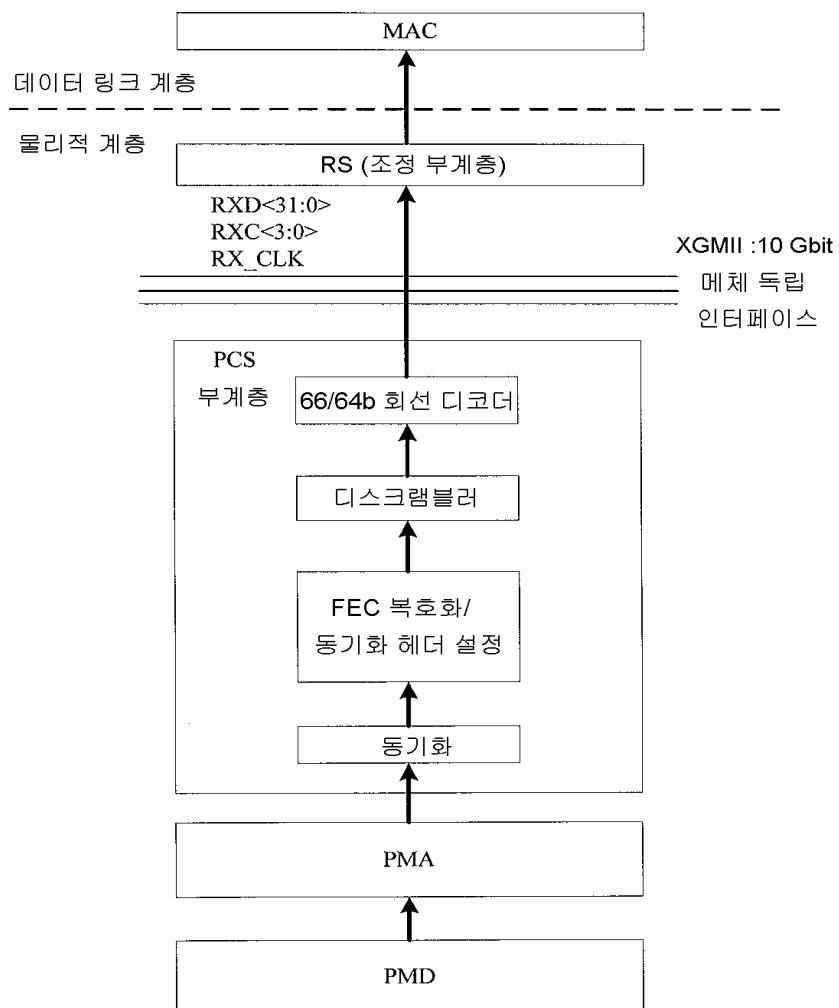
도면3



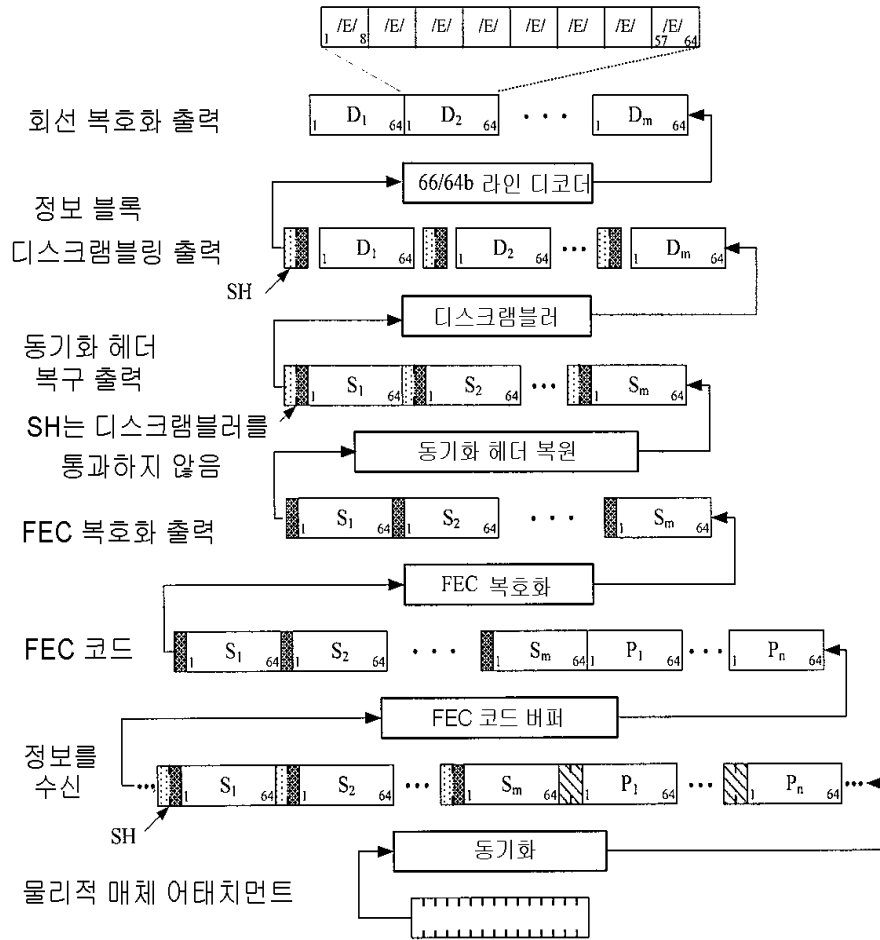
도면4



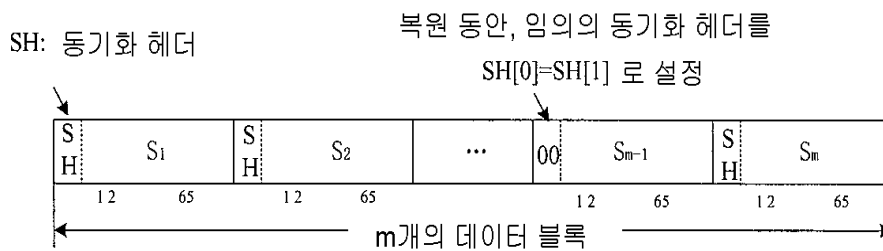
도면5



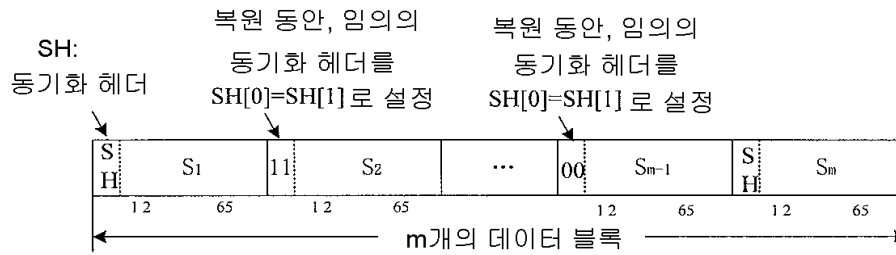
도면6



도면7

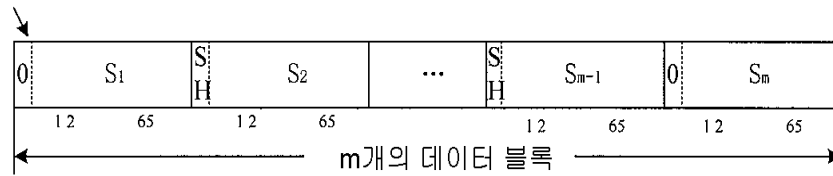


도면8



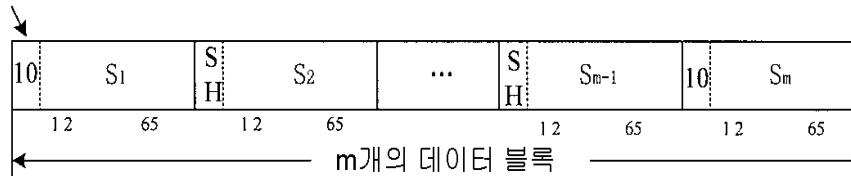
도면9

SH[1]: 동기화 헤더의 제2 비트



도면10

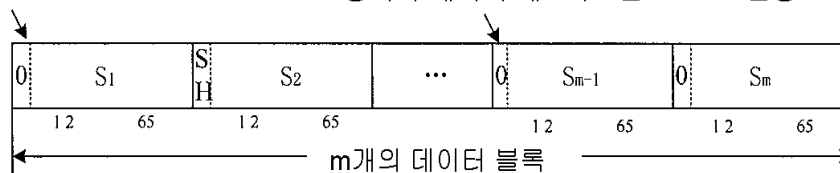
SH: 동기화 헤더



도면11

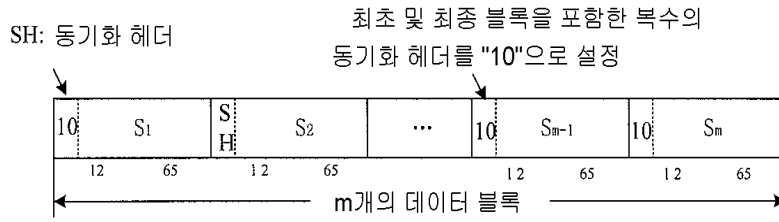
SH[1]: 동기화 헤더의 제2 비트

최초 및 최종 블록을 포함한 복수의 동기화 헤더의 제2 비트를 "0"으로 설정

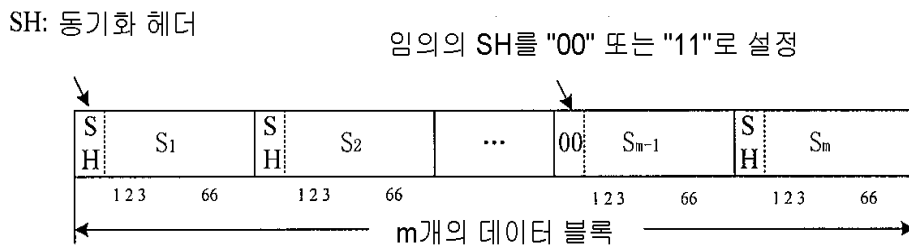




도면12



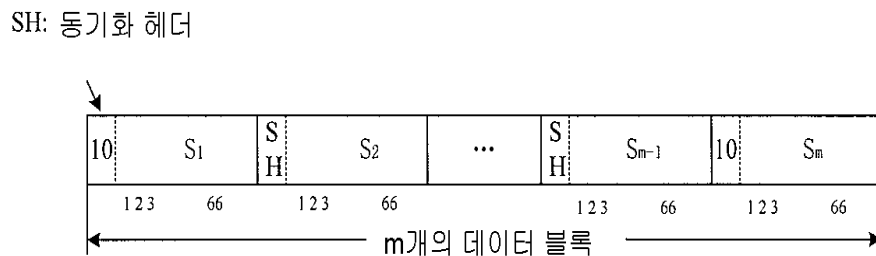
도면13



도면14

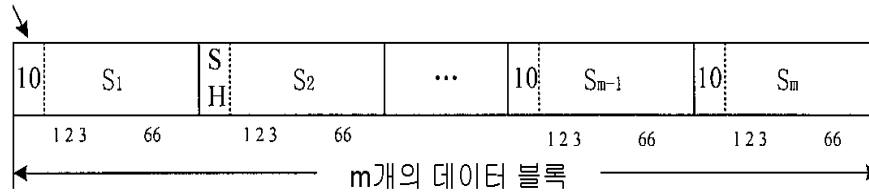


도면15



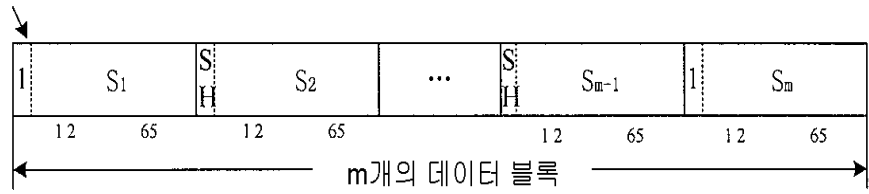
도면16

SH: 동기화 헤더



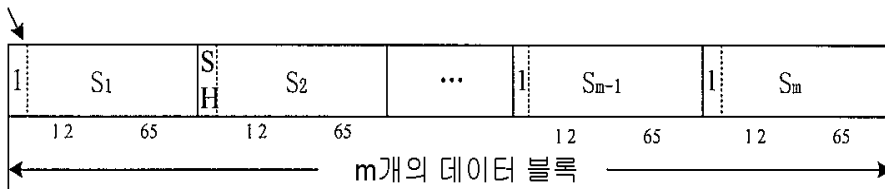
도면17

SH: 동기화 헤더



도면18

SH: 동기화 헤더



도면19

