

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 6 部門第 3 区分
【発行日】平成31年4月18日(2019.4.18)

【公開番号】特開2018-160029(P2018-160029A)
【公開日】平成30年10月11日(2018.10.11)
【年通号数】公開・登録公報2018-039
【出願番号】特願2017-56033(P2017-56033)
【国際特許分類】

G 0 6 F 12/06 (2006.01)

【 F I 】

G 0 6 F 12/06 5 2 0 E

【手続補正書】

【提出日】平成31年3月5日(2019.3.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

初期化データを記憶する R O M と、
前記初期化データのうち、少なくとも一部のデータを書き込み可能な S R A M と、
前記 S R A M に書き込みが行われたか否かを示す情報を記憶するメモリと、
前記メモリに記憶された前記情報に応じて、前記 S R A M から出力されたデータと、前記 R O M から出力されたデータのいずれかを出力するセクタと、
を具備する半導体集積回路。

【請求項 2】

前記 S R A M は書き込み及び読み出しが実行される第 1 記憶領域を有し、
前記 R O M は前記第 1 記憶領域に対応する第 2 記憶領域を有し、
前記メモリは、前記第 1 記憶領域に対応し、前記情報として第 1 値を記憶するレジスタを有し、
前記第 1 記憶領域、前記第 2 記憶領域、及び前記レジスタは同一のアドレスにより指定される請求項 1 に記載の半導体集積回路。

【請求項 3】

書き込み時に、前記第 1 記憶領域に書き込みが実行されると共に、前記レジスタの前記第 1 値が第 2 値に変更される請求項 2 に記載の半導体集積回路。

【請求項 4】

読み出し時に、前記レジスタに前記第 1 値が記憶されているとき、前記セクタは前記 R O M から出力されたデータを出力し、前記レジスタに前記第 2 値が記憶されているとき、前記セクタは前記 S R A M から出力されたデータを出力する請求項 3 に記載の半導体集積回路。

【請求項 5】

前記 S R A M は複数の第 1 記憶領域を有し、前記 R O M は前記複数の第 1 記憶領域に対応する複数の第 2 記憶領域をそれぞれ有し、
前記メモリは前記複数の第 1 記憶領域に対応する複数のレジスタをそれぞれ有し、
書き込み時に、前記複数の第 1 記憶領域のいずれかを指定するアドレスに基づいて、前記複数のレジスタのいずれかに第 1 値を出力するアドレスデコーダをさらに具備する請求項 1 に記載の半導体集積回路。

【請求項 6】

前記 S R A M は複数の第 1 記憶領域を有し、前記 R O M は前記複数の第 1 記憶領域に対応する複数の第 2 記憶領域をそれぞれ有し、

前記メモリは前記複数の第 1 記憶領域に対応する複数のレジスタをそれぞれ有し、

読み出し時に、前記複数の第 1 記憶領域のいずれかを指定するアドレスに基づいて、前記複数のレジスタのいずれかに記憶された前記情報出力するセクタをさらに具備する請求項 1 に記載の半導体集積回路。

【請求項 7】

初期化データのうち、少なくとも一部のデータを書き込み可能な S R A M と、

前記 S R A M に書き込みが行われたか否かを示す情報を記憶するメモリと、

前記メモリに記憶された前記情報に応じて、前記 S R A M から出力されたデータと、所定値のいずれかを出力するセクタと、

を具備する半導体集積回路。

【請求項 8】

初期化データのうち、少なくとも一部のデータを書き込み可能な S R A M と、

前記 S R A M に書き込みが行われたか否かを示す情報を記憶するメモリと、

前記 S R A M からの出力が第 1 入力端に入力され、前記メモリに記憶された前記情報が第 2 入力端に入力された論理積回路と、

を具備する半導体集積回路。