



(57) 要約:

不揮発性メモリのリーク電流を低減し、メモリ特性の向上をはかる。

本発明は、強誘電体／半導体界面にバッファ層として金属層（M）と絶縁体層（I）とを介在させたMFMI S構造のFETにおいて、さらにフローティングゲートまたはコントロールゲートと、強誘電体層との間に絶縁バリア層を介在させるようにしたことを特徴とする。

明 細 書

不揮発性メモリ

<技術分野>

本発明は、不揮発性メモリに係り、特にM F S F E T（メタルー強誘電体ー半導体電界効果トランジスタ）型のメモリに関する。

<背景技術>

現在研究されている強誘電体メモリは大きく2つに分けられる。1つは、強誘電体キャパシタの反転電荷量を検出する方式で、強誘電体キャパシタと選択トランジスタとで構成される。

もう1つは、強誘電体の自発分極による半導体の抵抗変化を検出する方式のメモリである。この方式の代表的なものが、M F S F E Tである。これはゲート絶縁膜に強誘電体を用いたM I S構造である。この構造では半導体表面に直接強誘電体を形成する必要があり、強誘電体／半導体の界面制御が困難なことから、良質のメモリ素子を製造するのは極めて困難であるとされている。そこで現在は強誘電体／半導体界面にバッファ層を設けたメモリ構造が主流になっているが、われわれは、図4に示すように、強誘電体／半導体界面にバッファ層として金属層（M）と絶縁体層（I）とを介在させたM F M I S構造のF E Tを提案している。このM F M I S構造のF E Tは、半導体基板1のソース・ドレイン領域2、3間に形成されるチャネル領域4上に、ゲート酸化膜5、フローティングゲート6、強誘電体膜7、コントロールゲート8を順次積層してなるものである。

この構造では通常半導体基板1を接地し、コントロールゲート8に正の電圧を与えると、強誘電体膜7は分極反転を起こす。コントロールゲート8の電圧を除去しても、強誘電体膜7の残留分極により、チャネル形成領域C Hには負の電荷が発生する。これを「1」の状態とする。

逆に、コントロールゲート8に負の電圧を与えると、強誘電体膜8は逆方向に

分極反転を起こす。コントロールゲート8の電圧を除去しても、強誘電体膜8の残留分極によりチャネル形成領域CHには正の電荷が発生する。これを「0」の状態とする。このようにしてFETに情報「1」または「0」の書き込みを行うことができるようになっている。

書き込まれた情報の読み出しは、コントロールゲートに読み出し電圧 V_r を与えることによって実行される。読み出し電圧 V_r は、「1」の状態における閾値電圧 V_{th1} と「0」の状態における閾値電圧 V_{th0} との間の値に設定されている。そして、コントロールゲート8に読み出し電圧 V_r を与えたとき、ドレイン電流が流れたか否かを検出することにより、書き込まれた情報が「1」であったか、「0」であったかを判別することができるようになっている。

このように、MFMS構造のFETによれば、一つの素子で一つのメモリセルを構成することができ、非破壊読み出しを良好に行うことが可能となる。

しかしながら、このようなMFMS構造のFETは、つぎのような問題がある。書き込み時には、FETは強誘電体膜7によるコンデンサ C_f （容量 C_f ）と、ゲート酸化膜5によるコンデンサ C_{ox} （容量 C_{ox} ）とが直列接続されたかたちになる（図5参照）。従って、基板1とコントロールゲート8との間に、電圧 V を与えた場合、電圧は V_f と V_{ox} とにわかれ次式（1）のようになる。

$$V = V_f + V_{ox}$$

$$C_f V_f = C_{ox} V_{ox} = q \quad q : \text{キャパシタの発生電荷量} \quad (1)$$

従って、強誘電体膜7によるコンデンサ C_f には、次式に示す分圧 V_f

$$V_f = V \cdot C_{ox} / (C_f + C_{ox}) \quad (2)$$

がかかる。

一方、書き込み時に強誘電体膜7を分極反転させるためには、 V_f をある程度大きくする必要がある。

従って、ゲート絶縁膜の容量に対する強誘電体膜の容量を小さくする必要がある。しかしながら例えばPZTの比誘電率は200-1000程度であり、ゲート絶縁膜を構成する酸化シリコン膜の比誘電率3.9に比べてかなり高いという問題がある。

このため、上式（１）における分圧 V_f を大きくすることが困難である。従って、書き込み時に強誘電体膜 7 を分極反転させることが困難であるという問題があった。

この問題を解決するため、強誘電体膜の比誘電率をできるだけ小さく、膜厚を薄くする必要がある。このように、膜厚を薄くすることによって、分圧 V_f を大きくすることは可能であるが、反面、膜厚が薄くなるに従って、フローティングゲートとコントロールゲートとの間でのリーク電流が顕在化し、これがメモリ特性の劣化の原因となっている。

本発明は前記実情に鑑みてなされたもので、リーク電流を低減し、メモリ特性のデータ保持特性の向上を図ることを目的とする。

<発明の開示>

そこで本発明では、強誘電体／半導体界面にバッファ層として金属層（M）と絶縁体層（I）とを介在させたMFMI S構造のFETにおいて、さらにフローティングゲートまたはコントロールゲートと、強誘電体層との間に絶縁バリア層を介在させるようにしたことを特徴とする。

すなわち、本発明の第 1 の不揮発性メモリは、半導体基板表面に形成されたソース・ドレイン間領域の表面に、ゲート絶縁膜を介してフローティングゲートと、強誘電体層と、コントロールゲートとを順次積層してなるMFMI S構造のFETにおいて、前記フローティングゲートまたはコントロールゲートと、強誘電体層との間にさらに絶縁バリア層を介在せしめたことを特徴とする。

かかる構成によれば、前記フローティングゲートまたはコントロールゲートと、強誘電体層との間に絶縁バリア層が介在せしめられているため、前記フローティングゲートとコントロールゲートとの間のリーク電流が低減され、メモリ特性を良好に維持することが可能となる。

本発明の第 2 では、本発明の第 1 に記載の不揮発性メモリにおいて、前記絶縁バリア層が前記強誘電体膜の構成元素を含む絶縁材料からなることを特徴とする。

かかる構成によれば、上記第 1 による効果に加え、前記絶縁バリア層が前記強

誘電体膜の構成元素を含んでいるため、長期にわたる使用に際しても前記強誘電体膜からの前記元素の拡散が防止されるとともに、絶縁バリア層からの構成元素の拡散も防止でき、より長寿命化をはかることが可能となる。

本発明の第3では、本発明の第1または2に記載の不揮発性メモリにおいて、前記絶縁バリア層は、前記強誘電体膜とコントロールゲートとの間に介在せしめられることを特徴とする。

かかる構成によれば、前記強誘電体膜の上層に絶縁バリア層を形成すればよい。ため、強誘電体膜の形成に際し、配向性を乱す原因となることもない。

本発明の第4では、本発明の第1または2に記載の不揮発性メモリにおいて、前記絶縁バリア層は、前記フローティングゲートと、前記強誘電体膜との間に介在せしめられていることを特徴とする。

かかる構成によれば、絶縁バリア層を前記フローティングゲートと、前記強誘電体膜との間に介在するに際し、前記フローティングゲートと、前記強誘電体膜との間の格子定数の差を緩和させるような材料で構成することも可能となる。

また望ましくは、本発明の第1または2に記載の不揮発性メモリにおいて、前記強誘電体膜はSTN ($Sr_2(Ta_{1-x}Nb_x)_2O_7$) $x: 0 < x < 1$ 、 $y: 0 < y$ で構成され、前記絶縁バリア層は酸化タンタル (Ta_2O_5) で構成されていることを特徴とする。

STNは比誘電率が40-50程度であり、酸化タンタルは25程度であるため、酸化タンタル自身による電圧降下は、小さく、強誘電体膜にかかる電圧を大幅に低下させることなく、リーク電流の低減を図ることが可能となる。さらにまた、前記酸化タンタルは強誘電体膜の構成元素であるタンタルを含んでいるため、強誘電体膜からのタンタルの拡散を防止することができ、より信頼性の高い不揮発性メモリを得ることが可能となる。

本発明の第5では、本発明の第1または2に記載の不揮発性メモリにおいて、前記強誘電体膜はSTN ($Sr_2(Ta_{1-x}Nb_x)_2O_y$) $x: 0 < x < 1$ 、 $y: 0 < y$ で構成され、前記絶縁バリア層は、前記強誘電体膜の構成元素の少なくとも1つの酸化物を含むことを特徴とする。

かかる構成によれば、絶縁バリア層から強誘電体膜への構成元素の拡散もなく、良好なメモリ特性を得ることが可能となる。

本発明の第6では、前記絶縁バリア層は、膜厚を t_{in} 、比誘電率を ϵ_{in} 、前記強誘電体膜の膜厚を t_f 、比誘電率を ϵ_f としたとき、次式

$$(\epsilon_f / t_f) < (\epsilon_{in} / t_{in}) < 2 \cdot (\epsilon_f / t_f)$$

を満たすように構成されていることを特徴とする。

かかる構成によれば、絶縁バリア層の介在による電圧降下率の低下を $1/3$ から $1/2$ に抑えることができ、リーク電流を低減しつつ、強誘電体膜にかかる電圧を十分に大きく確保することが可能となる。すなわち、絶縁バリアにかかる電圧 V_{in} は、下式で表される。

$$V_{in} = (C_f / C_{in} + C_f) / V \dots \dots \textcircled{1}$$

ここで $C_f = \epsilon_f / t_f$ 、 $C_{in} = \epsilon_{in} / t_{in}$ であるから

$$(\epsilon_f / t_f) < (\epsilon_{in} / t_{in}) < 2 \cdot (\epsilon_f / t_f) \text{ に代入すると}$$

$$C_f < C_{in} < 2 C_f \text{ となる。この式を上記式}\textcircled{1} \text{に代入すると}$$

絶縁バリアにかかる電圧は、 $1/3 V < V_{in} < 1/2 V$ となる。

本発明の第7では、前記絶縁バリア層は、バンドギャップが強誘電体のバンドギャップよりも大きいことを特徴とする。

本発明の第8では、前記絶縁バリア層は、前記強誘電体膜の構成元素の酸化物あるいは窒化物を含むことを特徴とする。

本発明の第9では、前記絶縁バリア層は、酸化タンタル層である。

本発明の第10では、前記絶縁バリア層は、酸化チタン層である。

本発明の第11では、前記絶縁バリア層は、チタニウム、タンタル、ジルコニウム、タングステンの酸化物あるいはこれらの酸窒化物である。

本発明の第12では、前記絶縁バリア層は、 $TaAlN$ 、 $TaSiN$ など高融点金属の窒化物にアルミニウムあるいはシリコンなどを含有させたものの酸化物である。

本発明の第13では、前記フローティングゲートはイリジウム層と酸化イリジウム層との2層膜である。

本発明の第14では、前記コントロールゲートは、イリジウム層と酸化イリジウム層との2層膜である。

本発明の第15では、半導体基板表面に前記フローティングゲートはイリジウム層と酸化イリジウム層との2層膜である。

なお上述したように、絶縁バリアとしては、その他、チタニウム (Ti)、タンタル (Ta)、ジルコニウム (Zr)、タングステン (W) などの高融点金属の酸化物あるいは高融点金属の酸窒化物あるいはこれらを含む膜を用いることが可能である。

酸化チタニウムは、イリジウム、酸化イリジウムやプラチナ、ルテニウムなどの電極金属との密着性が良好であり、フローティングゲートあるいはコントロールゲートと、強誘電体層との密着性の向上をはかることができる。また、コントロールゲートとしてイリジウム (Ir) を含む場合には、特に、PZT内の酸素、鉛 (Pb)、ジルコニウム (Zr) が抜け出したりすることもなく、経年変化および分極反転の繰り返しによっても変化はなく、良好な強誘電性を維持することが可能となる。更に、コントロールゲートがイリジウムと酸化イリジウムとの2層構造膜を含む場合に特に有効である。

さらに、また、強誘電体層の形成工程後に、前記高融点金属あるいは前記高融点金属層の窒化物を形成し、これを酸化することによって絶縁バリアを形成するようにしてもよい。例えば強誘電体膜をゾルゲル法で形成する場合には、アニール工程に先立ち、スパッタリングなどの方法によりチタンなどを薄く形成しておき、アニール工程で同時に酸化するようにすればよい。ここで強誘電体膜をゾルゲル法で形成する場合のアニール温度は400℃程度であるが、この後そのままチャンバー内で酸素雰囲気中で700℃程度に升温せしめることにより、強誘電体膜の焼成工程とアニール工程とが連続工程で効率よく行われ得、良好な酸化チタン膜を形成することが可能となる。このアニール工程によってチタンは酸化チタンとなり、良好なバリア性をもつ構造となる。

かかる構成によれば、極めて容易に信頼性の高いバリア効果をもつ絶縁バリア

層の形成が可能となる。

イリジウムは上層に形成される誘電体膜の配向性を良好に維持することができる材料である反面、柱状多結晶であり透過性が高いという問題があり、誘電体膜中の酸素や、その他の元素を透過するという問題があるが、下層の酸化チタンからなる緻密な絶縁バリア層によって強固なバリア効果を得ることができる。

さらには、酸化チタン層は極めて緻密でバリア性が高くかつ比誘電率も80～100程度と、大きいため、電圧降下率も低く、また長期にわたって特性を維持することが可能である。

酸化タンタルは、比誘電率が20～30程度である。

酸化ジルコニウムは、比誘電率が12.5程度である。

<図面の簡単な説明>

図1は、本発明の第1の実施例の強誘電体メモリを示す図である。

図2は、本発明の第2の実施例の強誘電体メモリを示す図である。

図3は、本発明の第2の実施例の強誘電体メモリの製造工程を示す図である。

図4は、従来例の強誘電体メモリを示す図である。

図5は、強誘電体メモリのキャパシタ部分の等価回路図である。

なお、図中の符号、1はシリコン基板、2はソース領域、3はドレイン領域、4はチャンネル領域、5はゲート絶縁膜、6はフローティングゲート、7は強誘電体膜、8はコントロールゲート、10は絶縁バリア層である。

<発明を実施するための最良の形態>

次に、本発明の実施例として、STNを誘電体膜として用いた強誘電体メモリについて説明する。この強誘電体メモリは、図1に示すように、n型のシリコン基板1表面に形成されたp型不純物領域からなるソース・ドレイン領域2、3の間のチャンネル領域4の表面に、膜厚10nmの酸化シリコン膜からなるゲート絶縁膜5を介して、膜厚100nmのイリジウム層からなるフローティングゲート6と、膜厚150nmのSTNからなる強誘電体層7と、膜厚200nmのPt

からなるコントロールゲート 8 とを順次積層してなる MFMI S 構造の FET において、前記コントロールゲート 8 と、強誘電体層 7 との間に酸化タンタルからなる絶縁バリア層 10 を介在せしめたことを特徴とする。

ここで強誘電体膜を構成する STN は比誘電率が 40 - 50 程度であるのに対し、酸化タンタルは比誘電率が 25 程度と大きいため、リーク電流が少なく、電圧降下が 10 % 程度低減され、強誘電体膜にかかる電圧を十分に大きく維持することができる。

ここで絶縁バリア層は、その膜厚を t_{in} 、比誘電率を ϵ_{in} 、前記強誘電体膜の膜厚を t_f 、比誘電率を ϵ_f としたとき、次式

$$(\epsilon_f / t_f) < (\epsilon_{in} / t_{in}) < 2 \cdot (\epsilon_f / t_f)$$

を満たすように構成されている。

また絶縁バリア層は強誘電体膜である、STN の構成元素である、タンタルを含んでいるため、密着性が良好であり、剥離がなく信頼性の高い FERAM を提供することが可能となる。強誘電体膜からのタンタルの拡散を防止することができ、より信頼性の高い不揮発性メモリを得ることが可能となる。

尚、前記実施例では、強誘電体膜として、STN を用いたが、これに限定されることなく、適宜変更可能である。

また、前記強誘電体膜を STN で構成したがその表面層の少なくとも一部を、 y が連続的に変化する組成傾斜層となるようにしてもよい。すなわち、強誘電体膜は STN ($Sr_2(Ta_{1-x}Nb_x)_2O_y$) $x : 0 < x < 1$ 、 $y : 0 < y$ で構成するとともに、前記絶縁バリア層は、酸化タンタルで構成するようにしてもよい。

かかる構成によれば、組成が連続的に変化し、絶縁性を高めることが可能となるため、歪の発生もなく、良好なメモリ特性を得ることが可能となる。

また、前記実施例では、強誘電体膜 7 とコントロールゲート 8 との間に絶縁バリア層を形成したが、本発明の第 2 の実施例として、図 2 に示すようにフローティングゲート 6 と強誘電体膜 7 との間に絶縁バリア層を形成するようにしてもよい。この構造では、フローティングゲート 6 を、イリジウムと酸化イリジウムと

の2層膜で構成し、この上層に薄い酸化チタン層10を形成し、この上層に、PZTからなる強誘電体膜を形成し、さらにこの上層にイリジウム8aと酸化イリジウム8bとの2層膜からなるコントロールゲート8を形成したことを特徴とするものである。

すなわち、この例では、n型のシリコン基板1表面に形成されたp型不純物領域からなるソース・ドレイン領域2, 3の間のチャネル領域4の表面に、酸化シリコン膜からなるゲート絶縁膜5を介して、のイリジウム層6aと酸化イリジウム6bとの2層膜からなるフローティングゲート6と、絶縁バリア層として、薄い酸化チタン層10と、この上層にPZTからなる強誘電体層7と、コントロールゲート8とを順次積層してなるMFMI S構造のFETにおいて、前記フローティングゲート6と、強誘電体層7との間に酸化タンタルからなる絶縁バリア層10を介在せしめたことを特徴とする。

ここで強誘電体膜にBSTを用い、絶縁バリア層に酸化チタンを用いることにより、リーク電流が少なく、電圧降下が低減され、強誘電体膜にかかる電圧を十分に大きく維持することができる。

ここで絶縁バリア層は、その膜厚を t_{in} 、比誘電率を ϵ_{in} 、前記強誘電体膜の膜厚を t_f 、比誘電率を ϵ_f としたとき、次式

$$(\epsilon_f / t_f) < (\epsilon_{in} / t_{in}) < 2 \cdot (\epsilon_f / t_f)$$

を満たすように構成されている。

次に、このMFMI S構造のトランジスタの製造工程について説明する。図3(a)乃至(e)は製造工程図である。

まず、図3(a)に示すようにn型シリコン基板1の表面を熱酸化し、膜厚600nm程度の酸化シリコン層5を形成した後、この酸化シリコン層2上にイリジウムをターゲットとして用いてスパッタリング法により、フローティングゲートとなるイリジウム層を形成する。次に、O₂の雰囲気中で800度(摂氏、以下同じ)1分の熱処理を行い、イリジウム層6aの表面に酸化イリジウム層6bを形成する。ここでイリジウム層は柱状多結晶構造をもつが、イリジウム層表面のみならず、この柱状多結晶の結晶間にも酸化イリジウム層が形成されている。

そして更にこの上層に絶縁バリア層として、酸化チタン層 10 を形成する。このようにして図 3 (b) に示すように、イリジウム層 6 a、酸化イリジウム層 6 b、および酸化チタン層 10 を形成する。

次に、この絶縁バリア層としての酸化チタン層 10 の上に、ゾルゲル法によって、強誘電体膜 7 として P Z T 膜を形成する。出発原料として、 $\text{Pb}(\text{CH}_3\text{COO})_2 \cdot 3\text{H}_2\text{O}$ 、 $\text{Zr}(\text{t-OC}_4\text{H}_9)_4$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ の混合溶液を用いた。この混合溶液をスピコートした後、150度で乾燥させ、ドライエアー雰囲気において400度で30分の仮焼成を行った。これを5回繰り返した後、 O_2 の雰囲気中で、700度以上の熱処理を施した。このようにして、250 nm の強誘電体膜 7 を形成した。なお、ここでは、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ において、 x を 0.52 として (以下 P Z T (52/48) と表す)、P Z T 膜を形成している。

さらに、強誘電体膜 7 の上に、スパッタリングによりイリジウム層 8 a を形成する。次に、 O_2 の雰囲気中で800度、1分の熱処理を行い、イリジウム層 8 a の表面に酸化イリジウム層 8 b を形成する (図 3 (c))。このイリジウム層 8 a および酸化イリジウム層 8 b を、上部電極 8 とする。ここでは、イリジウム層 8 a と酸化イリジウム層 8 b とをあわせて200 nm の厚さとなるように形成した。このようにして、強誘電体キャパシタを得ることができる。

この後図 3 (d) に示すように、これをフォトリソグラフィにより形成したレジストパターン R をマスクとしてパターニングし、ソースドレインとなる領域の表面を露呈せしめる。

こののち、このゲート電極パターンをマスクとして、ホウ素 (B) イオンを注入することにより、p 型拡散層からなるソース・ドレイン領域 2, 3 を形成する。

さらに、層間絶縁膜、配線パターンを形成し、強誘電体メモリが完成する。

かかる構成によれば、フローティングゲートと強誘電体膜との間に絶縁バリア層が形成されているため、リーク電流の低減をはかることができ、かつ酸化チタンの比誘電率が強誘電体膜に対して十分に大きいため、強誘電体膜にかかる電圧を十分に大きくとることが可能となる。

さらにまた、酸化チタン層は接合層としての作用もある。イリジウムと P Z T

膜との密着性は余り良くない。このため、部分的に膜がはがれ、強誘電特性を劣化させるおそれがあるが、この実施例では、密着性のよいチタン層を形成した後、このチタン層を酸化しているためこの酸化チタン層は接合層としての作用も奏効する。このようにリーク電流の低減のみならず、このような密着性の向上によっても、強誘電特性を改善している。

また、この酸化チタン層は緻密な膜であるため、バリア効果が高いが、電極の還元防止効果もある。すなわち、例えば電極が酸化イリジウム単層である場合、還元され、イリジウムとなって酸素バリア効果を失ってしまうが、酸化チタン層の存在により、還元は抑制され、酸化イリジウムの状態を維持することが可能となる。

なお、上記実施例では、絶縁バリア層として酸化タンタル、および酸化チタン層を用いたが、これらの材料に限定されることなく適宜選択可能である。チタニウム、タンタル、ジルコニウム、タングステンあるいはこれらの窒化物さらには、 $TaAlN$ 、 $TaSiN$ など高融点金属の窒化物にアルミニウムあるいはシリコンなどを含有させたものの酸化物も適用可能である。

上記各実施例では、強誘電体膜としてSTN、およびPZTを用いたが、SBTなどの強誘電体あるいはBSTなどの高誘電率誘電体膜などにも適用可能である。

<産業上の利用可能性>

以上説明してきたように本発明によれば、リーク電流の低減をはかり、信頼性の高い強誘電体メモリを得ることが可能となる。

請求の範囲

1. 半導体基板表面に形成されたソース・ドレイン領域間の前記半導体基板表面に、ゲート絶縁膜を介してフローティングゲートと、強誘電体層と、コントロールゲートとを順次積層してなるMFMI S構造のFETにおいて、

前記フローティングゲートまたはコントロールゲートと、強誘電体層との間に絶縁バリア層が介在せしめられてなることを特徴とする不揮発性メモリ。

2. 前記絶縁バリア層は、前記強誘電体膜の構成元素を含む絶縁材料からなることを特徴とする請求の範囲第1項に記載の不揮発性メモリ。

3. 前記絶縁バリア層は、前記強誘電体膜とコントロールゲートとの間に介在せしめられることを特徴とする請求の範囲第1項または第2項に記載の不揮発性メモリ。

4. 前記絶縁バリア層は、前記フローティングゲートと、前記強誘電体膜との間に介在せしめられていることを特徴とする請求の範囲第1項または第2項に記載の不揮発性メモリ。

5. 前記強誘電体膜はSTN ($Sr_2(Ta_{1-x}Nb_x)_2O_y$) $x: 0 < x < 1$ 、 $y: 0 < y$ で構成され、前記絶縁バリア層は、前記強誘電体膜の構成元素の少なくとも1つの酸化物を含むことを特徴とする請求の範囲第1項または第2項に記載の不揮発性メモリ。

6. 前記絶縁バリア層は、膜厚を t_{in} 、比誘電率を ϵ_{in} 、前記強誘電体膜の膜厚を t_f 、比誘電率を ϵ_f としたとき、次式

$$(\epsilon_f / t_f) < (\epsilon_{in} / t_{in}) < 2 \cdot (\epsilon_f / t_f)$$

を満たすように構成されていることを特徴とする請求の範囲第1項または2項に記載の不揮発性メモリ。

7. 前記絶縁バリア層のバンドギャップは、前記強誘電体膜のバンドギャップよりも大きいことを特徴とする請求の範囲第1項または2項に記載の不揮発性メモリ。

8. 前記絶縁バリア層は、前記強誘電体膜の構成元素の酸化物あるいは窒化物を含むことを特徴とする請求の範囲第1項または2項に記載の不揮発性メモリ。

9. 前記絶縁バリア層は、酸化タンタル層である請求の範囲第1項または2項に記載の不揮発性メモリ。

10. 前記絶縁バリア層は、酸化チタン層である請求の範囲第1項または2項に記載の不揮発性メモリ。

11. 前記絶縁バリア層は、チタニウム、タンタル、ジルコニウム、タングステンあるいはこれらの窒化物である請求の範囲第1項または2項に記載の不揮発性メモリ。

12. 前記絶縁バリア層は、TaAlN、TaSiNなど高融点金属の窒化物にアルミニウムあるいはシリコンなどを含有させたものの酸化物である請求の範囲第1項または2項に記載の不揮発性メモリ。

13. 前記フローティングゲートはイリジウム層と酸化イリジウム層との2層膜である請求の範囲第1項または2項に記載の不揮発性メモリ。

14. 前記コントロールゲートは、イリジウム層と酸化イリジウム層との2層膜である請求の範囲第1項または2項に記載の不揮発性メモリ。

15. 半導体基板表面に前記フローティングゲートはイリジウム層と酸化イリジウム層との2層膜である請求の範囲第1項または2項に記載の不揮発性メモリ。

図 1

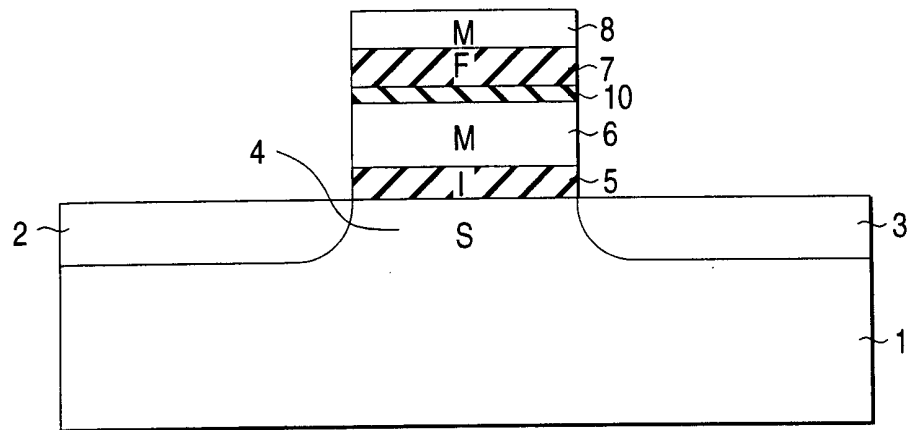


図 2

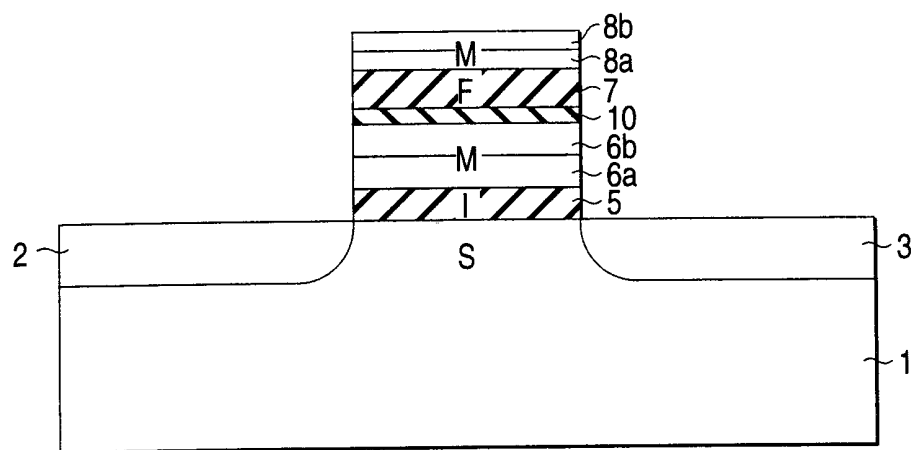


図 3

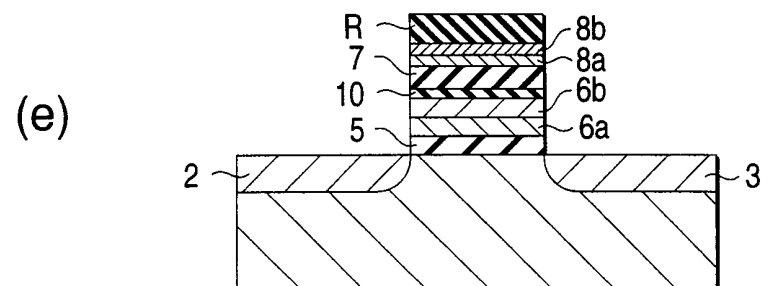
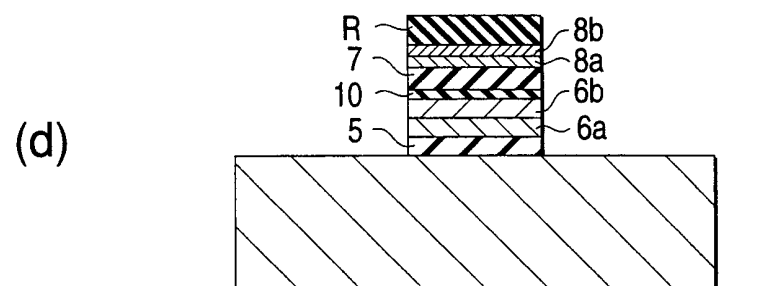
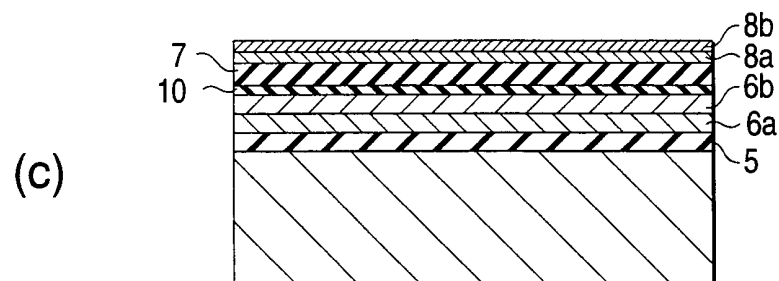
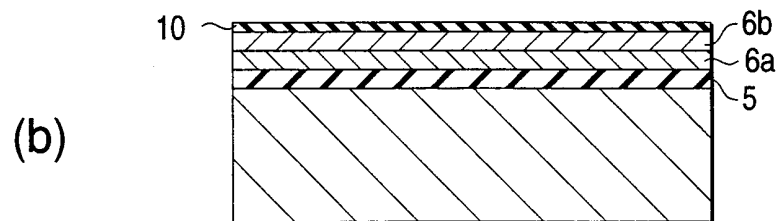
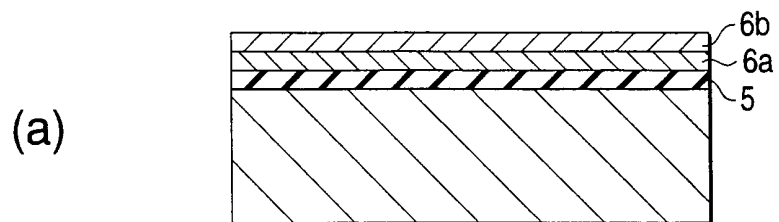


図 4

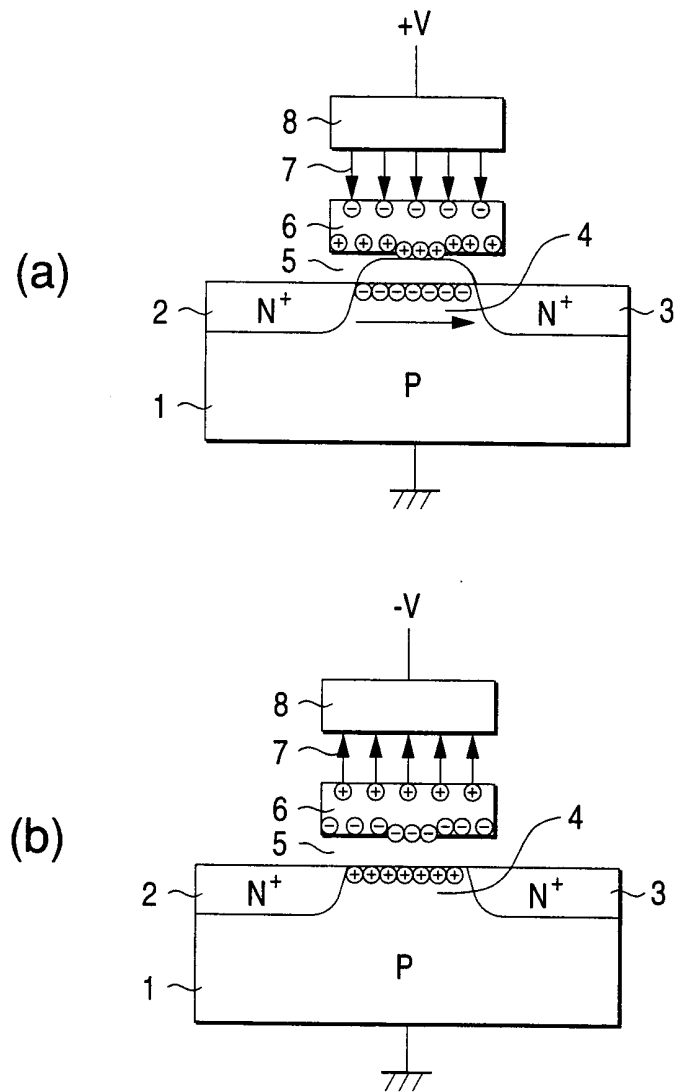
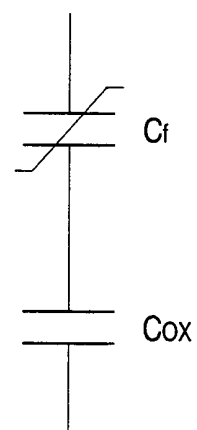


図 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06734

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁷ H01L27/105, H01L21/8247, H01L29/788, H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl⁷ H01L27/105, H01L21/8247, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 CA (STN)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-204746, A (Samsung Electron Co., Ltd.), 30 July, 1999 (30.07.99), page 5, left column, lines 23 to 31; Fig. 4 (Family: none)	1-4, 8, 10, 13-15
X	JP, 10-4181, A (Sharp Corporation), 06 January, 1998 (06.01.98), page 8, right column, line 38 to page 9, left column, line 48; Fig. 23	1, 2, 4, 8
Y	page 8, right column, line 38 to page 9, left column, line 48; Fig. 23 (Family: none)	13-15
X	JP, 7-297302, A (Oki Electric Industry Co., Ltd.), 10 November, 1995 (10.11.95), page 5, left column, line 39 to right column, line 30; Fig. 4	1-4, 7
Y	page 5, left column, line 39 to right column, line 30; Fig. 4 (Family: none)	13-15
Y	JP, 7-161833, A (Hitachi, Ltd.), 23 June, 1995 (23.06.95), Full text; Figs. 1 to 6 (Family: none)	1-4, 8, 10

Further documents are listed in the continuation of Box C. See patent family annex.

<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search 19 December, 2000 (19.12.00)	Date of mailing of the international search report 26 December, 2000 (26.12.00)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06734

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-17678, A (Fuji Xerox Co., Ltd.), 19 January, 1996 (19.01.96), Full text; Fig. 1 (Family: none)	1-4, 6, 8, 9, 13-15
Y	JP, 9-51074, A (Sony Corporation), 18 February, 1997 (18.02.97), page 2, right column, line 37 to page 3, right column, line 25; Fig. 1 (Family: none)	1, 2, 4, 7-10, 13-15
Y	US, 5619051, A (NEC Corporation), 08 April, 1997 (08.04.97), Column 8, lines 7 to 48; Fig. 6 & JP, 8-17945, A (NEC Corporation) page 7, left column, line 27 to right column, line 31; Fig. 5 & KR, 172012	1-4, 7-9, 13-15
Y	JP, 8-8407, A (NEC Corporation), 12 January, 1996 (12.01.96), page 3, left column, line 18 to page 4, left column, line 3; Figs. 1 to 2 (Family: none)	1, 2, 4, 7-11
Y	JP, 6-13542, A (Seiko Epson Corporation), 21 January, 1994 (21.01.94), page 2, left column, line 44 to right column, line 49; Figs. 1 to 2 (Family: none)	1-4, 7-11, 13-15
A	EP, 940856, A (ROHM CO., LTD.), 08 September, 1999 (08.09.99), Full text; Fig. 1 & JP, 10-326872, A (Rohm Co., Ltd.), Full text; Fig. 1 & WO, 98/53506, A1 & US, 6097058, A	5
A	JP, 11-103027, A (Murata MFG. Co., Ltd., Kanazawa Univ.), 13 April, 1999 (13.04.99), Full text (Family: none)	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L27/105, H01L21/8247, H01L29/788, H01L29/792		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L27/105, H01L21/8247, H01L29/788, H01L29/792		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
CA(STN)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 11-204746, A(三星電子株式会社) 30. 07月. 1999(30. 07. 99) 第5頁左欄23行~31行, 図4 (ファミリーなし)	1-4, 8, 10, 13-15
X	JP, 10-4181, A(シャープ株式会社) 06. 01月. 1998(06. 01. 98) 第8頁右欄38行~第9頁左欄48行, 図23	1, 2, 4, 8
Y	第8頁右欄38行~第9頁左欄48行, 図23 (ファミリーなし)	13-15
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー		
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	の日の後に公表された文献
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
国際調査を完了した日	国際調査報告の発送日	
19. 12. 00	26.12.00	
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	4M 9836
日本国特許庁 (ISA/J P)	正山 旭	
郵便番号100-8915	印	
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101 内線 3460	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 7-297302, A(沖電気工業株式会社) 10. 11月. 1995(10. 11. 95) 第5頁左欄39行～右欄30行, 図4 第5頁左欄39行～右欄30行, 図4 (ファミリーなし)	1-4, 7 13-15
Y	JP, 7-161833, A(株式会社日立製作所) 23. 06月. 1995(23. 06. 95) 全文, 図1-図6 (ファミリーなし)	1-4, 8, 10
Y	JP, 8-17678, A(富士ゼロックス株式会社) 19. 01月. 1996(19. 01. 96) 全文, 図1 (ファミリーなし)	1-4, 6, 8, 9, 13-15
Y	JP, 9-51074, A(ソニー株式会社) 18. 02月. 1997(18. 02. 97) 第2頁右欄37行～第3頁右欄25行, 図1 (ファミリーなし)	1, 2, 4, 7-10, 13-15
Y	US, 5619051, A(NEC Corporation) 08. 04月. 1997(08. 04. 97) 第8欄7行～48行, 図6 & JP, 8-17945, A(日本電気株式会社) 第7頁左欄27行～右欄31行, 図5 & KR172012	1-4, 7-9, 13-15
Y	JP, 8-8407, A(日本電気株式会社) 12. 01月. 1996(12. 01. 96) 第3頁左欄18行～第4頁左欄3行, 図1～図2 (ファミリーなし)	1, 2, 4, 7-11
Y	JP, 6-13542, A(セイコーエプソン株式会社) 21. 01月. 1994(21. 01. 94) 第2頁左欄44行～右欄49行, 図1～図2 (ファミリーなし)	1-4, 7-11, 13-15
A	EP, 940856, A(ROHM CO., LTD.) 08. 09月. 1999(08. 09. 99) 全文, 図1 & JP, 10-326872, A(ローム株式会社) 全文, 図1 & WO, 98/53506, A1 & US, 6097058, A	5
A	JP, 11-103027, A(株式会社村田製作所, 金沢大学長) 13. 04月. 1999(13. 04. 99) 全文 (ファミリーなし)	12