

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/10

(11) 공개번호 특1998-018840
(43) 공개일자 1998년06월05일

(21) 출원번호	특1997-039793
(22) 출원일자	1997년08월21일
(30) 우선권 주장	96-223939 1996년08월26일 일본(JP)
(71) 출원인	미쯔비시 덴기 가부시끼가이샤 기따오까 다까시 일본 도쿄도 지요다꾸 마루노우찌 2쵸메 2-3
(72) 발명자	야마시따 도모히로 일본 도쿄도 지요다꾸 마루노우찌 2쵸메 2-3 미쯔비시 덴기 가부시끼가이샤 내 고모리 시게끼 일본 도쿄도 지요다꾸 마루노우찌 2쵸메 2-3 미쯔비시 덴기 가부시끼가이샤 내 이누이시 모사히데 일본 도쿄도 지요다꾸 마루노우찌 2쵸메 2-3 미쯔비시 덴기 가부시끼가이샤 내
(74) 대리인	이상희, 장수길, 구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법 (Semiconductor Device and Method of Manufacturing Thereof)

요약

미세화 되어도 소프트 에러 내성 뿐만 아니라, 소프트에러 내성과 래치업 내성을 모두 갖고, 회로의 오동작을 방지하는 기관 불순물 구조를 갖는 반도체 장치 및 그 제조 방법을 제공한다.

반도체 기판 표면에 형성된 레토로그 레이드 웰(3)의 저부에 저농도 불순물층(2)이 형성되어 있다. 이 저농도 불순물층(2)이 반도체 기판(1)과 레토로그 레이드 웰(3) 상에 포텐셜 배리어를 형성하여 전자에 의한 소프트 에러를 제어함과 더불어, 전기적으로 반도체 기판(1) 및 레토로그 레이드 웰(3)을 도통하고 있기 때문에, 전위고정을 위한 단자수를 제한하여 반도체 집적 회로의 미세화에 공헌한다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시 형태의 반도체 장치를 나타낸 단면도.
 도 2는 본 발명의 제1 실시 형태의 반도체 장치의 기판을 나타낸 단면도.
 도 3은 도 2에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
 도 4는 도 2에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 기판의 내부 포텐셜을 나타낸 도면.
 도 5는 본 발명의 제1 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
 도 6은 본 발명의 제1 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
 도 7은 본 발명의 제1 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
 도 8은 도 5에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
 도 9는 본 발명의 실시형태2의 반도체 장치의 기판을 나타낸 단면도.
 도 10은 도 9에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
 도 11은 도 9에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 기판의 내부 포텐셜을 나타낸 도면.
 도 12는 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
 도 13은 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.

- 도 14는 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 15는 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 16은 도 14에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 17은 도 15에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 18은 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 19는 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 20은 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 21은 도 19에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 22는 도 20에 나타낸 반도체 장치의 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 23은 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 24는 본 발명의 제2 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 25는 도 23에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 26은 도 24에 나타낸 반도체 장치의 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 27은 본 발명의 제3 실시 형태의 반도체 장치의 기판을 나타낸 단면도.
- 도 28은 도 27에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 29는 본 발명의 제3 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 30은 본 발명의 제3 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 31은 도 29에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 32는 본 발명의 제4 실시 형태의 반도체 장치의 기판을 나타낸 단면도.
- 도 33은 도 32에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 34는 본 발명의 제4 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 35는 본 발명의 제4 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 36은 도 34에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 37은 도 35에 나타낸 반도체 장치의 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 38은 본 발명의 제5 실시 형태의 반도체 장치의 기판을 나타낸 단면도.
- 도 39는 도 38에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 40은 본 발명의 제5 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 41은 본 발명의 제5 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 42는 도 40에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 43은 도 41에 나타낸 반도체 장치의 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 44는 본 발명의 제6 실시 형태의 반도체 장치의 기판을 나타낸 단면도.
- 도 45는 도 44에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 46은 도 44에 나타낸 반도체 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면.
- 도 47은 본 발명의 제6 실시 형태의 반도체 장치의 제조 방법의 1과정에서의 보론과 인의 깊이 방향의 불순물 밀도 분포를 나타낸 도면.
- 도 48은 본 발명의 제7 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 49는 도 48에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 50은 도 48에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 보론과 인의 깊이 방향의 불순물 밀도 분포를 나타낸 단면도.
- 도 51은 도 48에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 52는 도 48에 나타낸 반도체 장치의 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸

도면.

- 도 53은 본 발명의 제8 실시 형태를 나타낸 반도체 장치를 나타낸 단면도.
- 도 54는 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 55는 도 54에 나타낸 반도체 장치의 기판의 B-B' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 56은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 57은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 58은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 59는 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 60은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 61은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 62는 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 63은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 64는 본 발명의 제9 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 65는 본 발명의 제9 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 66은 도 64에 나타낸 반도체 장치의 기판의 C-C' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 67은 본 발명의 제9 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 68은 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 69는 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 70은 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 71은 도 70에 나타낸 반도체 장치의 기판의 C-C' 단면에서의 불순물 밀도 분포를 나타낸 도면.
- 도 72는 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 73은 본 발명의 제12 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 74는 본 발명의 제12 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 75는 본 발명의 제13 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도.
- 도 76은 본 발명의 제13 실시 형태를 나타낸 반도체 장치의 제조 방법을 나타낸 단면도.
- 도 77은 종래의 반도체 장치의 기판을 나타낸 단면도.
- 도 78은 도 77에 나타낸 반도체 장치의 기판 부분의 깊이 방향의 불순물 프로파일을 나타낸 도면.
- 도 79는 도 77에 나타낸 반도체 장치의 깊이 방향의 포텐셜을 나타낸 도면.
- 도 80은 종래의 반도체 장치의 기판을 나타낸 단면도.
- 도 81은 도 80에 나타낸 반도체 장치의 깊이 방향의 불순물 프로파일을 나타낸 도면.
- 도 82는 종래의 반도체 장치의 기판을 나타낸 단면도.
- 도 83은 도 82에 나타낸 반도체 장치의 깊이 방향의 불순물 프로파일을 나타낸 도면.

도면의 주요 부분에 대한 부호의 설명

- 1 : P형 반도체 기판
- 2 : P형 불순물층
- 3 : 레토로그 레이드 P웰
- 4 : 레토로그 레이드 N웰
- 5 : N형 불순물층
- 6 : P형 반도체 기판
- 7 : N형 불순물층
- 8 : 레토로그 레이드 P웰
- 9 : 레토로그 레이드 N웰
- 10 : P형 불순물층
- 11 : N형 반도체 기판
- 21 : 셀프레이트

- 22 : 스토레이지 노드
- 23 : 캐패시터 절연막
- 24 : 소자 분리 산화막
- 25 : 소스/드레인 영역
- 26 : 게이트 산화막
- 27 : 게이트 전극
- 28 : 실리콘 산화막
- 29 : 밀바탕 산화막
- 30 : 층간절연막
- 31 : 비트선
- 40 : 레지스트
- 101 : P형 반도체 기판
- 102 : P형 불순물층
- 103 : 레토로그 레이드 P웰
- 104 : 레토로그 레이드 N웰
- 105 : N형 불순물층
- 113 : P웰
- 124 : 소자 분리 산화막
- 125 : 소오스/드레인 영역
- 126 : 게이트 산화막
- 127 : 게이트 전극
- 128 : 실리콘 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 레토로그 레이드 웰구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

DRAM 등의 기억 유지를 목적으로 하는 집적 회로에 있어서는, 유지되어 있는 정보가 우발적으로 상실되는 이른바 소프트 에러가 문제로 되어 있었다. 이 소프트 에러를 일으키는 대표적인 것으로서 α 선을 들 수 있다.

예컨대, P형 기판상에 NMOSFET으로 이루어진 기억 소자를 형성한 경우, 기판내에 α 선이 입사되면, α 선이 기판내 원자와 상호작용하여 에너지를 상실하여 감속된다. 그 과정에서 다수의 전자정공쌍을 발생하지만, 이 발생한 전자정공쌍중 소수캐리어의 전자가 NMOSFET의 N형 확산층에 도달함으로써 유지되고 있는 정보(전위)를 반전시키는 일이 있다.

또한, CMOS구조에 있어서는, PMOS의 소오스/드레인과 N웰 및 P웰로 이루어진 기생 PNP 바이폴라 트랜지스터와, NMOS의 소오스/드레인과 P웰 및 N웰로 이루어진 기생 NPN 바이폴라 트랜지스터가 도통 상태로 됨으로써, 사이리스터가 형성되고, CMOS회로의 전원단자 사이 등에 대전류가 생기는 래치업 현상이 일어나기 쉽다. 특히, 웰의 불순물 농도가 낮으면, 웰영역에 전류가 흐른 때의 저항이 높게 되고, 전압강하가 크게 되기 때문에, 래치업 현상이 일어나기 쉽게 된다. 이 래치업이 일어나게 되면, 회로동작이 저해될 뿐만 아니라, 경우에 있어서는 집적 회로 자체가 파괴된다는 문제가 생긴다.

이들 문제점을 해결하는 수단으로는, 웰 저부의 불순물 농도를 높이는 이른바 레토로그 레이드 웰 구조가 채용되고 있다. 이 레토로그 레이드 웰은 불순물을 반도체 기판내에 고에너지로 이온 주입함으로써 형성되는 것이 많다.

불순물을 고에너지로 이온 주입함으로써 형성된 레토로그 레이드 웰의 구조 및 그 제조 방법은, 예컨대 K. Tsukamoto et al., High energy iron Implantation for ULSI Nucl. Instr. and Meth. pp584-591 1991 에 개시되어 있다.

도 77은 레토로그 레이드 웰이 형성된 CMOS구조의 반도체 장치를 나타낸 단면도이다. 도면에서, 101은 P형 반도체 기판, 103은 레토로그 레이드 P웰, 104는 레토로그 레이드 N웰, 124는 소자 분리 산화막, 125는 소오스/드레인, 126은 게이트 산화막, 127은 게이트 전극이다. 또한, 도 78은 도 77에 나타낸 반도체 장치의 X-X' 단면의 기판 부분에서의 깊이 방향의 불순물 밀도 분포를 나타낸 도면이고, 도 79는 X-X' 단면에서의 내부포텐셜을 나타낸 도면이다.

이들 도면으로부터 알 수 있는 바와 같이, 레토로그 레이드 P웰은 고에너지 이온주입으로 불순물을 주입하기 때문에 기판내의 소정의 깊이로 불순물 농도의 피크를 형성할 수 있다. 이 때문에, 레토로그 레이드 P웰상에 CMOS구조의 트랜지스터가 형성되는 경우, 레토로그 레이드 P웰 저부의 고농도 부분에서는 저항이 억제되고 전압강하가 적게 된다. 이로 인해, 기생 바이폴라 트랜지스터의 전류 증폭율이 작게 되고, 래치업을 일으키기 어렵게 된다.

또한, CMOS구조에서는 아니고, 레토로그 레이드 P웰상에 메모리 셀을 형성하는 경우, 레토로그 레이드 웰 저부의 불순물 농도의 피크와 기판 불순물 영역과의 페르미 준위의 차로부터 생기는 포텐셜 배리어에 의해, 소수캐리어인 전자가 기판표면의 소오스/드레인(125)에 도달하는 것이 방지되고, 소프트 에러 내성이 향상된다.

더욱이, 소프트 에러 내성을 향상시키기 위해, 레토로그 레이드 P웰을 N형 불순물층으로 둘러싼 반도체 기판의 불순물 구조와 그 제조 방법이 예컨대 일본국 특개평 제4-212453호에 개시되어 있다.

도 80은 레토로그 레이드 P웰을 둘러싸도록 N형 불순물층이 형성된 반도체 장치의 기판 부분을 나타낸 단면도이다. 이 도면에 있어서, 105는 N형 불순물층이다. 레토로그 레이드 P웰상에는 NMOS가 형성되고, 메모리 영역으로 된다. 도 81은 도 80중 Y-Y' 단면에서의 깊이 방향의 불순물 밀도 분포를 나타낸 도면이다.

이 구조에 의하면, α 선 등에 의해 기판내에서 생긴 소수캐리어, 즉 전자는 이 N형 불순물층에 의해 흡수되기 때문에, 레토로그 레이드 P웰 영역(103)의 표면에 형성되는 소오스/드레인층(도시하지 않음)으로의 도달이 방지되고, 소프트 에러 내성이 향상된다.

또한, 래치업 내성을 향상시키기 위해서는, 매우 높은 불순물 농도의 기판표면에 저농도 웰을 형성한 구조가, 예컨대 F. S. Lai et al., A Highly latchup-immune $1\mu\text{m}$ CMOS technology fabricated with 1MeV ion implantation and self-aligned TiSi_2 IEDM Tech. Dig. pp513-516 1985에 개시되어 있다.

도 82는 매우 높은 불순물 농도를 갖는 기판의 표면에 불순물층을 설치한 반도체 장치의 기판 부분을 나타낸 단면도이다. 이 도면에서 106은 고농도 P형 기판, 113은 P웰, 104는 레토로그 레이드 N웰이다. 레토로그 레이드 N웰(104)상에는 PMOS, P웰(113)상에는 NMOS가 형성되고, CMOS회로를 구성한다. 도 83은 도 82중 Z-Z' 단면에서의 깊이 방향의 불순물 밀도 분포를 나타낸 도면이다.

이 구조에서는, 고농도 P형 기판(106)을 이용함으로써 기판저항을 감소시키고, 기판내의 전류에 의한 전압 강하를 작게 하기 때문에, CMOS회로의 래치업을 억제할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 집적 회로의 미세화에 따라, 종래와 같은 레토로그 레이드 웰 구조에서는, 소프트 에러 내성 및 래치업 내성이 모두 저하한다.

더욱이, 레토로그 레이드 P웰을 N형 불순물층으로 둘러싼 불순물 구조인 경우, 중간층으로 되는 N형 불순물층의 전위를 결정하기 위한 단자가 필요하기 때문에, 미세화에 의해 구조상으로 복잡하게 된다.

또한, 집적 회로의 설계나 프로세스 기술의 진보에 의해, 고밀도의 기억단자와 고밀도의 연산회로를 동일 칩내에 탑재한 집적 회로의 제조가 가능하게 되었지만, 이와 같은 집적 회로에서는 높은 소프트 에러 내성과 높은 래치업 내성이 동시에 필요하게 된다.

여기서, 높은 불순물 농도 기판에 낮은 불순물 농도 표면층을 형성한 구조를 이용하면, 높은 래치업 내성을 나타내기 때문에, CMOS구조에 있어서 유효하지만, 소프트 에러 내성의 향상에는 효과가 없고, 오히려 2층간의 페르미 준위의 차가 포텐셜 배리어를 형성하여 소수캐리어의 기판으로의 확산을 방지하고, 반대로 소자 형성 영역으로 확산시키기 때문에 소프트 에러 내성이 열화된다.

본 발명은 상기한 점을 감안하여 발명된 것으로, 그 목적은 미세화 되어도 소프트 에러 내성 열화에 유효할 뿐만 아니라, 소프트 에러 내성과 래치업 내성을 모두 갖고, 회로의 오동작을 방지하는 기판 불순물 구조를 갖는 반도체 장치 및 그 제조 방법을 제공함에 있다.

본 발명에 따른 반도체 장치는, 제1 불순물 농도를 갖는 제1 도전형 반도체 기판과, 반도체 기판의 하나의 주표면에 형성된 불순물 농도 피크를 갖는 제2 불순물 농도의 제1 도전형 제1 불순물층, 제1 불순물층의 저면에 접하도록 형성되고, 제1 및 제2 불순물 농도의 불순물 농도 피크보다도 작은 제3 불순물 농도를 갖는 제2 불순물층 및, 제1 불순물층상에 형성된 소자를 구비한 것을 특징으로 한다.

더욱이, 제2 불순물 농도의 불순물 농도 피크 및 제3 불순물 농도가 제1 불순물 농도보다도 작은 것을 특징으로 한다.

또한, 제1 불순물 농도를 갖는 제1 도전형 반도체 기판과, 반도체 기판의 하나의 주표면에 형성된, 제1 불순물 농도보다도 작은 불순물 농도 피크를 갖는 제2 불순물 농도의 제1 도전형 제1 불순물층, 제1 불순물층의 저면에 접하도록 형성된 제1 불순물 농도보다도 작은 불순물 농도 피크를 갖는 제3 불순물 농도의 제2 도전형 제2 불순물층 및, 제1 불순물층상에 형성된 소자를 구비한 것을 특징으로 한다.

또한, 제1 불순물 농도를 갖는 제2 도전형 반도체 기판과, 반도체 기판의 하나의 주표면에 형성된 불순물 농도 피크를 갖는 제2 불순물 농도의 제1 도전형 제1 불순물층, 제1 불순물층의 저면에 접하도록 형성되고, 제1 및 제2 불순물 농도보다도 작은 제3 불순물 농도를 갖는 제2 불순물층 및, 제1 불순물층상에 형성된 소자를 구비한 것을 특징으로 한다.

여기서, 제1 불순물층이 레토로그 레이드 P웰, 상기 제1 불순물층상에 형성된 소자가 MOS형 트랜지스터인 것을 특징으로 한다.

그리고, 제1 불순물층이 레토로그 레이드 P웰, 제1 불순물층상에 형성된 소자가 MOS형 트랜지스터이고,

또한 반도체 기판의 다른 주표면에 서로 인접하도록 형성된 제4 불순물 농도를 갖는 제2 도전형 제3 불순물층 및 제5 불순물 농도를 갖는 제1 도전형 제4 불순물층과, 적어도 제3 및 제4 불순물층의 표면에 형성되고, MOS 트랜지스터를 제어하는 CMOS 트랜지스터를 구비한 것을 특징으로 한다.

그리고, 제1 불순물층이 레티로그 레이드 P웰, 제1 불순물층상에 형성된 소자가 MOS형 트랜지스터이고, 또한 반도체 기판의 다른 주표면에 서로 인접하도록 형성된 제4 불순물 농도를 갖는 제2 도전형 제3 불순물층 및 제5 불순물 농도를 갖는 제1 도전형 제4 불순물층과, 적어도 제3 및 제4 불순물층의 저면에 접하도록 형성되고, 제1 내지 제5 불순물 농도보다도 큰 제6 불순물 농도를 갖는 제1 도전형 제5 불순물층 및, 적어도 제3 및 제4 불순물층의 표면에 형성되고, MOS형 트랜지스터를 제어하는 CMOS 트랜지스터를 구비한 것을 특징으로 한다.

더욱이, 제1 불순물층이 레티로그 레이드 P웰, 제1 불순물층상에 형성된 소자가 MOS형 트랜지스터이고, 또한 반도체 기판의 다른 주표면에 서로 인접하도록 형성된 제4 불순물 농도를 갖는 제2 도전형 제3 불순물층 및 제5 불순물 농도를 갖는 제1 도전형 제4 불순물층과, 적어도 제3 및 제4 불순물층의 표면에 형성되고, MOS형 트랜지스터를 제어하는 CMOS 트랜지스터를 구비한 것을 특징으로 한다.

본 발명에 따른 반도체 장치의 제조 방법은, 제1 불순물 농도를 갖는 제1 도전형 반도체 기판의 하나의 주표면에 제1 불순물 농도보다도 작은 제2 불순물 농도를 갖는 제1 불순물층을 형성하는 공정과, 제1 불순물층의 표면에 제2 불순물 농도보다 큰 불순물 농도 피크를 갖는 제3 불순물 농도의 제2 불순물층을 형성하는 공정 및, 제2 불순물층의 표면에 소자를 형성하는 공정을 구비한 것을 특징으로 한다.

또한, 제1 불순물 농도를 갖는 제1 도전형 반도체 기판의 하나의 주표면에 제1 불순물 농도보다도 작은 불순물 농도 피크를 갖는 제2 불순물 농도의 제2 도전형 제1 불순물층을 형성하는 공정과, 제1 불순물층의 표면에 제1 불순물 농도보다도 작은 불순물 피크를 갖는 제3 불순물 농도의 제2 불순물층을 형성하는 공정 및, 제2 불순물층의 표면에 소자를 형성하는 공정을 구비한 것을 특징으로 한다.

또한, 제1 불순물 농도를 갖는 제2 도전형 반도체 기판의 하나의 주표면에 제1 불순물 농도보다도 작은 제2 불순물 농도의 제1 불순물층을 형성하는 공정과, 제1 불순물층의 표면에 제1 불순물 농도보다도 작은 불순물 농도 피크를 갖는 제3 불순물 농도의 제2 불순물층을 형성하는 공정 및, 제2 불순물층의 표면에 소자를 형성하는 공정을 구비한 것을 특징으로 한다.

더욱이, 에피택셜 성장에 의해 제1 불순물층을 형성하는 공정과, 이온주입에 의해 제2 불순물층을 형성하는 공정을 구비한 것을 특징으로 한다.

그리고, 반도체 기판의 다른 주표면에 서로 인접하도록 제4 불순물 농도를 갖는 제2 도전형 제3 불순물층 및 제5 불순물 농도를 갖는 제1 도전형 제4 불순물층을 형성하는 공정과, 적어도 제3 및 제4 불순물층의 표면에 MOS 트랜지스터를 제어하는 CMOS 트랜지스터를 형성하는 공정을 구비한 것을 특징으로 한다.

더욱이, 제1 불순물층에 인접하도록 반도체 기판내에 제1 내지 제5 불순물 농도보다도 큰 제6 불순물 농도를 갖는 제1 도전형 제5 불순물층을 형성하는 공정을 구비한 것을 특징으로 한다.

또한, 제1 불순물 농도를 갖는 제1 도전형 반도체 기판의 주표면에 제1 불순물 농도보다도 작은 제2 불순물 농도를 갖는 제1 불순물층을 형성하는 공정과, 제1 불순물층의 제1 부분에 제1 불순물 농도보다도 작은 제3 불순물 농도를 갖는 제2 도전형 제2 불순물층을 형성하는 공정, 제1 불순물층의 제1 부분의 표면에 제2 및 제3 불순물 농도보다도 큰 불순물 농도 피크를 갖는 제4 불순물 농도의 제1 도전형 제3 불순물층을 형성하는 공정, 제1 불순물층의 제2 부분의 표면에 서로 인접하도록 제5 불순물 농도를 갖는 제2 도전형 제4 불순물층 및 제6 불순물 농도를 갖는 제1 도전형 제5 불순물층을 형성하는 공정, 제3 불순물층의 표면에 MOS형 트랜지스터를 형성하는 공정 및, 적어도 제4 및 제5 불순물층의 표면에 MOS 트랜지스터를 제어하는 CMOS 트랜지스터를 형성하는 공정을 구비한 것을 특징으로 한다.

더욱이, 제1 불순물 농도는 제2 내지 제4 불순물 농도보다도 크고, 제2 불순물 농도는 불순물 농도 피크를 갖는 것을 특징으로 한다.

또한, 제1 불순물층의 제2 부분의 저부에 제2 및 제3 불순물 농도보다도 큰 제7 불순물 농도를 갖는 제1 도전형 제6 불순물층을 형성하는 공정을 구비한 것을 특징으로 한다.

그리고, 제1 불순물층을 에피택셜 성장에 의해 형성하고, 제3 내지 제5 불순물층을 이온주입에 의해 형성하는 것을 특징으로 한다.

발명의 구성 및 작용

(발명의 실시 형태)

제1 실시 형태

도 1은 본 발명의 제1 실시 형태를 나타낸 반도체 장치의 단면도이다. 이하 도면을 참조하여, 1은 P형 반도체 기판, 2는 P형 반도체 기판(1)중에 형성된 P형 불순물층, 3은 P형 반도체 기판(1)중에 형성된 레티로그 레이드 P웰, 21은 셀프레이트, 22는 스토레이지 노드, 23은 캐패시터 절연막, 24는 소자 분리 산화막, 25는 소오스/드레인, 26은 게이트 산화막, 27은 게이트 전극, 28은 실리콘 산화막, 30은 층간절연막, 31은 비트선이다. 스토레이지 노드(22), 캐패시터 절연막(23) 및 셀프레이트(21)로 캐패시터가 구성되어 있다.

도 2는 도 1에 나타낸 반도체 장치의 반도체 기판을 나타낸 단면도이고, 도 3은 도 2에 나타낸 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면, 도 4는 도 2에 나타낸 반도체 기판의 A-A' 단면에서의 기판의 내부 포텐셜을 나타낸 도면이다.

이 반도체 장치의 기판은, 보론 농도 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^3$ 정도의 P형 반도체 기판(1)과, 보론 농도 $1 \times$

$10^{15}/\text{cm}^3$ 정도의 P형 불순물층(2), 보론 농도 $1 \times 10^{18}/\text{cm}^3$ 정도의 레토로그 레이드 P웰(3)로 이루어져 있다.

도 1에 있어서는, 레토로그 레이드 P웰(3) 표면에 형성된 트랜지스터는 2개이지만, 실제의 구조로는 다수 개 형성되는 것이 많다. 또한, 레토로그 레이드 P웰(3)내에는 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 필요에 따라 형성된다. P형 불순물층(2)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰의 측면에 관해서는 형성되어도 되고, 형성되지 않아도 된다.

이 반도체 장치의 기관 구조에 의하면, 도 4로부터 알 수 있는 바와 같이, P형 불순물층(2)의 존재에 의해 반도체 기관(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역(25)에 도달하는 것을 방지하기 때문에, 전자에 의한 소프트 에러를 억제할 수 있다.

또한, 반도체 기관(1), P형 불순물층(2) 및 레토로그 레이드 P웰(3)은 동일 도전형이기 때문에, 전기적으로 도통되어 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

도 5 ~ 도 7은 본 발명의 제1 실시 형태를 나타낸 반도체 장치의 기관의 제조 방법을 나타낸 단면도이다. 도면에서 29는 밀바탕 산화막이다.

도 8은 도 5에 나타낸 반도체 기관의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이다.

우선, 도 5에 나타낸 바와 같이, 보론 농도 $1 \times 10^{16}/\text{cm}^3$ 정도의 P형 반도체 기관(1)의 표면에, 에피택셜 성장에 의해 보론 농도 $1 \times 10^{15}/\text{cm}^3$ 정도의 P형 불순물층(2)을 $2 \sim 10\mu\text{m}$ 형성한다. 다음에 도 6에 나타낸 바와 같이, P형 불순물층(2)의 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 7에 나타낸 바와 같이, 필요한 경우 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(3)을 형성한다. 이 후, 트랜지스터, 층간절연막, 콘택트홀, 캐패시터 등을 형성하고, 배선한다(도시하지 않음).

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기관(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 P웰(3)의 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역(25)에 도달하는 것을 방지하여 전자에 의한 소자 레이아웃상의 제약이 없게 되며, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

더욱이, 에피택셜 성장에 의해 P형 불순물층(2)을 형성하기 때문에, 반도체 기관(1)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기관(1)과 레토로그 레이드 P웰(3)을 동종시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

제2 실시 형태

도 9는 본 발명의 제2 실시 형태를 나타낸 반도체 장치의 기관의 단면도이다. 이하 도면을 참조하여, 1은 P형 반도체 기관, 5는 N형 불순물층, 3은 레토로그 레이드 P웰로, N형 불순물층(5)의 N형 불순물 밀도는 충분히 낮고, P형 반도체 기관(1)과 레토로그 레이드 P웰(3)은 전기적으로 절연되어 있지 않다. 이 레토로그 레이드 P웰(3)상에는 제1 실시 형태와 동일한 소자가 형성된다(도시하지 않음).

도 10은 도 9에 나타낸 반도체 기관의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면, 도 11은 도 9에 나타낸 반도체 기관의 A-A' 단면에서의 기관의 내부 포텐셜을 나타낸 도면이다.

이 반도체 장치의 기관은, 보론 농도 $1 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^3$ 정도의 P형 반도체 기관(1)과, 인농도 $1 \times 10^{15}/\text{cm}^3$ 정도의 N형 불순물층(5), 보론 농도 $1 \times 10^{18}/\text{cm}^3$ 정도의 레토로그 레이드 웰층(3)으로 이루어져 있다.

레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 필요에 따라 형성된다. 또한, N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰의 측면에 형성되어도 되고, 형성되지 않아도 된다.

도 11로부터 알 수 있는 바와 같이, N형 불순물층(5)의 존재에 의해 반도체 기관(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰(3) 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역에 도달하는 것을 방지하기 때문에, 전자에 의한 소프트 에러를 억제할 수 있다.

또한, N형 불순물층(5)은 반도체 기관(1) 및 레토로그 레이드 P웰(3)과 다른 도전형이지만, N형 불순물층(5)은 반도체 기관(1)과 레토로그 레이드 P웰(3)이 전기적으로 도통하는 것에 충분한 만큼의 저농도이기 때문에, 각각의 층의 전위를 독립해서 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

도 12 ~ 도 15는 본 발명의 제2 실시 형태를 나타낸 반도체 장치의 기관의 제조 방법을 나타낸 단면도, 도 16은 도 14에 나타낸 반도체 기관의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면,

도 17은 도 15에 나타난 반도체 기판의 깊이 방향에 대한 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

우선, 도 12에 나타난 바와 같이, 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 반도체 기판(1) 주표면상의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 13에 나타난 바와 같이, 필요한 경우 P형 반도체 기판(1) 표면에 레지스트를 패터닝하여 N형 불순물층(5) 형성영역 상부를 개구하도록 마스크한 후, N형 불순물 이온인 인을 $50\text{keV} \sim 200\text{keV}$, $1 \times 10^{11} \sim 5 \times 10^{12} / \text{cm}^2$ 의 조건에서 주입하여 N형 불순물층(51)을 형성한다.

그 후, 도 14에 나타난 바와 같이, $1100 \sim 1200^\circ\text{C}$, 0.5시간에서 3시간 정도의 열처리로 인을 확산시켜 N형 불순물층(5)을 형성한다.

여기서, 주입되는 인의 불순물 농도가 작은 경우, 열처리의 온도가 높은 경우 또는 열처리의 시간이 긴 경우에는, N형 불순물층(5)이 형성되는 영역에 제1 실시 형태에 나타난 바와 같은 P형 불순물층(2)이 형성되는 것이 있지만, P형 불순물층(2)이 형성되어도 특히 문제는 없다.

그리고, 도 15에 나타난 바와 같이, 필요한 경우 P형 반도체 기판(1) 표면에 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(3)을 형성한다. 이 레토로그 레이드 P웰(3)상에는, 이 후 제1 실시 형태와 동일한 소자가 형성된다(도시하지 않음).

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(1)과 레토로그 레이드 P웰(3) 사이에 N형 층을 끼우면서 도통을 유지할 수 있는 반도체 장치의 제조가 가능하게 된다. 따라서, 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 더욱 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하여 전자에 의한 소프트 에러를 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, N형 불순물층(5)은 반도체 기판(1) 및 레토로그 레이드 P웰(3)과 다른 도전형이지만, N형 불순물층(5)은 반도체 기판(1)과 레토로그 레이드 P웰(3)이 전기적으로 도통하기에 충분한 만큼의 저농도이기 때문에, 각각의 층의 전위를 독립해서 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

도 18 ~ 도 20은 본 발명의 제2 실시 형태를 나타낸 반도체 장치의 기판의 다른 제조 방법을 나타낸 단면도, 도 21은 도 19에 나타난 반도체 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면, 도 22는 도 20에 나타난 반도체 기판의 깊이 방향에 대한 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

우선, 제1 실시 형태와 마찬가지로, 보론 농도 $1 \times 10^{16} / \text{cm}^3$ 정도의 P형 반도체 기판(1)의 표면에, 에피택셜 성장에 의해 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 불순물층(2)을 $2 \sim 10\mu\text{m}$ 를 형성한 후, P형 불순물층(2)의 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 18에 나타난 바와 같이, 필요한 경우 레지스트를 패터닝하여 N형 불순물층(5) 형성영역 상부를 개구하도록 마스크한 후, N형 불순물 이온인 인을 $50\text{keV} \sim 200\text{keV}$, $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^2$ 의 조건에서 주입하여 N형 불순물층(51)을 형성한다.

그 후, 도 19에 나타난 바와 같이, $1100 \sim 1200^\circ\text{C}$, 0.5시간에서 3시간 정도의 열처리로 인을 확산시켜 N형 불순물층(5)을 형성한다.

여기서, 주입되는 인의 불순물 농도가 작은 경우, 열처리의 온도가 높은 경우 또는 열처리의 시간이 긴 경우에는, N형 불순물층(5)이 형성되는 영역에 제1 실시 형태에 나타난 바와 같은 P형 불순물층(2)이 형성되는 것이 있지만, P형 불순물층(2)이 형성되어도 특히 문제는 없다.

그리고, 도 20에 나타난 바와 같이, 필요한 경우 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(3)을 형성한다. 이 레토로그 레이드 P웰(3)상에는, 이 후 제1 실시 형태와 동일한 소자가 형성된다(도시하지 않음).

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역에 도달하는 것을 방지하여 전자에 의한 소프트 에러가 억제되는 반도체 장치의 제조 방법을 얻을 수 있다.

더욱이, 에피택셜 성장시킨 후에 N형 불순물층(5)을 형성하기 때문에, 반도체 기판(1)의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기판(1)과 레토로그 레이드 P웰(3)을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

또한, N형 불순물층(5)은 반도체 기판(1) 및 레토로그 레이드 P웰(3)과 다른 도전형이지만, N형 불순물층(5)은 반도체 기판(1)과 레토로그 레이드 P웰(3)이 전기적으로 도통하기에 충분한 만큼의 저농도이기 때문에, 각각의 층의 전위를 독립해서 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

도 23 ~ 도 24는 본 발명의 제2 실시 형태를 나타낸 반도체 장치의 기판의 다른 제조 방법을 나타낸 단면도이다. 도 25는 도 23에 나타낸 반도체 기판의 A-A' 단면에서의 보론과 인의 불순물 프로파일을 나타낸 도면이다. 도 26은 도 24에 나타낸 반도체 장치의 기판의 깊이 방향에 대한 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

우선, 도 23에 나타낸 바와 같이, 보론 농도 $1 \times 10^{16} / \text{cm}^3$ 정도의 P형 실리콘기판(1)의 표면상에 인농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 N형 에피택셜층(5)을 $2 \sim 5 \mu\text{m}$ 형성시킨 후, P형 불순물층(2)의 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 24에 나타낸 바와 같이, 필요한 경우 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(3)을 형성한다. 이 후, 제1 실시 형태와 동일한 소자가 형성된다(도시하지 않음).

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역에 도달하는 것을 방지하여 전자에 의한 소프트 에러를 억제하는 반도체 장치를 얻을 수 있다.

더욱이, 에피택셜 성장에 의해 N형 불순물층(5)을 형성하기 때문에, 반도체 기판(1)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기판(1)과 레토로그 레이드 P웰(3)을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 공정의 간략화를 도모하며, 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

또한, N형 불순물층(5)은 반도체 기판(1) 및 레토로그 레이드 P웰(3)과 다른 도전형이지만, N형 불순물층(5)은 반도체 기판(1)과 레토로그 레이드 P웰(3)이 전기적으로 도통하기에 충분한 만큼의 저농도이기 때문에, 각각의 층의 전위를 독립해서 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

제3 실시 형태

도 27은 본 발명의 제3 실시 형태를 나타낸 반도체 장치의 기판의 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 2는 P형 반도체 기판중에 형성된 P형 불순물층, 3은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰이다.

도 28은 도 27에 나타낸 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이다.

이 반도체 장치의 기판은, 도 28에 나타낸 바와 같이, 보론 농도 $1 \times 10^{19} / \text{cm}^3$ 정도의 고농도 P형 반도체 기판(6)과, 인농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 불순물층(2), 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 레토로그 레이드 P웰(3)로 이루어져 있다.

또한, 레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2 \mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. P형 불순물층(2)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰의 측면에 형성되어도 형성되지 않아도 된다.

이 기판 구조상에 기억 소자가 형성되는 경우(도시하지 않음), 도 28에 나타낸 불순물 밀도 분포로부터 알 수 있는 바와 같이, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰(3) 상부에 대한 포텐셜 배리어가 P형 불순물층(2)의 존재에 의해 크게 될 뿐만 아니라, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 보다 억제하는 효과를 갖는다.

또한, 이 기판 구조상에 제어회로로 되는 CMOS 트랜지스터가 형성되는 경우, P형 반도체 기판(6)에 의해 기판저항이 낮게 되고, 더불어 레토로그 레이드 P웰(3)이 형성되어 있기 때문에, 래치업 내성을 향상시키는 효과를 갖는다.

더욱이, P형 반도체 기판(6), P형 불순물층(2) 및 레토로그 레이드 P웰(3)은 동일 도전형이고, 전기적으로 도통하고 있기 때문에, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 기억 소자 및 CMOS 트랜지스터중 어느 쪽을 형성하는 경우에도, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

또한, P형 반도체 기판(6)의 농도는 높지만, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도는 낮기 때문에, P형 반도체 기판(6)과 레토로그 레이드 P웰(3)을 도통하기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화가 억제되는 효과가 있다.

도 29 ~ 도 30은 본 발명의 제3 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이고, 도 31은 도 29에 나타낸 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이다.

우선, 도 29에 나타낸 바와 같이, 보론 농도 $1 \times 10^{19} / \text{cm}^3$ 정도의 고농도 P형 반도체 기판(6) 표면상에 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 에피택셜층(2)을 $2 \sim 10 \mu\text{m}$ 형성한다.

그 후, P형 불순물층(2)의 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순

서는 어느 쪽이 우선해도 상관없다.

다음에 도 30에 나타난 바와 같이, 필요한 경우 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하고, 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 레토로그 레이드 P웰(3)을 형성한다. 이후, 트랜지스터, 필요에 따라 충전절연막, 콘택트홀, 캐패시터 등을 단수개 또는 복수개 형성하여 배선한다(도시하지 않음).

레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

P형 불순물층(2)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰의 측면에 형성되어도 형성되지 않아도 된다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 P형 불순물층(2)의 존재에 의해 크게 될 뿐만 아니라, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러 내성이 더욱 향상된 반도체 기억장치의 제조 방법을 얻을 수 있다.

또한, 이 기판 구조상에 CMOS 트랜지스터가 형성되는 경우, 반도체 기판(6)의 농도가 높기 때문에, 기판 저항이 낮게 됨과 더불어, 레토로그 레이드 P웰(3)이 형성되어 있기 때문에, 래치업 내성을 보다 한층 향상시키는 효과를 갖는다.

더욱이, P형 반도체 기판(6), P형 불순물층(2) 및 레토로그 레이드 P웰(3)은 동일 도전형이고, 전기적으로 도통하고 있기 때문에, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 기억 소자 및 CMOS 트랜지스터중 어느 쪽을 형성하는 경우에도, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조가 가능하게 된다.

또한, P형 불순물층(2)을 에피택셜 성장에 의해 형성하고 있기 때문에, P형 반도체 기판(6)의 농도는 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도는 낮게 되고, P형 반도체 기판(6)과 레토로그 레이드 P웰(3)을 도통하기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화가 억제되는 효과가 있다.

제4 실시 형태

도 32는 본 발명의 제4 실시 형태를 나타낸 반도체 장치의 기판의 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 5는 P형 반도체 기판중에 형성된 N형 불순물층, 3은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰이다.

도 33은 도 32에 나타난 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이다.

이 반도체 장치의 기판은, 도 33에 나타난 바와 같이, 보론 농도 $1 \times 10^{19} / \text{cm}^3$ 정도의 고농도 P형 반도체 기판(6)과, 인농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 N형 불순물층(5), 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 레토로그 레이드 P웰(3)로 이루어져 있다.

또한, 레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰의 측면에 형성되어도 형성되지 않아도 된다.

이 기판 구조상에 기억 소자가 형성되는 경우, 도 33에 나타난 불순물 밀도 분포로부터 알 수 있는 바와 같이, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(5)의 존재에 의해 크게 될 뿐만 아니라, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 보다 억제하는 효과를 갖는다.

또한, 이 기판 구조상에 제어회로로 되는 CMOS 트랜지스터가 형성되는 경우, P형 반도체 기판(6)에 의해 기판저항이 낮게 되고, 더불어 레토로그 레이드 P웰(3)이 형성되어 있기 때문에, 래치업 내성을 향상시키는 효과를 갖는다.

더욱이, N형 불순물층(5)은 반도체 기판(6) 및 레토로그 레이드 P웰(3)과 다른 도전형이지만, N형 불순물층(5)은 반도체 기판(6)과 레토로그 레이드 P웰(3)이 전기적으로 도통하기에 충분한 만큼의 저농도이기 때문에, 각각의 층의 전위를 독립해서 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

또한, P형 반도체 기판(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮기 때문에, P형 반도체 기판(6)과 레토로그 레이드 P웰(3)을 도통하기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화가 억제되는 효과가 있다.

도 34 ~ 도 35는 본 발명의 제4 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이고, 도 36은 도 34에 나타난 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면, 도 37은 도 35에 나타난 반도체 장치의 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

우선, 도 34에 나타난 바와 같이, 보론 농도 $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 정도의 P형 반도체 기판(6)상에 인농

도 $1 \times 10^{15} / \text{cm}^3$ 정도의 N형 불순물층(5)을 $2 \sim 10 \mu\text{m}$ 에피택셜 성장시킨다.

그 후, N형 불순물층(5)의 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 35에 나타난 바와 같이, 필요한 경우 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하고, 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 레토로그 레이드 P웰(3)을 형성한다. 이후, 트랜지스터, 필요에 따라 충전절연막, 콘택트홀, 캐패시터 등을 단수개 또는 복수개 형성하여 배선한다.

레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2 \mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰의 측면에 형성되어도 형성되지 않아도 된다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 P형 불순물층(2)의 존재에 의해 크게 될 뿐만 아니라, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러 내성이 더욱 향상된 반도체 기억장치의 제조 방법을 얻을 수 있다.

또한, 이 기판 구조상에 CMOS 트랜지스터가 형성되는 경우, 반도체 기판(6)의 농도가 높기 때문에, 기판 저항이 낮게 되고, 반도체 기판(6)과 레토로그 레이드 P웰(3)을 도통하기 쉽게 됨과 더불어, 보다 한층 래치업 내성을 향상시킨 반도체 장치의 제조 방법을 얻을 수 있다.

더욱이, N형 불순물층(5)은 반도체 기판(6) 및 레토로그 레이드 P웰(3)과 다른 도전형이지만, N형 불순물층(5)은 반도체 기판(6)과 레토로그 레이드 P웰(3)이 전기적으로 도통하기에 충분한 만큼의 저농도이기 때문에, 각각의 층의 전위를 독립해서 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 제조가 가능하게 된다.

또한, N형 불순물층(5)을 에피택셜 성장에 의해 형성하고 있기 때문에, P형 반도체 기판(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있고, P형 반도체 기판(6)과 레토로그 레이드 P웰(3)을 도통하기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화가 억제되는 효과가 있다.

제5 실시 형태

도 38은 본 발명의 제5 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 7은 P형 반도체 기판중에 형성된 N형 불순물층, 3은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰이다.

도 39는 도 38에 나타난 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이다.

이 반도체 장치의 기판은, 도 39에 나타난 바와 같이, 보론 농도 $1 \times 10^{19} / \text{cm}^3$ 정도의 고농도 P형 반도체 기판(6)과, 인농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 N형 불순물층(7), 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 레토로그 레이드 P웰(3)로 이루어져 있다.

또한, 레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2 \mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. N형 불순물층(7)은 레토로그 레이드 P웰(3)의 주위를 둘러싸도록 형성되어 있다.

이 기판 구조상에 기억 소자가 형성되는 경우, 도 39에 나타난 불순물 밀도 분포로부터 알 수 있는 바와 같이, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 될 뿐만 아니라, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(7)의 존재에 의해 보다 크게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 억제하는 효과를 갖는다.

또한, 이 기판 구조상에 제어회로로 되는 CMOS 트랜지스터가 형성되는 경우, P형 반도체 기판(6)에 의해 기판저항이 낮게 되고, 더불어 레토로그 레이드 P웰(3)의 주위를 둘러싸도록 N형 불순물층(7)이 형성되며, P형 반도체 기판(6)과 레토로그 레이드 P웰(3)이 분리되어 있기 때문에, 래치업 내성을 향상시키는 효과를 갖는다.

도 40 ~ 도 41은 본 발명의 제5 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이고, 도 42는 도 40에 나타난 반도체 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면, 도 43은 도 42에 나타난 반도체 장치의 기판의 깊이 방향의 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

우선, 제3 실시 형태와 마찬가지로, 보론 농도 1×10^{18} 정도의 P형 반도체 기판(6)상에 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 불순물층(2)을 $2 \sim 10 \mu\text{m}$ 에피택셜 성장에 의해 형성한다.

그 후, P형 불순물층(2)의 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 40에 나타난 바와 같이, 필요한 경우 레지스트를 패터닝하여 N형 불순물층(7) 형성영역 상부를 개구하도록 마스크한 후, N형 불순물 이온인 인을 $500\text{keV} \sim 10\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건에서 고에너지를 주입하여 N형 불순물층(7)을 형성한다.

그리고, 도 41에 나타난 바와 같이, 필요한 경우 레지스트를 패터닝하여 레토로그 레이드 P웰(3) 형성영역 상부를 개구하도록 마스크한 후, P형 불순물 이온인 보론을 $200\text{keV} \sim 1.5\text{MeV}$, $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(3)을 형성한다.

그 후, 트랜지스터, 필요에 따라 층간절연막, 콘택트홀, 캐패시터 등을 단수개 또는 복수개 형성하여 배선한다.

또한, N형 불순물층(7) 형성과 레토로그 레이드 P웰(3) 형성은 N형 불순물층(7)이 레토로그 레이드 P웰(3)을 둘러싸도록 형성되면 어느 쪽을 먼저 행해도 된다.

레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(7)의 존재에 의해 크게 될 뿐만 아니라, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러 내성이 더욱 향상된 반도체 기억장치의 제조 방법을 얻을 수 있다.

또한, 이 기판 구조상에 CMOS 트랜지스터가 형성되는 경우, P형 반도체 기판(6)상에 에피택셜 성장에 의해 P형 불순물층(2)층을 형성한 후에 N형 불순물층(7) 및 레토로그 레이드 P웰(3)을 형성하기 때문에, 반도체 기판(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 임계치 전압 등의 트랜지스터 특성의 열화가 억제됨과 더불어, 낮은 기판저항과 레토로그 레이드 P웰(3)에 의해 래치업 내성을 향상시킨 반도체 장치의 제조 방법을 얻을 수 있다.

제6 실시 형태

도 44는 본 발명의 제6 실시 형태를 나타낸 반도체 장치의 기판의 단면도이다. 이하 도면을 참조하여, 11은 N형 반도체 기판, 2는 N형 반도체 기판중에 형성된 P형 불순물층, 3은 N형 반도체 기판(11)중에 형성된 레토로그 레이드 P웰이다. 도 45는 도 44에 나타난 반도체 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이고, 도 46은 도 44에 나타난 반도체 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

이 반도체 장치의 기판은, 도 45에 나타난 바와 같이, 인농도 $1 \times 10^{16}/\text{cm}^3$ 정도의 N형 반도체 기판(11)과, 보론 농도 $1 \times 10^{15}/\text{cm}^3$ 정도의 P형 불순물층(2), 보론 농도 $1 \times 10^{18}/\text{cm}^3$ 정도의 레토로그 레이드 P웰(3)로 이루어져 있다.

또한, 레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. P형 불순물층(2)은 레토로그 레이드 P웰(3)의 저면에 접하도록 형성되어 있지만, 측면에 형성되어도 형성되지 않아도 된다.

이 기판 구조에 의하면, 레토로그 레이드 P웰(3)과 반도체 기판(11)의 전계가 완화되기 때문에, 내성이 향상하는 효과를 갖는다.

또한, 반도체 기판(11)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮기 때문에, 임계치전압 등의 트랜지스터 특성의 열화를 방지할 수 있다.

다음에, 본 발명의 제6 실시 형태를 나타낸 반도체 장치의 제조 방법을 설명한다.

우선, 인농도 1×10^{16} 정도의 N형 반도체 기판(11)상에 제1 실시 형태와 마찬가지로, 보론 농도 $1 \times 10^{15}/\text{cm}^3$ 정도의 P형 불순물층(2)을 $2 \sim 10\mu\text{m}$ 에피택셜 성장에 의해 형성한 후, 소자 분리 산화막(24), 밀바탕 산화막(29)을 형성한다. 도 47은 이 때의 보론과 인의 깊이 방향의 불순물 밀도 분포를 나타낸 도면이다.

그 후 제1 실시 형태와 마찬가지로, 레토로그 레이드 P웰(3), 트랜지스터, 필요에 따라 층간절연막, 콘택트홀, 캐패시터 등을 단수개 또는 복수개 형성하여 배선한다.

레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2\mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 레토로그 레이드 P웰(3)과 반도체 기판(11)의 전계가 완화되기 때문에, 내성이 향상하는 효과를 갖는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 반도체 기판(11)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물

농도가 낮기 때문에, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

제7 실시 형태

도 48은 본 발명의 제7 실시 형태를 나타낸 반도체 장치의 기판의 단면도이다. 이하 도면을 참조하여, 11은 N형 반도체 기판, 5는 N형 반도체 기판(11)중에 형성된 N형 불순물층, 3은 N형 반도체 기판(11)중에 형성된 레토로그 레이드 P웰이다. 도 49는 도 48에 나타낸 반도체 장치 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이고, 도 50은 도 48에 나타낸 반도체 장치 기판의 A-A' 단면에서의 보론과 인의 깊이 방향의 불순물 밀도 분포를 나타낸 도면이다.

이 반도체 장치는, 인농도 $1 \times 10^{16} / \text{cm}^3$ 정도의 N형 반도체 기판(11)과, 인농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 N형 불순물층(5), 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 레토로그 레이드 P웰(3)로 이루어져 있다.

N형 반도체 기판(11)은 인농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 것을 이용해도 된다. 이 때, 도 51은 도 48에 나타낸 반도체 장치 기판의 A-A' 단면에서의 불순물 밀도 분포를 나타낸 도면이고, 도 52는 도 48에 나타낸 반도체 장치 기판의 A-A' 단면에서의 보론과 인의 불순물 밀도 분포를 나타낸 도면이다.

또한, 레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2 \mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저면에 접하도록 형성되어 있지만, 측면에 형성되어도 형성되지 않아도 된다.

이 기판 구조에 의하면, N형 불순물층(5)에 의해 레토로그 레이드 P웰(3)과 반도체 기판(11)의 전계가 완화되기 때문에, 내성이 향상하는 효과를 갖는다.

또한, 반도체 기판(11)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮기 때문에, 임계치전압 등의 트랜지스터 특성의 열화를 방지할 수 있다.

더욱이, N형 반도체 기판(11)의 인농도가 $1 \times 10^{18} / \text{cm}^3$ 정도의 것인 경우, 기판저항이 낮게 되고, 더불어 레토로그 레이드 웰이 형성되어 있기 때문에, CMOS 트랜지스터를 형성한 경우에 래치업 내성이 보다 한층 향상하는 효과를 나타낸다.

다음에, 본 발명의 제7 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 설명한다.

우선, 인농도 1×10^{16} 정도의 N형 반도체 기판(11)상에 제2 실시 형태와 마찬가지로, 인농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 N형 불순물층(5)을 $2 \sim 10 \mu\text{m}$ 에피택셜 성장에 의해 형성한 후, 소자 분리 산화막(24), 밀바탕 산화막(29)을 형성한다.

그 후 제2 실시 형태와 마찬가지로, 레토로그 레이드 P웰(3), 트랜지스터, 필요에 따라 증강절연막, 콘택트홀, 캐패시터 등을 단수개 또는 복수개 형성하여 배선한다.

레토로그 레이드 P웰(3)내에는, 표면으로부터 $0 \sim 0.2 \mu\text{m}$ 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층을 형성하는 경우도 있다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 레토로그 레이드 P웰(3)과 반도체 기판(11)의 전계가 완화되기 때문에, 내성이 향상하는 효과를 갖는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 반도체 기판(11)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 P웰(3)의 표면의 불순물 농도가 낮기 때문에, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

더욱이, N형 반도체 기판(11)을 인농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 것으로 하면, 기판저항이 낮게 되고, 또한 레토로그 레이드 웰이 형성되어 있기 때문에, CMOS 트랜지스터를 형성한 경우에 래치업 내성이 보다 한층 향상하는 효과를 갖는 반도체 장치의 제조 방법을 얻을 수 있다.

제8 실시 형태

도 53은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 단면도이다. 이하 도면을 참조하여, 1은 P형 반도체 기판, 5는 P형 반도체 기판(1)중에 형성된 N형 불순물층, 3 및 8은 P형 반도체 기판(1)중에 형성된 레토로그 레이드 P웰, 4 및 9는 레토로그 레이드 N웰, 24는 소자 분리 산화막, 25는 소오스/드레인, 26은 게이트 산화막, 27은 게이트 전극이다.

또한, 도 54는 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이다.

이 반도체 장치는, 주로 대용량의 정보를 축적하는 것을 목적으로 하는 소자 영역(메모리 셀 영역)과, 메모리 셀 영역과 대량의 정보를 교환하면서 논리연산을 행하는 것을 목적으로 하는 소자 영역(로직 회로 영역)으로 크게 구별된다.

메모리 셀 영역은 주로 NMOSFET으로 구성되고, 로직 회로 영역은 주로 CMOSFET으로 구성된다.

도 55는 도 54에 나타낸 반도체 기판의 C-C' 단면에서의 불순물 밀도 분포를 나타낸 도면이다. 또한, 도 54에 나타낸 반도체 기판의 B-B' 단면에서의 불순물 밀도 분포는 도 10과 같이 되어 있다. 도 54로부터 알 수 있는 바와 같이, 메모리 셀 영역은 제2 실시 형태와 동일한 기판 구조를 갖추고 있다.

레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레

레토로그 레이드 P웰(3)내에는, 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 측면에 형성되어도 형성되지 않아도 된다.

레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4) 및 레토로그 레이드 N웰(9)상에는, 트랜지스터가 복수개 또는 단수개 형성되고(도시하지 않음), 로직 회로 영역의 CMOS를 형성한다. 이 경우도, 레토로그 레이드 웰 내에는 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

또한, 레토로그 레이드 N웰(4)과 레토로그 레이드 P웰(3)상에 각각 형성된 트랜지스터에 의해, 로직 회로로 되는 CMOS를 형성하여도 된다. 그 때에는, 레토로그 레이드 P웰(3)상에는 메모리 셀로 되는 트랜지스터도 형성된다. 이 때, 도 56에 나타낸 바와 같이 N형 불순물층(5)이 형성되어 있지 않은 영역까지 확대하여 레토로그 레이드 P웰을 형성해도 되고, 그에 의해 로직 회로 영역의 래치업 내성을 유지할 수 있다.

로직 회로 영역의 CMOS용 웰은 도 10으로부터 알 수 있는 바와 같이, P형 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(5)의 존재에 의해 크게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 억제하는 효과를 갖는다.

반도체 기판(1), N형 불순물층(5) 및 레토로그 레이드 P웰(3)은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

도 57 ~ 도 63은 본 발명의 제8 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이다.

우선, 도 57에 나타낸 바와 같이, 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 반도체 기판(1) 주표면상의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

다음에 도 58에 나타낸 바와 같이, 레지스트(40)를 패터닝하여 메모리 셀 영역을 개구한 후, N형 불순물 이온인 인을 50keV ~ 200keV, $1 \times 10^{11} \sim 1 \times 10^{12} / \text{cm}^2$ 의 조건에서 주입하여 기판표면에 N형 층(51)을 형성한다. 레지스트를 제거한 후, 도 59에 나타낸 바와 같이, 1100 ~ 1200 $^{\circ}$ C, 0.5시간에서 3시간 정도의 열처리로 인을 확산시켜 저농도 N형 영역(5)을 형성한다.

여기서, 주입되는 인의 불순물 농도가 작은 경우, 열처리의 온도가 높은 경우 또는 열처리의 시간이 긴 경우는, 도 60에 나타낸 바와 같이 N형 불순물층(5)이 형성되는 영역에 제1 실시 형태에 나타낸 바와 같은 P형 불순물층(2)이 형성되는 것이 있지만, P형 불순물층(2)이 형성되어도 특히 문제는 없다.

그리고, 도 61에 나타낸 바와 같이, 재차 레지스트(40)를 패터닝하여 메모리 셀 영역의 레토로그 레이드 P웰 형성영역을 개구한 후, P형 불순물 이온인 보론을 200keV ~ 1.5MeV, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(3)을 형성한다.

그 후, 도 62에 나타낸 바와 같이 레지스트(40)를 패터닝하여 로직 회로 영역내의 NMOSFET 형성부를 개구한 후, P형 불순물 이온인 보론을 200keV ~ 1.5MeV, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 P웰(8)을 형성한다.

다음에 도 63에 나타낸 바와 같이, 레지스트(40)를 패터닝하여 로직 회로 영역내 PMOSFET 형성부를 개구한 후, N형 불순물 이온인 인을 300keV ~ 2.5MeV, $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 의 조건에서 고에너지를 주입하여 레토로그 레이드 N웰(4, 9)을 형성한다. 이 후, 트랜지스터, 층간절연막, 콘택트홀, 캐패시터 등을 형성하여 배선한다(도시하지 않음).

또한, 레토로그 레이드 P웰(3, 8)과 레토로그 레이드 N웰(4, 9)은 각각 동시에 형성해도, 단독으로 형성해도 상관없다. 또한, 그 형성순서도 적절하게 변경할 수 있다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역(25)에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 억제하는 반도체 장치를 얻을 수 있다.

또한, 반도체 기판(1), 레토로그 레이드 P웰(3) 및 P형 불순물층(2) 또는 N형 불순물층(5)을 전기적으로 도통시킴으로써, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

제9 실시 형태

도 64는 본 발명의 제9 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이고, 도 65는 본 발명의 제9 실시 형태를 나타낸 반도체 장치의 다른 기판을 나타낸 단면도이다. 이하 도면을 참조하여, 1은 P형 반도체 기판, 5는 P형 반도체 기판(1)중에 형성된 N형 불순물층, 3 및 8은 P형 반도체 기판(1)중에 형성된 레토로그 레이드 P웰, 4 및 9는 레토로그 레이드 N웰, 10은 P형 불순물층이다.

도 66은 도 64에 나타낸 반도체 기판의 C-C' 단면에서의 불순물 밀도 분포를 나타낸 도면이다. 또한, 도 64에 나타낸 반도체 기판의 B-B' 단면에서의 불순물 밀도 분포는 도 10과 같이 되어 있다.

이 반도체 장치는, 제8 실시 형태와 마찬가지로 주로 대용량의 정보를 축적하는 것을 목적으로 하는 소자

영역(메모리 셀 영역)과, 메모리 셀 영역과 대량의 정보를 교환하면서 논리연산을 행하는 것을 목적으로 하는 소자 영역(로직 회로 영역)으로 크게 구별된다.

메모리 셀 영역은 주로 NMOSFET으로 구성되고, 제8 실시 형태와 동일한 구성이다. 로직 회로 영역은 주로 CMOSFET으로 구성된다.

레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4) 및 레토로그 레이드 N웰(9)상에는, 트랜지스터가 복수개 또는 단수개 형성되고(도시하지 않음), 로직 회로 영역의 CMOS를 형성한다. 이 경우도, 레토로그 레이드 웰내에는 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

또한, 레토로그 레이드 N웰(4)과 레토로그 레이드 P웰(3)상에 각각 형성된 트랜지스터에 의해, 로직 회로로 되는 CMOS를 형성하여도 된다. 그 때에도, 레토로그 레이드 P웰(3)상에는 메모리 셀로 되는 트랜지스터도 형성된다. 이 때, 도 65에 나타낸 바와 같이 P형 불순물층(10)이 형성되어 있는 영역까지 확대하여 레토로그 레이드 P웰(3)을 형성해도 되고, 그에 의해 로직 회로 영역의 CMOSFET의 래치업 내성을 유지할 수 있다.

이 반도체 장치의 메모리 셀 영역의 기판 구조에 의하면, P형 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(5)의 존재에 의해 크게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 억제하는 효과를 갖는다.

또한, 반도체 기판(1), 레토로그 레이드 P웰(3, 8), P형 불순물층(10) 및 N형 불순물층(5) 또는 P형 불순물층(2)은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

더욱이, 로직 회로 영역에는 P형 매립층(10)이 존재하기 때문에, 기판저항이 감소되고, 특히 높은 래치업 내성을 필요로 하는 로직 회로 영역에 있어서 효과적으로 래치업 내성을 향상시킬 수 있다. 여기서, 래치업 내성을 향상시키는 관점에서 P형 매립층의 피크 농도는 P웰의 피크 농도보다 높은 쪽이 바람직하다.

도 67은 본 발명의 제9 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이다.

우선, 실시형태와 마찬가지로, 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 반도체 기판(1) 주표면상의 소자 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 밑바탕 산화막(29)을 형성한 후, 메모리 셀 영역에 저농도 N형 층(5)을 형성한다.

여기서, 주입되는 인의 불순물 농도가 작은 경우, 열처리의 온도가 높은 경우 또는 열처리의 시간이 긴 경우는, 도 60에 나타낸 바와 같이 N형 불순물층(5)이 형성되는 영역에 제1 실시 형태에 나타낸 바와 같은 P형 불순물층(2)이 형성되는 것이 있지만, P형 불순물층(2)이 형성되어도 특히 문제는 없다.

다음에 도 67에 나타낸 바와 같이, 레지스트(40)를 패터닝하여 로직 회로 영역을 개구한 후, P형 불순물 이온인 보론을 500keV ~ 10MeV, $5 \times 10^{12} \sim 1 \times 10^{16} / \text{cm}^2$ 의 조건에서 고에너지를 주입하고, P형 불순물층(10)을 형성한다.

그 후, 제8 실시 형태와 마찬가지로, 레토로그 레이드 P웰(3), 레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4, 9)을 형성한다.

여기서, 레토로그 레이드 웰(3, 4, 8, 9)과 P형 불순물층(10)의 형성순서는 역순이어도 상관없다.

그리고, 트랜지스터, 층간절연막, 콘택트홀, 캐패시터 등을 형성하여 배선한다(도시하지 않음).

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(1)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역(25)에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 억제하는 반도체 장치를 얻을 수 있다.

또한, 반도체 기판(1), 레토로그 레이드 P웰(3, 8), P형 불순물층(10) 및 N형 불순물층(5) 또는 P형 불순물층(2)을 동일 도전형으로 함으로써, 전기적으로 도통시키고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

더욱이, 로직 회로 영역에는 P형 매립층(10)이 존재하기 때문에, 기판저항이 감소되고, 특히 높은 래치업 내성을 필요로 하는 로직 회로 영역에 있어서 효과적으로 래치업 내성을 향상시킬 수 있는 반도체 장치의 제조 방법을 얻을 수 있다. 여기서, 래치업 내성을 향상시키는 관점에서 P형 매립층의 피크 농도는 P웰의 피크 농도보다 높은 쪽이 바람직하다.

제10 실시 형태

도 68은 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 5는 P형 반도체 기판(6)중에 형성된 N형 불순물층, 2는 P형 반도체 기판(6)중에 형성된 P형 불순물층, 3 및 8은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰, 4 및 9는 레토로그 레이드 N웰이다.

이 반도체 장치는, 주로 대용량의 정보를 축적하는 것을 목적으로 하는 소자 영역(메모리 셀 영역)과, 메모리 셀 영역과 대량의 정보를 교환하면서 논리연산을 행하는 것을 목적으로 하는 소자 영역(로직 회로 영역)으로 크게 구별된다. 메모리 셀 영역은 주로 NMOSFET으로 구성되고, 로직 회로 영역은 주로 CMOSFET으로 구성된다.

또한, 반도체 기판의 불순물 구조는, 메모리 셀 영역은 제3 실시 형태와 동일하게, 로직 회로 영역은 제4 실시 형태와 동일하게 되어 있다.

레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 0 ~ 0.2 μm 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰 측면에 형성되어도 형성되지 않아도 된다.

레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4) 및 레토로그 레이드 N웰(9)상에는, 트랜지스터가 복수개 또는 단수개 형성되고(도시하지 않음), 로직 회로 영역의 CMOS를 형성한다. 이 경우도, 레토로그 레이드웰내에는 표면으로부터 0 ~ 0.2 μm 의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

또한, 레토로그 레이드 N웰(4)과 레토로그 레이드 P웰(3)상에 각각 형성된 트랜지스터에 의해, 로직 회로로 되는 CMOS를 형성하여도 된다. 그 때에는, 레토로그 레이드 P웰(3)상에는 메모리 셀로 되는 트랜지스터도 형성된다. 이 때, 제9 실시 형태에 나타난 바와 같이 P형 불순물층(2)이 형성되어 있는 영역까지 확대하여 레토로그 레이드 P웰(3)을 형성해도 되고, 그에 의해 로직 회로 영역의 CMOSFET의 래치업 내성을 유지할 수 있다.

이 메모리 셀 영역의 기판 구조에 의하면, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(5)의 존재에 의해 크게 될 뿐만 아니라, P형 반도체 기판(6)중에서는 전자의 수명이 짧게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 억제하는 효과를 갖는다.

또한, 반도체 기판(6), P형 불순물층(2), N형 불순물층(5), 레토로그 레이드 P웰(3, 8)은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

더욱이, 반도체 기판(6)의 불순물 농도가 높기 때문에 기판저항이 낮게 되고, 로직 회로 영역에서의 래치업 내성을 향상시킬 수 있다.

또한, 에피택셜 성장에 의해 N형 불순물층(5)을 형성하기 때문에, 반도체 기판(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 웰의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기판(6)과 레토로그 레이드 웰을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지할 수 있다.

도 69는 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이다.

우선, 도 69에 나타난 바와 같이, 보론 농도 $1 \times 10^{18} / \text{cm}^3$ 정도의 P형 실리콘기판(6)의 표면에 보론 농도 $1 \times 10^{15} / \text{cm}^3$ 정도의 P형 에피택셜층(2)을 2 ~ 10 μm 형성한다.

다음에, P형 불순물층(2) 표면의 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 게이트 산화막으로 되는 밀바탕 산화막(29)을 형성한다. 단, 소자 분리 산화막(24)과 밀바탕 산화막(29)의 형성순서는 어느 쪽이 우선해도 상관없다.

그 후, 제8 실시 형태와 마찬가지로 N형 불순물층(5), 레토로그 레이드 P웰(3, 8), 레토로그 레이드 N웰(4, 9) 등을 형성한다.

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역(25)에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 반도체 기판(6), 레토로그 레이드 P웰(3, 8), P형 불순물층(2) 및 N형 불순물층(5)을 동일 도전형으로 함으로써, 전기적으로 도통시키고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

더욱이, 반도체 기판(6)의 불순물 농도가 높기 때문에 기판저항이 낮게 되고, 로직 회로 영역에서의 래치업 내성을 향상시킬 수 있는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 에피택셜 성장에 의해 N형 불순물층(5)을 형성하기 때문에, 반도체 기판(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 웰의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기판(6)과 레토로그 레이드 웰을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

제11 실시 형태

도 70은 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 5는 P형 반도체 기판(6)중에 형성된 N형 불순물층, 10은 P형 반도체 기판(6)중에 형성된 P형 불순물층, 3 및 8은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰, 4 및 9는 레토로그 레이드 N웰이다.

이 반도체 장치는, 주로 대용량의 정보를 축적하는 것을 목적으로 하는 소자 영역(메모리 셀 영역)과, 메모리 셀 영역과 대량의 정보를 교환하면서 논리연산을 행하는 것을 목적으로 하는 소자 영역(로직 회로 영역)으로 크게 구별된다. 메모리 셀 영역은 주로 NMOSFET으로 구성되고, 로직 회로 영역은 주로

CMOSFET으로 구성된다.

도 71은 도 70의 C-C' 단면에서의 불순물 밀도 분포를 나타낸 도면이다. 또한, 도 70에 나타낸 반도체 기판의 B-B' 단면에서의 불순물 밀도 분포는 제4 실시 형태와 동일하고, 도 33과 같이 되어 있다.

레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다. N형 불순물층(5)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰 측면에 형성되어도 형성되지 않아도 된다.

레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4) 및 레토로그 레이드 N웰(9)상에는, 트랜지스터가 복수개 또는 단수개 형성되고(도시하지 않음), 로직 회로 영역의 CMOS를 형성한다. 이 경우도, 레토로그 레이드웰내에는 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우가 있다.

또한, 레토로그 레이드 N웰(4)과 레토로그 레이드 P웰(3)상에 각각 형성된 트랜지스터에 의해, 로직 회로로 되는 CMOS를 형성하여도 된다. 그 때에도, 레토로그 레이드 P웰(3)상에는 메모리 셀로 되는 트랜지스터가 형성된다. 이 때, 제9 실시 형태와 마찬가지로 P형 불순물층(10)이 형성되어 있는 영역까지 확대하여 레토로그 레이드 P웰(3)을 형성해도 되고, 그에 의해 로직 회로 영역의 CMOSFET의 래치업 내성을 유지할 수 있다.

이 반도체 장치의 메모리 셀 영역의 기판 구조에 의하면, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 N형 불순물층(5)의 존재에 의해 크게 되기 때문에, 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 억제하는 효과를 갖는다.

또한, 반도체 기판(6), 레토로그 레이드 P웰(3, 8), P형 불순물층(10) 및 N형 불순물층(5) 또는 P형 불순물층(2)은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

더욱이, 반도체 기판(6)의 불순물 농도가 높을 뿐만 아니라, 로직 회로 영역에는 P형 매립층(10)이 존재하기 때문에 기판저항이 감소되고, 특히 높은 래치업 내성을 필요로 하는 로직 회로 영역에 있어서 효과적으로 래치업 내성을 향상시킬 수 있다. 여기서, 래치업 내성을 향상시키는 관점에서 P형 불순물층(10)의 피크 농도는 레토로그 레이드 P웰(3)의 피크 농도보다 높은 쪽이 바람직하다.

도 72는 본 발명의 제10 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이다.

우선, 제10 실시 형태와 마찬가지로, 보론 농도 $1 \times 10^{18}/\text{cm}^3$ 정도의 P형 실리콘기판(6) 주표면상의 소자 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 밑바탕 산화막(29)을 형성한 후, 메모리 셀 영역에 저농도 N형 층(5)을 형성한다.

여기서, 주입되는 인의 불순물 농도가 작은 경우, 열처리의 온도가 높은 경우 또는 열처리의 시간이 긴 경우는, N형 불순물층(5)이 형성되는 영역에 제1 실시 형태에 나타낸 바와 같은 P형 불순물층(2)이 형성되는 것이 있지만, P형 불순물층(2)이 형성되어도 특히 문제는 없다.

다음에 도 67에 나타낸 바와 같이, 레지스트를 패터닝하여 로직 회로 영역을 개구한 후, P형 불순물 이온인 보론을 500keV ~ 10MeV, $5 \times 10^{12} \sim 1 \times 10^{16}/\text{cm}^2$ 의 조건에서 고에너지를 주입하고, P형 불순물층(10)을 형성한다.

그 후, 제8 실시 형태와 마찬가지로, 레토로그 레이드 P웰(3), 레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4, 9)을 형성한다.

여기서, 레토로그 레이드 웰(3, 4, 8, 9)과 P형 불순물층(10)의 형성순서는 역순이어도 상관없다.

그리고, 트랜지스터, 충전절연막, 콘택트홀, 캐패시터 등을 형성하여 배선한다(도시하지 않음).

이상 설명한 바와 같이, 이 반도체 장치의 제조 방법에 의하면, 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 레토로그 레이드 P웰(3) 표면에 형성된 소오스/드레인 영역에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 억제하는 반도체 장치를 얻을 수 있다.

또한, 반도체 기판(6), 레토로그 레이드 P웰(3, 8), P형 불순물층(10) 및 N형 불순물층(5) 또는 P형 불순물층(2)을 동일 도전형으로 함으로써, 전기적으로 도통시키고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

더욱이, 로직 회로 영역에는 P형 매립층(10)이 존재하기 때문에 기판저항이 감소되고, 특히 높은 래치업 내성을 필요로 하는 로직 회로 영역에 있어서 효과적으로 래치업 내성을 향상시킬 수 있는 반도체 장치의 제조 방법을 얻을 수 있다. 여기서, 래치업 내성을 향상시키는 관점에서 P형 매립층의 피크 농도는 P웰의 피크 농도보다 높은 쪽이 바람직하다.

제12 실시 형태

도 73은 본 발명의 제12 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 7은 P형 반도체 기판(6)중에 형성된 N형 불순물층, 2는 P형 반도체 기판(6)중에 형성된 P형 불순물층, 3 및 8은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰, 4 및 9는

레토로그 레이드 N웰이다.

이 반도체 장치는, 주로 대용량의 정보를 축적하는 것을 목적으로 하는 소자 영역(메모리 셀 영역)과, 메모리 셀 영역과 대량의 정보를 교환하면서 논리연산을 행하는 것을 목적으로 하는 소자 영역(로직 회로 영역)으로 크게 구분된다. 메모리 셀 영역은 주로 NMOSFET으로 구성되고, 로직 회로 영역은 주로 CMOSFET으로 구성된다.

또한, 반도체 기관의 불순물 구조는, 메모리 셀 영역은 제5 실시 형태와 동일하게, 로직 회로 영역은 제3 실시 형태와 동일하게 되어 있다.

레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

N형 불순물층(7)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰 측면에 형성되어도 형성되지 않아도 된다. 단, N형 불순물층(7)과 레토로그 레이드 N웰(4)에 의해 레토로그 레이드 P웰(3)과 P형 불순물층(2)은 분리되어 있다.

레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4) 및 레토로그 레이드 N웰(9)상에는, 트랜지스터가 복수개 또는 단수개 형성되고(도시하지 않음), 로직 회로 영역의 CMOS를 형성한다. 이 경우도, 레토로그 레이드웰내에는 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

이 반도체 장치의 기관 구조에 의하면, 고농도의 P형 반도체 기관(6)에 의해 메모리 셀 영역의 P형 반도체 기관(6)중에서의 전자의 수명이 짧게 될 뿐만 아니라, 레토로그 레이드 N웰(4), N형 불순물층(7)에 의해 레토로그 레이드 P웰(3)이 전기적으로 분리되어 있기 때문에, P형 반도체 기관(6)중에서 α 선 등에 의해 발생한 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 더욱 억제하는 효과를 갖는다.

또한, 메모리 셀 영역의 레토로그 레이드 P웰(3)과 로직 회로 영역의 레토로그 레이드 P웰(8)은 레토로그 레이드 N웰(4 및 9)에 의해 분리되어 있기 때문에, 다른 전위로 할 수 있고, 다른 기관 바이어스로 동작시킬 수 있다.

로직 회로 영역에서는, 반도체 기관(6), P형 불순물층(2) 및 레토로그 레이드 P웰(8)은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

또한, P형 반도체 기관(6)의 농도가 높기 때문에, 기관저항이 감소되고, 로직 회로 영역에서의 래치업 내성을 향상시키는 효과가 있다.

도 74는 본 발명의 제12 실시 형태를 나타낸 반도체 장치의 기관의 제조 방법을 나타낸 단면도이다.

우선, 실시형태 10과 마찬가지로, 보론 농도 $1 \times 10^{18}/\text{cm}^3$ 정도의 P형 반도체 기관(6) 주표면상에 P형 불순물층(2)을 형성하고, 그 표면의 소자 분리 영역에 소자 분리 산화막(24)을 형성하고, 활성 영역에 밀바탕 산화막(29)을 형성한다.

다음에, 도 74에 나타낸 바와 같이, 레지스트를 패터닝하여 메모리 셀 영역을 개구한 후, N형 불순물 이온인 인을 500keV ~ 10MeV, $1 \times 10^{12} \sim 5 \times 10^{14}/\text{cm}^2$ 의 조건에서 고에너지를 주입하고, N형 불순물층(7)을 형성한다.

그 후, 제8 실시 형태와 마찬가지로, 레토로그 레이드 P웰(3), 레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4, 9)을 형성한다.

여기서, 레토로그 레이드 웰(3, 4, 8, 9)과 N형 불순물층(7)의 형성순서는 역순이어도 상관없다.

그리고, 트랜지스터, 충전절연막, 콘택트홀, 캐패시터 등을 형성하여 배선한다(도시하지 않음).

이 반도체 장치의 제조 방법에 의하면, 메모리 셀 영역의 레토로그 레이드 P웰(3)과 로직 회로 영역의 레토로그 레이드 P웰(8)은 레토로그 레이드 N웰(4 및 9)에 의해 분리되어 있기 때문에, 다른 전위로 할 수 있고, 다른 기관 바이어스로 동작시킬 수 있는 반도체 장치를 얻을 수 있다.

또한, 고농도 P형 반도체 기관(6)에 의해, 메모리 셀 영역의 P형 반도체 기관(6)중에서의 전자의 수명이 짧게 될 뿐만 아니라, 레토로그 레이드 N웰(4), N형 불순물층(7)에 의해 레토로그 레이드 P웰(3)이 전기적으로 분리되어 있기 때문에, P형 반도체 기관(6)중에서 α 선 등에 의해 발생한 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 더욱 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

고농도의 P형 반도체 기관(6)은 기관저항이 낮게 되고, 로직 회로 영역에서의 래치업 내성을 향상시키는 효과가 있다.

더욱이, 에피택셜 성장에 의해 P형 불순물층(2)을 형성하기 때문에, 로직 회로 영역에서는 P형 반도체 기관(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 웰의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기관(6), P형 불순물층(2) 및 레토로그 레이드 P웰(8)을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

또한, 로직 회로 영역에서는 각각 독립해서 전위를 고정할 필요가 없기 때문에, 단자수 증가에 의한 소자

레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

제13 실시 형태

도 75는 본 발명의 제1을 실시 형태를 나타낸 반도체 장치의 기판을 나타낸 단면도이다. 이하 도면을 참조하여, 6은 P형 반도체 기판, 7은 P형 반도체 기판(6)중에 형성된 N형 불순물층, 10은 P형 반도체 기판(6)중에 형성된 P형 불순물층, 3 및 8은 P형 반도체 기판(6)중에 형성된 레토로그 레이드 P웰, 4 및 9는 레토로그 레이드 N웰이다.

이 반도체 장치는, 주로 대용량의 정보를 축적하는 것을 목적으로 하는 소자 영역(메모리 셀 영역)과, 메모리 셀 영역과 대량의 정보를 교환하면서 논리연산을 행하는 것을 목적으로 하는 소자 영역(로직 회로 영역)으로 크게 구별된다. 메모리 셀 영역은 주로 NMOSFET으로 구성되고, 로직 회로 영역은 주로 CMOSFET으로 구성된다.

또한, 반도체 기판의 불순물 구조는, 메모리 셀 영역은 제5 실시 형태와 동일하게, 로직 회로 영역은 제1 실시 형태와 동일하게 되어 있다.

레토로그 레이드 P웰(3)상에는, 트랜지스터가 복수개 또는 단수개 형성된다(도시하지 않음). 그리고, 레토로그 레이드 P웰(3)내에는, 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

N형 불순물층(7)은 레토로그 레이드 P웰(3)의 저부에 접하도록 형성되어 있지만, 레토로그 레이드 웰 측면에 형성되어도 형성되지 않아도 된다. 단, N형 불순물층(7)과 레토로그 레이드 N웰(4)에 의해 레토로그 레이드 P웰(3)과 P형 불순물층(2)은 분리되어 있다.

레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4) 및 레토로그 레이드 N웰(9)상에는, 트랜지스터가 복수개 또는 단수개 형성되고(도시하지 않음), 로직 회로 영역의 CMOS를 형성한다. 이 경우도, 레토로그 레이드 P웰(8)내에는, 표면으로부터 0 ~ 0.2 μ m의 깊이로 펀치드루 방지 및 임계치 제어의 역할을 담당하는 채널 주입층이나, 분리 산화막(24)의 아래에 채널의 형성을 억제하는 채널 컷트 주입 등의 불순물층이 형성되는 경우도 있다.

이 반도체 장치의 기판 구조에 의하면, 고농도의 P형 반도체 기판(6)에 의해 메모리 셀 영역의 P형 반도체 기판(6)중에서의 전자의 수명이 짧게 될 뿐만 아니라, 레토로그 레이드 N웰(4), N형 불순물층(7)에 의해 레토로그 레이드 P웰(3)이 전기적으로 분리되어 있기 때문에, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 더욱 억제하는 효과를 갖는다.

또한, 메모리 셀 영역의 레토로그 레이드 P웰(3)과 로직 회로 영역의 레토로그 레이드 P웰(8)은 레토로그 레이드 N웰(4 및 9)에 의해 분리되어 있기 때문에, 다른 전위로 할 수 있고, 다른 기판 바이어스로 동작시킬 수 있다.

로직 회로 영역에서는, 반도체 기판(6), P형 불순물층(10) 및 레토로그 레이드 P웰(8)은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

또한, P형 반도체 기판(6) 및 P형 불순물층(10)의 농도가 높기 때문에, 기판저항이 낮게 되고, 로직 회로 영역에서의 래치업 내성이 향상되는 효과가 있다.

도 76은 본 발명의 제1을 실시 형태를 나타낸 반도체 장치의 기판의 제조 방법을 나타낸 단면도이다.

우선, 실시형태 12와 마찬가지로, 보론 농도 $1 \times 10^{18}/\text{cm}^3$ 정도의 P형 반도체 기판(6) 주표면상에 P형 불순물층(2)을 형성하고, 그 표면의 소자 분리 영역에 소자 분리 산화막(24), 활성 영역에 밀바탕 산화막(29)을 형성하고, 그 내부의 메모리 셀 영역에 N형 불순물층(7)을 형성한다.

다음에, 도 76에 나타낸 바와 같이, 레지스트를 패터닝하여 로직 회로 영역을 개구한 후, P형 불순물 이온인 보론을 500keV ~ 10MeV, $5 \times 10^{12} \sim 1 \times 10^{16}/\text{cm}^2$ 의 조건에서 고에너지를 주입하고, P형 불순물층(10)을 형성한다.

그 후, 제8 실시 형태와 마찬가지로, 레토로그 레이드 P웰(3), 레토로그 레이드 P웰(8), 레토로그 레이드 N웰(4, 9)을 형성한다.

여기서, 레토로그 레이드 웰(3, 4, 8, 9), N형 불순물층(7) 및 P형 불순물층(10)의 형성순서는 역순이어도 상관없다.

그리고, 트랜지스터, 층간절연막, 콘택트홀, 캐패시터 등을 형성하여 배선한다(도시하지 않음).

이 반도체 장치의 제조 방법에 의하면, 메모리 셀 영역의 레토로그 레이드 P웰(3)과 로직 회로 영역의 레토로그 레이드 P웰(8)은 레토로그 레이드 N웰(4 및 9)에 의해 분리되어 있기 때문에, 다른 전위로 할 수 있고, 다른 기판 바이어스로 동작시킬 수 있는 반도체 장치를 얻을 수 있다.

또한, 고농도 P형 반도체 기판(6)에 의해, 메모리 셀 영역의 P형 반도체 기판(6)중에서의 전자의 수명이 짧게 될 뿐만 아니라, 레토로그 레이드 N웰(4), N형 불순물층(7)에 의해 레토로그 레이드 P웰(3)이 전기적으로 분리되어 있기 때문에, P형 반도체 기판(6)중에서 α 선 등에 의해 발생한 전자가 레토로그 레이드 P웰(3) 표면에 형성되는 소오스/드레인 영역에 도달하는 것을 방지하고, 소프트 에러를 더욱 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

로직 회로 영역에는 고농도 P형 반도체 기판(6)과 함께 P형 매립층(10)이 존재하기 때문에 기판저항이 감소되고, 특히 높은 래치업 내성을 필요로 하는 로직 회로 영역에 있어서 효과적으로 래치업 내성을 향상

시킬 수 있는 반도체 장치의 제조 방법을 얻을 수 있다. 여기서, 래치업 내성을 향상시키는 관점에서 P형 매립층의 피크농도는 P웰의 피크농도보다 높은 쪽이 바람직하다.

더욱이, 에피택셜 성장에 의해 P형 불순물층(2)을 형성하기 때문에, 로직 회로 영역에서는 P형 반도체 기판(6)의 농도가 높고, 트랜지스터가 형성되는 레토로그 레이드 웰의 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기판(6), P형 불순물층(10) 및 레토로그 레이드 P웰(8)을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

또한, 각각 독립해서 전위를 고정할 필요가 없기 때문에, 단자수 증가에 의한 소자레이아웃상의 제약이 없게 되고, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

발명의 효과

본 발명은 이상 설명한 바와 같이 구성되어 있기 때문에, 이하와 같은 효과를 갖는다.

본 발명은, 반도체 기판보다도 저농도의 제2 불순물층의 존재에 의해, 반도체 기판중에서 α 선 등에 의해 발생한 전자의 소자 형성 영역에 대한 포텐셜 배리어가 크게 되고, 소자에 도달하는 것을 방지하기 때문에, 전자에 의한 소프트 에러를 억제할 수 있다.

또한, 반도체 기판과 제1 불순물층은 동일 도전형이고, 제2 불순물층은 농도가 낮기 때문에, 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

더욱이, 반도체 기판의 농도가 높기 때문에, 반도체 기판중에서 전자의 수명이 짧게 되고, 전자가 소오스/드레인 영역에 도달하는 것을 방지하며, 소프트 에러를 억제하는 효과를 나타낸다.

또한, 제2 도전형의 제2 불순물층의 존재에 의해, 반도체 기판중에서 α 선 등에 의해 발생한 전자의 소자 형성 영역에 대한 포텐셜 배리어가 보다 크게 되고, 소자에 도달하는 것을 방지하기 때문에, 전자에 의한 소프트 에러를 보다 한층 억제할 수 있다.

또한, 제1 불순물층과 반도체 기판과의 전계가, 제2 불순물층에 의해 완화되기 때문에, 반도체 장치의 내성이 향상되는 효과를 나타낸다.

더욱이, 반도체 기판중에서 발생한 전자의 트랜지스터 형성영역에 대한 포텐셜 배리어가 크고, 트랜지스터가 형성되는 제1 불순물층 표면의 불순물 농도가 낮기 때문에, 임계치 전압 등의 트랜지스터 특성의 열화를 방지할 수 있다.

또한, 제2 불순물층에 의해 반도체 기판중에서 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 되고, 메모리 셀 영역에 형성된 MOS 트랜지스터의 소오스/드레인 영역에 전자가 도달하는 것을 억제하기 때문에, 소프트 에러 내성을 향상시키는 효과를 나타낸다.

더욱이, 반도체 기판, 제1, 제2 및 제4 불순물층은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

더욱이, 제5 불순물층의 농도가 높기 때문에, 로직 회로 영역에 형성된 CMOS의 래치업을 억제하는 효과를 나타낸다.

또한, 제2 도전형의 제2 불순물층에 의해, 반도체 기판중에서 발생한 전자의 레토로그 레이드 웰 상부에 대한 포텐셜 배리어가 크게 될 뿐만 아니라, 메모리 셀 영역이 분리되기 때문에, 메모리 셀 영역에 형성된 MOS 트랜지스터의 소오스/드레인 영역에 전자가 도달하는 것을 보다 한층 억제하기 때문에, 소프트 에러 내성을 향상시키는 효과를 나타낸다.

더욱이, 반도체 기판, 제4 및 제5 불순물층은 전기적으로 도통하고 있고, 각각 독립해서 전위를 고정할 필요가 없다. 따라서, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되고, 반도체 집적 회로의 미세화에도 효과가 있다.

또한, 반도체 기판보다도 저농도의 제2 불순물층을 형성함으로써, 반도체 기판중에서 α 선 등에 의해 발생한 전자의 소자 형성 영역에 대한 포텐셜 배리어가 크게 되고, 소자에 도달하는 것을 방지하기 때문에, 전자에 의한 소프트 에러를 억제할 수 있다.

더욱이, 반도체 기판과 제1 불순물층은 동일 도전형이고, 제2 불순물층은 농도가 낮기 때문에, 전기적으로 도통하고 있으며, 각각 독립해서 고정할 필요가 없고, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되기 때문에, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

또한, 불순물 농도피크를 갖는 제2 도전형의 제2 불순물층을 형성함으로써, 반도체 기판중에서 α 선 등에 의해 발생한 전자의 소자 형성 영역에 대한 포텐셜 배리어가 크게 될 뿐만 아니라, 반도체 기판의 불순물 농도가 제2 및 제3 불순물 농도보다도 크고, 반도체 기판중에서의 전자의 수명이 짧게 되기 때문에, 전자가 소자에 도달하는 것을 방지하고, 보다 한층 소프트 에러를 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

또한, 제1 불순물층에 의해 반도체 기판과 제2 불순물층과의 전계가 완화되기 때문에, 내성이 향상되는 효과를 갖는 반도체 장치의 제조 방법을 얻을 수 있다.

더욱이, 에피택셜 성장에 의해 제1 불순물층을 형성하기 때문에, 반도체 기판의 농도가 높고, 소자가 형성되는 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 반도체 기판과 제2 불순물층을 도통시키기 쉽게 됨과 더불어, 임계치전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

또한, 제 불순물층에 의해 반도체 기판중에서 α 선 등에 의해 발생한 전자의 제2 불순물 상부에 대한 포텐셜 배리어가 크게 되고, MOS 트랜지스터의 소오스/드레인에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

더욱이, 제1, 제2, 제4 불순물층 및 반도체 기판을 전기적으로 도통시킴으로써, 각각 독립해서 전위를 고정할 필요가 없게 되고, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되기 때문에, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

더욱이, 불순물 농도가 높은 제5 불순물층을 형성하기 때문에, CMOS 트랜지스터의 래치업을 억제하는 효과를 나타낸다.

또한, 제2 불순물층에 의해 반도체 기판중에서 α 선 등에 의해 발생한 전자의 제3 불순물 상부에 대한 포텐셜 배리어가 크게 되고, MOS 트랜지스터의 소오스/드레인에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

더욱이, 제1, 제5 불순물층 및 반도체 기판을 전기적으로 도통시킴으로써, 각각 독립해서 전위를 고정할 필요가 없게 되고, 단자수 증가에 의한 소자 레이아웃상의 제약이 없게 되기 때문에, 미세화된 반도체 집적 회로의 제조도 가능하게 된다.

또한, 제2 불순물층의 농도가 높기 때문에, 반도체 기판중에서 α 선 등에 의해 발생한 전자의 제3 불순물 상부에 대한 포텐셜 배리어가 크게 될 뿐만 아니라, MOS 트랜지스터가 분리되기 때문에, MOS 트랜지스터의 소오스/드레인에 도달하는 것을 방지하여, 전자에 의한 소프트 에러를 보다 한층 억제하는 반도체 장치의 제조 방법을 얻을 수 있다.

더욱이, 불순물 농도가 높은 제6 불순물층을 형성하기 때문에, CMOS 트랜지스터의 래치업을 억제하는 효과를 나타낸다.

더욱이, 에피택셜 성장에 의해 제1 불순물층을 형성하기 때문에, 반도체 기판의 농도가 높고, 트랜지스터가 형성되는 제3, 제4 및 제5 불순물층 표면의 불순물 농도가 낮은 반도체 장치를 얻을 수 있다. 따라서, 제1 또는 제6 불순물층과 제5 불순물층 및 반도체 기판을 도통시키기 쉽게 됨과 더불어, 임계치 전압 등의 트랜지스터 특성의 열화를 방지하고, 제조 공정에 있어서도 불순물 농도의 제어 등의 프로세스 조건의 범위를 크게 설정할 수 있다.

(57) 청구의 범위

청구항 1

제1 불순물 농도를 갖는 제1 도전형 반도체 기판,

상기 반도체 기판의 주표면에 형성된, 불순물 농도 피크를 갖는 제2 불순물 농도의 제1 도전형 제1 불순물층,

상기 제1 불순물층의 저면에 접촉하며, 상기 제1 및 상기 제2 불순물 농도의 불순물 농도의 피크보다도 작은 제3 불순물 농도를 갖는 제2 불순물층, 및

상기 제1 불순물층상에 형성된 소자

를 구비한 것을 특징으로 하는 반도체 장치.

청구항 2

제1 불순물 농도를 갖는 제1 도전형 반도체 기판,

상기 반도체 기판의 주표면에 형성되고, 불순물 농도 피크가 상기 제1 불순물 농도보다도 작은 제2 불순물 농도를 갖는 상기 제1 도전형의 제1 불순물층,

상기 제1 불순물층의 저면에 접촉하며, 불순물 농도 피크가 상기 제1 불순물 농도보다도 작은 제3 불순물 농도를 갖는 제2 도전형의 제2 불순물층, 및

상기 제1 불순물층상에 형성된 소자

를 구비한 것을 특징으로 하는 반도체 장치.

청구항 3

제2 불순물 농도를 갖는 제1 도전형 반도체 기판의 주표면상에 제1 불순물 농도의 제1 불순물층을 형성하는 공정,

상기 제1 불순물층상에, 제3 불순물 농도를 갖는 상기 제1 도전형의 제2 불순물층을 형성하는 공정, 및

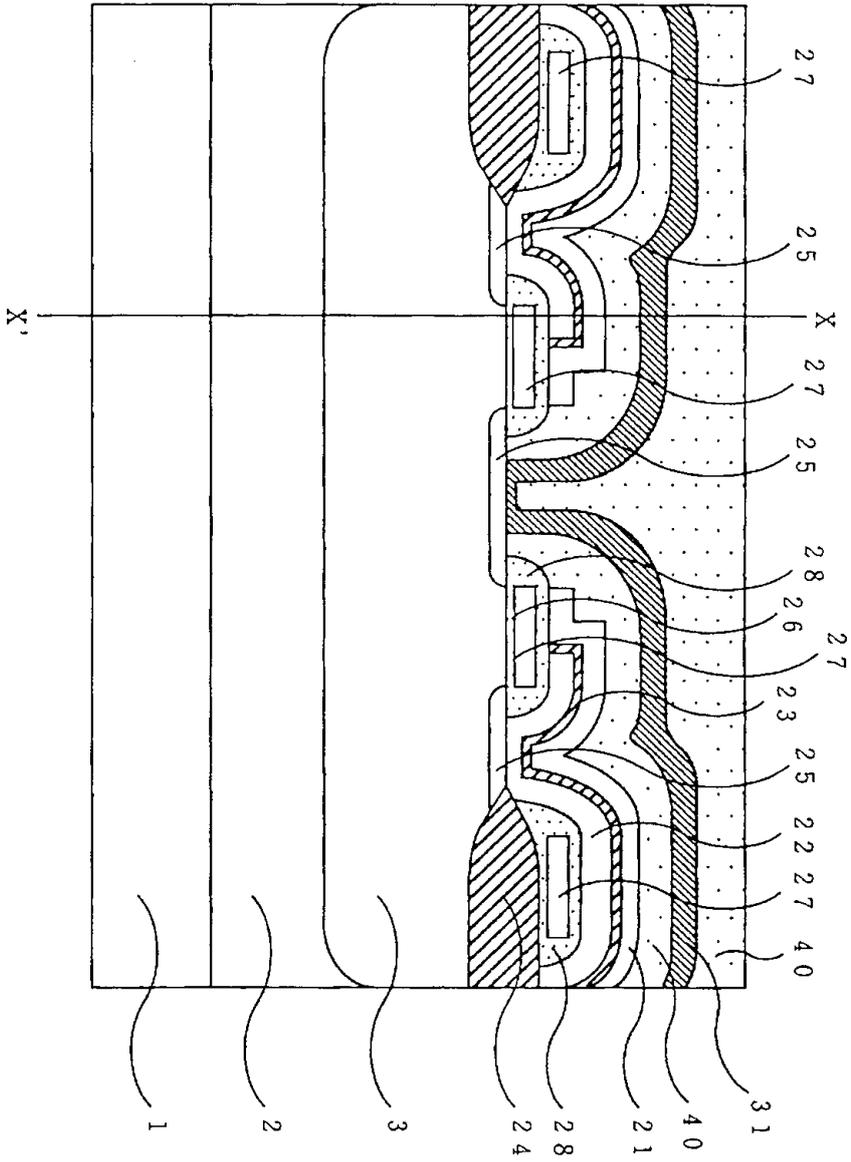
상기 제2 불순물층상에 소자를 형성하는 공정

을 구비하되,

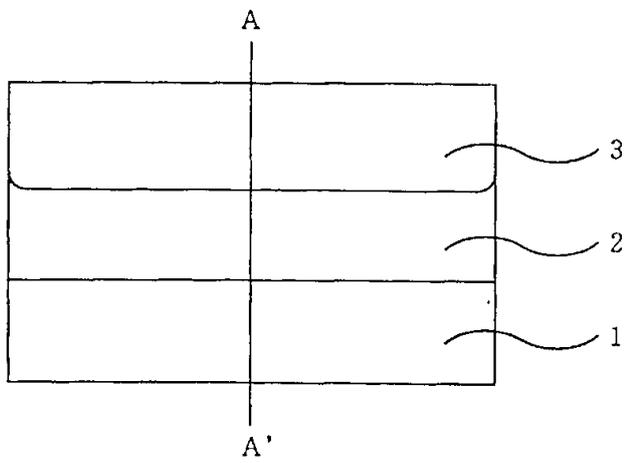
상기 제1 불순물 농도는 상기 제2 불순물 농도보다도 작고, 상기 제3 불순물 농도는 상기 제1 불순물 농도보다도 큰 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

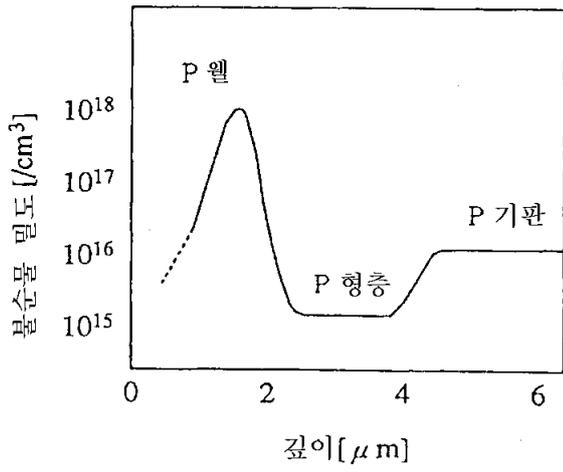
도면1



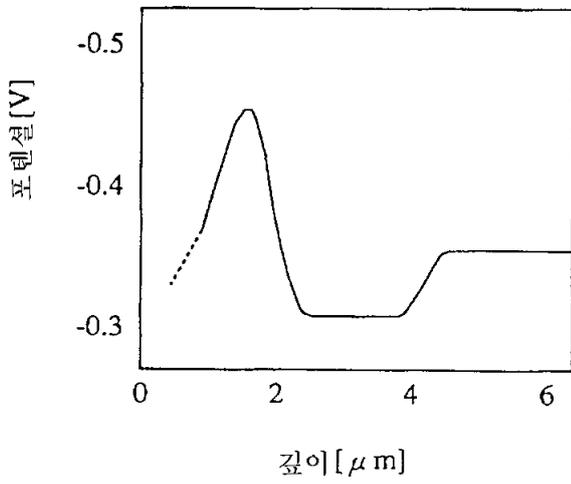
도면2



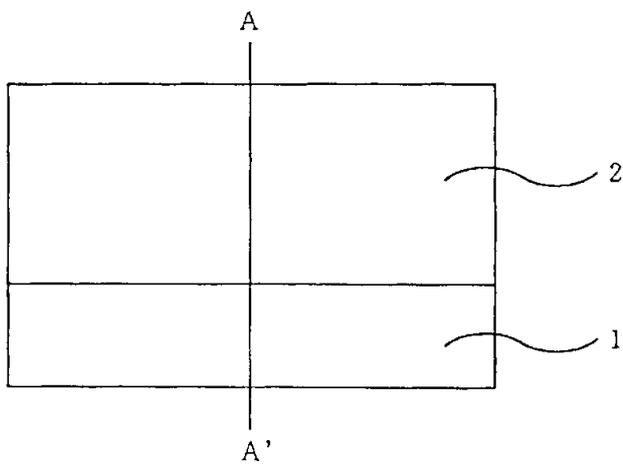
도면3



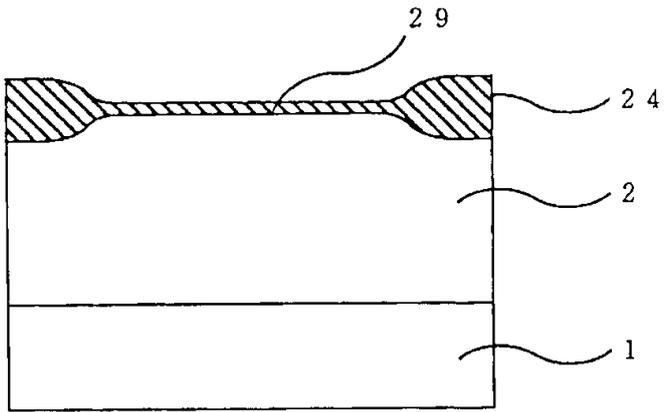
도면4



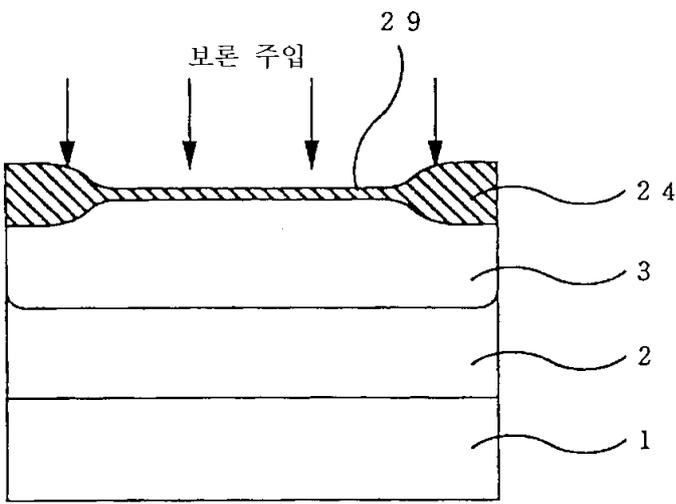
도면5



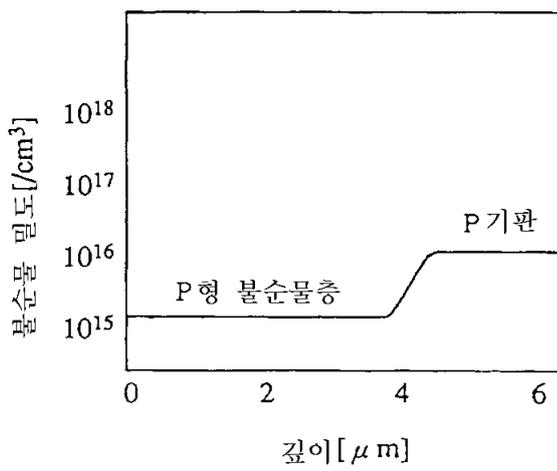
도면6



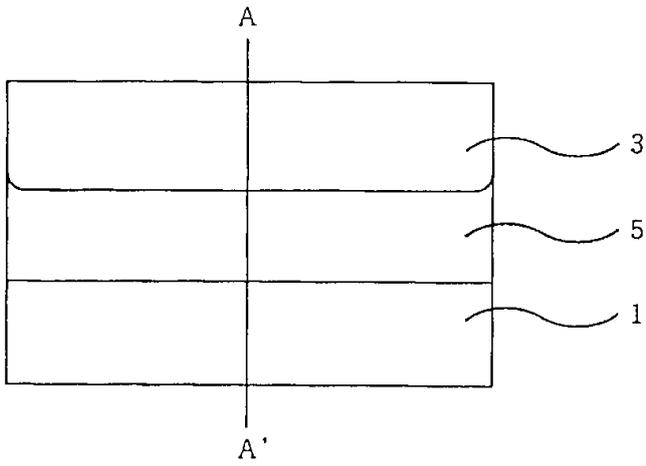
도면7



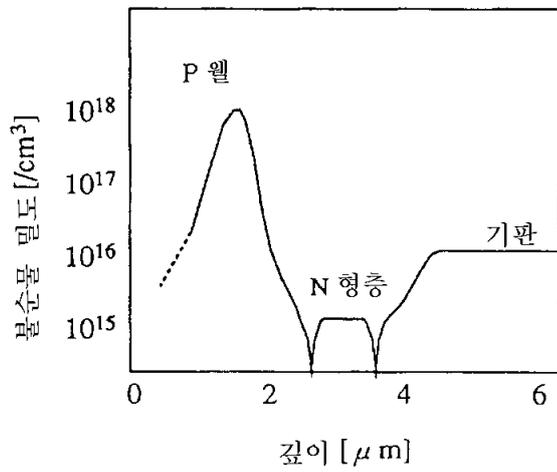
도면8



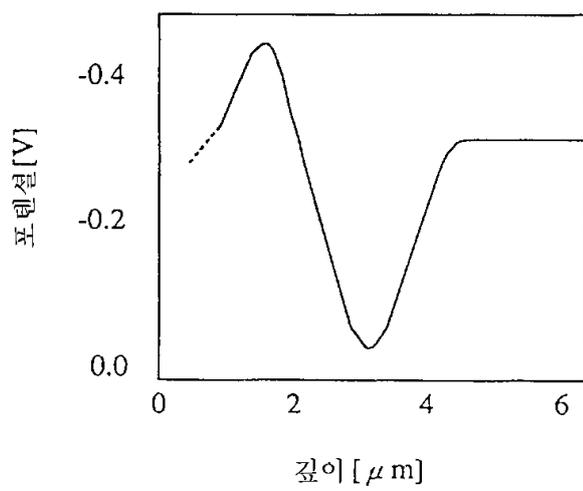
도면9



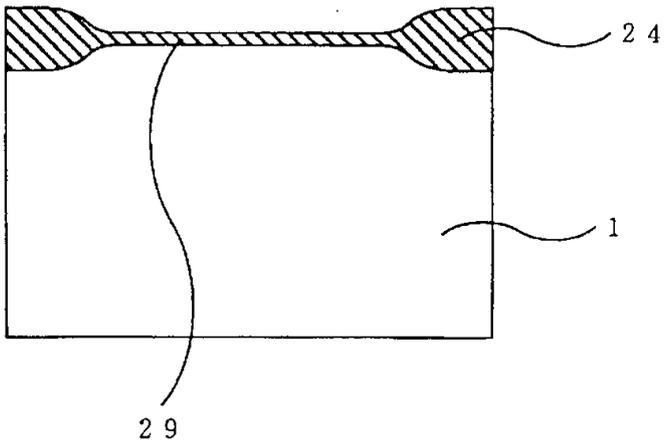
도면10



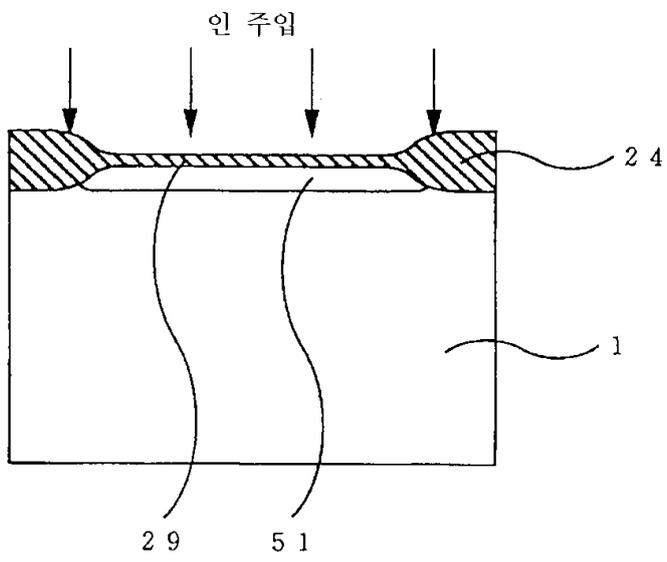
도면11



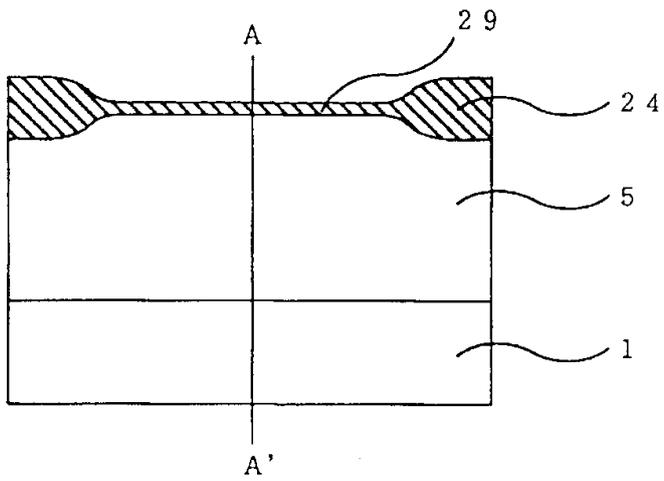
도면12



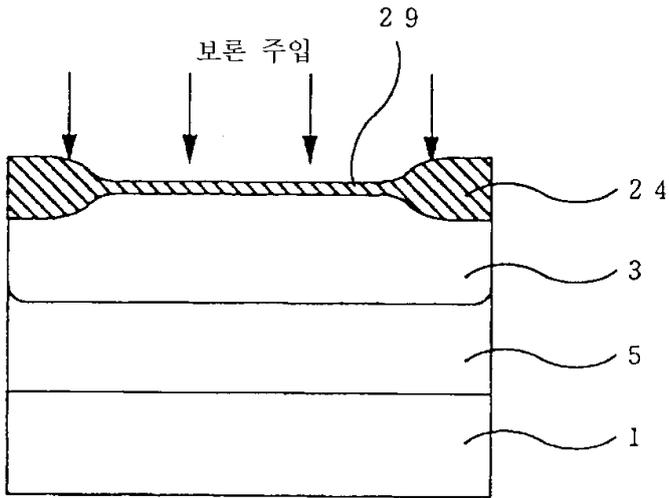
도면13



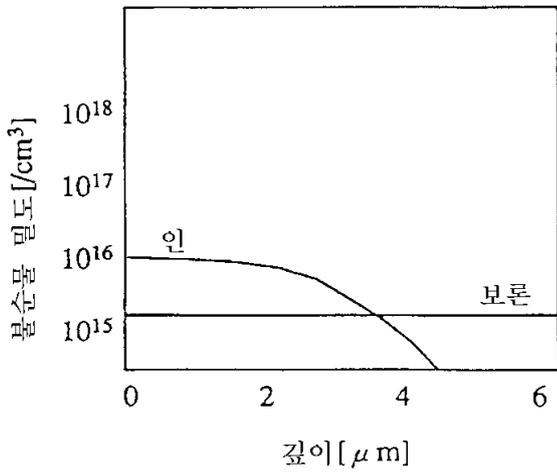
도면14



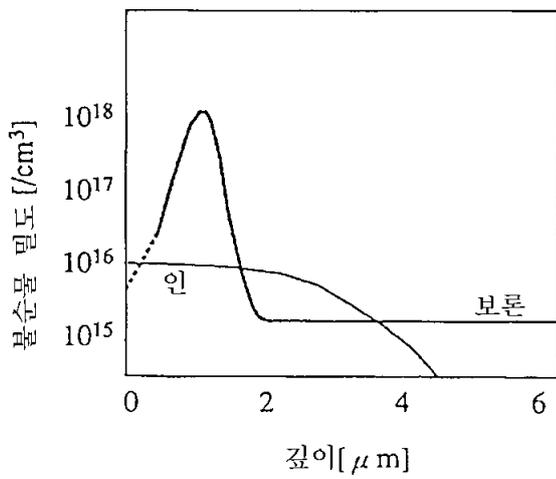
도면15



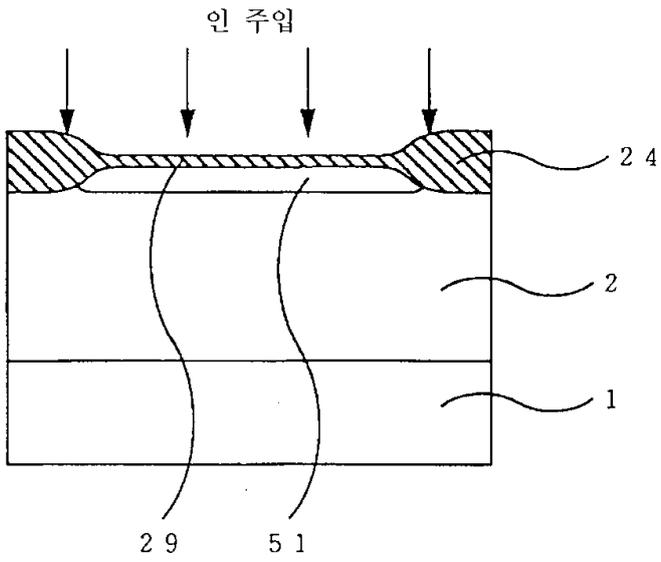
도면16



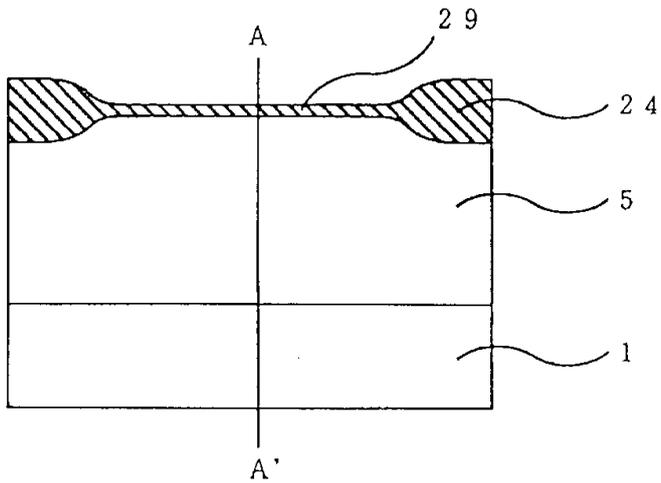
도면17



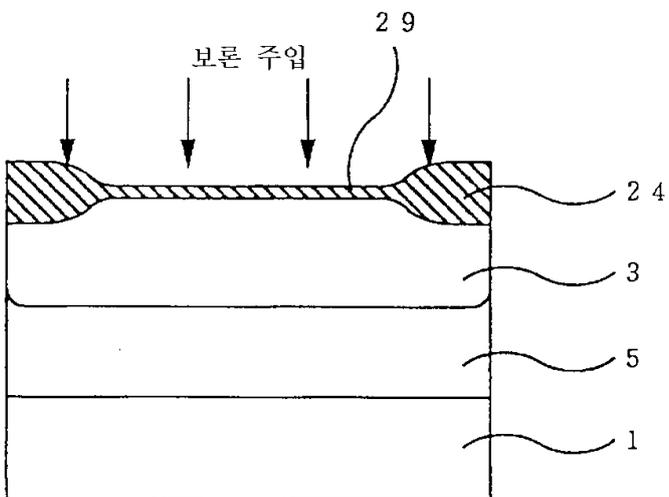
도면18



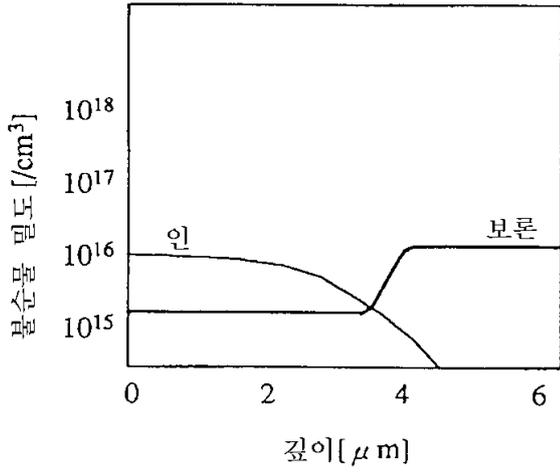
도면19



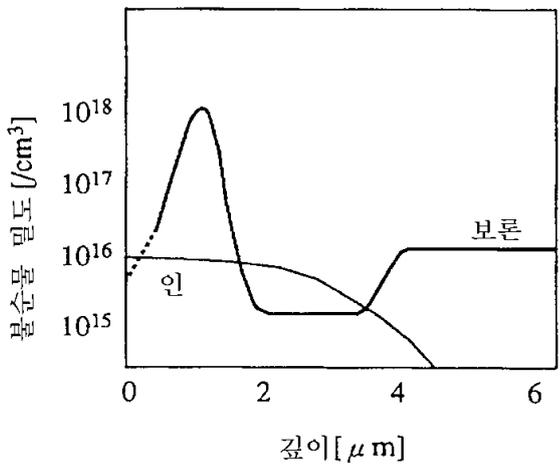
도면20



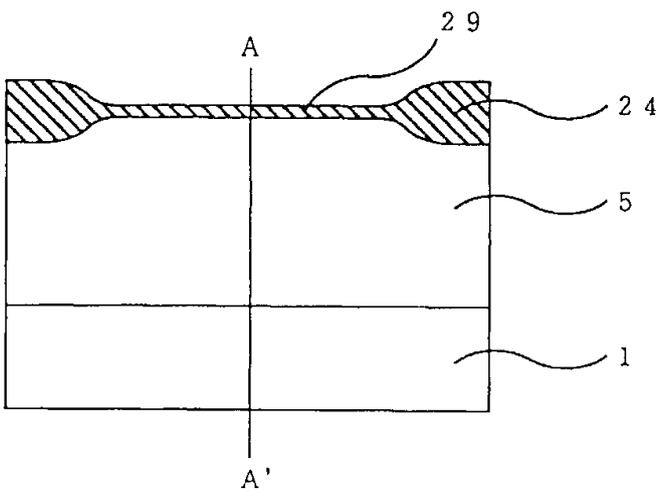
도면21



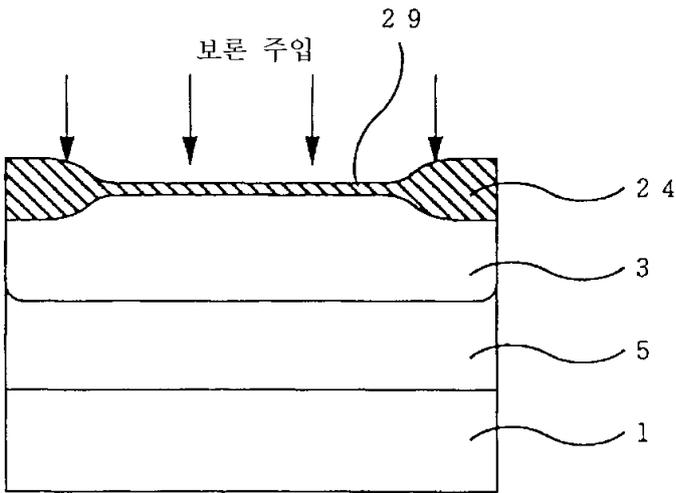
도면22



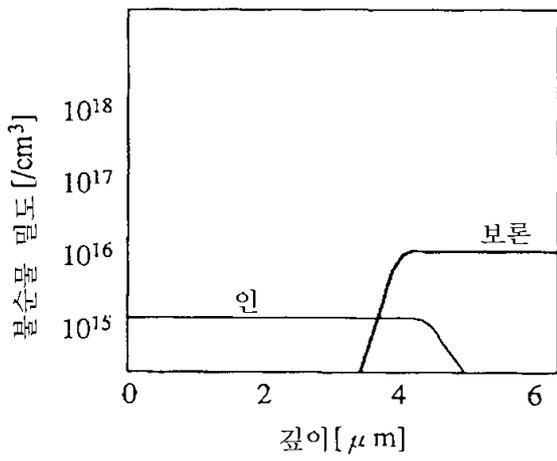
도면23



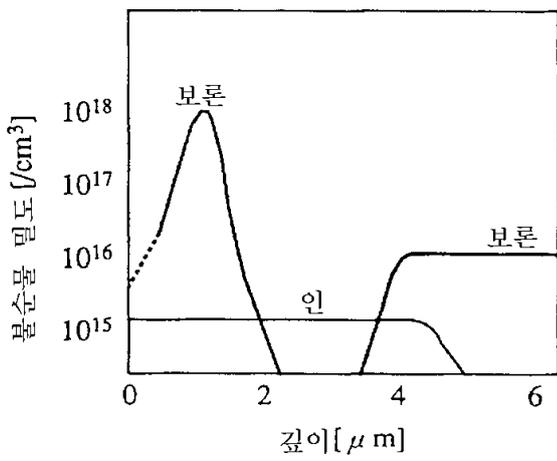
도면24



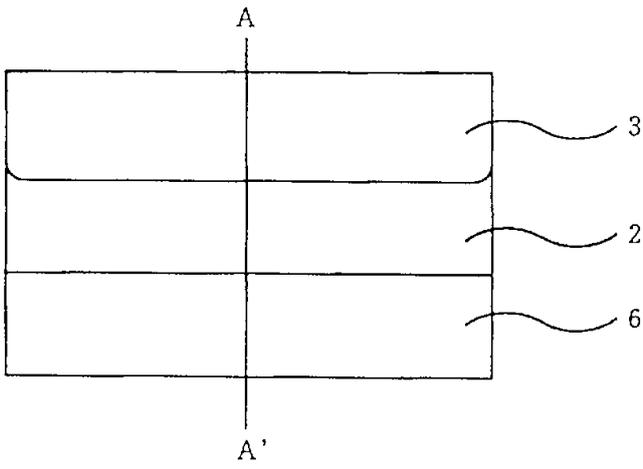
도면25



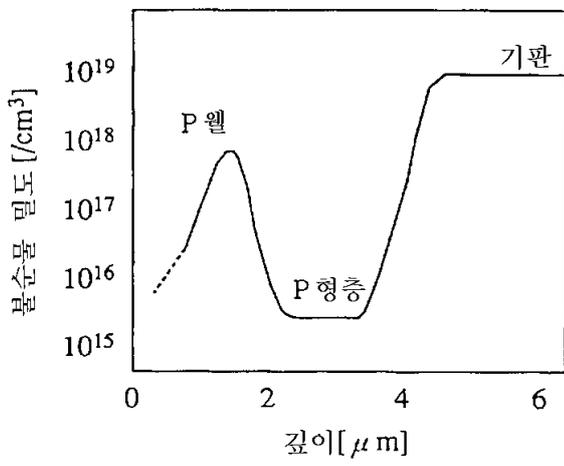
도면26



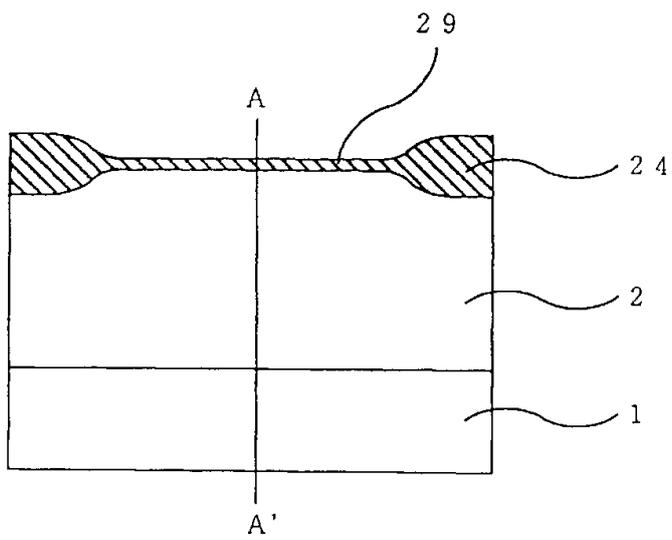
도면27



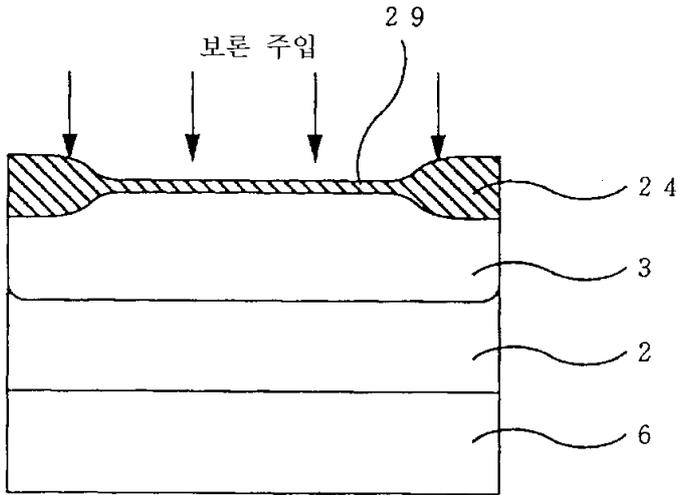
도면28



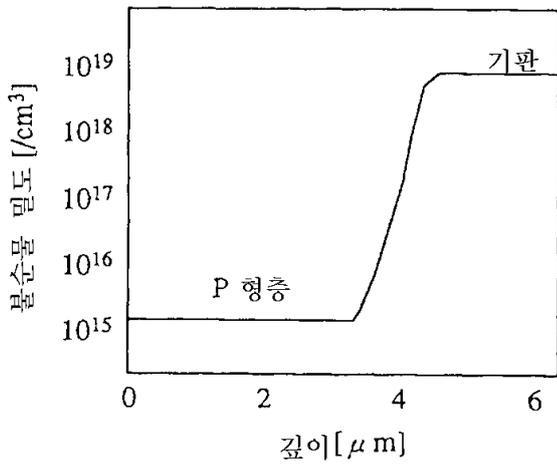
도면29



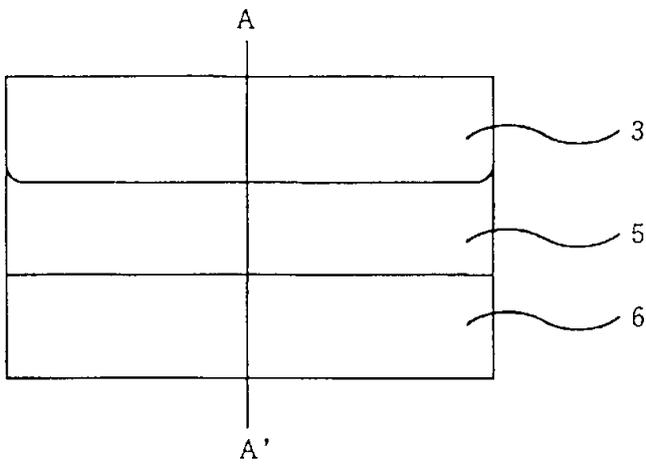
도면30



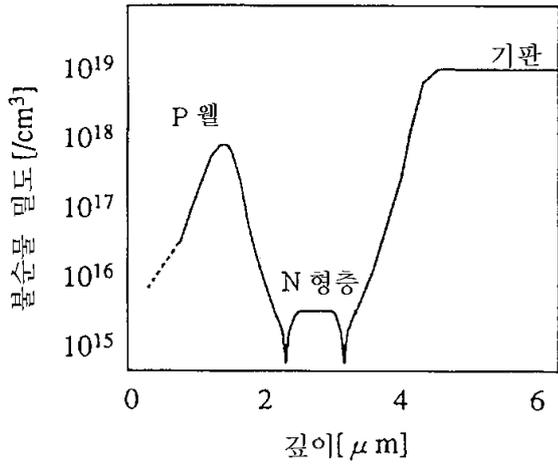
도면31



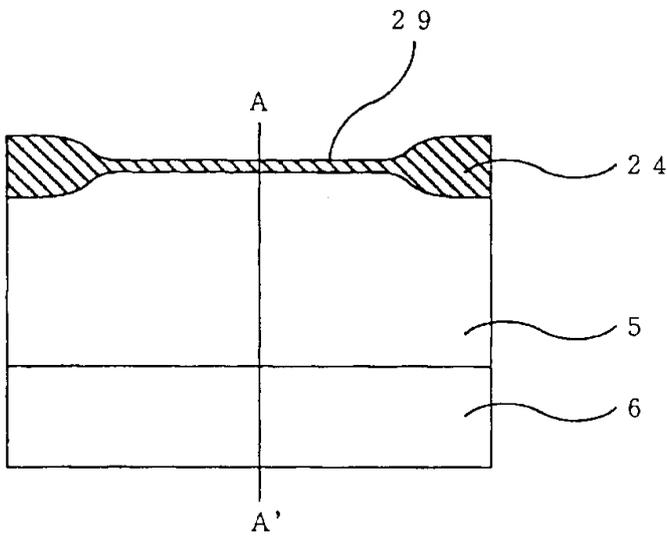
도면32



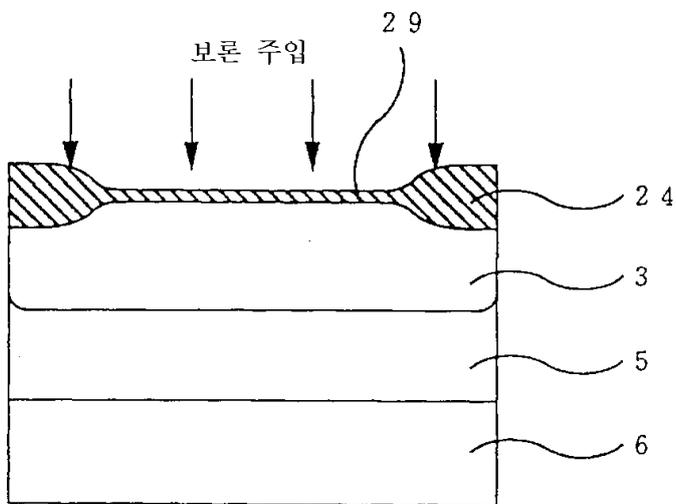
도면33



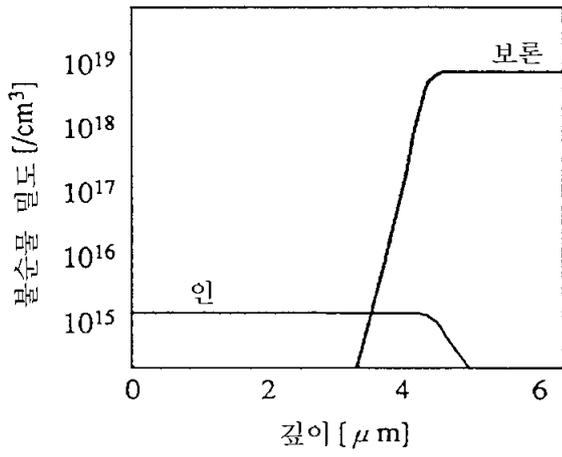
도면34



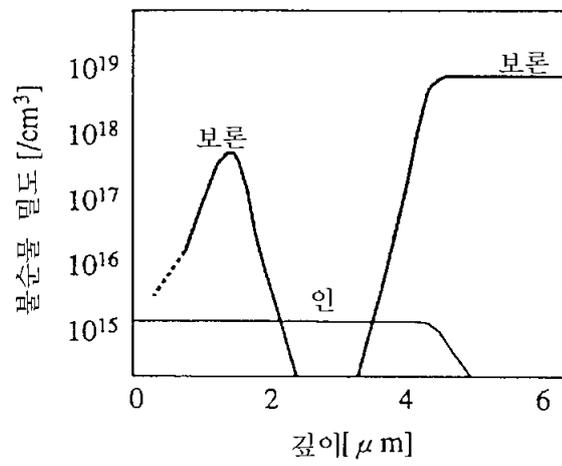
도면35



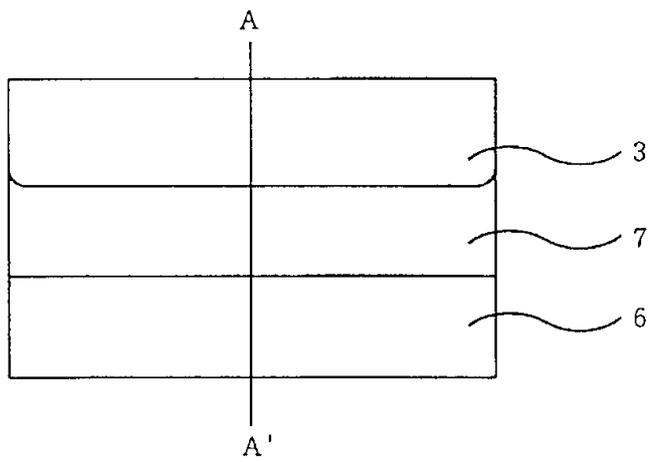
도면36



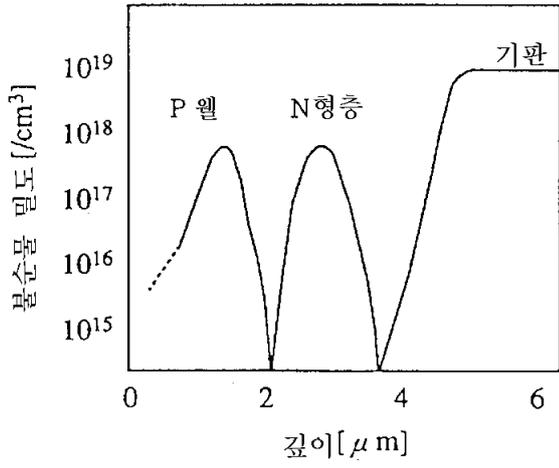
도면37



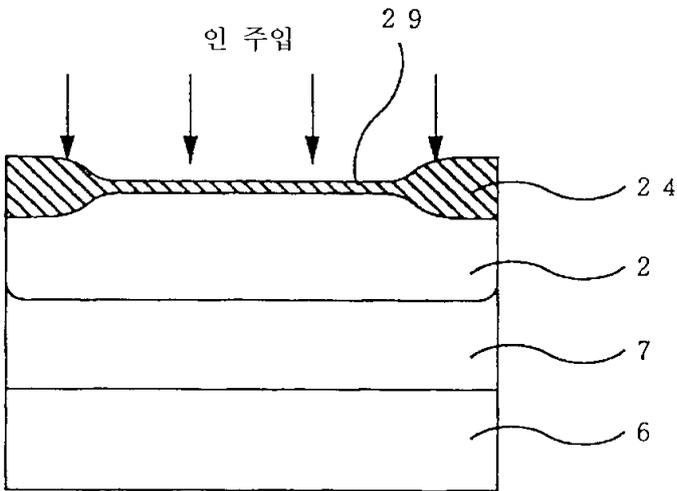
도면38



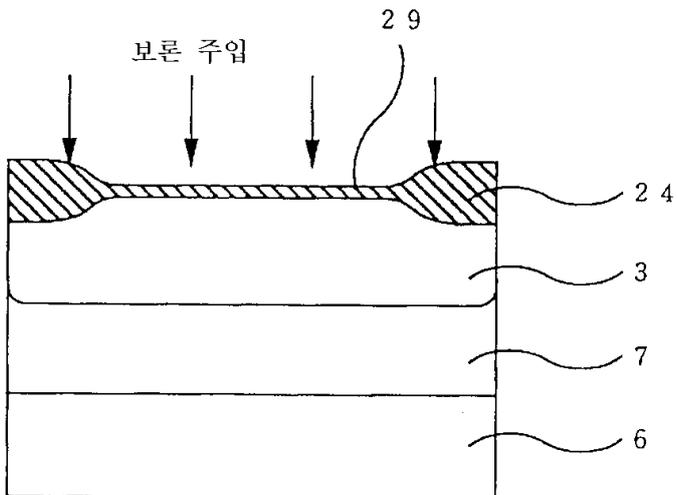
도면39



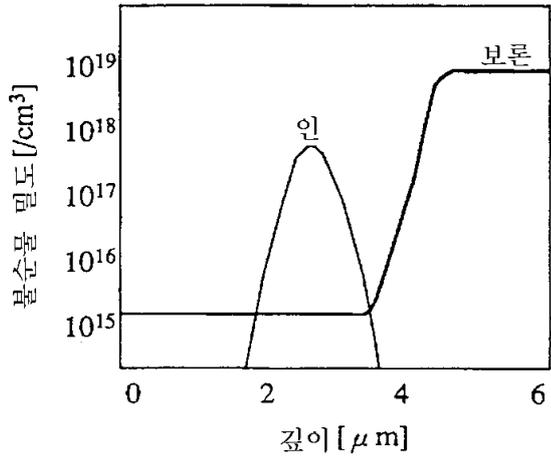
도면40



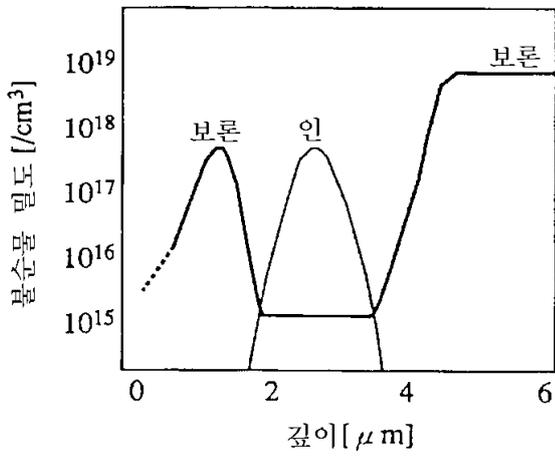
도면41



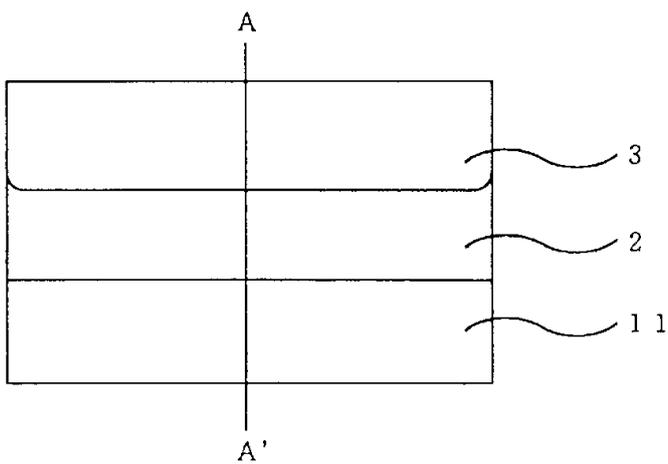
도면42



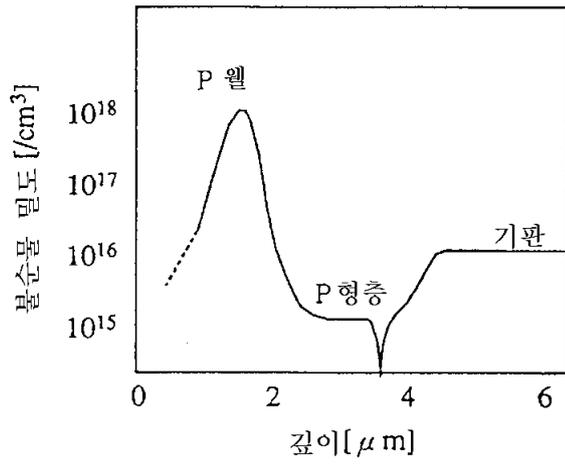
도면43



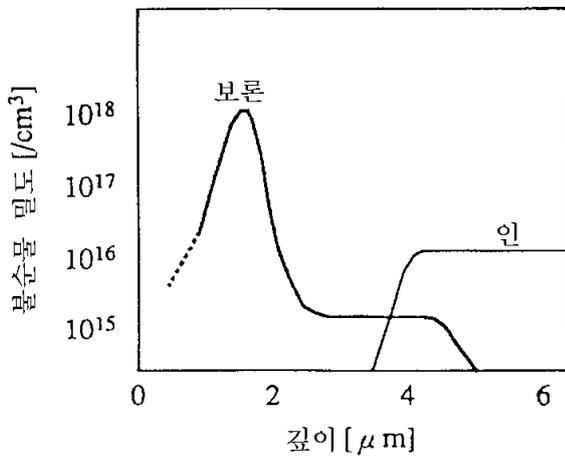
도면44



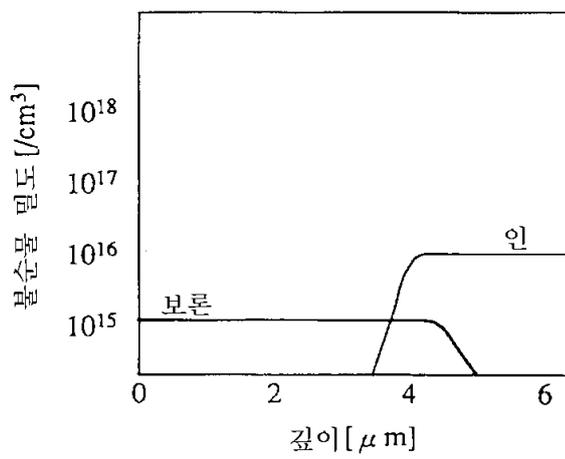
도면45



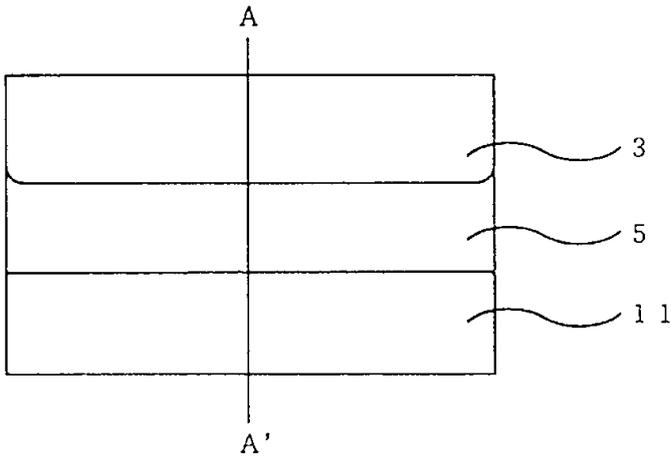
도면46



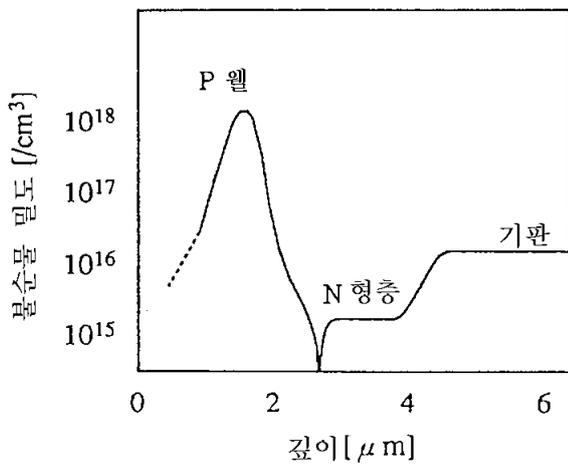
도면47



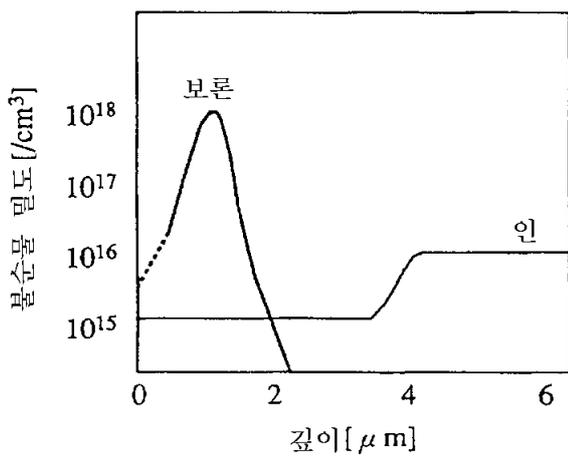
도면48



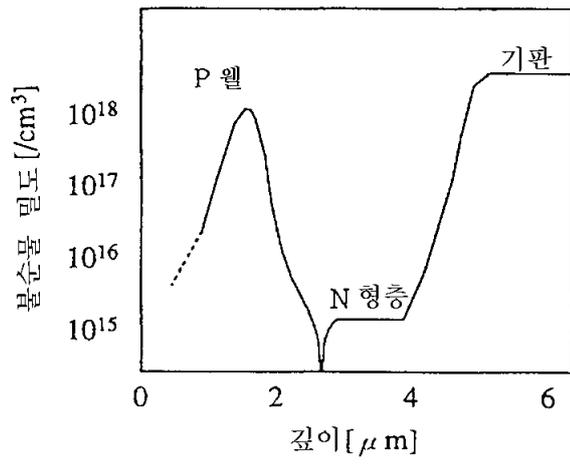
도면49



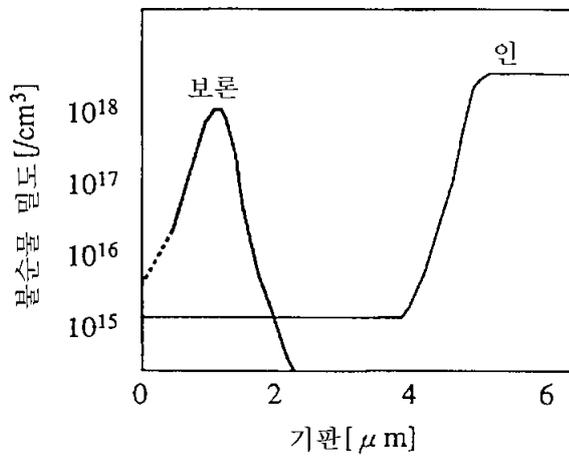
도면50



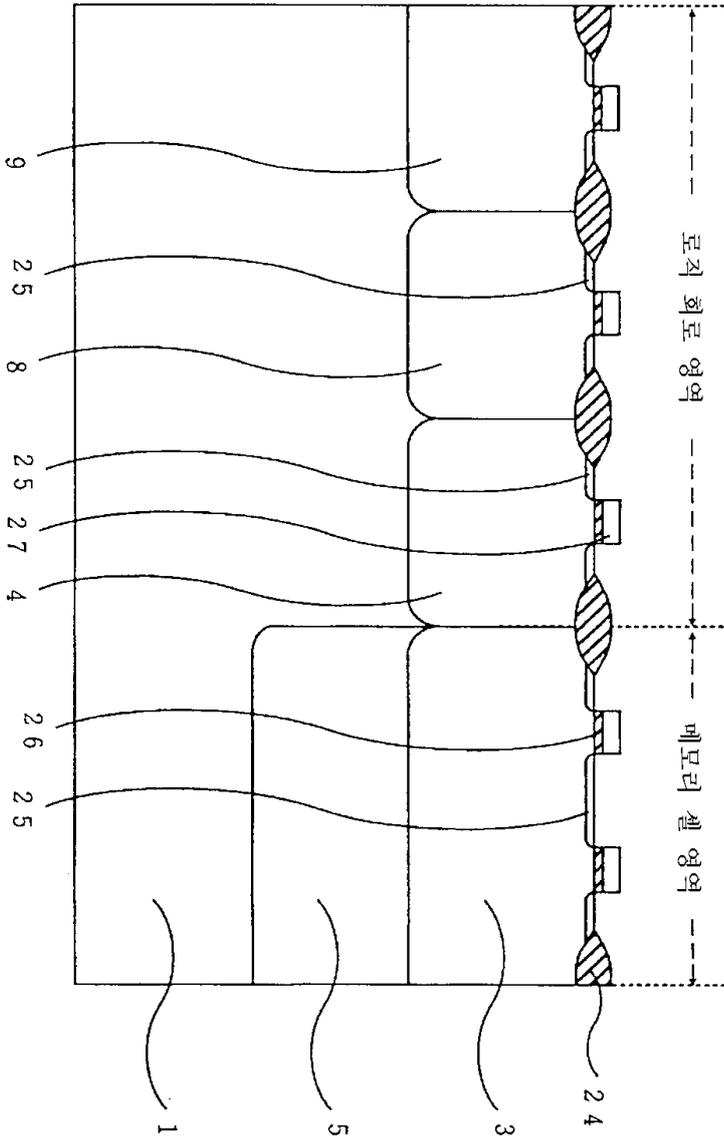
도면51



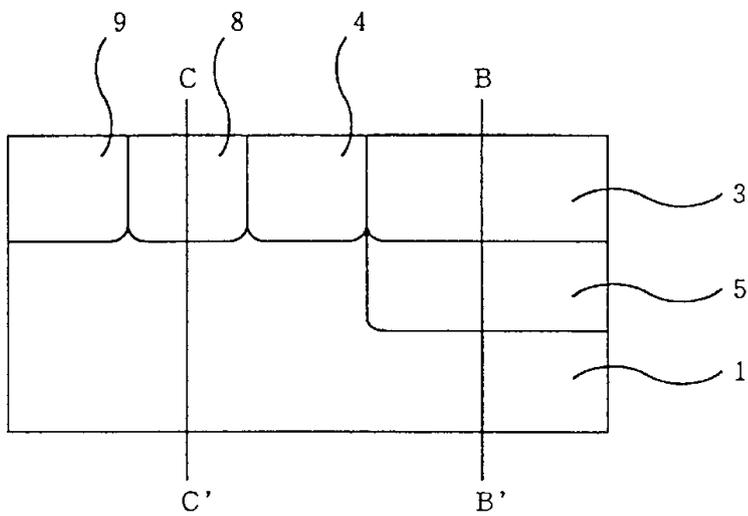
도면52



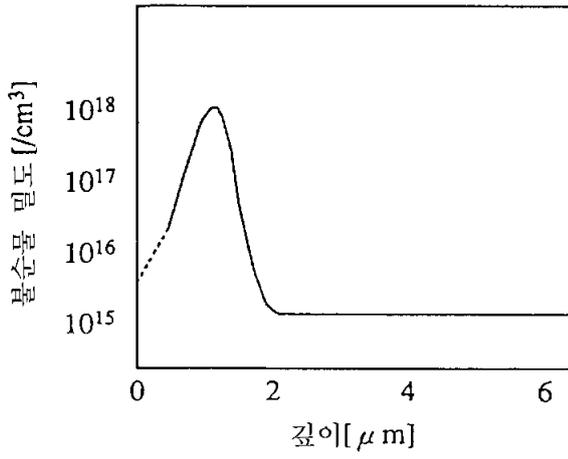
도면53



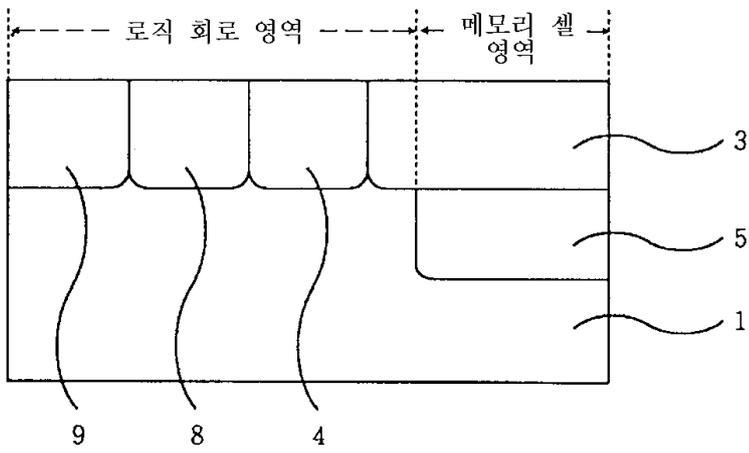
도면54



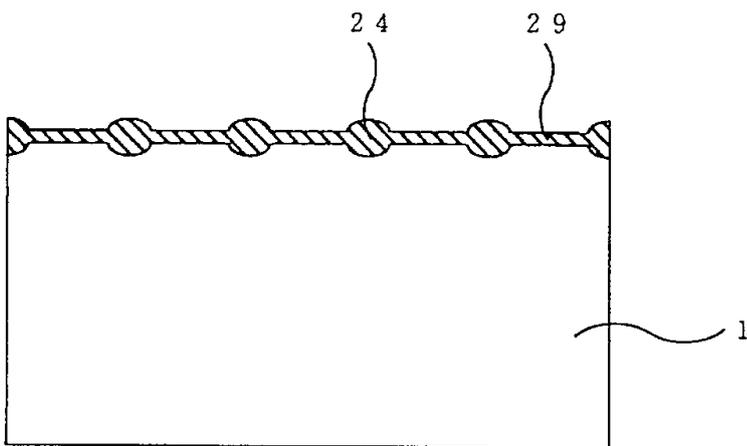
도면55



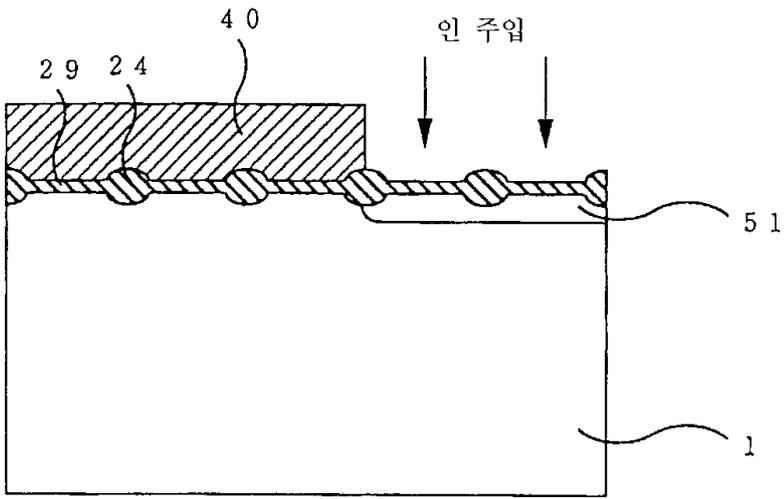
도면56



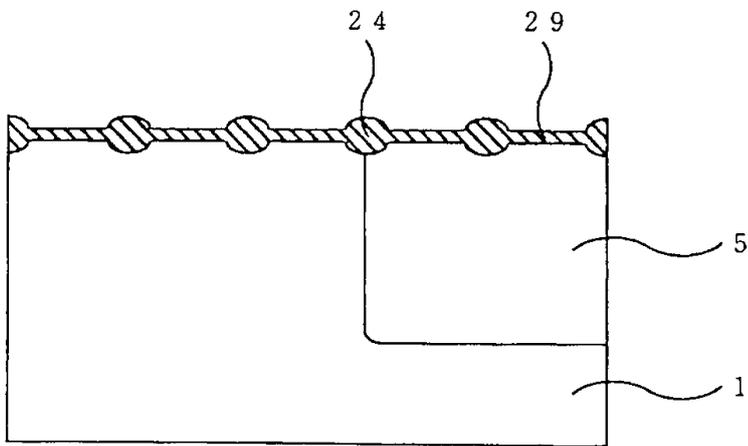
도면57



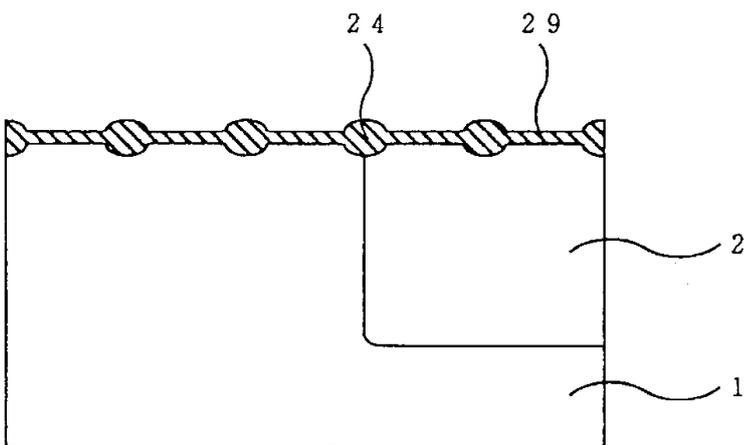
도면58



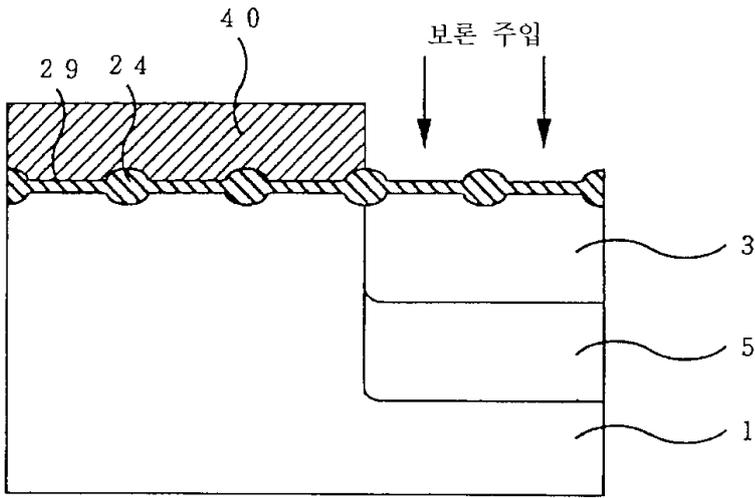
도면59



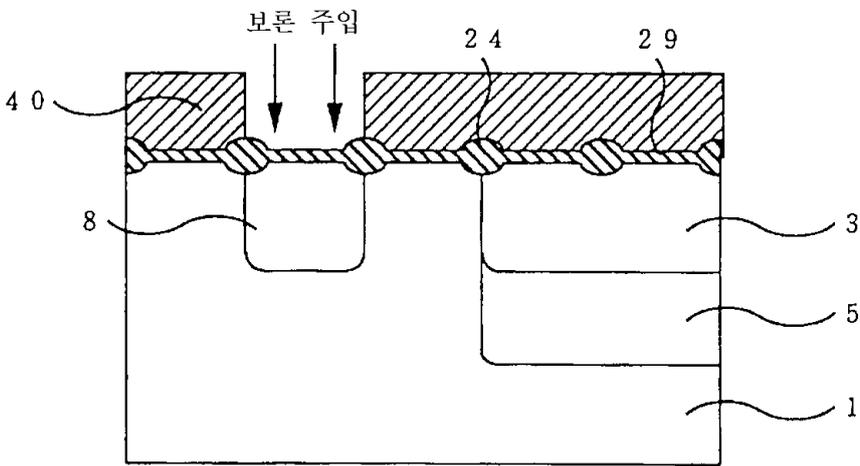
도면60



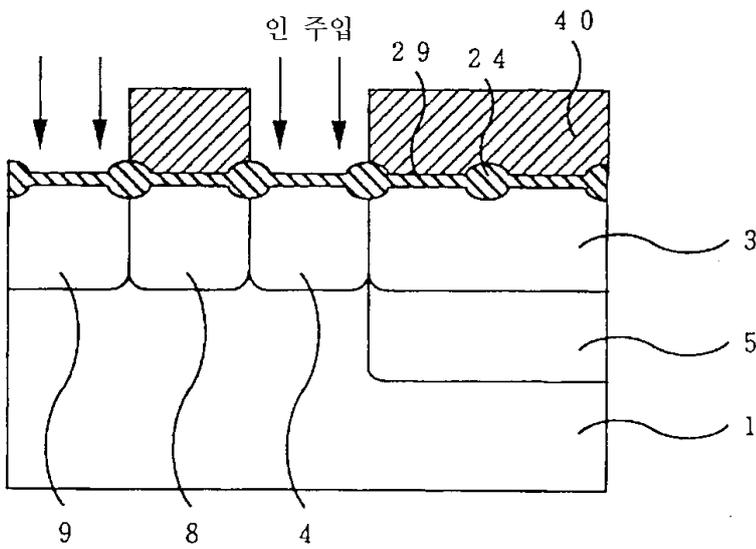
도면61



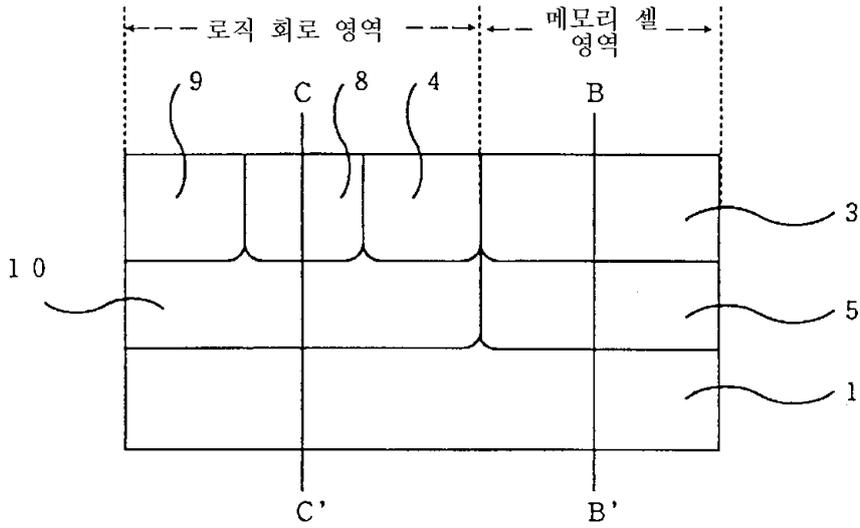
도면62



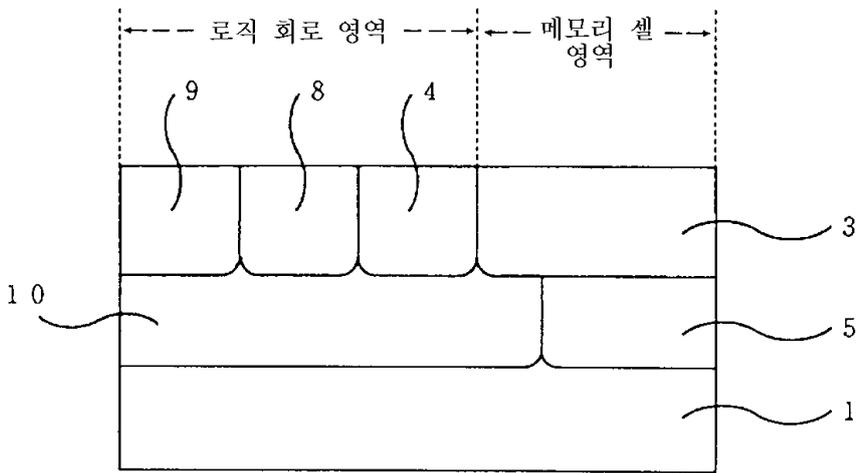
도면63



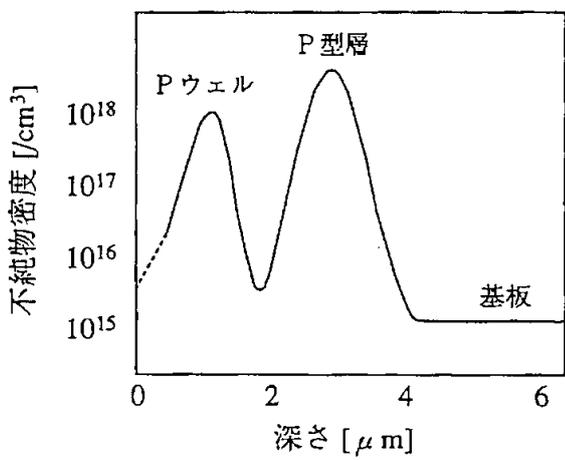
도면64



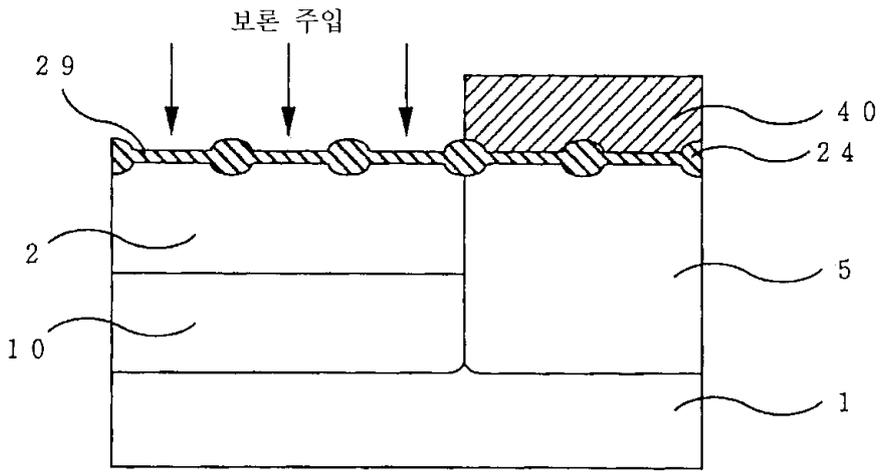
도면65



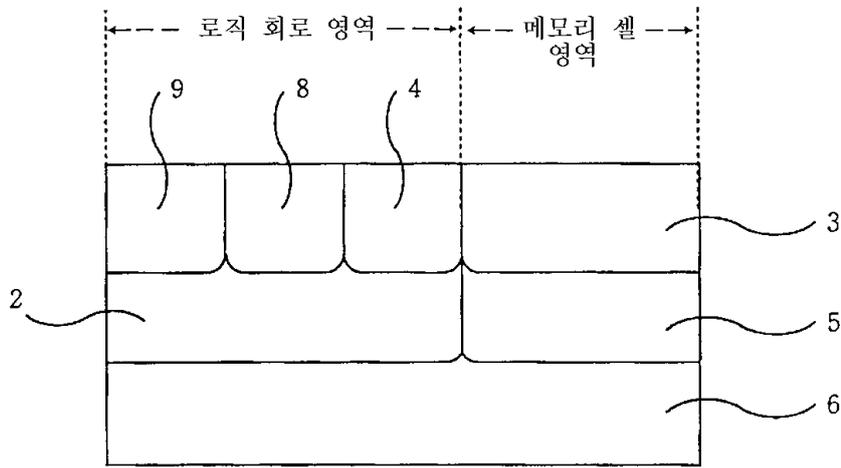
도면66



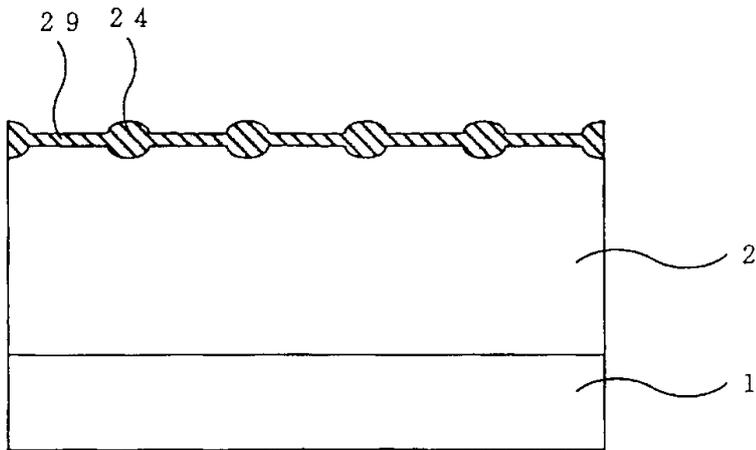
도면67



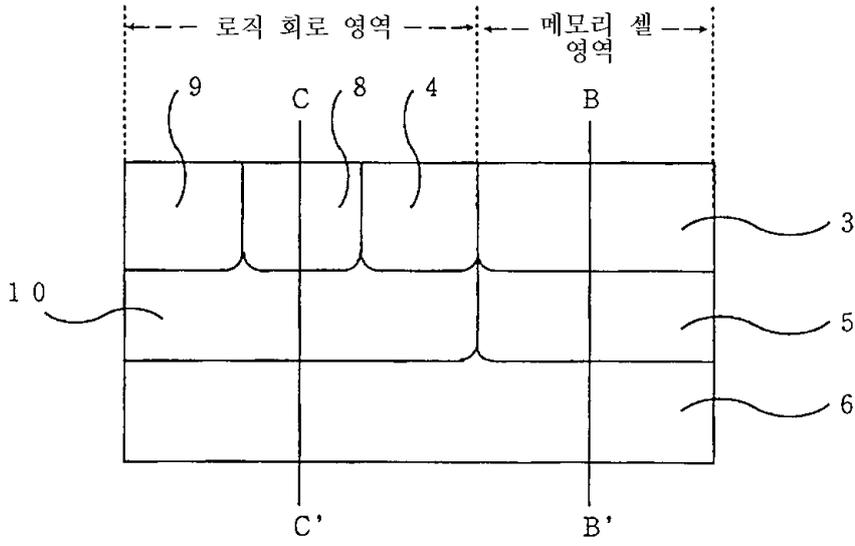
도면68



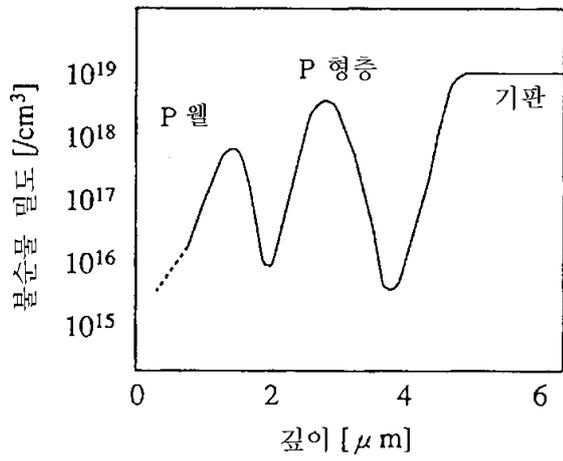
도면69



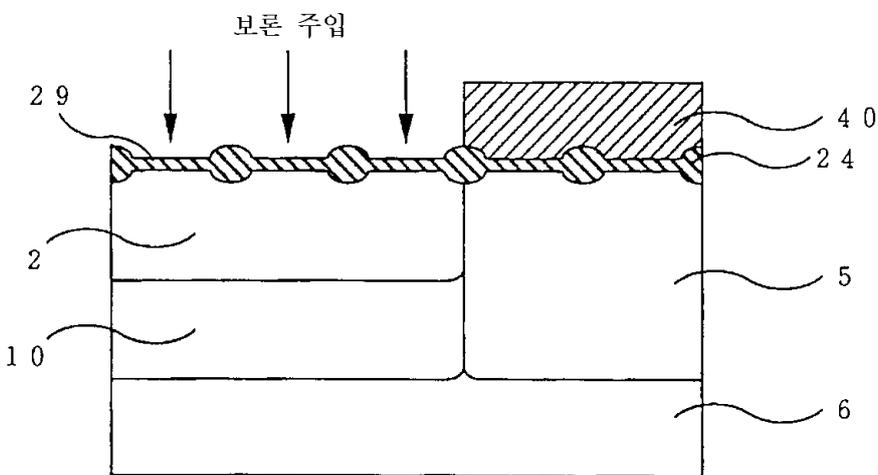
도면70



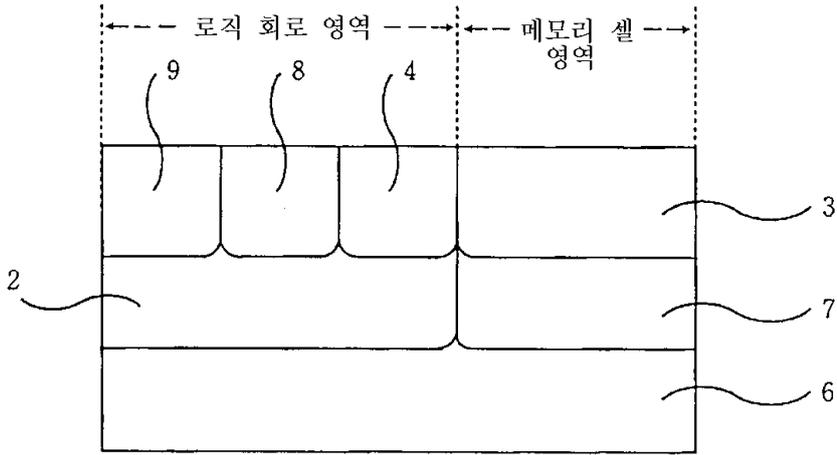
도면71



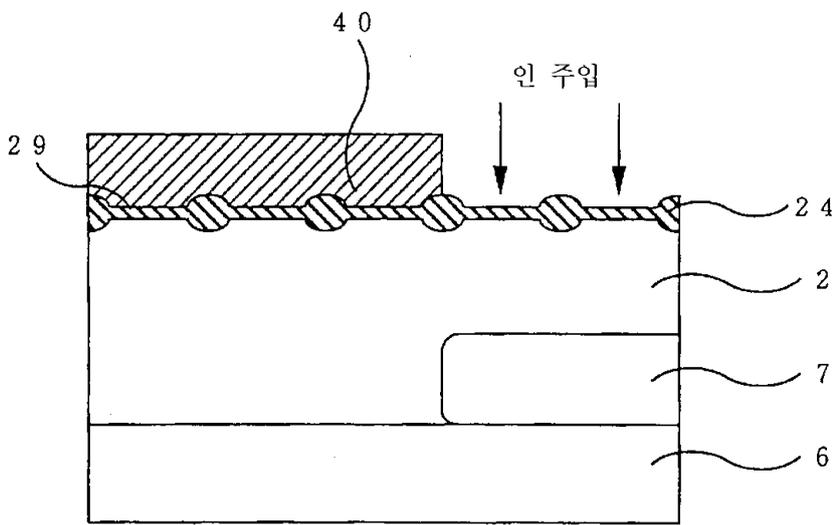
도면72



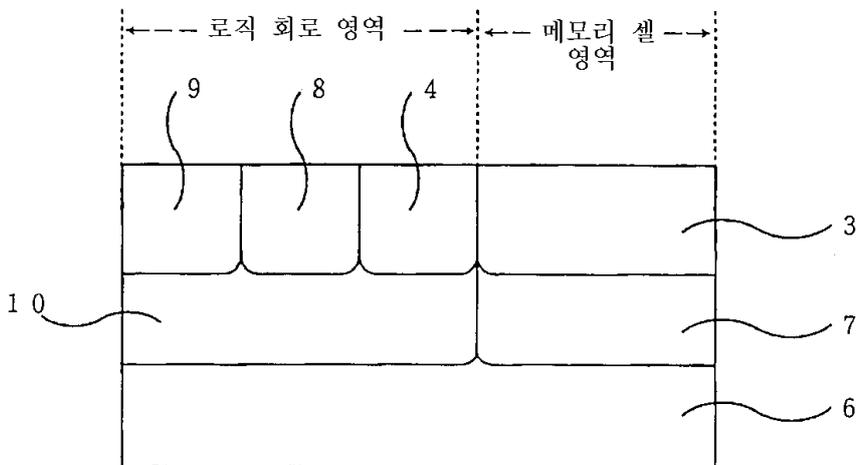
도면73



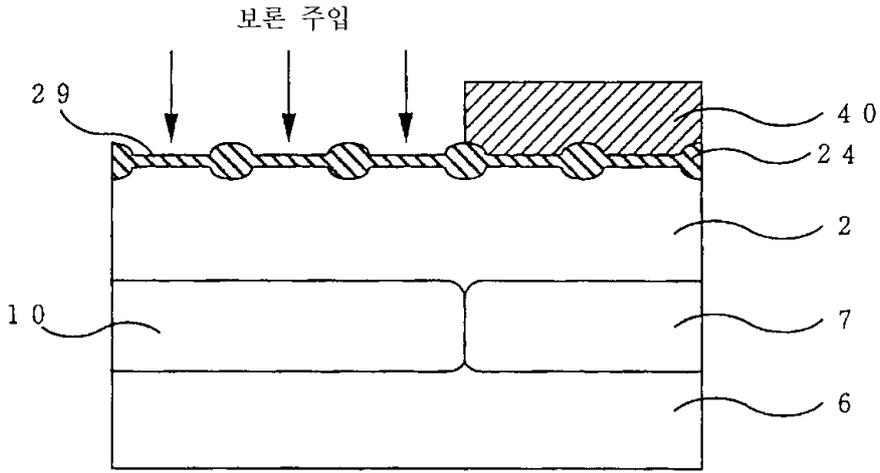
도면74



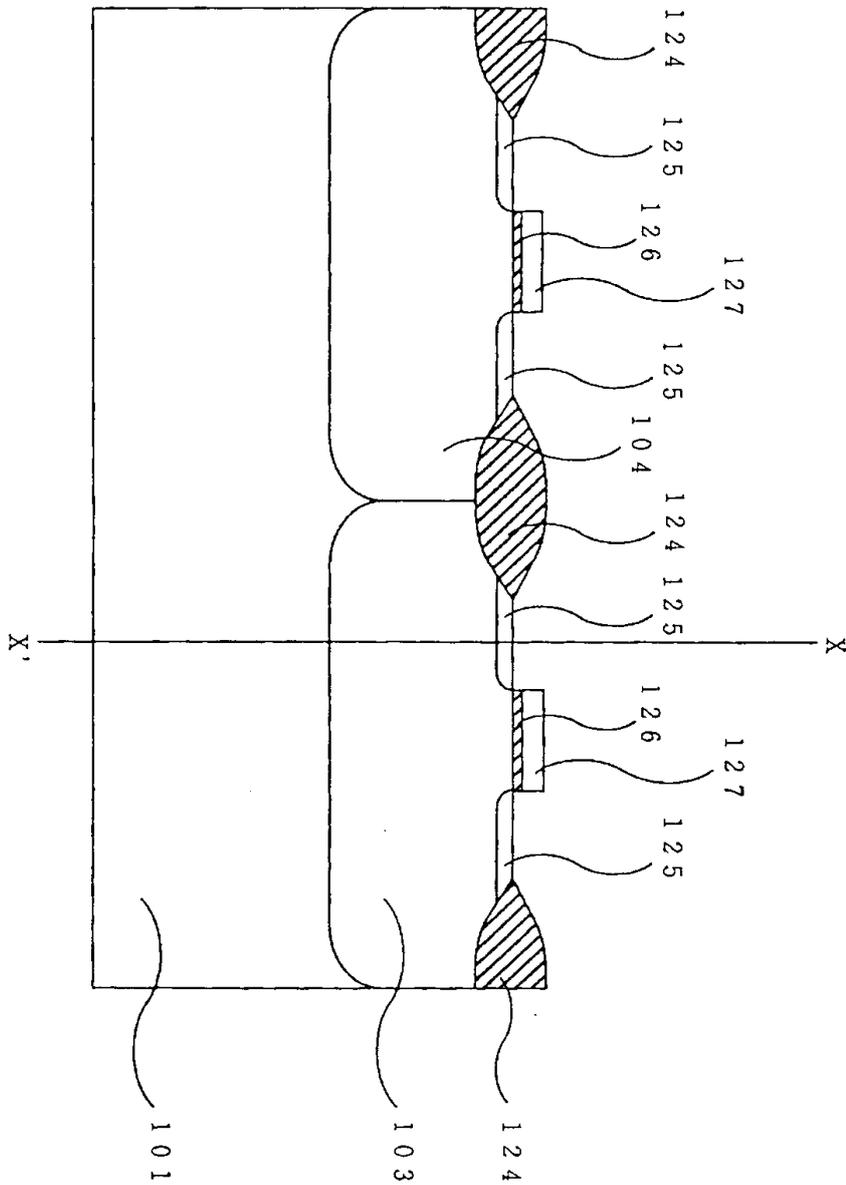
도면75



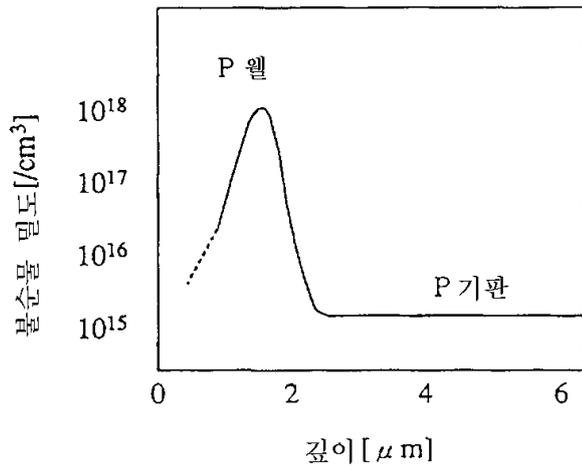
도면76



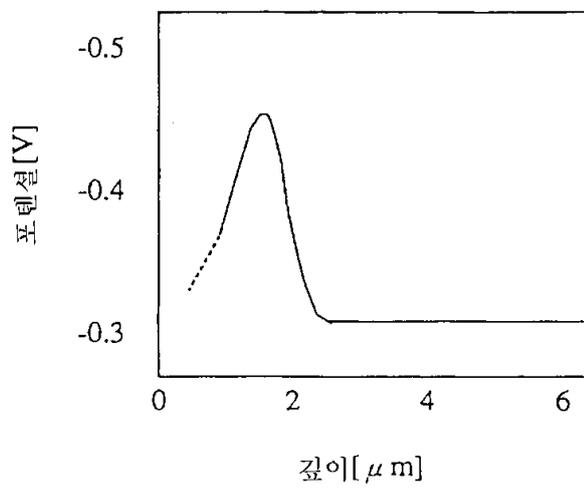
도면77



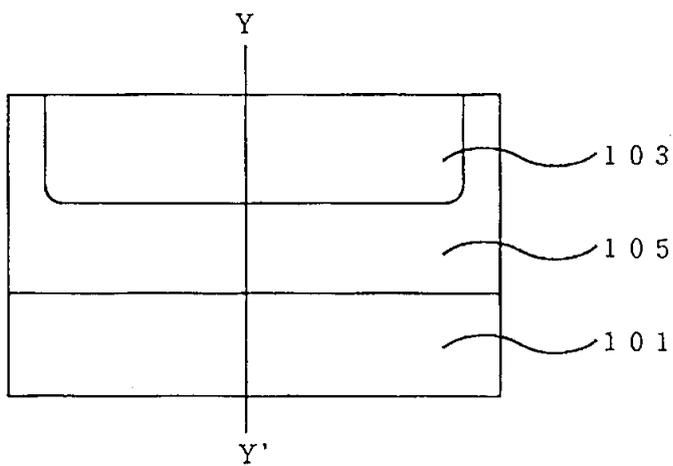
도면78



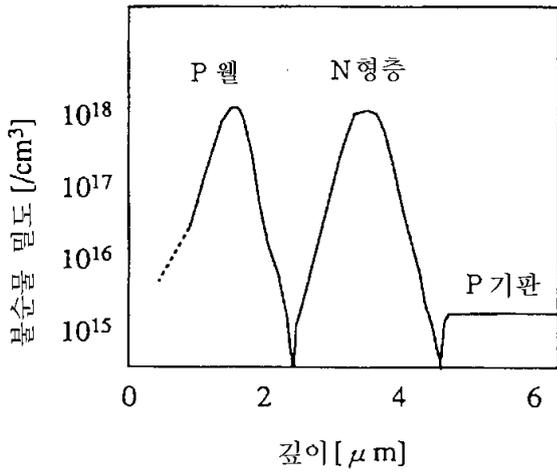
도면79



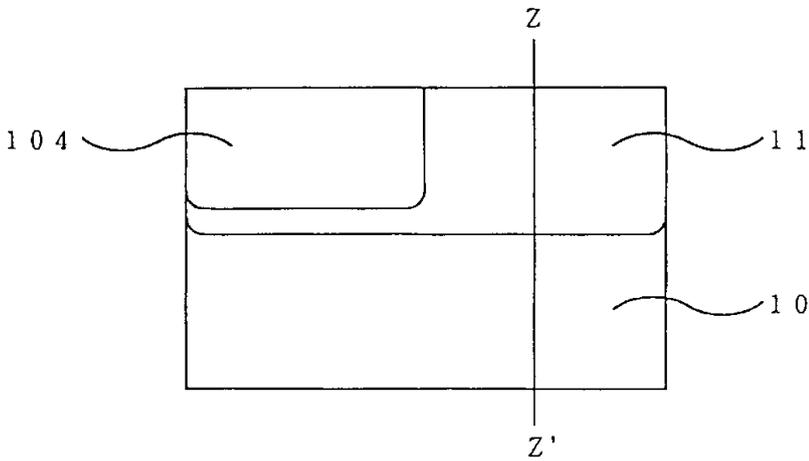
도면80



도면81



도면82



도면83

