



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I520284 B

(45)公告日：中華民國 105 (2016) 年 02 月 01 日

(21)申請案號：101136590

(22)申請日：中華民國 101 (2012) 年 10 月 03 日

(51)Int. Cl. : *H01L23/48 (2006.01)**H01L23/482 (2006.01)**H01L23/488 (2006.01)**H01L23/538 (2006.01)*

(30)優先權：2011/10/03 美國

61/542,553

2012/02/17 美國

61/600,483

2012/04/04 美國

13/439,228

(71)申請人：英帆薩斯公司 (美國) INVENSAS CORPORATION (US)

美國

(72)發明人：柯斯伯 理查 狄威特 CRISP, RICHARD DEWITT (US)；柔伊 華爾 ZOHNI,

WAEL (US)；哈芭 畢哥辛 HABA, BELGACEM (US)；藍布里奇 法蘭克

LAMBRECHT, FRANK (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 6894379B2

US 2009/0294938A1

審查人員：董柏昌

申請專利範圍項數：35 項 圖式數：29 共 123 頁

(54)名稱

在無引線接合至封裝基板之總成中使用複製信號端子組以最小化短線

STUB MINIMIZATION USING DUPLICATE SETS OF SIGNAL TERMINALS IN ASSEMBLIES
WITHOUT WIREBONDS TO PACKAGE SUBSTRATE

(57)摘要

本發明揭示一種微電子總成 200，其可包含：一電路面板 154；及第一微電子封裝 100A 及第二微電子封裝 100B，其安裝至該電路面板之各別第一表面 150 及第二表面 152。每一封裝 100 可包含：一微電子元件 101；一基板 102，其具有第一表面 108 及第二表面 110；及若干端子 104，其曝露於該第二表面處。該等端子 104 可具有複數個第一端子，包含其安置於一理論軸 132 之各別相對之第一側與第二側上之第一組 114 及第二組 124。該等第一端子 104 可經組態以攜載可由該封裝 100 內之電路使用以自該微電子元件 101 之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。該第一組 114 中之該等第一端子 104 之信號指派可係該第二組 124 中之該等第一端子之信號指派之一鏡像。

A microelectronic assembly 200 can include a circuit panel 154 and first and second microelectronic packages 100A, 100B mounted to respective first and second surfaces 150, 152 of the circuit panel. Each package 100 can include a microelectronic element 101, a substrate 102 having first and second surfaces 108, 110, and terminals 104 exposed at the second surface. The terminals 104 can have a plurality of first terminals including first and second sets 114, 124 thereof disposed on respective first and second opposite sides of a theoretical axis 132. The first terminals 104 can be configured to carry address information usable by circuitry within the package 100 to determine an addressable memory location from among all the available addressable memory locations of a memory storage array of the microelectronic element 101.

Signal assignments of the first terminals 104 in the first set 114 can be a mirror image of signal assignments of the first terminals in the second set 124.

指定代表圖：

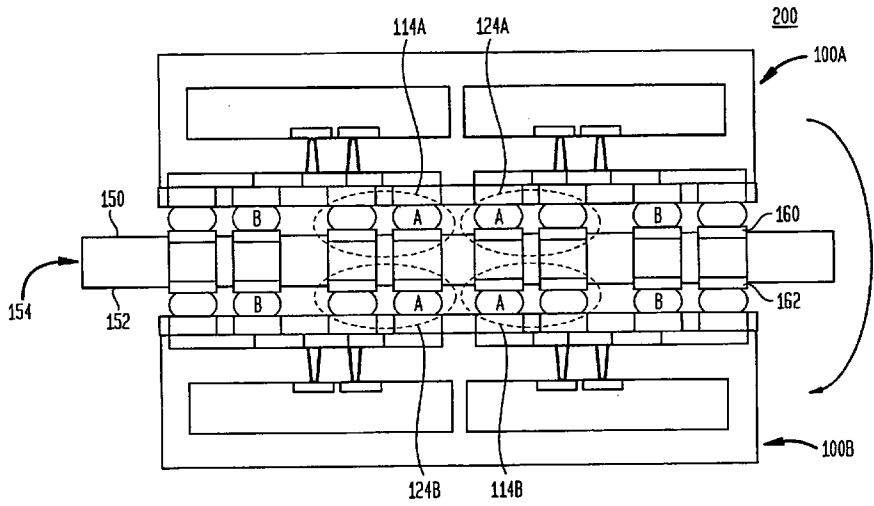


圖 8A

符號簡單說明：

- 100A . . . 第一微電子封裝/封裝/第一封裝
- 100B . . . 第二微電子封裝/封裝/第二封裝
- 114A . . . 第一柵格/柵格
- 114B . . . 第一柵格/柵格
- 124A . . . 第二柵格/柵格
- 124B . . . 第二柵格/柵格
- 150 . . . 第一表面
- 152 . . . 第二表面
- 154 . . . 電路面板
- 160 . . . 觸點
- 162 . . . 觸點
- 200 . . . 總成/微電子封裝/微電子總成
- A . . . 信號
- B . . . 信號

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 101136590

H01L 23/48 (2006.01)

※ 申請日： 101.10.3

※IPC 分類：H01L 23/482(2006.01)

一、發明名稱：(中文/英文)

H01L 23/488 (2006.01)

H01L 23/538 (2006.01)

在無引線接合至封裝基板之總成中使用複製信號端子組以最小化短線

STUB MINIMIZATION USING DUPLICATE SETS OF SIGNAL
TERMINALS IN ASSEMBLIES WITHOUT WIREBONDS TO
PACKAGE SUBSTRATE

二、中文發明摘要：

本發明揭示一種微電子總成200，其可包含：一電路面板154及第一微電子封裝100A及第二微電子封裝100B，其安裝至該電路面板之各別第一表面150及第二表面152。每一封裝100可包含：一微電子元件101；一基板102，其具有第一表面108及第二表面110；及若干端子104，其曝露於該第二表面處。該等端子104可具有複數個第一端子，包含其安置於一理論軸132之各別相對之第一側與第二側上之第一組114及第二組124。該等第一端子104可經組態以攜載可由該封裝100內之電路使用以自該微電子元件101之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。該第一組114中之該等第一端子104之信號指派可係該第二組124中之該等第一端子之信號指派之一鏡像。

三、英文發明摘要：

A microelectronic assembly 200 can include a circuit panel 154 and first and second microelectronic packages 100A, 100B mounted to respective first and second surfaces 150, 152 of the circuit panel. Each package 100 can include a microelectronic element 101, a substrate 102 having first and second surfaces 108, 110, and terminals 104 exposed at the second surface. The terminals 104 can have a plurality of first terminals including first and second sets 114, 124 thereof disposed on respective first and second opposite sides of a theoretical axis 132. The first terminals 104 can be configured to carry address information usable by circuitry within the package 100 to determine an addressable memory location from among all the available addressable memory locations of a memory storage array of the microelectronic element 101. Signal assignments of the first terminals 104 in the first set 114 can be a mirror image of signal assignments of the first terminals in the second set 124.

四、指定代表圖：

(一)本案指定代表圖為：第(8A)圖。

(二)本代表圖之元件符號簡單說明：

100A	第一微電子封裝/封裝/第一封裝
100B	第二微電子封裝/封裝/第二封裝
114A	第一柵格/柵格
114B	第一柵格/柵格
124A	第二柵格/柵格
124B	第二柵格/柵格
150	第一表面
152	第二表面
154	電路面板
160	觸點
162	觸點
200	總成/微電子封裝/微電子總成
A	信號
B	信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之標的物係關於微電子封裝及併入有微電子封裝之總成。

本申請案係2012年4月4日提出申請之美國專利申請案第13/439,228號之一接續案，其主張於2011年10月3日提出申請之第61/542,553號及於2012年2月17日提出申請之第61/600,483號美國臨時專利申請案之申請日期之權益，該等申請案之揭示內容皆藉此以引用方式併入本文中。

【先前技術】

半導體晶片通常提供為個別經預封裝單元。一標準晶片具有一扁平矩形主體，其中一大的前面具有連接至該晶片之內部電路之觸點。每一個別晶片通常含納於一封裝中，該封裝具有連接至該晶片之該等觸點之外部端子。該等端子(亦即，該封裝之外部連接點)繼而經組態以電連接至一電路面板，諸如一印刷電路板。在諸多習用設計中，晶片封裝佔用該電路面板之比晶片本身之面積顯著較大之一面積。如本發明中參考具有一前面之一扁平晶片所使用，應將「晶片之面積」理解為指代該前面之面積。

在「覆晶」設計中，晶片之前面與一封裝介電元件(亦即，封裝之基板)之面對立，且該晶片上之觸點藉由焊料凸塊或其他連接元件而直接接合至基板之該面上之觸點。繼而，該基板可透過上覆於該基板上之外部端子接合至一電路面板。該「覆晶」設計提供一相對緊湊之配置。某些

覆晶封裝通常稱為「晶片級封裝」，其中每一封裝佔用該電路面板之等於或稍微大於晶片之前面之面積之一面積，諸如(舉例而言)在共同讓與之美國專利第5,148,265、5,148,266及5,679,977號中之某些實施例中所揭示，該等美國專利之揭示內容皆以引用方式併入本文中。某些發明性安裝技術提供接近於或等同於習用覆晶接合之緊湊性的緊湊性。

大小在任何實體晶片配置中皆係一重要考量因素。對於更緊湊的實體晶片配置之需求已隨著可攜式電子裝置之迅速發展而變得甚至更強烈。僅以舉例方式，通常稱為「智慧電話」之裝置將一蜂巢式電話之功能與強大的資料處理器、記憶體及輔助裝置(諸如全球定位系統接收器、電子攝影機及區域網路連接)以及高解析度顯示器及相關聯影像處理晶片整合在一起。此等裝置可將諸如全網際網路連接性、包含全解析度視訊之娛樂、導航、電子銀行業務等等能力全部提供於一袖珍型裝置中。複雜的可攜式裝置要求將眾多晶片封裝至一小空間中。此外，該等晶片中之某些晶片具有通常稱為「I/O」之諸多輸入與輸出連接。此等I/O必須與其他晶片之I/O互連。形成該等互連之組件不應大大增加總成之大小。類似需要亦出現於其他應用中，如(舉例而言)在資料伺服器中，諸如用於網際網路搜尋引擎中之彼等資料伺服器，其中需要增加效能及減小大小。

含有記憶體儲存陣列之半導體晶片(特定而言，動態隨機存取記憶體晶片(DRAM)及快閃記憶體晶片)通常封裝於

單晶片或多晶片封裝及總成中。每一封裝具有用於在端子與其中的晶片之間攜載信號、電力及接地之諸多電連接。該等電連接可包含不同種類之導體，諸如相對於一晶片之一觸點承載表面沿一水平方向延伸之水平導體(例如，跡線、樑式導線等等)、相對於晶片之該表面沿一垂直方向延伸之垂直導體(諸如導通體)及相對於晶片之該表面沿水平方向及垂直方向兩者延伸之引線接合。

習用微電子封裝可併入有經組態以主要提供記憶體儲存陣列功能之一微電子元件，亦即，體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置之一微電子元件。該微電子元件可係一DRAM晶片或此等半導體晶片之一經堆疊電互連總成，或包含一DRAM晶片或此等半導體晶片之一經堆疊電互連總成。通常，此封裝之所有端子放置成毗鄰於該微電子元件安裝至之一封裝基板之一或多個周邊邊緣之若干行組。

舉例而言，在圖1中所見之一個習用微電子封裝12中，可毗鄰封裝基板20之一第一周邊邊緣16安置三個端子行14，且可毗鄰封裝基板20之一第二周邊邊緣22安置三個其他端子行18。該習用封裝中之封裝基板20之一中心區24不具有任何端子行。圖1進一步展示該封裝內之一半導體晶片11，在其一面28上具有元件觸點26，元件觸點26透過延伸穿過封裝基板20之中心區24中之一孔隙(例如，接合窗口)之引線接合30而與封裝12之端子行14、18電互連。在某些情形中，一黏合層32可安置於微電子元件11之面28與

基板20之間以強化微電子元件與基板之間的機械連接，其中該等引線接合延伸穿過黏合層32中之一開口。

鑒於上文，可在微電子封裝上之端子之定位方面做出某些改良以便改良電效能，尤其是在包含此等封裝及此等封裝可安裝至其且彼此電互連之一電路面板之總成中。

【發明內容】

根據本發明之一態樣，一種微電子總成可包含：一電路面板，其具有對置之第一表面與第二表面以及分別曝露於該等第一及第二表面處之第一及第二面板觸點；及第一及第二微電子封裝，其各自具有安裝至該等各別面板觸點之端子。每一微電子封裝可包含：一微電子元件，其具有一面及曝露於該面處之複數個元件觸點；一基板，其具有對置之第一表面與第二表面；及複數個端子，其曝露於該第二表面處、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件。該微電子元件可具有儲存陣列功能。

該基板可具有曝露於該第一表面處、面向且結合至該微電子元件之該等元件觸點之一組基板觸點。該等端子可與該等基板觸點電連接且可包含複數個第一端子。該等第一端子可包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組。該等第一及第二組中之每一者可經組態以攜載可由該微電子封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。該第一組中之該等第一端子之信號

指派可係該第二組中之該等第一端子之信號指派之一鏡像。

在一項實例中，每一微電子封裝之微電子元件可體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。在一特定實施例中，每一微電子封裝之該等第一及第二組中之每一者之第一端子可經組態以攜載可由該各別微電子封裝內之該電路使用以判定該可定址記憶體位置之該位址資訊全部。在一項實例中，每一微電子封裝之該等第一及第二組中之每一者之該等第一端子可經組態以攜載控制各別微電子封裝之微電子元件之一操作模式之資訊。在一例示性實施例中，每一微電子封裝之該等第一及第二組中之每一者之該等第一端子可經組態以攜載傳送至該各別微電子封裝之命令信號全部，該等命令信號係寫入啟用、列位址選通及行位址選通信號。

在一項實施例中，每一微電子封裝之該等第一及第二組中之每一者之該等第一端子可經組態以攜載傳送至該各別微電子封裝之時脈信號，該等時脈信號係用於取樣攜載該位址資訊之信號之時脈。在一特定實例中，每一微電子封裝之該等第一及第二組中之每一者之該等第一端子可經組態以攜載傳送至該各別微電子封裝之記憶體庫位址信號全部。在一例示性實施例中，每一微電子封裝之該等第一及第二組之該等第一端子可安置於每一微電子封裝之各別第一及第二柵格內之位置處。第一封裝之第二柵格中之第一端子可穿過該電路面板連接至第二封裝之第一柵格中之第

一端子。該第一封裝之該第二柵格之該等第一端子可沿平行於第一及第二電路面板表面之正交之x方向與y方向在一個球節距內對準其連接至之第二封裝上之第一柵格之對應第一端子。

在一特定實例中，該等柵格可沿正交之x方向與y方向彼此對準以使得柵格之端子彼此重合。在一項實施例中，每一柵格之每一位置可由該等端子中之一者佔用。在一例示性實施例中，該等柵格中之至少一者之至少一個位置可不由一端子佔用。在一特定實施例中，該等第一及第二封裝之該等柵格之位置之至少一半可沿平行於電路面板之第一表面之正交之x方向與y方向彼此對準。在一項實例中，該等第一及第二微電子封裝之該等柵格可在功能上及機械上相匹配。在一特定實例中，該第一微電子封裝之該等第一端子中之一者與該第二微電子封裝之該等第一端子中之一對應者之間的電連接中之至少一者之一短線之一長度可小於該等微電子封裝中之每一者之該等第一端子之一最小節距之七倍。

在一例示性實施例中，穿過電路面板在該等第一及第二微電子封裝之該等第一端子之間的電連接中之至少某些電連接可具有大約該電路面板之一厚度之一電長度。在一項實例中，連接曝露於該電路面板之該等第一及第二表面處之每一對經電耦合之第一及第二面板觸點之傳導元件之總組合長度可小於該等面板觸點之一最小節距之七倍。在一特定實施例中，該電路面板可包含具有經組態以攜載傳送

至該等微電子封裝中之每一者之該位址資訊全部之複數個導體之一匯流排。該等導體可沿平行於該等第一及第二表面之一第一方向延伸。

在一項實例中，每一微電子封裝之第一端子之第一及第二柵格中之每一者可具有一單個行。該電路面板可包含用於在該等微電子封裝中之一或多者之端子電連接之該電路面板上之各別連接部位之間路由該位址資訊之不多於一個路由層。在一特定實施例中，每一微電子封裝之第一端子之第一及第二柵格中之每一者可具有兩個平行行。該電路面板可包含用於在該等微電子封裝中之一或多者之端子電連接之該電路面板上之各別連接部位之間路由該位址資訊之不多於兩個路由層。

在一特定實施例中，可存在用於在該等微電子封裝中之一或多者之端子電連接之該電路面板上之各別連接部位之間路由該位址資訊之不多於一個路由層。在一項實施例中，每一微電子封裝可包含電連接至該各別微電子封裝中之各別端子中之至少某些端子及該微電子元件之一半導體元件。每一半導體元件可經組態以執行下列各項中之至少一者：重新產生或至少部分地解碼在該各別微電子封裝之該等端子中之一或多者處接收之位址資訊或命令資訊中之至少一者供傳送至該微電子元件。

在一例示性實施例中，每一微電子封裝之微電子元件可係一第一微電子元件，且每一基板之該組基板觸點可係一第一組基板觸點。每一微電子封裝亦可包含具有一面及曝

露於該面處之複數個元件觸點之一第二微電子元件。該第二微電子元件可具有記憶體儲存陣列功能。

每一基板可具有曝露於該第一表面處、面向且結合至各別第二微電子元件之該等元件觸點之一第二組基板觸點。該各別微電子封裝之該等端子可與第二組基板觸點電連接。每一微電子封裝之該等第一及第二組中之每一者之該等第一端子可經組態以攜載可由該各別微電子封裝內之電路使用以自該各別微電子封裝之該等第一及第二微電子元件中之至少一者之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。在一項實例中，該電路面板可包含具有小於每攝氏度百萬分之（「ppm/°C」）12之一熱膨脹係數（「CTE」）之一元件。曝露於該等第一及第二表面處之該等面板觸點可藉由延伸穿過該元件之導通體而連接。在一特定實施例中，該元件可基本上由半導體、玻璃、陶瓷或液晶聚合物材料組成。

根據本發明之另一態樣，一種系統可包含如上文所闡述之一微電子總成及電連接至該微電子總成之一或多個其他電子組件。在一特定實例中，該系統亦可包含一殼體，該微電子總成及該一或多個其他電子組件係與該殼體一起裝配。在一項實施例中，該微電子總成可係一第一微電子總成，該系統亦包含如上文所闡述之一第二微電子總成。根據本發明之又一態樣，一種模組可包含如上文所闡述之複數個微電子總成，每一微電子總成安裝至一第二電路面板且與該第二電路面板電連接以用於往來於每一微電子總成

輸送信號。

根據本發明之又一態樣，一種微電子總成可包含：一電路面板，其具有對置之第一表面與第二表面以及分別在該等第一及第二表面處之第一及第二面板觸點；及第一及第二微電子封裝，其各自具有安裝至該等各別面板觸點之端子。每一微電子封裝可包含：一微電子元件，其具有一面及在該面上之複數個元件觸點；一基板，其具有對置之第一表面與第二表面；及複數個端子，其在該第二表面上、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件。該微電子元件可體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。該基板可具有在該第一表面上、面向且結合至該微電子元件之元件觸點之一組基板觸點。

該等端子可與該等基板觸點電連接且可包含配置於平行之第一柵格與第二柵格內之位置處之第一端子。該等第一及第二柵格中之每一者之該等第一端子可經組態以攜載可由該微電子封裝內之電路使用以自該微電子元件內之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊之大部分。該第一柵格中之該等第一端子之信號指派可係該第二柵格中之該等第一端子之信號指派之一鏡像。在一項實施例中，每一微電子封裝之該等第一及第二柵格中之每一者之該等第一端子可經組態以攜載可由該各別微電子封裝內之該電路使用以判定該可定址記憶體位置之該位址資訊之至少四分之三。

根據本發明之另一態樣，一種微電子總成可包含：一電路面板，其具有對置之第一表面與第二表面以及分別曝露於該等第一及第二表面處之第一及第二面板觸點；及第一及第二微電子封裝，其各自具有安裝至該等各別面板觸點之端子。每一微電子封裝可包含：一微電子元件，其具有一面及曝露於該面處之複數個元件觸點；一基板，其具有對置之第一表面與第二表面；及複數個端子，其曝露於該第二表面處、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件。該微電子元件可具有記憶體儲存陣列功能。

該基板可具有曝露於該第一表面處、面向且結合至該微電子元件之該等元件觸點之一組基板觸點。該等端子可與該等基板觸點電連接且可包含複數個第一端子。該等第一端子可包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組。該第一組第一端子可安置成一第一個別行且該第二組第一端子可安置成一第二個別行。該等第一及第二行中之每一者之該等第一端子可經組態以攜載可由該微電子封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。該第一行中之該等第一端子之信號指派可相對於該第二行中之該等第一端子之信號指派關於在該第一行與該第二行之間延伸之一理論軸對稱。在一項實例中，每一微電子封裝之微電子元件可體現用以提供記憶體儲存陣

列功能而非任何其他功能之較大數目個主動裝置。

【實施方式】

鑒於相對於圖1闡述之說明性習用微電子封裝12，本發明人已認識到可進行之改良，該等改良可幫助改良併入有一記憶體儲存陣列晶片之一微電子封裝以及併入有此微電子封裝之一微電子總成之電效能。

可尤其針對當提供於諸如圖2至圖4中所展示之一總成中時之一微電子封裝之使用來進行改良，在該總成中一封裝12A安裝至一電路面板之一表面，而另一類似封裝12B與封裝12A相對地安裝於該電路面板之一相對表面上。封裝12A、12B通常在功能上及機械上彼此等效。其他在功能上及機械上等效之封裝對12C與12D及12E與12F通常亦安裝至同一電路面板34。電路面板及裝配至其之封裝可形成通常稱為一雙列直插式記憶體模組(「DIMM」)之一總成之一部分。每一對相對安裝之封裝(例如，封裝12A、12B)中之封裝連接至電路面板之相對表面上之觸點，以使得每一對中之封裝通常彼此疊加達其各別面積之90%以上。電路面板34內之局域配線將每一封裝上之端子(例如，標識為「1」及「5」之端子)連接至電路面板上之全域配線。全域配線包含用於將某些信號傳導至電路面板34上之連接部位(諸如部位I、II及III)之一匯流排36之信號導體。舉例而言，封裝12A、12B藉由耦合至一連接部位I之局域配線而電連接至匯流排36，封裝12C、12D藉由耦合至連接部位II之局域配線而電連接至該匯流排，且封裝12E、12F藉

由耦合至連接部位III之局域配線而電連接至該匯流排。

電路面板34使用顯現為類似於一個十字形或「鞋帶」圖案之局域互連配線來電互連各別封裝12A、12B之端子，其中接近封裝12A之一個邊緣16之一端子(標識為「1」)穿過電路面板34連接至接近封裝12B之同一邊緣16之封裝12B之一端子(標識為「1」)。然而，封裝12B之邊緣16在裝配至電路面板34時遠離封裝12A之邊緣16。圖2至圖4進一步展示：接近封裝12A之一邊緣22之一端子(標識為「5」)穿過電路面板34連接至接近封裝12B之同一邊緣22之封裝12B之一端子(標識為「5」)。在總成38中，封裝12A之邊緣22遠離封裝12B之邊緣22。

穿過電路面板在每一封裝(例如，封裝12A)上之端子至與其相對地安裝之封裝(亦即，封裝12B)上之對應端子之間的連接係相當長。如圖3中進一步所見，在類似微電子封裝12A、12B之此總成中，當欲將來自匯流排36之同一信號傳輸至每一封裝時，電路面板34可電互連該匯流排之一信號導體與封裝12A之端子(標記為「1」)以及封裝12B之對應端子(標記為「1」)。類似地，電路面板34可電互連匯流排36之另一信號導體與封裝12A之端子(標記為「2」)以及封裝12B之對應端子(標記為「2」)。同一連接配置亦可適用於匯流排之其他信號導體與每一封裝之對應端子。

電路面板34上之匯流排36與各別對封裝中之每一封裝(例如，封裝12A、12B (圖2))之間的在該板之一連接部位I處之局域配線可呈未經端接短線之形式。在某些情形中，

此局域配線在相對長時可影響總成38之效能，如下文所論述。此外，電路面板34亦要求局域配線將其他封裝(成對之封裝12C及12D，以及成對之封裝12E及12F)之某些端子電互連至匯流排36之全域配線，且此配線亦可以相同方式影響總成之效能。

圖4進一步圖解說明在微電子封裝12A、12B之經指派以攜載信號之各別對端子「1」、「2」、「3」、「4」、「5」、「6」、「7」及「8」之間的互連。如圖4中所見，所有端子行14、18分別接近每一封裝12A、12B之邊緣16、22曝露，而非在該基板之表面之一中心區24中，因此沿橫向於其中端子行14、18延伸之方向42之一方向40遍歷電路面板34所需之配線可相當長。鑒於一DRAM晶片之長度可在每一側上介於十毫米之範圍內，因此對於某些信號而言用以將同一信號路由至兩個相對安裝之封裝12A、12B之對應端子所要求之在圖2至圖4中所見之一總成38中之一電路面板34中之局域配線之長度可介於五毫米與十毫米之間的範圍內，且通常可係約七毫米。

在某些情形中，一電路面板上之相對長的未經端接配線(其連接一封裝之端子)可不嚴重地影響總成38之電效能。然而，本發明人已認識到，當將一信號自電路面板之一匯流排36傳送至連接至如圖2中所展示之電路面板之多對封裝中之每一對時，每一封裝上之自匯流排36延伸至連接至其之端子之短線(亦即，局域配線)之電長度潛在地影響總成38之效能。未經端接短線上之信號反射可沿相反方向自

每一封裝之所連接端子往回穿行至匯流排36上，且因此使自匯流排36傳送至封裝之信號降級。對於含有當前製造之微電子元件之某些封裝而言，此影響可係可容忍的。然而，本發明人已認識到，在以增加之信號切換頻率、低電壓搖擺信號或此兩者來操作之當今或未來總成中，影響可變得嚴重。對於此等總成而言，一所傳輸信號之穩定時間、振鈴、抖動或符號間干擾可增加至一不可接受之程度。

本發明人進一步認識到，未經端接短線之電長度通常長於連接電路面板上之匯流排36與安裝至其之封裝之端子之局域配線。每一封裝內之自封裝端子至其中之半導體晶片之未經端接配線增加短線之長度。

在一特定實例中，匯流排36係具有一主要記憶體儲存陣列功能之一總成(諸如一DIMM)之一命令-位址匯流排。命令-位址匯流排36可經組態以攜載傳送至微電子封裝之可由封裝內之電路(例如，列位址及行位址解碼器及記憶體庫選擇電路，若存在)使用以自該等封裝中之一微電子元件內之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。命令-位址匯流排36可經組態以將上文所提及位址資訊攜載至連接部位，例如圖2中所展示之部位I、II及III。此等上文所提及位址資訊然後可由局域配線分配至電路面板之相對表面上之封裝12A、12B、12C、12D、12E及12F連接至之各別組面板觸點。

在一特定實例中，當微電子元件係或包含一DRAM晶片時，命令-位址匯流排36可經組態以攜載微電子元件之一命令-位址匯流排之一群組信號全部(亦即，命令信號、位址信號、記憶體庫位址信號及時脈信號)，該等信號係傳送至該等微電子封裝，其中該等命令信號包含寫入啟用、列位址選通及行位址選通信號，且該等時脈信號係用於取樣該等位址信號之時脈。儘管該等時脈信號可係為各種類型，但在一項實施例中，由此等端子攜載之時脈信號可係接收為差動時脈信號或真實時脈信號與互補時脈信號之一或多個差動時脈信號對。

相應地，本文所闡述之本發明某些實施例提供一種微電子封裝，該微電子封裝經組態以准許當將第一及第二此等封裝彼此相對地安裝於一電路面板(例如，一電路板、模組板或卡或撓性電路面板)之相對表面上時減小短線之長度。併入有彼此相對地安裝於一電路面板上之第一及第二微電子封裝之總成可在各別封裝之間具有顯著減小之短線長度。減小此等總成內之短線長度可改良電效能，諸如藉由減少穩定時間、振鈴、抖動或符號間干擾以及其他中之一或多者。此外，亦可能獲得其他益處，諸如簡化電路面板之結構，或減少設計或製造電路面板或者針對設計與製造電路面板兩者之複雜度及成本。

本發明之某些實施例提供其中一微電子元件(例如，一半導體晶片或半導體晶片之經堆疊配置)經組態以主要提供一記憶體儲存陣列功能之一封裝或微電子總成。在此微

電子元件中，經組態(亦即，經構造及與其他裝置互連)以提供記憶體儲存陣列功能之主動裝置(例如，其中之電晶體)之數目大於經組態以提供任何其他功能之主動裝置之數目。因此，在一項實例中，諸如一DRAM晶片之一微電子元件可將記憶體儲存陣列功能作為其主要或唯一功能。另一選擇係，在另一實例中，此微電子元件可具有混合用途且可併入有經組態以提供記憶體儲存陣列功能之主動裝置，且亦可併入有經組態以提供另一功能(諸如處理器功能，或者信號處理器或者圖形處理器功能，以及其他)之其他主動裝置。在此情形中，微電子元件仍可具有經組態以提供微電子元件之記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。

該等微電子元件具有若干面，在該等面上具有複數個元件觸點行。在某些實施例中，該等微電子元件各自覆晶安裝至基板，以使得第一及第二微電子元件之元件觸點面向一基板之一第一表面上之各別第一及第二組基板觸點且結合至該等基板觸點。在其他實施例中，一微電子元件可包含毗鄰該基板且電連接至其之一第一半導體晶片，以及上覆於該第一半導體晶片上且與該第一半導體晶片電連接之一或多個第二半導體晶片，該一或多個第二半導體晶片經組態以主要提供記憶體儲存陣列功能。

在該基板之第二表面上可提供經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件之複數個端子。與基板觸點電連接之端子包含配置於平行之第一柵格與第二

柵格內之位置處之第一端子。

在本發明之某些實施例中，第一及第二柵格經組態以攜載微電子元件之一命令-位址匯流排之一群組信號全部；亦即命令信號、位址信號、記憶體庫位址信號及時脈信號，該等信號係傳送至該微電子封裝，其中該等命令信號包含寫入啟用、列位址選通及行位址選通信號，且該等時脈信號係用於取樣該等位址信號之時脈。儘管該等時脈信號可係為各種類型，但在一項實施例中，由此等端子攜載之時脈信號可係接收為差動時脈信號或真實時脈信號與互補時脈信號之一或多個差動時脈信號對。

在一電路面板(例如，一印刷電路板、模組卡等等)上，命令-位址匯流排之此等上文所提及信號(亦即，命令信號、位址信號、記憶體庫位址信號及時脈信號)可用匯流排傳送至並聯連接至其之多個微電子封裝。在平行之第一柵格與第二柵格中提供第一端子複製組(其中一個柵格中之信號指派係另一柵格中之信號指派之一鏡像)可減小彼此相對地安裝至一電路面板之第一及第二微電子封裝之一總成中之短線長度。

當第一及第二微電子封裝安裝至一電路面板之相對安裝表面(其中該電路面板電互連該等封裝)時，第一封裝之第一柵格之第一端子中之每一者可在一個球節距之一距離內對準其連接至之第二封裝之第二鏡像柵格之對應第一端子，亦即對應柵格可沿平行於電路面板之安裝表面中之一者之正交之x方向與y方向而在一個球節距之一距離內彼此

對準，該球節距不大於任一封裝上之端子之任何兩個毗鄰平行行之間的一最小節距。另外，第二封裝之第一柵格中之第一端子中之每一者可在一個球節距內如此對準其連接至之第一封裝之第二鏡像柵格中之對應第一端子。結果，第一封裝之每一第一端子可與第二封裝之一對應第一端子電連接，其中相對電路面板表面上之每一對端子之安裝位置沿平行於電路面板之表面中之一者之正交之x方向與y方向在一個球節距內彼此對準。

在某些情形中，相對電路面板表面上之每一對經連接端子之安裝位置可甚至彼此重合。相應地，穿過電路面板在第一及第二封裝之若干對經電連接第一端子之間的電連接之長度可顯著減小，此乃因此等對經電連接第一端子中之每一者中之端子可彼此疊加或沿著第一電路面板表面沿正交之x方向與y方向在一個球節距內彼此對準。

該電路面板構造亦可簡化成具有此構造之一總成，此乃因每一對經電連接第一端子之間的佈線可主要沿一垂直方向，亦即，沿穿過電路面板之厚度之一方向。亦即，電路面板上之筆直導通體連接可係電連接安裝至電路面板之相對表面之該等封裝中之每一對對應第一端子所需要之全部連接。

此外，可能減少在其中各別對微電子封裝所連接之連接部位之間路由來自第一端子所攜載之上文所提及信號之信號所要求之電路面板上之配線之佈線層數目。特定而言，沿著電路面板路由此等信號所要求之佈線層之數目可在某

些情形中減少至兩個或兩個以下佈線層。然而，在電路面板上，與攜載上文所提及位址或命令-位址匯流排信號之一定數目個佈線層相比，可存在攜載其他信號之較大數目個佈線層。

該微電子封裝亦可具有除第一端子以外之第二端子，此等端子通常經組態以攜載除上文所提及之命令-位址匯流排信號以外之信號。在一項實例中，第二端子可包含用於將單向或雙向資料信號攜載至微電子元件及或自該微電子元件攜載該等單向或雙向資料信號及用於攜載資料選通信號以及用於將用以接通或關斷並行終止之資料遮罩及ODT或「晶粒上終止」信號攜載至終端電阻器之端子。第二端子亦可攜載諸如晶片選擇、重設、電力供應電壓(例如，Vdd、Vddq)及接地(例如，Vss及Vssq)等信號或參考電位；該等信號或參考電位中無一者需要由第一端子攜載。在某些實施例中，經組態以攜載除上文所提及位址信號或命令-位址匯流排信號以外之信號之某些或全部端子可能作為第二端子安置於該封裝上之其可放置之任何位置中。

另一選擇係，在某些實施例中，經組態以攜載除上文所提及位址信號或命令-位址匯流排信號以外之信號之某些或全部端子可能亦在該封裝上安置成端子之第一柵格及第二鏡像柵格中。以此方式，如上文所闡述，可能減小在一電路面板上在對應端子之間提供之電連接中之短線長度。

在其他實施例中，經組態以攜載除上文所提及位址信號或命令-位址匯流排信號以外之信號之該等端子中之某些

或全部端子可作為一組第二端子在該封裝表面上安置成第一第三柵格，且另一組第二端子可在同一封裝表面上安置成第一第四柵格，其中第三柵格中之第二端子之信號指派係第四柵格中之第二端子之信號指派之一鏡像。以此方式，類似於如上文所闡述之第一及第二封裝之對應第一端子之間的連接，可顯著地減小穿過該電路面板在第一及第二封裝之若干對經電連接第二端子之間的電連接之長度。在一實例中，一對經電連接第二端子可在一個球節距內彼此對準。在一特定實例中，此等對經電連接第二端子中之每一者中之端子可彼此疊加，亦即彼此重合。此外，當以此方式配置一微電子封裝之第二端子時，可獲得類似於上文所闡述之用於針對第一封裝與第二封裝之間的連接來減小短線長度且簡化一電路面板之構造之彼等益處的益處。

因此，在圖5、圖6及圖7中圖解說明根據本發明之一實施例之一微電子封裝100。如其中所見，在一項實例中，封裝100可包含各自具有一記憶體儲存陣列功能之第一微電子元件101及第二微電子元件103。然而，在一特定實例中，每一微電子元件可經組態以主要提供記憶體儲存陣列功能。在後一情形中，第一及第二微電子元件中之每一者可具有經組態以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置(例如，電晶體)。

第一及第二微電子元件在其各別面105處具有元件觸點111、113。在一種類型之此微電子元件101、103中，元件觸點111、113中之某些觸點中之每一者專用於接收供應至

該微電子元件之複數個位址信號中之一各別位址信號。於此情形中，此等觸點111、113中之每一者能夠接收自外部供應至微電子元件101、103之複數個位址信號之一個各別位址信號。

在此類型之微電子元件101、103之一項特定實例中，可相對於由各別微電子元件所使用之一時脈之一邊緣(亦即，在不同之第一電壓狀態與第二電壓狀態之間的一時脈轉變時)取樣存在於元件觸點111、113處之複數個位址信號中之每一者。亦即，可在該時脈之一較低電壓狀態與一較高電壓狀態之間的一上升轉變時或在該時脈之一較高電壓狀態與一較低電壓狀態之間的一下降轉變時取樣每一位址信號。因此，該複數個位址信號可全部在時脈之上升轉變時被取樣，或此等位址信號可全部在該時脈之下降轉變時被取樣，或在另一實例中，在元件觸點111、113中之一者處之位址信號可在該時脈之上升轉變時被取樣，且在另一外部觸點處之位址信號可在該時脈之下降轉變時被取樣。

在經組態以主要提供記憶體儲存陣列功能之另一類型之微電子元件101、103中，可以多工方式使用其上之位址觸點中之一或多者。於此實例中，各別微電子元件101、103之一特定元件觸點111、113可接收自外部供應至微電子元件之兩個或兩個以上不同信號。因此，一第一位址信號可在不同之第一電壓狀態與第二電壓狀態之間的一第一時脈轉變(例如，一上升轉變)時在特定觸點111、113處被

取樣，且除該第一位址信號以外之一信號可在與該第一轉變相反之第一電壓狀態與第二電壓狀態之間的一第二時脈轉變(例如，一下降轉變)時在該特定觸點處被取樣。

以此一多工方式，可在各別微電子元件101、103之同一元件觸點111、113上在該時脈之同一週期內接收兩個不同信號。在一特定情形中，以此方式多工可允許在各別微電子元件101、103之同一元件觸點111、113上在同一時脈週期中接收一第一位址信號及一不同信號。在又一實例中，以此方式多工可允許在各別微電子元件101、103之同一元件觸點111、113上在同一時脈週期中接收一第一位址信號及一第二不同位址信號。

基板102可包含一介電元件122，該介電元件在某些情形中可基本上由聚合材料(例如一樹脂或聚醯亞胺以及其他)組成。另一選擇係，該基板可包含具有一複合構造之一介電元件，諸如玻璃強化環氧樹脂，例如具有BT樹脂或FR-4構造。在某些實例中，該介電元件在介電元件之平面中(亦即，沿平行於其一第一表面108之一方向)具有最多每攝氏度百萬分之(在下文中，係「ppm/°C」)30之一熱膨脹係數。在另一實例中，該基板可包含具有小於每攝氏度百萬分之12之一熱膨脹係數(「CTE」)之材料之一支撐元件，其上安置有端子及其他傳導結構。舉例而言，此低CTE元件可基本上由玻璃、陶瓷或半導體材料或液晶聚合物材料或此等材料之一組合組成。

如圖6中所見，基板觸點之一第一組121及一第二組123

曝露於基板之一第一表面108處。如本文中所使用，一導電元件「曝露於」一結構之一表面「處」之一陳述指示該導電元件可用於與沿垂直於該表面之一方向自該結構外部朝向該表面移動之一理論點接觸。因此，曝露於一結構之一表面處之一端子或其他傳導元件可自此表面突出；可與此表面齊平；或可相對於此表面凹入且透過該結構中之一孔或凹陷部曝露。

基板觸點之第一組121面向第一微電子元件之元件觸點111且在138處結合至其，諸如藉助一接合金屬(例如，焊料、錫、銦、共熔體或金以及其他)或其他傳導接合材料，或者可能另一結構(諸如一傳導凸塊或一微柱以及其他可能結構)。在某些情形中，一晶粒附著黏合劑或底填充可安置於微電子元件之面105與基板102之表面108之間，其可在機械上強化微電子元件與基板之間的連接，且可在機械上支撐微電子元件與基板之間的結合。

基板觸點之第二組123面向第二微電子元件之元件觸點113且結合至該等元件觸點。在如圖6中特定展示之實施例中，第一微電子元件101及第二微電子元件103之面105可配置成平行於基板102之第一表面108之一單個平面112。

如圖5中特定展示，在某些實施例中，每一微電子元件之觸點可配置成一單個行(如針對觸點111所展示)，或該等觸點可配置成複數個行(如針對觸點113所展示)。每一行可沿著方向134在該行之每一垂直佈局位置處含有一觸點，或可在一行之一或多個位置處缺失一觸點，如在觸點113

之若干行中之一者之情形中。在一特定實施例中，觸點可在微電子元件之面105上方配置成一區域陣列。在另一實施例中，一微電子元件之觸點可配置成毗鄰該微電子元件之一或多個周邊邊緣之一或多個觸點組，由圖5中之標記微電子元件101、103之邊界之虛線指示。在一特定實施例中，該微電子元件可係一單個半導體晶片且其上之觸點111或113可係「晶片觸點」，其係半導體晶片之觸點。在另一實施例中，一特定微電子元件可包含各自具有晶片觸點之一或多個半導體晶片，且觸點111或113可包含再分配觸點，該等再分配觸點形成於微電子元件之一面105上且藉由(舉例而言)諸如跡線及導通體等傳導元件而電連接至晶片觸點。參考圖26D在下文闡述此一微電子元件之一實施例。除非另外提及，否則本文中之實施例中之每一者中之微電子元件之「觸點」可以此等所闡述方式中之任一方式配置。

微電子元件101或微電子元件103或兩者亦可包含可不安置於元件觸點之一行內之額外觸點。此等額外觸點可用於連接至電源、接地，或作為可用於與一探測裝置(諸如可用於測試)接觸之觸點。

如圖5中所見，封裝100可具有曝露於表面110處用於電連接及機械連接封裝100與在封裝100外部之一組件(舉例而言，諸如一電路面板)之第一端子104及第二端子106。端子104、106可係導電襯墊、支柱或其他導電結構。在圖6中所見之實施例中，端子在某些情形中可包含結合元件130，諸如可包含一接合金屬(諸如焊料、錫、鈹、金或一

共熔材料以及其他)或其他傳導接合材料，且可在某些情形中亦包含額外結構，諸如附著至基板之傳導結構(諸如傳導襯墊或支柱)之一傳導凸塊。第一端子104及第二端子106可透過基板上之導電結構(舉例而言，諸如跡線及導通體)而與基板觸點121、123電連接。

第一端子104之一第一組可配置於曝露於與第一表面108相對之基板102之一第二表面110處之一第一柵格114內之位置處。第一表面108及第二表面110面向相反方向，且因此相對於彼此對置且係「對置之表面」。第一端子104之一第二組可配置於曝露於基板之第二表面110處之一第二柵格124內之位置處。儘管在該等圖中之某些圖中，第一及第二柵格展示為延伸超過微電子元件之前表面之外部邊界，但情形未必如此。在本發明之某些實施例中，第一端子之第一柵格114及第二柵格124中之每一者可經組態以攜載命令-位址匯流排之某些信號，亦即，特定而言一微電子封裝100中之經組態以提供動態記憶體儲存功能之微電子元件101、103之一組位址信號全部。

舉例而言，當微電子元件101、103包含或係DRAM半導體晶片時，第一柵格114及第二柵格124中之每一者中之第一端子經組態以攜載傳送至微電子封裝100之可由封裝內之電路(例如，列位址及行位址解碼器及記憶體庫選擇電路，若存在)使用以自該封裝中之一微電子元件內之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之足夠位址資訊。在一特定實施例中，第

一柵格114及第二柵格124中之每一者中之第一端子可經組態以攜載由微電子封裝100內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置之所有位址資訊。

在此實施例之一變化形式中，第一柵格114及第二柵格124中之每一者中之第一端子可經組態以攜載由微電子封裝100內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置之位址資訊之大部分，且然後微電子封裝上之其他端子(諸如上文引用之第二端子106中之至少某些第二端子)將經組態以攜載該位址資訊之其餘部分。在此變化形式中，在一特定實施例中，第一柵格114及第二柵格124中之每一者經組態以攜載由微電子封裝100內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置之位址資訊之四分之三或更多。

在一特定實施例中，第一柵格114及第二柵格124中之每一者可不經組態以攜載晶片選擇資訊，例如可用於選擇微電子封裝100內之一特定晶片供存取至該晶片內之一記憶體儲存位置之資訊。在另一實施例中，第一柵格114及第二柵格124中之至少一者可確實攜載晶片選擇資訊。

通常，當微電子封裝100中之微電子元件101、103係或包含DRAM晶片時，在一項實施例中，位址信號可包含自在封裝外部之一組件(例如，一電路面板，諸如下文所闡述之電路面板154)傳送至該封裝之所有位址信號，其用於判定該微電子封裝內之一隨機存取可定址記憶體位置供用於讀取對其之存取、或用於讀取或寫入對其之存取。

第二端子106中之至少某些第二端子可經組態以攜載除第一柵格114及第二柵格124之第一端子104所攜載之位址信號以外之信號。第二端子106可攜載諸如晶片選擇、重設、電力供應電壓(例如，Vdd、Vddq)及接地(例如，Vss及Vssq)之信號或參考電位；在本文中所提及之實施例中之任一者中，此等信號或參考電位皆無需由第一端子104攜載，除非另外提及。

在一特定實施例中，每一微電子封裝之第一柵格114及第二柵格124中之每一者可經組態以攜載控制第一及第二微電子元件101、103中之至少一者之一操作模式之資訊。更特定而言，第一柵格114及第二柵格124中之每一者可經組態以攜載傳送至微電子封裝100之命令信號及/或時脈信號之一特定組全部。在此一實施例中，第一端子104可經組態以攜載自一外部組件傳送至微電子封裝100之命令信號、位址信號、記憶體庫位址信號及時脈信號全部，其中該等命令信號包含列位址選通、行位址選通及寫入啟用。在此一實施例中，一微電子元件中之具有一複合結構之一第一晶片(舉例而言，諸如圖21中所展示之微電子元件901中之一者)可經組態以重新產生控制操作模式之資訊。另一選擇係，或除此以外地，此一複合微電子元件中之第一晶片亦可經組態以部分地或完全地解碼控制該微電子元件之操作模式之資訊。在此實施例中，每一第二晶片可或可不經組態以完全地解碼位址資訊、命令資訊或控制微電子元件之一操作模式之資訊中之一或多者。

在其中該等微電子元件中之一或多者經組態以提供動態記憶體儲存陣列功能(諸如由一動態隨機存取記憶體(「DRAM」)半導體晶片或一DRAM晶片總成提供)之一實施例中，命令信號係寫入啟用、列位址選通及行位址選通信號。諸如ODT(晶粒上終止(on die termination))、晶片選擇、時脈啟用之其他信號並非需要由第一柵格114及第二柵格124攜載之命令信號之部分。時脈信號可係由微電子元件中之一或多者使用以取樣該等位址信號之時脈。舉例而言，如圖7中所見，第一端子104可包含時脈信號CK及CKB、列位址選通RAS、行位址選通CAS及寫入啟用信號WE，以及位址信號A0至A15(包含位址信號A0至A15)及記憶體庫信號BA0、BA1及BA2。

於此實施例中，第二端子106中之至少某些第二端子可經組態以攜載除由第一柵格114及第二柵格124之第一端子104攜載之該等命令信號、位址信號及時脈信號以外之信號。第二端子106可攜載諸如晶片選擇、重設、電力供應電壓(例如，Vdd、Vddq)及接地(例如，Vss及Vssq)之信號或參考電位；在本文中提及之該等實施例中之任一者中，此等信號或參考電位皆無需由第一端子104攜載，除非另外提及。

在另一實施例中，當該等微電子元件中之一或多者經組態以提供以除用於DRAM(諸如NAND快閃記憶體)以外之一技術實施之記憶體儲存陣列功能時，需要由第一柵格114及第二柵格124攜載之特定命令信號可係除需要在

DRAM情形中攜載之寫入啟用、位址選通及行位址選通信號之群組以外之一不同信號組。

在一項實施例中，經組態以攜載除位址信號以外之信號之第二端子106中之至少某些第二端子可配置於第一柵格114及第二柵格124內之位置處。在一項實例中，經組態以攜載除命令信號、位址信號及時脈信號以外之信號之第二端子106中之至少某些第二端子可配置於第一柵格114及第二柵格124內之位置處。儘管在圖中已展示第二端子106之特定組態，但所展示之特定組態僅係出於說明性目的且並非意在加以限制。舉例而言，第二端子106亦可包含經組態以連接至電力信號或接地信號之端子。

在圖5至圖7中特定展示封裝之第一柵格114及第二柵格124中之第一端子之一配置。在一項實例中，每一柵格114、124可包含平行之第一與第二端子行136。每一柵格中之平行端子行136可彼此毗鄰。另一選擇係，儘管在圖5至圖7中未展示，但至少一個端子可安置於第一端子行與第二端子行之間。在另一實例中，諸如在圖5A中所見，該等柵格可包含一端子行，其中一行軸119延伸穿過此行之大部分端子104，亦即，相對於該等端子定中心。然而，在此行中，該等端子中之一或多者可不相對於行軸119定中心，如在端子104'之情形中。於此情形中，即使此(等)端子可不相對於軸119定中心，亦可將此一或多個端子視為一特定行之部分，此乃因其較接近於彼特定行之軸119而非任一其他行之軸。行軸119可延伸穿過並不相對於行

軸定中心之此等一或多個端子，或在某些情形中，未定中心之端子可較遠離行軸以使得行軸119甚至可不通過該行之此等未定中心之端子。在一行或甚至在一個以上行中可存在一個、數個或諸多端子，該等端子並不相對於一柵格中之各別行之一行軸而定中心。

此外，端子柵格可能含有呈分組而非行之端子配置，諸如環狀、多邊形之端子配置或甚至分散式端子分佈。如圖6中所展示，一囊封體146可上覆於基板之第一表面108上且可接觸其中之微電子元件101、103。在某些情形中，該囊封體可上覆於背對基板102之微電子元件之表面145上。

如圖7中所見，第二組第一端子中之第一端子(在第二柵格124內之位置處)之信號指派係第一組第一端子(其在第一柵格114內之各別位置處)之信號指派124之一鏡像。第一組中之第一端子之信號指派對應於第二組中之對應第一端子之信號指派且係其一鏡像。換言之，第一及第二柵格中之第一端子之信號指派關於第一柵格114及第二柵格124之間的一理論軸132對稱，於此情形中軸132沿第一端子行136延伸之一方向134延伸。在第二柵格124中之信號指派係第一柵格114中之信號指派之一鏡像之情況下，經指派以攜載信號CK(時脈)之第一柵格114之一第一端子104與經指派以攜載信號CK之第二柵格124之對應第一端子104在柵格內之同一相對垂直位置中(沿方向134)。然而，由於第一柵格114含有兩個行136且在第一柵格中之兩個行136當中經指派以攜載信號CK之第一柵格114之端子係在左側

行中，因此鏡像信號指派要求：在第二柵格之兩個行當中，經指派以攜載信號CK之第二柵格124之對應端子係在右側行136中。

在根據其之另一實例中，顯而易見，第一端子之第一柵格114及第二柵格124中之每一者之經指派以攜載位址資訊之端子(展示為「A3」)指定封裝100 (圖6)內之一或多個微電子元件之一對應元件觸點，該元件觸點具有名稱「A3」。因此，將在第一及第二組第一端子中之每一者中之在該封裝外部之此等對應第一端子(透過其將資訊傳送至具有相同名稱(例如，「A3」)之元件觸點)視為具有鏡像信號指派，即使在第一及第二組中之對應第一端子之名稱不同時亦如此。因此，在一項實例中，指派給具有鏡像信號指派(例如，在第一及第二組第一端子中之每一者中指定為「A3」之信號指派)之每一對第一端子之信號可能識別攜載將被輸入至微電子元件上之具有名稱「A3」之元件觸點之資訊的端子，儘管第一及第二組中之每一者中之對應端子之名稱可不同，諸如可在第一組中給出名稱A3L (A3左)且在第二組中給出名稱A3R (A3右)。

進一步地，在某些情形中，在圖7中在展示為「A3」之第一端子之對應對處提供給封裝之位址資訊可源自在微電子結構外部之一位置處之驅動電路之相同輸出。結果，經指派以攜載信號「A3」之第一柵格114之一第一端子104 (亦即，如上文所闡述，用於在其上將資訊傳送至一微電子元件之名為「A3」之一元件觸點)與經指派以攜載信號

「A3」之第二柵格124之對應第一端子104在該柵格內之同一相對垂直位置(沿方向142)中。

此配置之另一結果係：在第一柵格114及第二柵格124中之每一者中，經指派以攜載信號WE(寫入啟用)之端子亦在柵格內之同一相對垂直位置中。然而，在第一柵格114中，在第一柵格之兩個行136當中經指派以攜載WE之端子係在右側行中，且鏡像配置要求：在第二柵格124之兩個行當中，經指派以攜載信號WE之第二柵格124之對應端子係在左側行136中。如在圖7中可見，同一關係適用於第一及第二柵格中之每一者中之每一第一端子，至少適用於經指派以攜載如上文所論述之一命令-位址匯流排信號之每一第一端子。

第一端子之信號指派關於其對稱之軸132可位於基板上之各種位置處。在一特定實施例中，該軸可係封裝之一中心軸，其位於距基板之對置之第一邊緣140與第二邊緣142等距處，特定而言當第一端子行136沿平行於邊緣140、142之一方向延伸且第一及第二柵格安置於關於此中心軸對稱之位置處時。

另一選擇係，此對稱軸132可沿一水平方向135自在邊緣140、142之間等距之中心軸偏移。在一項實例中，軸132可自平行於基板102之第一邊緣140與第二邊緣142且與其等距之一中心軸或線偏移，偏移距離不大於第一端子104之任何兩個毗鄰行之間的一最小節距之三倍半之一距離。在一特定實施例中，第一柵格114及第二柵格124中之每一

者之至少一個端子行可安置於距平行於基板102之第一邊緣140及第二邊緣142且與其等距之一中心軸或線之一偏移距離內，該偏移距離係第一端子104之任何兩個毗鄰行之間的一最小節距之三倍半之一距離。

在一特定實例中，第一柵格114之第一端子104可與第一微電子元件101電連接，且第二柵格124之第一端子104可與第二微電子元件103電連接。於此情形中，第一柵格114之第一端子104亦可不與第二微電子元件103電連接，且封裝100之第二柵格124之第一端子104亦可不與第一微電子元件101電連接。在又一實例中，第一柵格114及第二柵格124中之每一者之第一端子104可與第一微電子元件101及第二微電子元件103中之每一者電連接。

如上文提及，第二端子106可經組態以攜載除命令-位址匯流排之上文所提及信號以外之信號。在一項實例中，第二端子106可包含用於將單向或雙向資料信號攜載至微電子元件及或自該微電子元件攜載該等單向或雙向資料信號及用於攜載資料選通信號以及將用以接通或關斷並行終止之資料遮罩及ODT或「晶粒上終止」信號攜載至終端電阻器之端子。第二端子106可攜載諸如晶片選擇、重設、時脈啟用之信號以及諸如電力供應電壓(例如，Vdd、Vddq)或接地(例如，Vss及Vssq)之參考電位；該等信號或參考電位皆無需由第一端子104攜載。在某些實施例中，經組態以攜載除命令-位址匯流排信號以外之信號之某些或全部端子可能作為第二端子106安置於封裝上，在其可被適當

放置之任何位置處。舉例而言，第二端子106中之某些或全部第二端子可配置於其中配置有第一端子104之基板102上之相同柵格114、124中。第二端子106中之某些或全部第二端子可與第一端子104中之某些或全部第一端子安置於同一行或不同行中。在某些情形中，一或多個第二端子可穿插有其相同柵格或行中之第一端子。

在一特定實例中，第二端子106中之某些或全部第二端子可安置於基板之第二表面110上之一第三柵格116中，且另一組第二端子可安置於封裝表面110上之一第四柵格126中。在一特定情形中，以與上文關於第一及第二柵格所闡述之方式類似之方式，第三柵格116中之第二端子之信號指派可係第四柵格126中之第二端子之信號指派之一鏡像。在某些情形中，第三柵格116及第四柵格126可沿其中第一及第二柵格延伸之方向134延伸且可彼此平行。第三及第四柵格亦可平行於第一柵格114及第二柵格124。另一選擇係，第三柵格116及第四柵格126中之每一者可沿橫向於或甚至正交於方向134之另一方向135延伸。

在一項實例中，基板102之第二表面110可具有分別毗鄰於第一邊緣140及第二邊緣142之第一及第二周邊區，其中一中心區分離該等第一及第二周邊區。在此實例中，第一柵格114及第二柵格124可安置於第二表面110之中心區中，且第三柵格116及第四柵格126可安置於各別第一及第二周邊區中。

圖8A圖解說明第一微電子封裝100A及第二微電子封裝

100B之一總成200，該第一微電子封裝100A及第二微電子封裝100B各自係如上文參考圖5至圖7所闡述之一微電子封裝100，安裝至一電路面板154之相對的第一表面150與第二表面152。該電路面板可係為各種類型，諸如用於一雙列直插式記憶體模組(「DIMM」)模組中之一印刷電路板、將與一系統中之其他組件連接之一電路板或電路面板或一主機板以及其他。第一微電子封裝100A及第二微電子封裝100B可安裝至曝露於電路面板154之第一表面150及第二表面152處之對應觸點160、162。

如圖8A中特定展示，由於每一封裝之第二柵格124中之第一端子之信號指派係每一封裝之第一柵格114中之第一端子之信號指派之一鏡像，因此當封裝100A、100B彼此相對地安裝至電路面板時，第一封裝100A之第一柵格114A中之每一第一端子與具有相同信號指派且其電連接至之第二封裝100B之第二柵格124B中之對應第一端子對準。此外，第一封裝100A之第二柵格124A中之每一第一端子與具有相同信號指派且其電連接至之第一柵格114B中之對應第一端子對準。

無疑地，每一對所連接端子之對準可係在一容差內，以使得每一對所連接端子可沿著電路面板154之第一表面150沿正交之x方向與y方向在一個球節距內彼此對準。另一選擇係，電路面板之相對表面上之經連接端子可彼此重合。在一特定實例中，各別第一封裝100A及第二封裝100B之經對準柵格(例如，第一封裝之第一柵格114A與第二封裝

之第二柵格124B)之位置之大部分可沿著電路面板154之第一表面150沿正交之x方向與y方向彼此對準。

因此，如圖8A中進一步展示，第一封裝100A之柵格114A中之攜載一信號(標記為「A」)之一特定第一端子與第二封裝100B之柵格124B之攜載同一信號「A」之對應第一端子對準。關於第一封裝100A之柵格124A中之攜載一信號(標記為「A」)之一特定第一端子(其與第二封裝100B之柵格114B之攜載同一信號「A」之對應第一端子對準)同樣如此。

以此方式，如圖8A中進一步所見，穿過電路面板在第一封裝100A及第二封裝100B之每一對經電連接第一端子之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此疊加或至少在一個球節距內彼此對準。此等電連接之長度減小可減小電路面板及總成中之短線長度，此可幫助針對由第一端子攜載且傳送至第一及第二封裝兩者中之微電子元件之上文所提及信號來改良電效能，諸如減少穩定時間、振鈴、抖動或符號間干擾以及其他。此外，亦可能獲得其他益處，諸如簡化電路面板之結構或減少設計或製造電路面板之複雜度及成本。

如圖8B中進一步展示，當每一封裝100A、100B之第二端子配置成具有上文關於圖5至圖7所闡述之特定鏡像配置之第三及第四柵格時，每一封裝之第三柵格之每一第二端子可與具有相同信號指派且其電連接至之另一封裝之第四

柵格之對應第二端子對準。因此，如圖8B中所見，第一封裝100A之第三柵格116A中之每一第二端子與具有相同信號指派且其電連接至之第二封裝100B之第四柵格126B中之對應第一端子對準。此外，第一封裝100A之第四柵格126A中之每一第一端子與具有相同信號指派且其電連接至之第三柵格116B中之對應第一端子對準。同樣，每一對所連接端子之對準係在一容差內，以使得每一對所連接端子可沿著電路面板154之第一表面150沿正交之x方向與y方向在一個球節距內彼此對準。

因此，如圖8B中進一步展示，第一封裝100A之柵格116A中之攜載一信號(標記為「B」)之一特定第一端子與攜載同一信號「B」且其電連接至之第二封裝100B之柵格126B之對應第一端子對準。關於第一封裝100A之柵格126A中之攜載一信號(標記為「B」)之一特定第一端子(其與攜載同一信號「B」且其電連接至之第二封裝100B之柵格116B之對應第一端子對準)同樣如此。

類似於如上文所闡述之第一及第二封裝之對應第一端子104之間的連接，於此實施例中，穿過電路面板在第一及第二封裝之若干對經電連接第二端子106之間的電連接之長度可顯著減小，此乃因此等對經電連接第二端子中之每一者中之端子可彼此重合，或至少沿平行於電路面板表面之正交之x方向與y方向而在一個球節距內彼此對準。如本文中使用的，當在一電路面板之相對表面處之封裝之端子之柵格彼此「重合」時，對準可係在慣例製造容差內，或可

在沿平行於第一及第二電路面板表面之正交之x方向與y方向彼此在一個球節距之小於一半之一容差內，該球節距係如上文所闡述。

此外，當一微電子封裝之第二端子(亦即，可經指派以攜載除命令-位址匯流排之上文所提及信號以外之信號之端子)以此方式配置時，可獲得類似於上文所闡述之用於針對第一封裝與第二封裝之間的連接來減小短線長度及簡化一電路面板之構造之益處的益處。

圖8C進一步圖解說明，各自具有如上文或下文所闡述之一構造之兩對或更多對微電子封裝可以類似於封裝100A、100B之定向與一電路面板154(例如，一雙列直插式記憶體模組(「DIMM」)之一板)上之各別面板觸點電互連。因此，圖8C展示一對額外封裝100C、100D，其以如上文所闡述之彼此相向之相對定向與電路面板154電互連。除封裝100A、100B、100C及100D以外，亦可將一或多對其他封裝與電路面板電互連，諸如上文所闡述。

圖8D圖解說明併入有一電路面板及彼此相對地安裝至其相對之第一表面與第二表面之複數個微電子封裝之一微電子總成，諸如(舉例而言)一DIMM以及其他。如圖8D中所見，上文提及之位址信號或命令-位址匯流排信號可在電路面板或電路板354上之一匯流排36(例如，一位址匯流排或命令-位址匯流排)上在連接部位I、II或III之間沿至少一個方向143路由，其中各別對微電子封裝100A、100B在該等連接部位處連接至電路面板之相對側。此匯流排36之信

號在稍微不同之時間處到達各別連接部位I、II或III處之每一對封裝。至少一個方向143可橫向於或正交於一方向142，其中每一封裝100A或100B內之至少一個微電子元件上之複數個觸點之至少一個行138沿方向142延伸。以此方式，電路面板354上(亦即，在其上或在其內)之匯流排36之信號導體在某些情形中可沿平行於一封裝100A或100B內之一微電子元件上之連接至該電路面板之至少一個觸點行138之一方向142彼此間隔開。

特定而言當每一微電子封裝之第一端子104A、104B配置成沿此方向142延伸之一或多個行時，此一組態可幫助簡化電路面板上之用於路由匯流排36之信號之一或多個全域佈線層之信號導體之佈線。舉例而言，當在每一封裝上在同一垂直佈局位置處安置相對少之第一端子時，可能簡化一電路面板上之命令-位址匯流排信號之路由。因此，在圖7中所展示之實例中，在每一封裝上在同一垂直佈局位置處安置僅四個第一端子，諸如經組態以接收位址信號A3及A1之每一柵格114、124中之第一端子。

在一項實施例中，微電子總成354可具有一微電子元件358，微電子元件358可包含經組態以執行傳送至總成354之微電子封裝100A、100B之至少某些信號之緩衝之一半導體晶片。具有一緩衝功能之此一微電子元件358可經組態以幫助為微電子封裝100A及100B中之微電子元件中之每一者相對於在微電子總成354外部之組件提供阻抗隔離。

在一例示性實施例中，微電子總成354可具有一微電子元件358，微電子元件358可包含經組態以主要執行一邏輯功能之一半導體晶片(諸如一固態磁碟機控制器)，且微電子封裝100A及100B中之微電子元件中之一或多者可各自包含諸如非揮發性快閃記憶體等記憶體儲存元件。微電子元件358可包含一特殊用途處理器，該特殊用途處理器經組態以緩解諸如系統1200 (圖28)之一系統之一中央處理單元對資料往來於微電子元件中所包含之記憶體儲存元件之傳送之監督。包含一固態磁碟機控制器之此一微電子元件358可提供往來於一系統(諸如系統1200)之一主機板(例如，圖28中所展示之電路面板1202)上之一資料匯流排之直接記憶體存取。

在具有包含一控制器功能及/或一緩衝功能之一微電子元件358之微電子總成354之此一實施例中，可在各別連接部位I、II或III處在微電子元件358與每一對封裝100A及100B之間路由命令-位址匯流排信號。在圖8D中所展示之特定實例中，延伸通過連接部位I、II或III之命令-位址匯流排36之一部分可沿方向143或沿橫向於方向143之另一方向延伸以到達微電子元件358之觸點。在一項實施例中，命令-位址匯流排36可沿方向143延伸以到達微電子元件358之觸點。

圖9圖解說明在封裝250之各別第一柵格214、224及第二柵格216、226內之端子之一特定配置，圖解說明在每一柵格中之毗鄰行236、238內之同一相對垂直位置處之端子可

事實上安置於沿封裝之垂直佈局方向134稍微偏移之位置處。

圖10圖解說明平行之第一柵格244及第二柵格254之第一端子之一特定配置，該等第一及第二柵格中之每一者可包含三個毗鄰端子行。如圖10中所展示，該等行可上覆於其中安置有元件觸點111、113之微電子元件之面之部分上。如上文提及，在某些實施例中，可能將除上文所提及之命令-位址匯流排信號以外之信號亦指派至相同柵格內之攜載特定命令-位址匯流排信號之端子。圖10圖解說明其一項可能配置。

在又一實施例(未展示)(其係上文相對於圖5至圖7所展示及闡述之實施例之一變化形式)中，可能在第一及第二個別端子行中提供經配置以攜載上文所提及之命令-位址匯流排信號之第一端子，其中每一各別個別行含有經組態以攜載上文所提及之命令位址匯流排信號全部之一組第一端子。該等第一端子可進一步經配置以使得第一行中之信號指派係第二行中之信號指派之一鏡像，此乃因該等信號指派關於沿與第一及第二行相同之方向且在該等個別行之間延伸之一軸對稱。以此方式，第一行中之第一端子之信號指派與在封裝上之第二行中之相同相對垂直位置處之第一端子之信號指派相同。

圖11圖解說明上述實施例之一變化形式，其中一封裝300可在所有態樣中與上文相對於圖5至圖7所闡述之封裝類似，但封裝300可實施為具有形成於微電子元件101、

103之面105上之一介電層302之一晶圓級封裝。金屬化導通體308係藉由(例如)與每一微電子元件之元件觸點111、113接觸地電鍍或沈積一金屬或傳導材料(諸如一傳導膏、傳導矩陣材料等等)而形成。導通體308可與沿平行於介電層302之一表面310之一方向延伸之導電跡線309形成為整體。該封裝之導通體及某些或全部傳導跡線可係一單片金屬層之組成部分。在一特定實例中，可在於微電子元件上形成介電層302之後藉由電鍍、印刷、噴塗、絲網印刷、模板印刷或其他適當技術之一增層製程(build-up process)而形成一個金屬層或一個以上此金屬層。晶圓級封裝300之結構及用於實現該結構之技術可適用於此申請案中所展示或闡述之其他實施例中之任一者。

圖12圖解說明第一封裝400A及第二封裝400B之一總成，其中每一封裝內之第一柵格414及第二柵格424現在安置於接近於每一微電子元件101、103之元件觸點111、113之位置處。為清晰起見而自圖12省略第二端子之位置(其可或可不安置於如上文所闡述之第三及第四柵格中)，如同在繪示下文所闡述之其他實施例之圖中之情形。於此情形中，柵格414、424中之第一端子與元件觸點之接近度亦可幫助減小每一封裝400A、400B內之短線之長度。在Richard D. Crisp、Belgacem Haba及Wael Zohni在2011年10月3日提出申請之標題為「Stub Minimization for Assemblies without Wire bonds to Package Substrate」之本申請人的同在申請中之美國臨時申請案第61/542,488號(代理人檔案號碼

TIPI 3.8-688)中闡述減小其中封裝端子安置於鄰近其中之微電子元件之元件觸點之一中心區中之封裝內之短線長度之各種方式，該美國臨時申請案之揭示內容藉此以引用方式併入本文中。

圖13至圖14圖解說明根據圖5至圖7之上文所闡述實施例之一變化形式之一微電子封裝500，其中第一微電子元件501、第二微電子元件503、第三微電子元件505及第四微電子元件507併入其中。該封裝進一步繪示經指派以攜載命令-位址匯流排之上文所提及信號之第一端子之四個柵格514、524、534、544。為清晰起見而自圖13省略第二端子，其在圖14中展示為柵格516、526、536及546。如在上文所闡述之實例中，第一端子之每一柵格可與該等微電子元件中之僅一者電連接，或可連接至該等微電子元件中之兩者或兩者以上。圖14圖解說明展示第一端子之柵格514、524、534及544之封裝500之一項可能配置，以及第二端子之柵格516、526、536及546之一項可能配置。

如圖14中所展示，該等微電子元件中之每一者通常具有平行之兩個第一邊緣510，其可沿微電子元件上之一或多個觸點行延伸之同一方向或一不同方向延伸。在一項實例中，此等第一邊緣可各自比每一微電子元件之平行之兩個第二邊緣512長。在另一實例中，此等第一邊緣510可僅沿與該一或多個觸點行相同之方向延伸，而實際上比同一微電子元件之第二邊緣512短。對下文所闡述之封裝中之每一者中之微電子元件之第一及第二邊緣之引用皆併入有此

等定義。

如圖 13 及圖 14 中進一步所見，在此特定變化形式中，第一端子之柵格 524、534 兩者可接近於分離微電子元件 503、505 之封裝之一中心線 530 安置，而第一端子之其他柵格 514、544 可接近該封裝之周邊邊緣 550、552 安置。在圖 13 及圖 14 中所展示之實施例中，不存在將第一端子之柵格 524 及 534 彼此分離之端子。

如將瞭解，可能提供以下之一封裝(未展示)：含有上文所闡述之微電子元件 501、503、505、507 中之僅三者，且含有用於將該封裝連接至在該封裝外部之一組件(諸如一電路面板)之適當數目個第一端子柵格及第二端子柵格。

圖 15 係圖解說明根據圖 14 中所展示封裝之一變化形式之一封裝 560，其中該封裝上之第一端子之柵格之位置相異。於此情形中，查看封裝 560 與圖 14 之封裝 500 之間的差異，封裝 560 內之柵格 534 之位置已與第二端子之柵格 536 之位置交換，因此柵格 536 現在安置於第一端子之柵格 524、534 之間。另外，封裝 560 內之柵格 544 之位置已與第二端子之柵格 546 之位置交換，因此柵格 546 現在安置於第一端子之柵格 534、544 之間。

圖 16 係圖解說明根據圖 14 中所展示封裝之另一變化形式之一封裝 570 之一平面圖，其中第一端子之柵格之位置相異。於此情形中，查看封裝 570 與圖 14 之封裝 500 之間的差異，封裝 570 內之第一端子之柵格 524 之位置已與第二端子之柵格 526 之位置交換，因此柵格 524 現在安置於柵格

514、526之間且毗鄰於該等柵格。另外，封裝570內之柵格534之位置已與第二端子之柵格536之位置交換，因此柵格534現在安置於柵格536、544之間且毗鄰於該等柵格。

圖17係圖解說明根據圖5至圖7之上文所闡述實施例之又一變化形式之一封裝600之一平面圖，其中第一微電子元件601、第二微電子元件603、第三微電子元件605及第四微電子元件607在該基板上配置成一矩陣，其中每一微電子元件具有通常平行且沿著該基板沿一第一方向延伸之第一邊緣610，及通常平行且沿著該基板沿一第二方向延伸之第二邊緣612。如圖17中所見，該等微電子元件可配置有彼此毗鄰且平行之微電子元件601、603之第一邊緣610，以及亦彼此毗鄰且平行之微電子元件605、607之第一邊緣。該等微電子元件可經配置以使得微電子元件601之一個第二邊緣612毗鄰且平行於另一微電子元件607之第二邊緣612，且微電子元件603之一個第二邊緣612毗鄰且平行於另一微電子元件605之一個第二邊緣612。在某些情形中，微電子元件601之第一邊緣610中之每一者可與微電子元件607之第一邊緣610共線。同樣，在某些情形中，微電子元件603之第一邊緣610中之每一者可與微電子元件605之第一邊緣610共線。

第二端子之柵格651、653、655、657（其可上覆於各別微電子元件601、603、605、607之部分上且與其電連接）可使端子以任一適合配置來安置，不要求將此等第二端子放置成其中柵格651、653、655或657中之任一者中之信號

指派係其他柵格651、653、655或657中之任一者中之端子之信號指派之一鏡像的柵格。

在一特定實例中，柵格651、653、655或657中之任一者中之第二端子之信號指派可係柵格651、653、655或657中之另外一者或另外兩者中之第二端子之信號指派之一鏡像，此乃因該等柵格中之任一者之信號指派可相對於另一柵格之信號指派關於一垂直軸680對稱，且/或該等柵格中之任一者之信號指派可相對於另一柵格之信號指派關於一水平軸682對稱。

舉例而言，如圖17中所展示，第一柵格651之信號指派相對於第二柵格653之信號指派關於垂直軸680對稱，其中垂直軸680沿一方向620 (在所展示實例中，其在柵格651與653之間)延伸。此外，第一柵格651之信號指派相對於第四柵格657之信號指派關於水平軸682對稱，其中水平軸682沿一方向622 (在所展示實例中，其在柵格651與657之間)延伸。在一替代配置中，柵格651及657中之每一者可在水平軸682之兩側上延伸至基板表面之部分，且可另外呈現上文所闡述之關係。

在圖17中所展示之特定實例中，第一柵格651及第四柵格657之信號指派相對於各別第二柵格653及第三柵格655之信號指派關於垂直軸680對稱。此外，第一柵格651及第二柵格653之信號指派相對於各別第四柵格657及第三柵格655之信號指派關於水平軸對稱。

圖18係圖解說明根據上文所闡述實施例(圖13至圖14)之

另一變化形式之一微電子封裝700之一平面圖，其中第一微電子元件701及第二微電子元件703之第一邊緣710沿平行於端子承載基板表面704之邊緣702之一第一方向720延伸，且其中微電子元件701、703之第二邊緣712沿平行於基板之端子承載表面704之一第二方向722延伸。封裝700進一步包含第三微電子元件705及第四微電子元件707。然而，第三微電子元件705及第四微電子元件707之第一邊緣730沿第二方向722延伸，且第三微電子元件705及第四微電子元件707之第二邊緣732沿第一方向720延伸。

如圖18中進一步所見，在一項實例中，經組態以攜載上文所提及之命令-位址匯流排信號之第一端子之第一柵格714及第二柵格724可提供於基板表面上遠離基板之周邊邊緣740之位置中。第二柵格724中之第一端子之信號指派可係第一柵格中之第一端子之信號指派之一鏡像，如上文所闡述。在如圖18中所展示之一項實例中，第一端子之第一柵格714及第二柵格724可安置於第一微電子元件701及第二微電子元件703之毗鄰第一邊緣710之間且可上覆於第三微電子元件705及第四微電子元件707之部分上。第二端子之柵格751、753、755、757可至少部分地上覆於其中之第二端子電連接至之各別微電子元件701、703、705、707上。

如圖18中所見，第四柵格753中之第二端子之信號指派可係第三柵格751中之第二端子之信號指派之一鏡像，其中第三柵格751及第四柵格753之信號指派關於沿一方向

720延伸之一垂直軸780對稱。

第二端子之第五柵格755及第六柵格757 (其可上覆於微電子元件705、707之部分上且與其電連接)可將端子以任一適合配置來安置，不要求將此等第二端子放置成其中柵格755中之一者中之信號指派係另一柵格757中之端子之信號指派之一鏡像的柵格。在圖18中所展示之特定實例中，第五柵格755之信號指派相對於第六柵格757之信號指派關於水平軸782對稱，其中水平軸782在柵格751與757之間沿一方向722延伸。

而且，如圖18中所展示，第五柵格755中之第二端子之信號類別指派可關於垂直軸780對稱，且第六柵格757中之第二端子之信號類別指派可關於垂直軸780對稱。如本文中所使用，若信號指派係呈相同類別之指派，則即使該類別內之數字索引相異，兩個信號類別指派亦可相對於彼此對稱。例示性信號類別指派可包含資料信號、資料選通信號、資料選通互補信號及資料遮罩信號。在一特定實例中，在第五柵格755中，具有信號指派DQSH#及DQSL#之第二端子相對於其信號類別指派(其係資料選通互補)關於垂直軸780對稱，即使彼等第二端子具有不同信號指派時亦如此。

如圖18中進一步展示，資料信號(舉例而言，諸如針對資料信號DQ0、DQ1、...)至微電子封裝上之第二端子之空間位置之指派可關於垂直軸780具有模X對稱性。模X對稱性可幫助保存一總成300中之信號完整性(諸如在圖8A中所

見)，其中一或多對第一及第二封裝彼此相對地安裝至一電路面板，且該電路面板電連接每一相對安裝之封裝對中之彼等第一及第二封裝之對應對第二端子。如本文中所使用，當端子之信號指派關於一軸具有「模X對稱性」時，攜載具有同一索引編號「模X」之信號之端子安置於關於該軸對稱之位置處。因此，在諸如圖8A中之此總成300中，模X對稱性可准許穿過電路面板進行電連接，以使得一第一封裝之一端子DQ0可穿過電路面板電連接至具有相同索引編號模(在此情形中X為8)之第二封裝之一端子DQ8，因此可沿基本上筆直穿過(亦即，法向於)電路面板之厚度之一方向進行連接。

在一項實例中，「X」可係一數字 2^n (2的n次方)，其中n大於或等於2，或X可係 $8 \times N$ ，N係2或更大。因此，在一項實例中，X可等於一半位元組(4個位元)、位元組(8個位元)、多個位元組($8 \times N$ ，N係2或更大)、一字組(32個位元)或多個字組中之位元數目。以此方式，在一項實例中，當存在如圖18中所展示之模8對稱性時，柵格755中之經組態以攜載資料信號DQ0之一封裝端子DQ0之信號指派與經組態以攜載資料信號DQ8之另一封裝端子之信號指派關於垂直軸780對稱。此外，柵格757中之封裝端子DQ0及DQ8之信號指派同樣如此。如圖18中進一步所見，柵格755中之封裝端子DQ2及DQ10之信號指派關於垂直軸具有模8對稱性，且柵格757同樣如此。可在柵格755、757中相對於封裝端子DQ0至DQ15之信號指派中之每一者看出諸如

本文中所闡述之模8對稱性。

重要的是應注意，儘管未展示，但模數「X」可係除 2^n (2 的 n 次方)以外之一數值，且可係大於二之任一數字。因此，對稱性所基於之模數X可取決於構造或組態該封裝之一資料大小中存在之位元數目。舉例而言，當資料大小係10個位元而非8個位元時，則信號指派可具有模10對稱性。事實上，當資料大小具有奇數個位元時，模數X甚至可取此數值。

柵格714、724及柵格751、753以及柵格755、757中之端子之鏡像信號指派可准許當類似組態之兩個封裝700彼此相對地安裝於電路面板之相對表面上時達成一電路面板中之短線長度之上文所闡述減小，如上文相對於圖5至圖7所闡述。

圖18進一步圖解說明一或多個緩衝元件750可提供為安置於第一微電子元件701、第二微電子元件703、第三微電子元件705及第四微電子元件707之毗鄰邊緣730、710之間的封裝700之一區中之一微電子元件。每一此緩衝元件可用於在封裝之端子與該封裝中之微電子元件中之一或多者之間提供信號隔離(特定而言針對在封裝之第一端子處接收之上文所提及命令位址匯流排信號)。通常，該一或多個緩衝元件重新產生在第一端子處接收或在第二端子處接收之信號且將所重新產生之信號傳送至該封裝中之微電子元件。

另一選擇係，或除此以外，微電子元件之毗鄰邊緣

710、730之間的基板區域702亦可准許在封裝上或封裝中在此區域中提供一或多個解耦電容器，該一或多個解耦電容器連接至封裝之內部電力供應或接地匯流排。

圖19圖解說明在圖18中所見之實施例之一變化形式，其中第一柵格714及第二柵格724之位置可經變化以上覆於第一微電子元件701及第二微電子元件703之至少部分上。於此情形中，第三微電子元件705及第四微電子元件707之位置亦可改變以使得第三微電子元件705及第四微電子元件707之第一邊緣730之部分可遠離該封裝之中心而移動。於此情形中，第三及第四微電子元件之第一邊緣730平行於第一及第二微電子元件之第二邊緣712之部分延展且沿方向720與其間隔開，以使得在該封裝中心處之可用於連接一或多個緩衝元件或解耦電容器或其他裝置之區域760之一量可大於圖18中所展示之彼量。

圖20圖解說明根據上文所闡述實施例(圖19)之一變化形式之一微電子封裝800。於此變化形式中，微電子元件801、803、805、807配置成一風車狀組態，其中微電子元件801、803之第一邊緣810沿與微電子元件805、807之第二邊緣相同之方向820延伸。另外，微電子元件805、807之第一邊緣830沿與微電子元件801、803之第二邊緣812相同之方向822延伸。微電子元件801之第一邊緣810中之一者之一部分與微電子元件807之第二邊緣832中之一者之一部分間隔開且平行於其。類似地，微電子元件805之第一邊緣中之一者之一部分與微電子元件801之第二邊緣中之

一者間隔開且平行於其。此等關係可針對微電子元件803之第一邊緣810中之一者之一部分與微電子元件805之第二邊緣832中之一者之一部分以及針對微電子元件807之第一邊緣中之一者之一部分與微電子元件803之第二邊緣中之一者之一部分而在封裝內重複。

另外，進一步看出，存在法向於基板之一平面840，該平面含有微電子元件801之第一邊緣810中之一者且其橫穿另一微電子元件805之第一邊緣830。類似地，存在法向於基板之一平面842，該平面含有微電子元件805之第一邊緣830中之一者且其橫穿另一微電子元件803之第一邊緣810。根據圖20之一檢驗，可看出，含有微電子元件807之第一邊緣中之一者之一類似平面將橫穿微電子元件801之第一邊緣，且含有微電子元件803之第一邊緣中之一者之一類似平面將橫穿微電子元件807之第一邊緣。

圖20進一步圖解說明具有鏡像信號指派之第一端子之柵格814、824可各自部分地或完全地上覆於封裝800中之微電子元件中之一或多者上。另外，安置於微電子元件之毗鄰邊緣之間且微電子元件之任一面並未安置於其上的基板之一中心區850可容納如上文相對於圖18至圖19所闡述之一或多個緩衝元件或解耦電容器或此兩者。

圖21圖解說明類似於上文所闡述之封裝中之任一者之一微電子封裝900，在該微電子封裝中其中之微電子元件901係複合結構，其每一者可包含彼此上下堆疊且彼此電互連、且其中各自可與基板觸點908連接之兩個或兩個以上

半導體晶片。因此，在圖21中所見之實施例中，每一微電子元件901可包含具有面向基板之對應基板觸點908且與其結合之觸點906之一第一半導體晶片932，以及具有藉由穿矽導通體(「TSV」)950與第一半導體晶片932及基板902電連接之觸點910之一第二半導體晶片934，穿矽導通體950沿第一半導體晶片932之一厚度952之一方向、亦即沿晶片932之對置之第一面938與第二面942之間的一方向延伸。

在一特定實施例中，TSV 950可與第一半導體晶片932之元件觸點908電連接，諸如藉由沿著第一半導體晶片932之一面942延伸之跡線。儘管可以此方式進行第一及第二半導體晶片之間的任何電連接，但此等連接亦良好地適合於將電力及接地分配至第一及第二半導體晶片。在另一實例中，TSV 950可僅部分地延伸穿過第一半導體晶片之一厚度，且與第一半導體晶片932內之內部電路連接，而非連接至第一半導體晶片932之面942上之跡線或直接連接至第一半導體晶片之觸點。

在圖21中所見之微電子封裝900中，第一半導體晶片932及第二半導體晶片934中之每一者可經組態以使得每一此半導體晶片體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。舉例而言，第一及第二半導體晶片中之每一者可包含一記憶體儲存陣列及用於將資料輸入至該記憶體儲存陣列且自該記憶體儲存陣列輸出資料所要求之所有電路。舉例而言，當每一半導體晶片中之

記憶體儲存陣列可寫入時，該等半導體晶片中之每一者可包含經組態以接收自封裝之端子輸入之外部資料之電路以及經組態以將自此半導體晶片輸出之資料傳送至該封裝之端子之電路。

因此，每一第一半導體晶片 932 及每一第二半導體晶片 934 可係一動態隨機存取記憶體(「DRAM」)晶片或其他記憶體晶片，其能夠自此半導體晶片內之記憶體儲存陣列輸入及輸出資料且將此資料接收及傳輸至在該微電子封裝外部之一組件。換言之，於此情形中，往來於每一 DRAM 晶片或另一記憶體晶片內之記憶體儲存陣列之信號可不要求由該微電子封裝內之一額外半導體晶片緩衝。

另一選擇係，在另一實例中，一或多個第二半導體晶片 934 可體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置，但第一半導體晶片 932 可係一不同類型之晶片。於此情形中，第一半導體晶片 932 可經組態(例如，經設計、經構造或經設置)以緩衝信號，亦即，重新產生在端子處接收之信號供傳送至一或多個第二半導體晶片 934，或重新產生自第二半導體晶片 934 中之一或多者接收之信號供傳送至該等端子，或重新產生信號供沿自該微電子封裝之端子至一或多個第二半導體晶片 934 及自該一或多個半導體晶片至該等端子之兩個方向傳送。由操作為一緩衝元件之一第一半導體晶片 932 重新產生、然後傳送至一或多個第二半導體晶片之信號可透過連接至(舉例而言)內部電路之 TSV 來路由。

另一選擇係，或除如上文所闡述重新產生信號以外，在一特定實例中，第一半導體晶片932亦可經組態以部分地或完全地解碼在端子處(諸如在第一端子處)接收之位址資訊或命令資訊中之至少一者。然後，第一晶片可輸出此部分或完全解碼之結果供傳送至一或多個第二半導體晶片934。

在一特定實例中，第一半導體晶片932可經組態以緩衝傳送至一或多個第二半導體晶片934之該位址資訊，或(在一項實例中)命令信號、位址信號及時脈信號。舉例而言，第一半導體晶片932可係一緩衝晶片，其體現用以提供一緩衝功能而非任何其他功能之較大數目個主動裝置以將信號傳送至其他裝置，例如至一或多個第二半導體晶片934。然後，一或多個第二半導體晶片934可係功能降低晶片，其具有記憶體儲存陣列但其可省略DRAM晶片常見之電路，諸如緩衝電路、解碼器、預解碼器或字線驅動器以及其他。

在此一實例中，第一晶片932可用作堆疊中之一「主」晶片且用以控制第二半導體晶片934中之每一者中之操作。在一特定實例中，第二半導體晶片934可經組態以使得其不能夠執行緩衝功能。於彼情形中，第一及第二半導體晶片之經堆疊配置可經組態以使得微電子封裝中所要求之緩衝功能可由第一半導體晶片932執行且不能由該經堆疊配置中之第二半導體晶片934中之任一者執行。

在本文中所闡述之該等實施例中之任一者中，該一或多

個第二半導體晶片可以下列技術中之一或多者來實施：DRAM、NAND快閃記憶體、RRAM（「電阻式RAM」或「電阻式隨機存取記憶體」）、相變記憶體（「PCM」）、磁阻式隨機存取記憶體，例如，諸如可體現穿隧接面裝置、靜態隨機存取記憶體（「SRAM」）、自旋轉矩RAM或內容可定址記憶體，以及其他。

如在圖22A中所繪示之實施例中進一步所見，微電子封裝亦可包含部分地或完全地延伸穿過第二半導體晶片934中之一或多者且亦可延伸穿過第一半導體晶片932之穿矽導通體960。在一特定實例中，第二半導體晶片934中之每一者可在功能上及機械上等效於第二半導體晶片中之任一其他者。在一特定實例中，第一半導體晶片932可經組態以重新產生或至少部分地解碼所接收之資訊或信號且然後將所重新產生之資訊或信號傳送至第二半導體晶片934中之一或多者，例如透過在第一晶片932與第二晶片934之間且在第二晶片934之堆疊內之TSV 960。

圖22B圖解說明圖22A中所展示之微電子封裝之一變化形式。不同於圖22A中所展示之封裝，可經組態以重新產生或至少部分地解碼位址資訊或其他資訊（例如，重新產生信號供傳送至該封裝中之其他半導體晶片）之半導體晶片964並不毗鄰於基板902之第一表面108定位。相反，於此情形中，半導體晶片964可安置於該封裝內上覆於一或多個其他半導體晶片上之一位置處。舉例而言，如圖22B中所展示，晶片964至少部分地上覆於毗鄰於基板902之第

一表面108安置之半導體晶片962上，且至少部分地上覆於安置於半導體晶片962頂部之半導體晶片963A及963B上。

在一項實例中，半導體晶片962、963A及963B可包含記憶體儲存陣列。如在上文所闡述之實例中，此等晶片962、963A及963B可各自併入有經組態以緩衝(例如，暫時地儲存)欲寫入至此晶片之資料或正自此晶片讀取之資料或此兩者之電路。另一選擇係，晶片962、963A及963B可在功能上較受限且可需要與經組態以暫時地儲存欲寫入至此晶片之資料或正自此晶片讀取之資料或此兩者之至少一個其他晶片一起使用。

半導體晶片964可透過連接至曝露於基板902之第一表面108處之觸點之導電結構(例如，TSV 972a及972b，統稱為TSV 972)而電連接至該微電子封裝之端子，例如電連接至其中安置有第一端子904及第二端子906之柵格。該導電結構(例如，TSV 972)可透過晶片964上之觸點938且透過沿著晶片964之面943或沿著晶片963A之一對立面931或沿著晶片963A、964兩者之面931、943延伸之導體(未展示)而電連接至半導體晶片964。如上文所指示，半導體晶片964可經組態以重新產生或至少部分地解碼其透過傳導結構(例如，TSV 972)接收之信號或資訊，且其可經組態以將所重新產生或經至少部分地解碼之信號或資訊傳送至該封裝內之其他晶片，諸如傳送至晶片962、963A及963B。

如圖22B中進一步所見，半導體晶片962、963A及963B可藉由可延伸穿過此等晶片中之一者、兩者或三者或三者

以上之複數個穿矽導通體(「TSV」) 972、974及976而電連接至半導體晶片964且彼此電連接。每一此TSV可與該封裝內之配線(例如，半導體晶片962、963A、963B及964中之兩者或兩者以上之傳導襯墊或跡線)電連接。在一特定實例中，信號或資訊可沿著一第一子組TSV 972a自基板902傳送至晶片964，且信號或資訊可沿著一第二子組TSV 972b自晶片964傳送至該基板。在一項實施例中，TSV 972之至少一部分可經組態以取決於特定信號或資訊而沿晶片964與基板902之間的任一方向傳送信號或資訊。在一項實例(未展示)中，穿矽導通體可延伸穿過所有半導體晶片962、963A及963B之厚度，即使每一穿矽導通體可不與其延伸穿過之每一此半導體晶片電連接時亦如此。

如圖22B中進一步所見，一散熱裝置或散熱器968(其可包含複數個散熱片971)可熱耦合至半導體晶片964之一面(例如，其一後面933)，諸如透過一導熱材料969(諸如熱黏合劑、導熱脂或焊料以及其他)。

圖22B中所展示之微電子總成995可經組態以操作為一記憶體模組，其能夠透過基板上之為其提供之第一及第二端子而將每週期指定數目個資料位元傳送至微電子封裝上或傳送離開該微電子封裝。舉例而言，該微電子總成可經組態以往來於一外部組件(諸如可與端子904、906電連接之一電路面板)傳送若干資料位元(諸如三十二個資料位元、六十四個資料位元或九十六個資料位元以及其他可能組態)。在另一實例中，當往來於該封裝傳送之位元包含錯

誤校正碼位元時，每週期往來於該封裝傳送之位元數目可係三十六個位元、七十二個位元或一百零八個位元。除本文已特定闡述之彼等資料寬度以外之其他資料寬度亦係可能的。

圖 23 進一步圖解說明根據圖 22A 中所見之實施例之一變化形式之一微電子封裝 990。於此情形中，第一半導體晶片 932 以與上文相對於圖 21 所闡述之方式相同的方式與基板 902 互連。然而，一或多個第二半導體晶片 934 可透過引線接合 925 與第一半導體晶片 932 電互連。該等引線接合可直接連接每一第二晶片 934 與第一半導體晶片 932，如圖 23 中所展示。另一選擇係，在某些情形中，引線接合可係級聯的，其中某些引線接合將毗鄰之第二晶片 934 連接在一起且其他引線接合連接第一晶片 932 與毗鄰於第一晶片之第二晶片 934，但未必直接連接第一晶片 932 與第二晶片 934 中之每一者。

在圖 23 中所展示之實例中，第二半導體晶片 934 放置成其前面及該等前面上之觸點 931 面向上，亦即背對第一半導體晶片 932。然而，在圖 24 中所見之另一變化形式中，第一半導體晶片 932 及第二半導體晶片 934 可一起安裝於微電子封裝中之另一方式係：將第一半導體晶片 932 及第二半導體晶片 934 中之每一者放置成其前面及觸點 931 面向下，亦即朝向基板 902。以彼方式，觸點 931 可透過引線接合 936 電連接至第一半導體晶片 932 之前面 942 上之對應觸點 941。於此情形中，觸點 941 可電連接至第一半導體晶片

932上之元件觸點939，諸如藉由沿著第一半導體晶片932之前面942延伸之跡線938，其中元件觸點939與基板觸點908之間的連接係如上文相對於圖21所闡述。圖24中所展示之封裝中之每一第二晶片934可藉由在其與第一晶片932之間延伸之一引線接合而直接地與第一晶片932連接，或透過如上文所闡述之一系列經級聯之引線接合而間接地與第一晶片932連接。

圖25圖解說明根據上文相對於圖22A所闡述之實施例之又一變化形式之一微電子封裝，其中一或多個第二半導體晶片934與第一半導體晶片932之觸點之間的連接可包含沿著微電子元件930之一或多個邊緣(亦即，沿著該微電子元件內之半導體晶片932、934之邊緣)延伸之跡線940。半導體晶片932、934之間的電連接可進一步包含分別沿著第一半導體晶片932及第二半導體晶片934之前面延伸之跡線944、946。如圖25中進一步展示，第二半導體晶片之前面942可面向上背對基板902或面向下朝向基板902。

在圖26A至圖26C中圖解說明根據本發明之一實施例之一微電子封裝1000。如其中所見，封裝1000可包含經組態以主要提供記憶體儲存陣列功能之一微電子元件1001，此乃因如上文所指示，微電子元件具有經組態以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置(例如，電晶體)。圖26A至圖26C中所展示之微電子封裝1000類似於圖5至圖7中所展示之微電子封裝100，但微電子封裝1000僅包含經組態以主要提供記憶體儲存陣列功能

之一單個微電子元件1001。

如圖26A中所見，第二柵格1024中之第一端子之信號指派係第一柵格1014中之第一端子之信號指派之一鏡像。換言之，第一及第二柵格中之第一端子之信號指派關於第一柵格1014與第二柵格1024之間的一軸1032對稱，在此情形中軸1032沿其中第一端子行1036延伸之一方向1042延伸。

如圖26A中所展示，第二端子106中之某些或全部第二端子可在基板1002之第二表面1010上安置成第三柵格1016、第四柵格1017、第五柵格1018及第六柵格1019。在一特定情形中，以與上文針對第一及第二柵格所闡述之方式類似之方式，第三柵格1016中之第二端子之信號指派可係第四柵格1017中之第二端子之信號指派之一鏡像。在一項實例中，第五柵格1018及第六柵格1019中之每一者可沿橫向於或甚至正交於其中第一、第二、第三及第四柵格延伸之方向1042之另一方向1035延伸。在圖26A至圖26C中所展示之實施例中，第三柵格1016、第四柵格1017、第五柵格1018及第六柵格1019各自毗鄰基板1002之第二表面1010之一周邊1025安置。

可藉由使微電子元件1001成為可包含兩個或兩個以上經堆疊半導體晶片之一複合結構以產生諸如上文關於圖21至圖25所展示及闡述之彼等微電子封裝之微電子封裝來修改圖26A至圖26C中所展示之其中一微電子封裝可包含毗鄰於一基板1002安置且與其電連接之一單個微電子元件1001之配置。包含一單個複合微電子元件之此等實施例可與圖

21至圖25中所展示之彼等實施例相同，但可僅存在一個複合微電子元件結構，而非如圖21至圖25中所展示之兩個複合微電子元件結構。

舉例而言，圖26A至圖26C之微電子元件1001可係圖21中所展示之微電子元件901中之一者，其中微電子元件係一複合微電子元件，其可包含：一第一半導體晶片932，其具有面向基板之對應基板觸點908且與其結合之觸點906；以及一第二半導體晶片934，其具有藉由穿矽導通體（「TSV」）950與第一半導體晶片932及基板902電連接之觸點910，穿矽導通體950沿第一半導體晶片932之一厚度952之一方向延伸。

在另一實例中，圖26A至圖26C之微電子元件1001可係圖22A中所展示之複合微電子元件中之一者，其中該微電子封裝亦可包含部分地或完全地延伸穿過第二半導體晶片934中之一或多者且亦可延伸穿過第一半導體晶片932之穿矽導通體960。

在一特定實施例中，圖26A至圖26C之微電子元件1001可係圖23中所展示之複合微電子元件中之一者，其中第一半導體晶片932以與上文相對於圖21所闡述的方式相同之方式與基板902互連。然而，一或多個第二半導體晶片934可透過引線接合925與第一半導體晶片932電互連。該等引線接合可直接連接每一第二晶片934與第一半導體晶片932，如圖23中所展示。

在一項實例中，圖26A至圖26C之微電子元件1001可係

圖 24 中所展示之複合微電子元件中之一者，其中第一半導體晶片 932 及第二半導體晶片 934 可一起安裝於微電子封裝中之另一方式係：將第一半導體晶片 932 及第二半導體晶片 934 中之每一者放置成其前面及觸點 931 面向下，亦即朝向基板 902。以彼方式，觸點 931 可透過引線接合 936 而電連接至第一半導體晶片 932 之前面 942 上之對應觸點 941。

在一例示性實施例中，圖 26A 至圖 26C 之微電子元件 1001 可係圖 25 中所展示之複合微電子元件中之一者，其中一或多個第二半導體晶片 934 與第一半導體晶片 932 之觸點之間的連接可包含沿著微電子元件 930 之一或多個邊緣（亦即，沿著該微電子元件內之半導體晶片 932、934 之邊緣）延伸之跡線 940。

圖 26D 圖解說明在圖 26A 至圖 26C 中展示之微電子元件 1001 之一變化形式，其中一微電子元件 1090 之接觸襯墊 1085 可安置成接近該微電子元件之中心（例如，毗鄰該微電子元件之一中心軸 1080）之一或兩個行 1092、1094。在此實例中，結合至基板之對應觸點 1021（圖 26C）之元件觸點可係微電子元件上之再分配觸點 1088、1089。與接觸襯墊 1085 電連接之再分配觸點 1088、1089 中之某些或全部再分配觸點可沿著微電子元件 1090 之一面沿一或多個方向 1095、1096 自該等接觸襯墊位移。

在一項實例中，再分配觸點 1088、1089 可安置成比接觸襯墊 1085 之行 1092、1094 較接近於微電子元件 1090 之邊緣 1070、1072 之複數個行 1098、1099。在一特定實例中，再

分配觸點 1088、1089 可分佈成曝露於微電子元件 1090 之表面 1091 處之一區域陣列。在另一特定實例中，再分配觸點 1088、1089 可沿著微電子元件之一或多個周邊邊緣 1070、1072 (其沿一第一方向 1095 延伸) 分佈，或可沿著該微電子元件之一或多個周邊邊緣 1071、1073 (其沿橫向於第一方向 1095 之一第二方向 1096 延伸) 分佈。

在又一實例中，再分配觸點 1088、1089 可沿著微電子元件之周邊邊緣 170、171、172 及 173 中之兩者或兩者以上分佈。在此等實例中之任一者中，再分配觸點 1088、1089 可安置於微電子元件 1090 之與接觸襯墊 1085 相同之面 1091 上，或可安置於該微電子元件之與該等接觸襯墊相對之一面上。在一項實例中，每一接觸襯墊 1085 可連接至一再分配觸點 1088、1089。在另一實例中，可不存在連接至一或多個接觸襯墊 1085 之再分配觸點。並未連接至一再分配觸點之此一或多個接觸襯墊 1085 可或可不電連接至其中安置有微電子元件 1090 之微電子封裝之一或多個對應端子。

圖 27 圖解說明第一微電子封裝 1000A 及第二微電子封裝 1000B 之一總成 1100，第一微電子封裝 1400A 及第二微電子封裝 1400B 各自係如上文參考圖 26A 至圖 26C 所闡述之一微電子封裝 1000，安裝至一電路面板 1054 之相對之第一表面 1050 與第二表面 1052。該電路面板可係為各種類型，諸如用於一雙列直插式記憶體模組(「DIMM」)模組中之一印刷電路板、將與一系統中之其他組件連接之一電路板或面板或一主機板以及其他。第一微電子封裝 1000A 及第二

微電子封裝 1000B 可分別安裝至曝露於電路面板 1054 之第一表面 1050 及第二表面 1052 處之對應觸點 1060、1062。圖 27 中所展示之微電子總成 1100 類似於圖 8A 中所展示之微電子封裝 200，但微電子封裝 1000A、1000B 中之每一者僅包含經組態以主要提供記憶體儲存陣列功能之一單個微電子元件。

上文參考圖 5 至圖 27 所闡述之微電子封裝及微電子總成可用於多種多樣之電子系統(諸如圖 28 中所展示之系統 1200)之構造。舉例而言，根據本發明之又一實施例之系統 1200 可包含一或多個模組或組件 1206，諸如如上文結合其他電子組件 1208 及 1210 所闡述之微電子封裝及/或微電子總成。

在所展示之例示性系統 1200 中，該系統可包含一電路面板、主機板或豎式(riser)面板 1202 (諸如一撓性印刷電路板)，且該電路面板可包含使模組或組件 1206、1208 及/或 1210 彼此互連之眾多導體 1204，在圖 28 中僅繪示其一者。此一電路面板 1202 可往來於系統 1200 中所包含之微電子封裝及/或微電子總成中之每一者輸送信號。然而，此僅係例示性的；可使用用於在模組或組件 1206 之間進行電連接之任一適合結構。

在一特定實施例中，系統 1200 亦可包含一處理器(諸如半導體晶片 1208)，以使得每一模組或組件 1206 可經組態以在一時脈週期中並行傳送 N 數目個資料位元，且該處理器可經組態以在一時脈週期中並行傳送 M 數目個資料位

元， M 大於或等於 N 。

在圖28中所繪示之實例中，組件1208係一半導體晶片，且組件1210係一顯示器螢幕，但在系統1200中亦可使用任何其他組件。當然，儘管為清楚地圖解說明而在圖28中僅繪示兩個額外組件1208及1210，但系統1200可包含任一數目個此等組件。

模組或組件1206與組件1208及1210可安裝於一共同殼體1201中(以虛線示意性地繪示)，且可在必要時彼此電互連以形成所期望之電路。殼體1201繪示為可用於(舉例而言)一蜂巢式電話或個人數位助理中之類型之一可攜式殼體，且螢幕1210可曝露於該殼體之表面處。在其中一結構1206包含一光敏元件(諸如一成像晶片)之實施例中，亦可提供一透鏡1211或其他光學裝置用於將光路由至該結構。同樣，圖28中所展示之經簡化系統僅係例示性的；可使用上文所論述之結構來製作其他系統，包含通常被視為固定結構之系統，諸如桌上型電腦、路由器及諸如此類。

上文關於圖5至圖27所闡述之微電子封裝及微電子總成亦可用於諸如圖29中所展示之系統1300之一電子系統之構造。舉例而言，根據本發明之又一實施例之系統1300與圖28中所展示之系統1200相同，但已用複數個組件1306替換組件1206。

組件1306中之每一者可係或可包含上文參考圖5至圖27所闡述之微電子封裝或微電子總成中之一或多者。在一特定實例中，組件1306中之一或多者可係圖8A中所展示之微

電子總成200之一變化形式，其中電路面板154包含曝露之邊緣觸點，且每一微電子總成200之電路面板154可適合於插入至一插座1305中。

每一插座1305可在該插座之一或兩側處包含複數個觸點1307，以使得每一插座1305可適合於與一對應組件1306之對應曝露邊緣觸點配接，諸如上文所闡述之微電子總成200之變化形式。在所展示之例示性系統1300中，系統可包含一第二電路面板1302或主機板(諸如一撓性印刷電路板)，且第二電路面板可包含使組件1306彼此互連之眾多導體1304，在圖29中僅繪示其一者。

在一特定實例中，諸如系統1300之一模組可包含複數個組件1306，每一組件1306係微電子總成200之上文所闡述變化形式。每一組件1306可安裝至第二電路面板1302且與其電連接、供往來於每一組件1306輸送信號。系統1300之特定實例僅係例示性的；可使用用於在組件1306之間進行電連接之任何適合結構。

在上文中所闡述之微電子封裝中之任一者或全部中，該等微電子元件中之一或多者之後表面可在完成製造之後至少部分地曝露於該微電子封裝之一外部表面處。因此，在上文參考圖5至圖7所闡述之微電子封裝100中，微電子元件中之一或多者之後表面可部分地或完全地曝露於所完成之微電子封裝100中之一囊封體146之一外部表面處。

在上文所闡述之實施例中之任一者中，微電子封裝及微電子總成可包含部分地或整體地由任一適合之導熱材料製

成之一散熱器。適合之導熱材料之實例包含(但不限於)金屬、石墨、導熱黏合劑(例如，導熱環氧樹脂)、一焊料或諸如此類，或此等材料之一組合。在一項實例中，散熱器可係一實質上連續之金屬薄片。

在一項實施例中，該散熱器可包含毗鄰於該等微電子元件中之一或多者安置之一金屬層。該金屬層可曝露於該微電子封裝之一後表面處。另一選擇係，該散熱器可包含覆蓋該等微電子元件中之一或多者之至少後表面之一外模製件或一囊封體。在一項實例中，該散熱器可與該等微電子元件中之一或多者(諸如圖6中所展示之微電子元件101及103)之前表面及後表面中之至少一者熱連通。在某些實施例中，該散熱器可在該等微電子元件中之毗鄰者之毗鄰邊緣之間延伸。該散熱器可改良對周圍環境之熱耗散。

在一特定實施例中，由金屬或另一導熱材料製成之一預製散熱器可藉助一導熱材料(諸如導熱黏合劑或導熱脂)而附接至或安置於該等微電子元件中之一或多者之後表面上。該黏合劑(若存在)可係一柔軟材料，其准許散熱器與其附接至之微電子元件之間的相對移動以(舉例而言)容納該等經柔軟附接元件之間的不同熱膨脹。該散熱器可係一單片結構。另一選擇係，該散熱器可包含彼此間隔開之多個散熱器部分。在一特定實施例中，該散熱器可係或可包含一焊料層，該焊料層直接結合至微電子元件中之一或多者(諸如圖6中所展示之微電子元件101及103)之一後表面之至少一部分。

以上實施例可以除上文中所明確闡述或展示之方式以外之方式組合。舉例而言，每一封裝可併入有上文相對於圖5至圖7、圖9、圖10、圖26A至圖26C或者圖21、圖22、圖23、圖24或圖25中之任一者來展示及闡述之微電子元件類型中之任一者，其係裸半導體晶片、或經垂直堆疊且電互連之半導體晶片、或其上具有一再分配層之一或多個半導體晶片。

由於可在不背離本發明之情況下利用上文所論述特徵之此等及其他變化形式及組合，因此應以圖解說明之方式而非以限制由申請專利範圍定義之本發明之方式考量該等較佳實施例之前述說明。

應瞭解，本文中所陳述之各種附屬請求項及特徵可以不同於初始請求項中所呈現之方式來組合。亦應瞭解，結合個別實施例所闡述之特徵可與所闡述實施例中之其他實施例共用。

工業適用性

本發明具有包含(但不限於)微電子總成及製造微電子總成之方法之廣泛工業適用性。

【圖式簡單說明】

圖1係圖解說明含有一DRAM晶片之一習用微電子封裝之一剖視圖。

圖2係圖解說明併入有一電路面板及彼此相對地安裝至其相對之第一表面與第二表面之複數個微電子封裝之一微電子總成，例如一DIMM模組。

圖3係進一步圖解說明在諸如圖2中所展示之一總成中之第一及第二微電子封裝與一電路面板之間的一電互連之一剖視圖。

圖4係進一步圖解說明在諸如圖2中所展示之一總成中之第一及第二微電子封裝之間的電互連之一示意性平面圖。

圖5係圖解說明根據本發明之一實施例在一微電子封裝中之端子之一配置及信號指派之一示意性平面圖。

圖5A係展示針對圖5之一部分之端子之一替代配置之一局部視圖。

圖6係透過圖5之線6-6進一步圖解說明圖5中所展示之微電子封裝之一剖視圖。

圖7係進一步圖解說明根據圖5及圖6中所展示之實施例之一端子配置之一平面圖。

圖8A係圖解說明根據本發明之一實施例之一微電子總成及與其電互連之第一及第二微電子封裝之一剖視圖。

圖8B係圖解說明根據本發明之一實施例之一微電子總成及與其電互連之第一及第二微電子封裝之一剖視圖。

圖8C係圖解說明根據本發明之一實施例之一微電子總成及與其電互連之四個微電子封裝之一剖視圖。

圖8D係圖解說明根據本發明之一實施例包含一電路面板及電連接至其之微電子封裝(例如，一記憶體模組以及其他)之一微電子總成之一示意圖。

圖9係圖解說明根據本發明之一實施例在一微電子封裝中之端子之一配置及信號指派之一示意性平面圖。

圖 10 係圖解說明根據本發明之一實施例在一微電子封裝中之端子之一配置及信號指派之一示意性平面圖。

圖 11 係圖解說明根據圖 5 至圖 7 中所展示之實施例之一變化形式之一晶圓級微電子封裝之一剖視圖。

圖 12 係圖解說明根據本發明之一實施例之一微電子總成及與其電互連之第一及第二微電子封裝之一剖視圖。

圖 13 及圖 14 係圖解說明根據圖 5 至圖 7 中所展示之實施例之一變化形式之一微電子封裝之一剖視圖及一平面圖。

圖 15 係圖解說明根據圖 13 及圖 14 中所展示之實施例之一變化形式在一微電子封裝上之一替代端子配置之一平面圖。

圖 16 係圖解說明根據圖 13 及圖 14 中所展示之實施例之一變化形式在一微電子封裝上之另一替代端子配置之一平面圖。

圖 17 係圖解說明根據圖 5 至圖 7 中所展示之實施例之一變化形式之一微電子封裝之一平面圖。

圖 18 係圖解說明根據圖 13 及圖 14 中所展示之實施例之一變化形式之一微電子封裝之一平面圖。

圖 19 係圖解說明根據圖 18 中所展示之實施例之一變化形式之一微電子封裝之一平面圖。

圖 20 係圖解說明根據圖 19 中所展示之實施例之一變化形式之一微電子封裝之一平面圖。

圖 21 係圖解說明根據本發明之一實施例包含其中之半導體晶片之一經堆疊經電連接總成之一微電子封裝之一剖視

圖。

圖 22A 係圖解說明根據本發明之一實施例包含其中之半導體晶片之一經堆疊經電連接總成之一微電子封裝之一剖視圖。

圖 22B 係圖解說明根據圖 22A 中所展示之實施例之一變化形式之一微電子封裝之一剖視圖。

圖 23 係圖解說明根據圖 22A 中所展示之實施例之一變化形式之一微電子封裝之一剖視圖。

圖 24 係圖解說明根據圖 22A 中所展示之實施例之一變化形式之一微電子封裝之一剖視圖。

圖 25 係圖解說明根據圖 22A 中所展示之實施例之又一變化形式之一微電子封裝之一剖視圖。

圖 26A 係圖解說明根據本發明之一實施例在一微電子封裝中之端子之一配置及信號指派之一示意性平面圖。

圖 26B 係進一步圖解說明根據圖 26A 中所展示之實施例之一端子配置之一平面圖。

圖 26C 係透過圖 26A 之線 26C-26C 進一步圖解說明圖 26A 中所展示之微電子封裝之一剖視圖。

圖 26D 係圖解說明根據圖 26A 至圖 26C 中所展示之實施例之一變化形式在一微電子封裝上之一替代觸點配置之一平面圖。

圖 27 係圖解說明根據本發明之一實施例之一微電子總成及與其電互連之第一及第二微電子封裝之一剖視圖。

圖 28 係圖解說明根據本發明之一實施例之一系統之一示

意性剖視圖。

圖 29 係圖解說明根據本發明之一實施例之一系統之一示意性剖視圖。

【主要元件符號說明】

1	端 子
2	端 子
3	端 子
4	端 子
5	端 子
6	端 子
7	端 子
8	端 子
11	半 導 體 晶 片 / 微 電 子 元 件
12	微 電 子 封 裝 / 封 裝
12A	封 裝 / 微 電 子 封 裝
12B	封 裝 / 微 電 子 封 裝
12C	封 裝
12D	封 裝
12E	封 裝
12F	封 裝
14	端 子 行
16	第 一 周 邊 邊 緣 / 邊 緣
18	端 子 行
20	封 裝 基 板 / 基 板

22	第二周邊邊緣/邊緣
24	中心區
26	元件觸點
26C-26C	線
28	面
30	引線接合
32	黏合層
34	電路面板
36	匯流排/命令-位址匯流排
38	總成
40	方向
42	方向
100	微電子封裝/封裝
100A	第一微電子封裝/封裝/第一封裝
100B	第二微電子封裝/封裝/第二封裝
100C	封裝
100D	封裝
101	微電子元件/第一微電子元件/第一端子
102	基板
103	微電子元件/第二微電子元件
104	第一端子/端子
104A	第一端子
104B	第一端子
104'	端子

105	表面
106	第二端子/端子
108	相對表面/第一表面/表面
110	第二表面/封裝表面/表面
111	元件觸點/觸點
112	平面
113	元件觸點/觸點
114	第一組/第一柵格/柵格
114A	第一柵格/柵格
114B	第一柵格/柵格
116	第三柵格
116A	第三柵格/柵格
116B	第三柵格/柵格
119	行軸/軸
121	觸點/基板觸點/第一組
122	介電元件
123	第二組/基板觸點
124	第二組/第二柵格/柵格/信號指派
124A	第二柵格/柵格
124B	第二柵格/柵格
126	第四柵格
126A	第四柵格/柵格
126B	第四柵格/柵格
130	結合元件

132	理論軸/軸
134	方向/垂直佈局方向
135	水平方向/方向
136	平行端子行/平行之第一與第二端子行/第一端子行/行/右側行/左側行
138	行/觸點行
140	第一邊緣/邊緣
142	第二邊緣/邊緣
143	方向
145	表面
146	囊封體
150	第一表面
152	第二表面
154	電路面板
160	觸點
162	觸點
200	總成/微電子封裝/微電子總成
214	第一柵格
216	第二柵格
224	第一柵格
226	第二柵格
236	行
238	行
244	第一柵格

250	封裝
254	第二柵格
300	封裝/晶圓級封裝/總成
302	介電層
308	金屬化導通體/導通體
309	導電跡線
310	表面
354	電路面板或電路板/微電子總成/總成
358	微電子元件
400A	第一封裝/封裝
400B	第二封裝/封裝
414	第一柵格/柵格
424	第二柵格/柵格
500	微電子封裝/封裝
501	第一微電子元件/微電子元件
503	第二微電子元件/微電子元件
505	第三微電子元件/微電子元件
507	第四微電子元件/微電子元件
510	第一邊緣
512	第二邊緣
514	柵格
516	柵格
524	柵格
526	柵格

530	中心線
534	柵格
536	柵格
544	柵格
546	柵格
550	周邊邊緣
552	周邊邊緣
560	封裝
570	封裝
600	封裝
601	第一微電子元件/微電子元件
603	第二微電子元件/微電子元件
605	第三微電子元件/微電子元件
607	第四微電子元件/微電子元件
610	第一邊緣
612	第二邊緣
620	方向
622	方向
651	柵格/第一柵格
653	柵格/第二柵格
655	柵格/第三柵格
657	柵格/第四柵格
680	垂直軸
682	水平軸

700	微電子封裝/封裝
701	第一微電子元件/微電子元件
702	邊緣/基板區域
703	第二微電子元件/微電子元件
704	端子承載表面/端子承載基板表面
705	第三微電子元件/微電子元件
707	第四微電子元件/微電子元件
710	第一邊緣/邊緣
712	第二邊緣
714	第一柵格/柵格
720	第一方向/方向
722	第二方向/方向
724	第二柵格/柵格
730	第一邊緣/邊緣
732	第二邊緣
740	周邊邊緣
750	緩衝元件
751	第三柵格/柵格
753	第四柵格/柵格
755	第五柵格/柵格
757	第六柵格/柵格
760	區域
780	垂直軸
782	水平軸

800	微電子封裝/封裝
801	微電子元件
803	微電子元件
805	微電子元件
807	微電子元件
810	第一邊緣
812	第二邊緣
814	柵格
820	方向
822	方向
824	柵格
830	第一邊緣
832	第二邊緣
840	平面
842	平面
850	中心區
900	微電子封裝
901	微電子元件
902	基板
904	第一端子/端子
906	觸點/第二端子/端子
908	基板觸點/元件觸點
910	觸點
925	引線接合

930	微電子元件
931	對立面/面/觸點
932	第一半導體晶片/晶片/第一晶片/半導體 晶片
933	後面
934	第二半導體晶片/第二晶片/半導體晶片
936	引線接合
938	第一面/觸點/跡線
939	元件觸點
940	跡線
941	觸點
942	第二面/面/前面
943	面
944	跡線
946	跡線
950	穿矽導通體
952	厚度
960	穿矽導通體
962	半導體晶片/晶片
963A	半導體晶片/晶片
963B	半導體晶片/晶片
964	半導體晶片/晶片
968	散熱裝置或散熱器
969	導熱材料

971	散熱片
972a	穿矽導通體
972b	穿矽導通體
974	穿矽導通體
976	穿矽導通體
990	微電子封裝
995	微電子總成
1000	微電子封裝/封裝
1000A	第一微電子封裝/微電子封裝
1000B	第二微電子封裝/微電子封裝
1001	微電子元件
1002	基板
1010	第二表面
1014	第一柵格
1016	第三柵格
1017	第四柵格
1018	第五柵格
1019	第六柵格
1021	觸點
1024	第二柵格
1025	周邊
1032	軸
1035	方向
1036	第一端子行

1042	方 向
1050	第 一 表 面
1052	第 二 表 面
1054	電 路 面 板
1060	觸 點
1062	觸 點
1070	邊 緣 / 周 邊 邊 緣
1071	周 邊 邊 緣
1072	邊 緣 / 周 邊 邊 緣
1073	周 邊 邊 緣
1080	中 心 軸
1085	接 觸 襯 墊
1088	再 分 配 觸 點
1089	再 分 配 觸 點
1090	微 電 子 元 件
1091	表 面 / 面
1092	行
1094	行
1095	方 向 / 第 一 方 向
1096	方 向 / 第 二 方 向
1098	行
1099	行
1100	總 成 / 微 電 子 總 成
1200	系 統

1201	殼體
1202	電路面板/主機板/豎式面板
1204	導體
1206	模組/組件/結構
1208	模組/組件/電子組件/半導體晶片
1210	電子組件/模組/組件/螢幕
1211	透鏡
1300	系統
1302	第二電路面板
1304	導體
1305	插座
1306	組件
1307	觸點
A	信號
A0至A15	位址信號
B	信號
BA0	記憶體庫位址信號
BA1	記憶體庫位址信號
BA2	記憶體庫位址信號
CAS	行位址選通信號
CK	時脈信號
CKB	時脈信號
DQ0至DQ15	資料信號/端子/封裝端子
DQSH#	第二端子

DQSL#	第二端子
I	連接部位/部位
II	連接部位/部位
III	連接部位/部位
RAS	列位址選通信號
VDD	電力供應電壓
WE	寫入啟用信號
X	方向
Y	方向

七、申請專利範圍：

1. 一種微電子總成，其包括：

一電路面板，其具有對置之第一表面與第二表面以及分別曝露於該等第一及第二表面處之第一及第二面板觸點；及

第一及第二微電子封裝，其各自具有安裝至該等各別面板觸點之端子，

每一微電子封裝包含：

一微電子元件，其具有一面及曝露於該面處之複數個元件觸點，該微電子元件具有記憶體儲存陣列功能；

一基板，其具有對置之第一表面與第二表面，該基板具有曝露於該第一表面處、面向且結合至該微電子元件之該等元件觸點之一組基板觸點；及

複數個端子，其曝露於該第二表面處、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該等第一及第二組中之每一者經組態以攜載可由該微電子封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊，

該等端子進一步包含複數個第二端子，該等第二端子包含其安置於該軸之該第一側上之一第三組以及其安置於該軸之該第二側上之一第四組，該等第二端子經組態以攜載第二資訊，該第二資訊不同於該等第一端子所攜載之資訊，該第二資訊包含資料信號，

其中該等第一及第二組將該等第三及第四組彼此分離，或者該等第三及第四組將該等第一及第二組彼此分離，及

其中該第一組中之該等第一端子之信號指派相對於該第二組中之該等第一端子之信號指派關於於該軸對稱，以使得該第一組之每一第一端子經組態以在相對於此第一端子關於該軸對稱之一位置處攜載與該第二組之每一對應的第一端子相同的位址資訊。

2. 如請求項1之微電子總成，其中每一微電子封裝之該微電子元件體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。
3. 如請求項1之微電子總成，其中每一微電子封裝之該等第一及第二組中之每一者之該等第一端子經組態以攜載可由該各別微電子封裝內之該電路使用以判定該可定址記憶體位置之該位址資訊全部。
4. 如請求項1之微電子總成，其中每一微電子封裝之該等第一及第二組中之每一者之該等第一端子經組態以攜載控制該各別微電子封裝之該微電子元件之一操作模式之資訊。

5. 如請求項4之微電子總成，其中每一微電子封裝之該等第一及第二組中之每一者之該等第一端子經組態以攜載傳送至該各別微電子封裝之命令信號全部，該等命令信號係寫入啟用、列位址選通及行位址選通信號。
6. 如請求項1之微電子總成，其中每一微電子封裝之該等第一及第二組中之每一者之該等第一端子經組態以攜載傳送至該各別微電子封裝之時脈信號，該等時脈信號係用於取樣攜載該位址資訊之信號之時脈。
7. 如請求項1之微電子總成，其中每一微電子封裝之該等第一及第二組中之每一者之該等第一端子經組態以攜載傳送至該各別微電子封裝之記憶體庫位址信號全部。
8. 如請求項1之微電子總成，其中每一微電子封裝之該等第一及第二組之該等第一端子安置於每一微電子封裝之各別第一及第二柵格內之位置處，且第一封裝之該第二柵格中之該等第一端子穿過該電路面板連接至第二封裝之該第一柵格中之該等第一端子，該第一封裝之該第二柵格之該等第一端子沿平行於該等第一及第二電路面板表面之正交之x方向與y方向在一個球節距內對準其連接至之該第二封裝上之該第一柵格之對應第一端子。
9. 如請求項8之微電子總成，其中該等柵格沿該等正交之x方向與y方向彼此對準以使得該等柵格之該等端子彼此重合。
10. 如請求項8之微電子總成，其中每一柵格之每一位置由該等端子中之一者佔用。

11. 如請求項8之微電子總成，其中該等柵格中之至少一者之至少一個位置並不由一端子佔用。
12. 如請求項8之微電子總成，其中該等第一及第二封裝之該等柵格之該等位置之至少一半沿平行於該電路面板之該第一表面之正交之x方向與y方向彼此對準。
13. 如請求項8之微電子總成，其中該第一微電子封裝之該等第一端子中之一者與該第二微電子封裝之該等第一端子中之一對應者之間的電連接中之至少一者之一短線之一長度小於該等微電子封裝中之每一者之該等第一端子之一最小節距之七倍。
14. 如請求項8之微電子總成，其中穿過該電路面板在該等第一及第二微電子封裝之該等第一端子之間的該等電連接中之至少某些電連接具有大約該電路面板之一厚度之一電長度。
15. 如請求項13之微電子總成，其中連接曝露於該電路面板之該等第一及第二表面處之每一對經電耦合之第一及第二面板觸點之傳導元件之總組合長度小於該等面板觸點之一最小節距之七倍。
16. 如請求項1之微電子總成，其中該電路面板包含具有經組態以攜載傳送至該等微電子封裝中之每一者之該位址資訊全部之複數個導體之一匯流排，該等導體沿平行於該等第一及第二表面之一第一方向延伸。
17. 如請求項8之微電子總成，其中每一微電子封裝之第一端子之該等第一及第二柵格中之每一者具有一單個行，

且其中該電路面板包含用於在該等微電子封裝中之一或多者之該等端子電連接之該電路面板上之各別連接部位之間路由該位址資訊之不多於一個路由層。

18. 如請求項8之微電子總成，其中每一微電子封裝之第一端子之該等第一及第二柵格中之每一者具有兩個平行行，且其中該電路面板包含用於在該等微電子封裝中之一或多者之該等端子電連接之該電路面板上之各別連接部位之間路由該位址資訊之不多於兩個路由層。

19. 如請求項18之微電子總成，其中存在用於在該等微電子封裝中之一或多者之該等端子電連接之該電路面板上之各別連接部位之間路由該位址資訊之不多於一個路由層。

20. 如請求項1之微電子總成，其中每一微電子封裝包含電連接至該各別微電子封裝中之該等各別端子中之至少某些端子及該微電子元件之一半導體元件，每一半導體元件經組態以執行下列各項中之至少一者：重新產生或至少部分地解碼在該各別微電子封裝之該等端子中之一或多者處接收之位址資訊或命令資訊中之至少一者供傳送至該微電子元件。

21. 如請求項1之微電子總成，其中每一微電子封裝之該微電子元件係一第一微電子元件且每一基板之該組基板觸點係一第一組基板觸點，

每一微電子封裝進一步包括一第二微電子元件，該第二微電子元件具有一面及曝露於該面處之複數個元件觸

點，該第二微電子元件具有記憶體儲存陣列功能，

每一基板具有曝露於該第一表面處、面向且結合至該各別第二微電子元件之該等元件觸點之一第二組基板觸點，該各別微電子封裝之該等端子與該第二組基板觸點電連接，

每一微電子封裝之該等第一及第二組中之每一者之該等第一端子經組態以攜載可由該各別微電子封裝內之電路使用以自該各別微電子封裝之該等第一及第二微電子元件中之至少一者之一記憶體儲存陣列之所有該等可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊。

22. 如請求項 1 之微電子總成，其中該電路面板包含具有小於每攝氏度百萬分之(「ppm/°C」) 12 之一熱膨脹係數(「CTE」)之一元件，其中曝露於該等第一及第二表面處之該等面板觸點藉由延伸穿過該元件之導通體而連接。
23. 如請求項 1 之微電子總成，其中該元件基本上由半導體、玻璃、陶瓷或液晶聚合物材料組成。
24. 如請求項 1 之微電子總成，其中每一微電子封裝之該等第一及第二組將各自的微電子封裝之該等第三及第四組彼此分離。
25. 如請求項 1 之微電子總成，其中每一微電子封裝之該等第三及第四組將各自的微電子封裝之該等第一及第二組彼此分離。

26. 一種系統，其包括如請求項1之一微電子總成及電連接至該微電子總成之一或多個其他電子組件。
27. 如請求項26之系統，其進一步包括一殼體，該微電子總成及該一或多個其他電子組件係與該殼體一起裝配。
28. 如請求項26之系統，其中該微電子總成係一第一微電子總成，該系統進一步包括一第二該微電子總成。
29. 一種包含如請求項1之複數個微電子總成之模組，每一微電子總成安裝至一第二電路面板且與該第二電路面板電連接以用於往來於每一微電子總成輸送信號。

30. 一種微電子總成，其包括：

一電路面板，其具有對置之第一表面與第二表面以及分別在該等第一及第二表面處之第一及第二面板觸點；及

第一及第二微電子封裝，其各自具有安裝至該等各別面板觸點之端子，

每一微電子封裝包含：

一微電子元件，其具有一面及在該面上之複數個元件觸點，該微電子元件體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置；

一基板，其具有對置之第一表面與第二表面，該基板具有在該第一表面上、面向且結合至該微電子元件之該等元件觸點之一組基板觸點；及

複數個端子，其在該第二表面上、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含配置於平行之第

一柵格與第二柵格內之位置處之第一端子，每一柵格安置於一軸之各自的一側上，該等第一及第二柵格中之每一者之該等第一端子經組態以攜載可由該微電子封裝內之電路使用以自該微電子元件內之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之位址資訊之大部分，

該等端子進一步包含複數個第二端子，該等第二端子經配置於平行之第三柵格及第四柵格內之位置處及經組態以攜載第二資訊，該第二資訊不同於該等第一端子所攜載之資訊，該第二資訊包含資料信號，

其中該等第一及第二組將該等第三及第四組彼此分離，或者該等第三及第四組將該等第一及第二組彼此分離，及

其中該第一柵格中之該等第一端子之信號指派相對於該第二柵格中之該等第一端子之信號指派關於該軸對稱，以使得其經組態以攜載位址資訊之該第一柵格之每一第一端子經組態以在相對於此第一端子關於該軸對稱之一位置處攜載與該第二柵格之每一對應的第一端子相同的位址資訊。

31. 如請求項30之微電子總成，其中每一微電子封裝之該等第一及第二柵格中之每一者之該等第一端子經組態以攜載可由該各別微電子封裝內之該電路使用以判定該可定址記憶體位置之該位址資訊之至少四分之三。

32. 如請求項30之微電子總成，其中每一微電子封裝之該等

第一及第二柵格將各自的微電子封裝之該等第三及第四柵格彼此分離。

33. 如請求項30之微電子總成，其中每一微電子封裝之該等第三及第四柵格將各自的微電子封裝之該等第一及第二柵格彼此分離。

34. 一種微電子總成，其包括：

一電路面板，其具有對置之第一表面與第二表面以及分別曝露於該等第一及第二表面處之第一及第二面板觸點；及

第一及第二微電子封裝，其各自具有安裝至該等各別面板觸點之端子，每一微電子封裝包含：

一微電子元件，其具有一面及曝露於該面處之複數個元件觸點，該微電子元件具有記憶體儲存陣列功能；

一基板，其具有對置之第一表面與第二表面，該基板具有曝露於該第一表面處、面向且結合至該微電子元件之該等元件觸點之一組基板觸點；及

複數個端子，其曝露於該第二表面處、經組態而用於連接該微電子封裝與在該封裝外部之至少一個組件，該等端子與該等基板觸點電連接且包含複數個第一端子，該等第一端子包含其安置於一理論軸之一第一側上之一第一組及其安置於與該第一側相對之該軸之一第二側上之一第二組，該第一組第一端子安置成一第一個別行且該第二組第一端子安置成一第二個別

行，該等第一及第二行中之每一者之該等第一端子經組態以攜載可由該微電子封裝內之電路使用以自該微電子元件之一記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置之所有位址資訊，

其中該第一個別行中之該等第一端子之信號指派相對於該第二個別行中之該等第一端子之信號指派關於在該第一個別行與該第二個別行之間延伸之一理論軸對稱，以使得其經組態以攜載位址資訊之該第一個別行之每一第一端子經組態以在相對於此第一端子關於該軸對稱之一位置處攜載與該第二個別行之每一對應的第一端子相同的位址資訊。

35. 如請求項 34 之微電子總成，其中每一微電子封裝之該微電子元件體現用以提供記憶體儲存陣列功能而非任何其他功能之較大數目個主動裝置。

八、圖式：

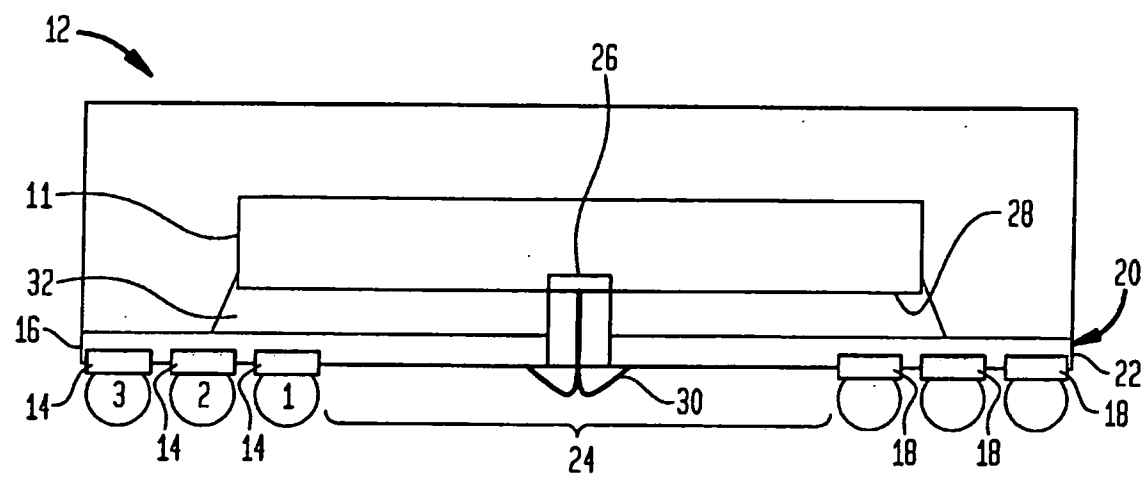


圖 1

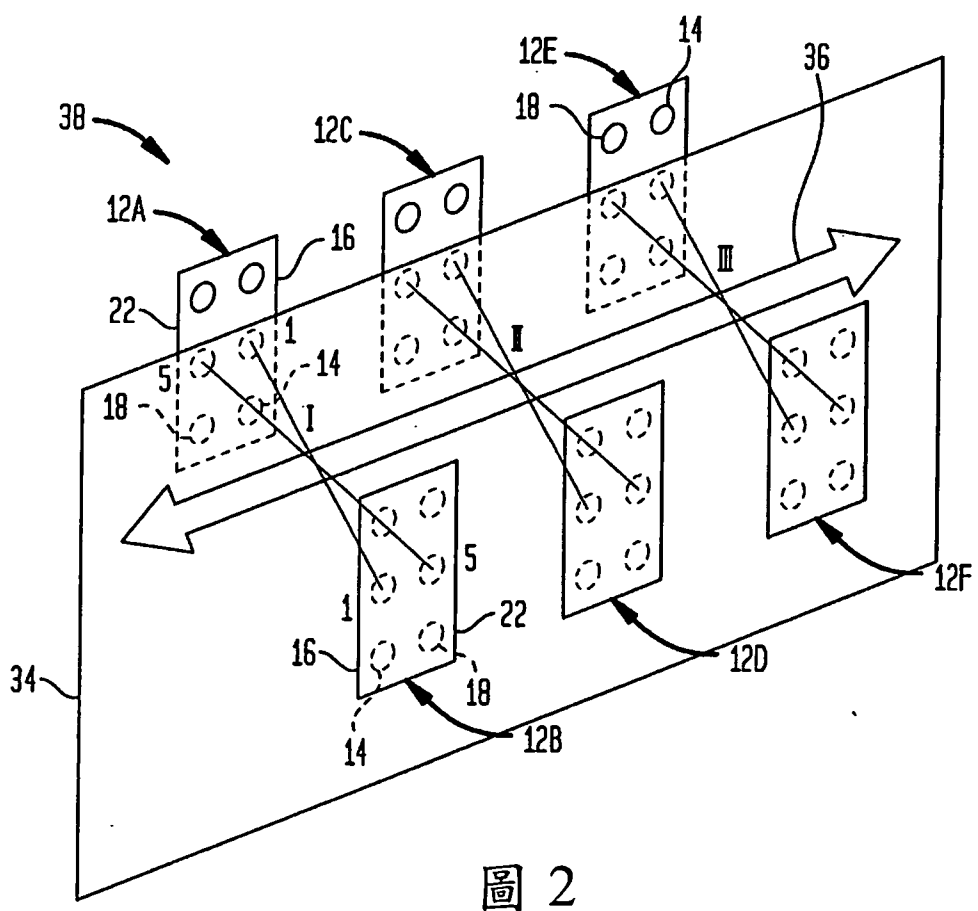


圖 2

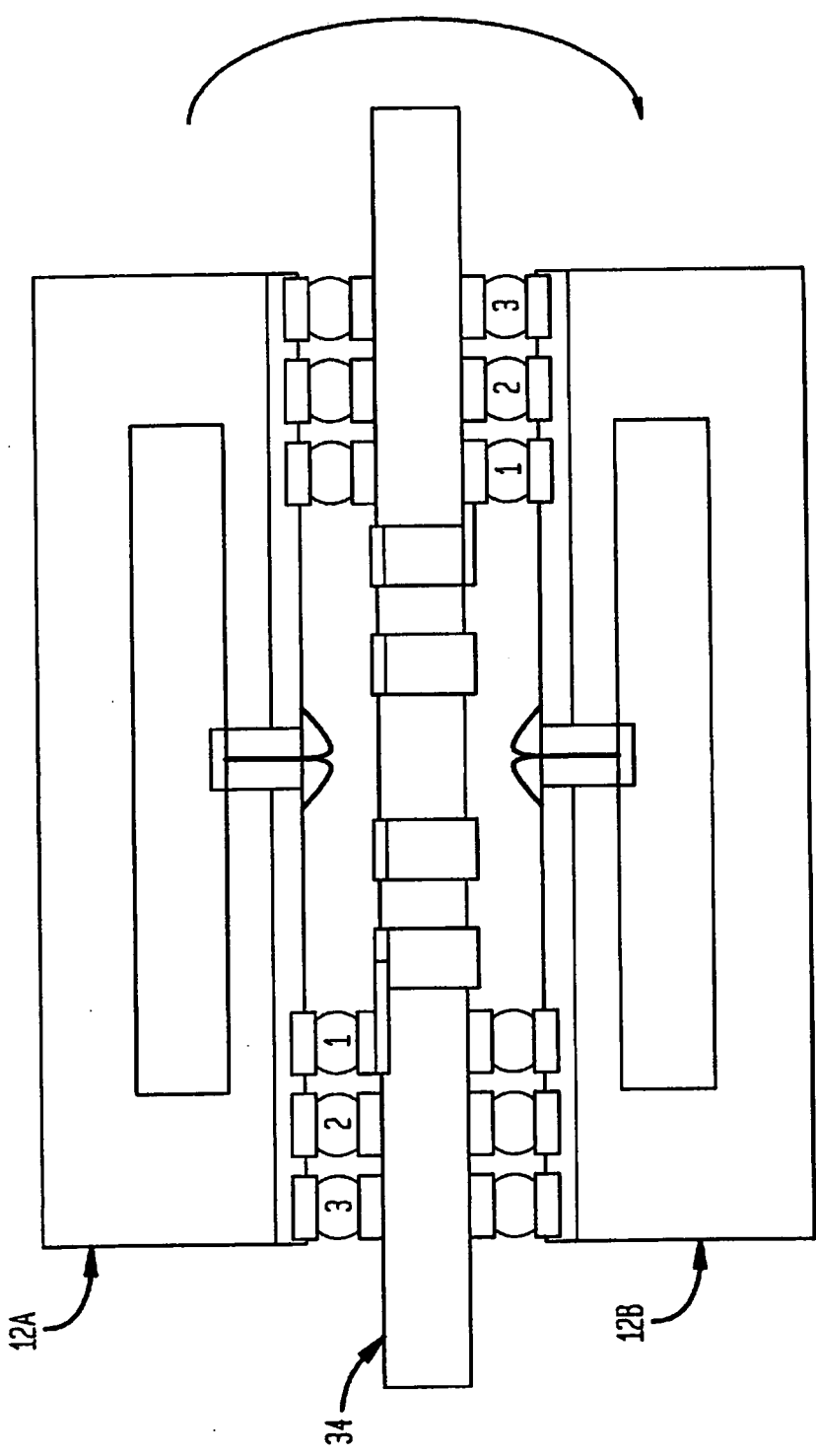


圖 3

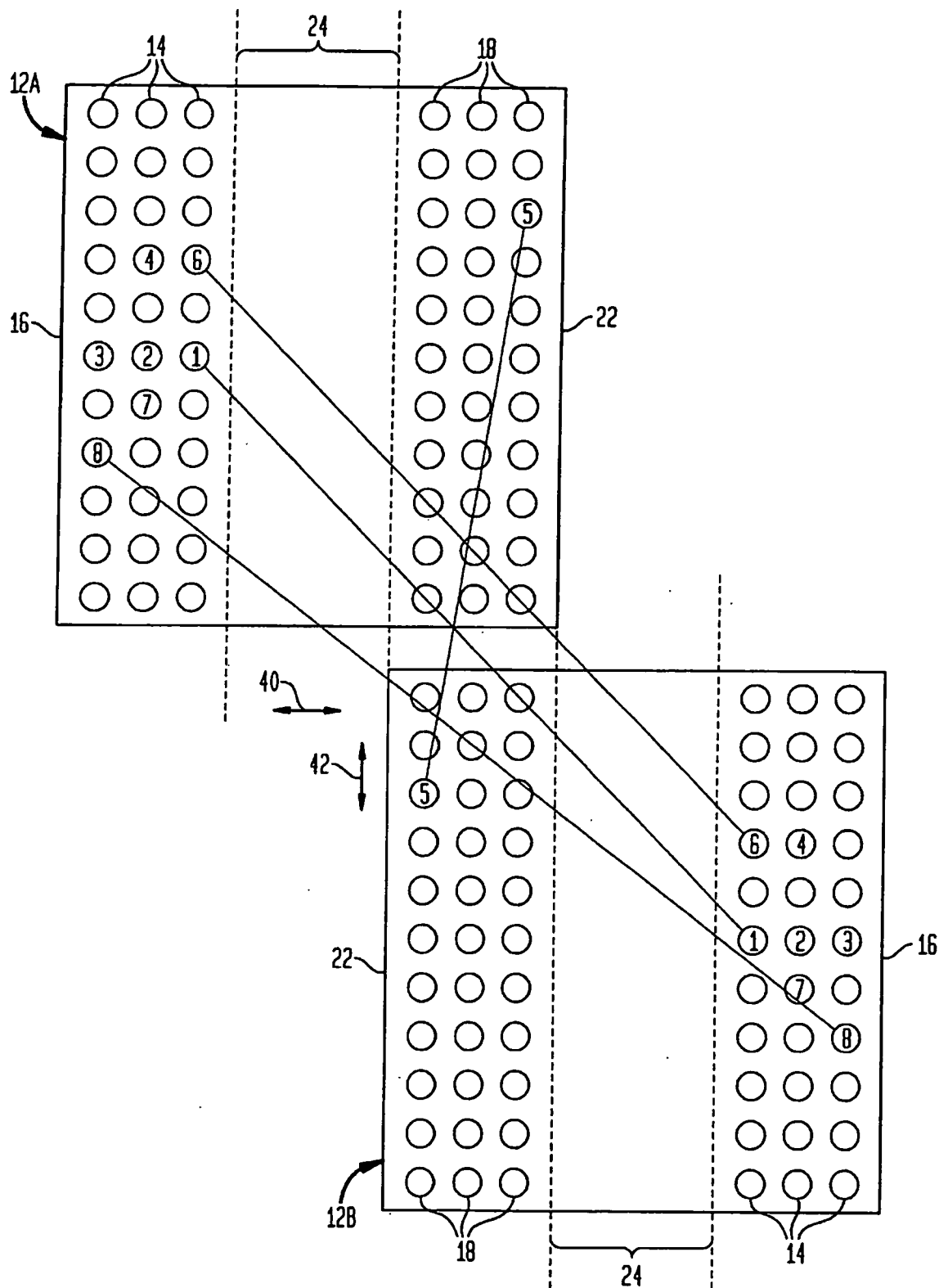
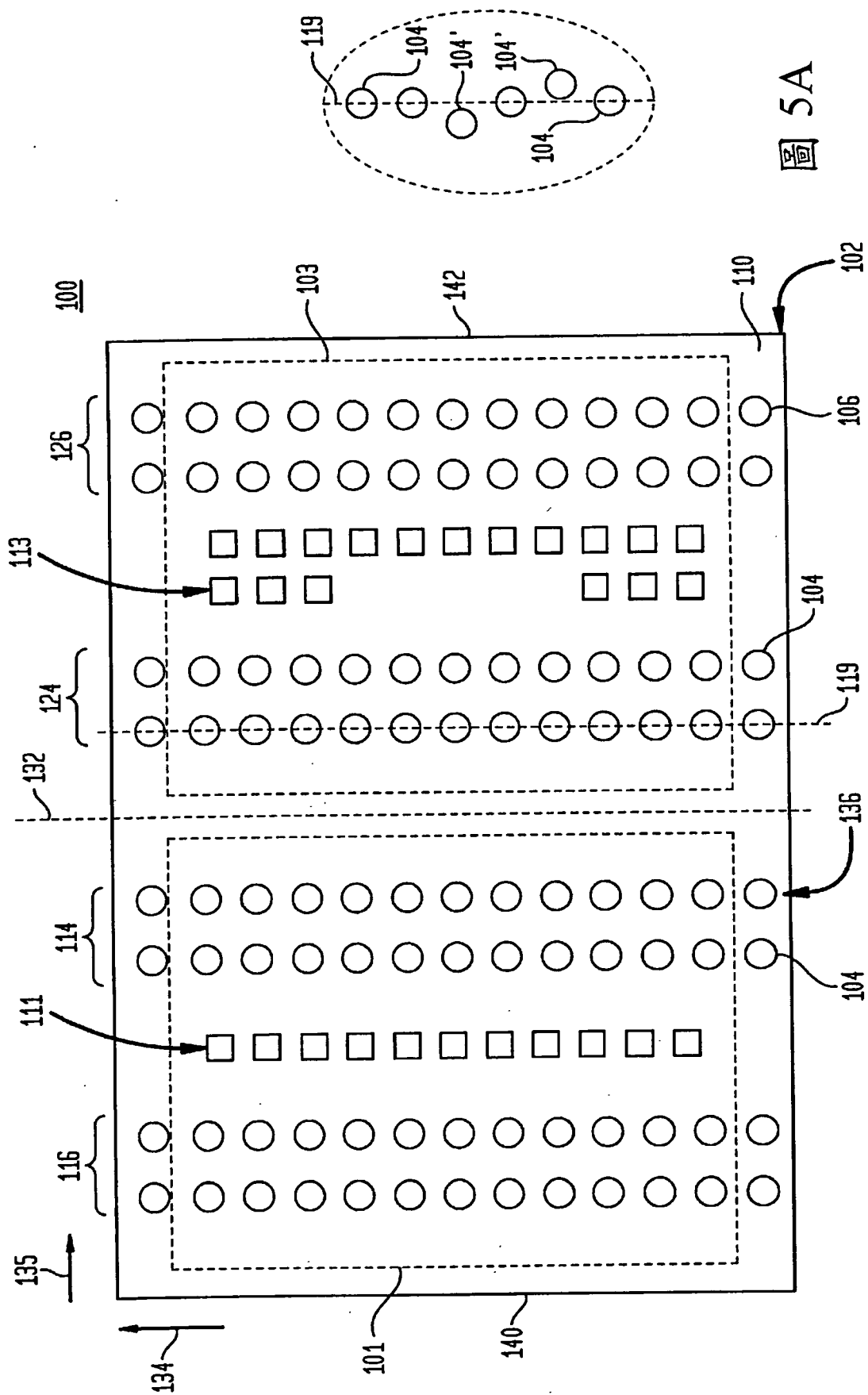


圖 4



五

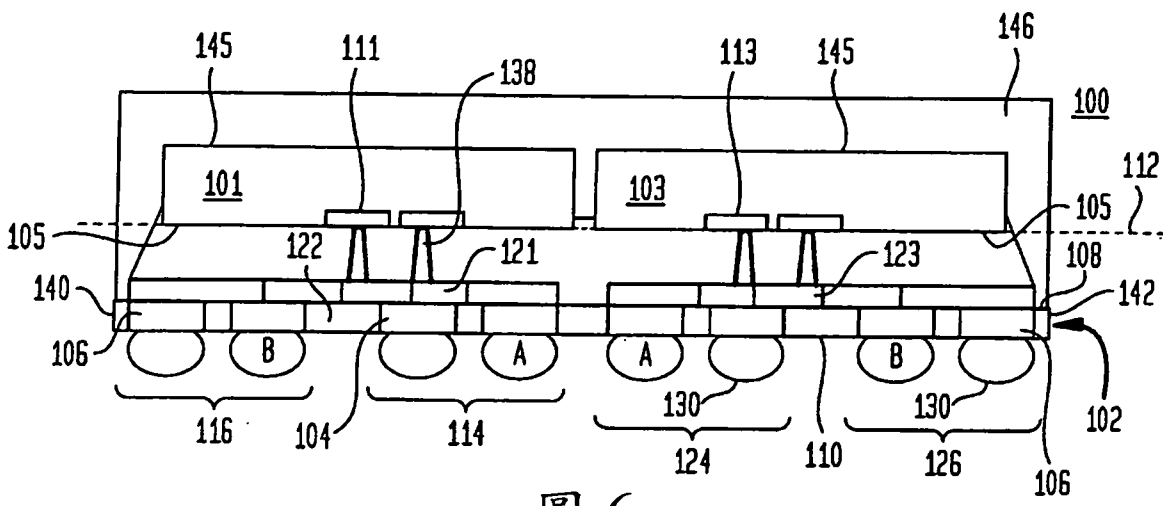


圖 6

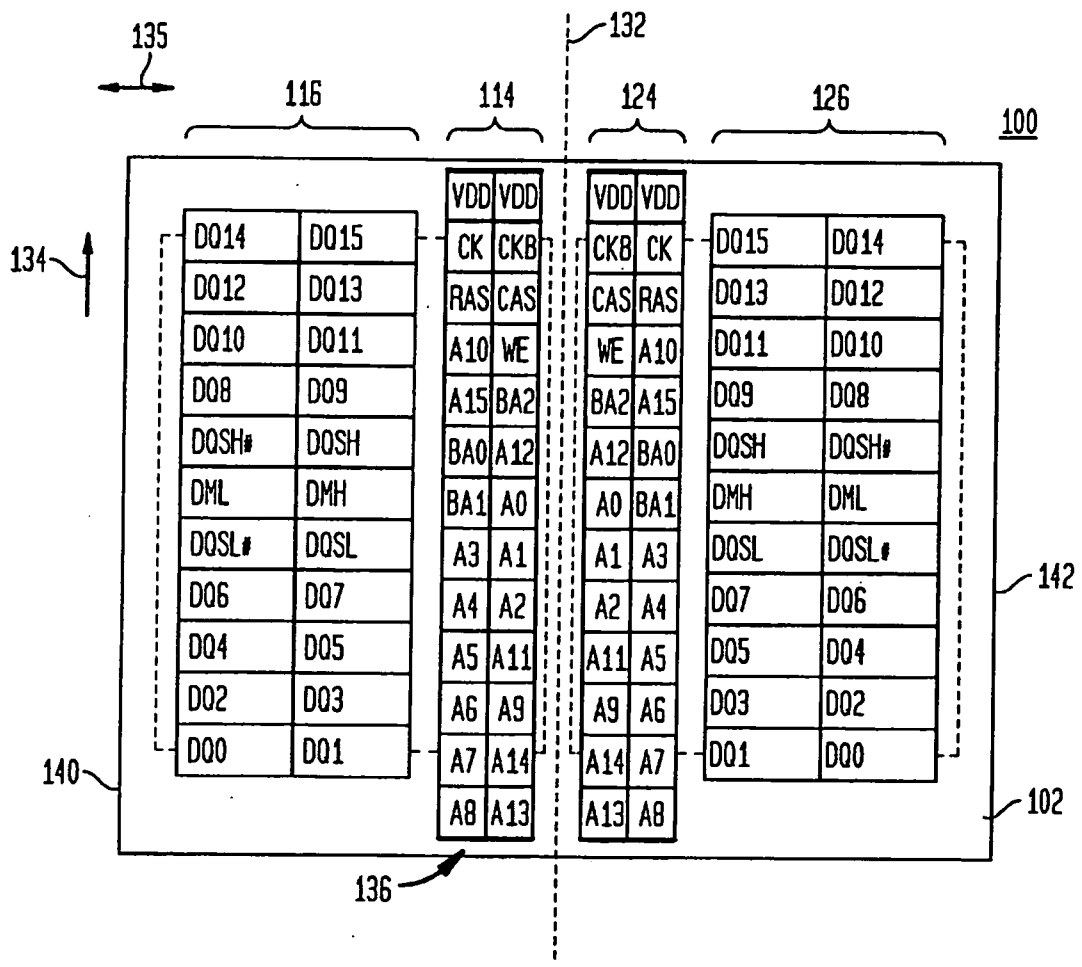


圖 7

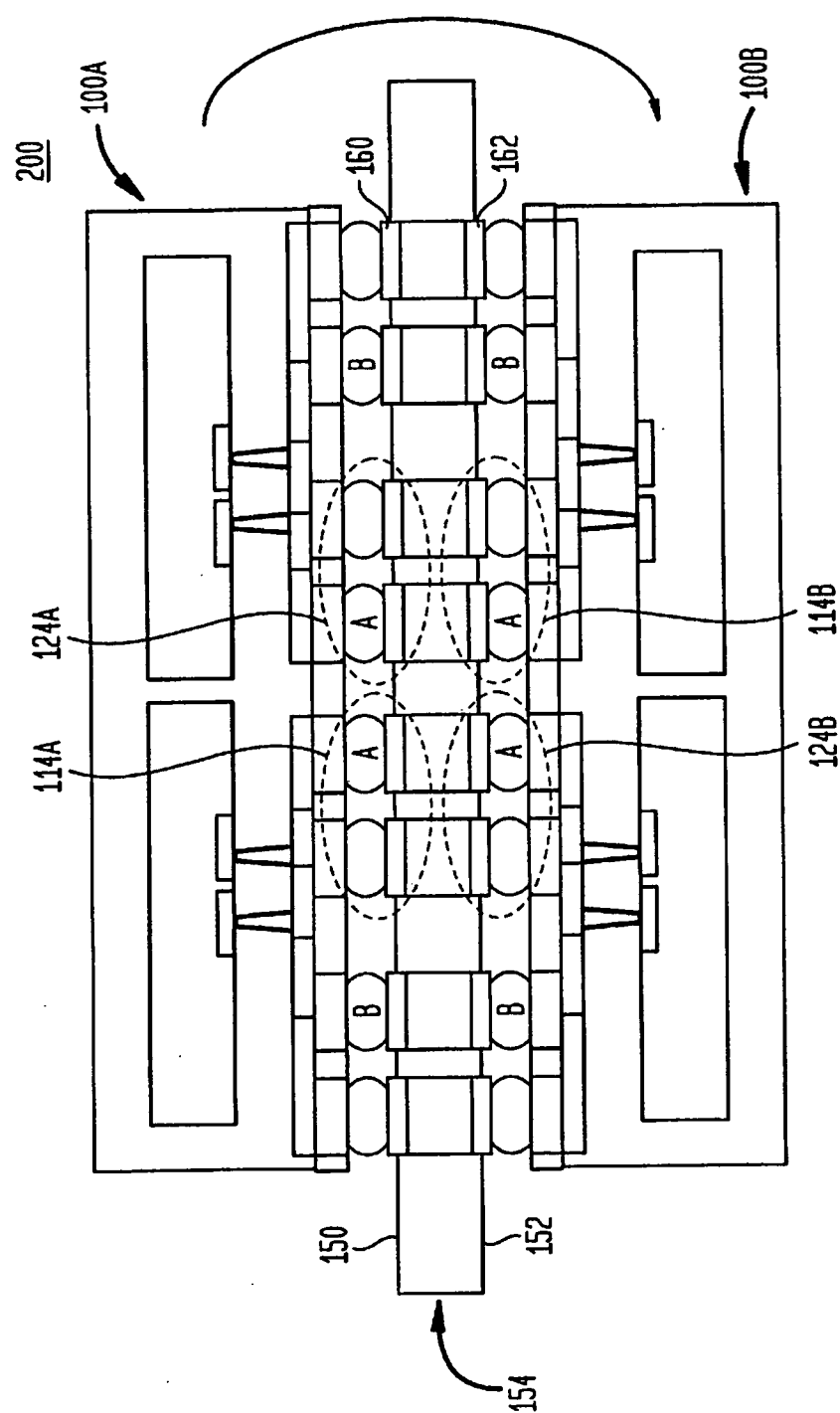


圖 8A

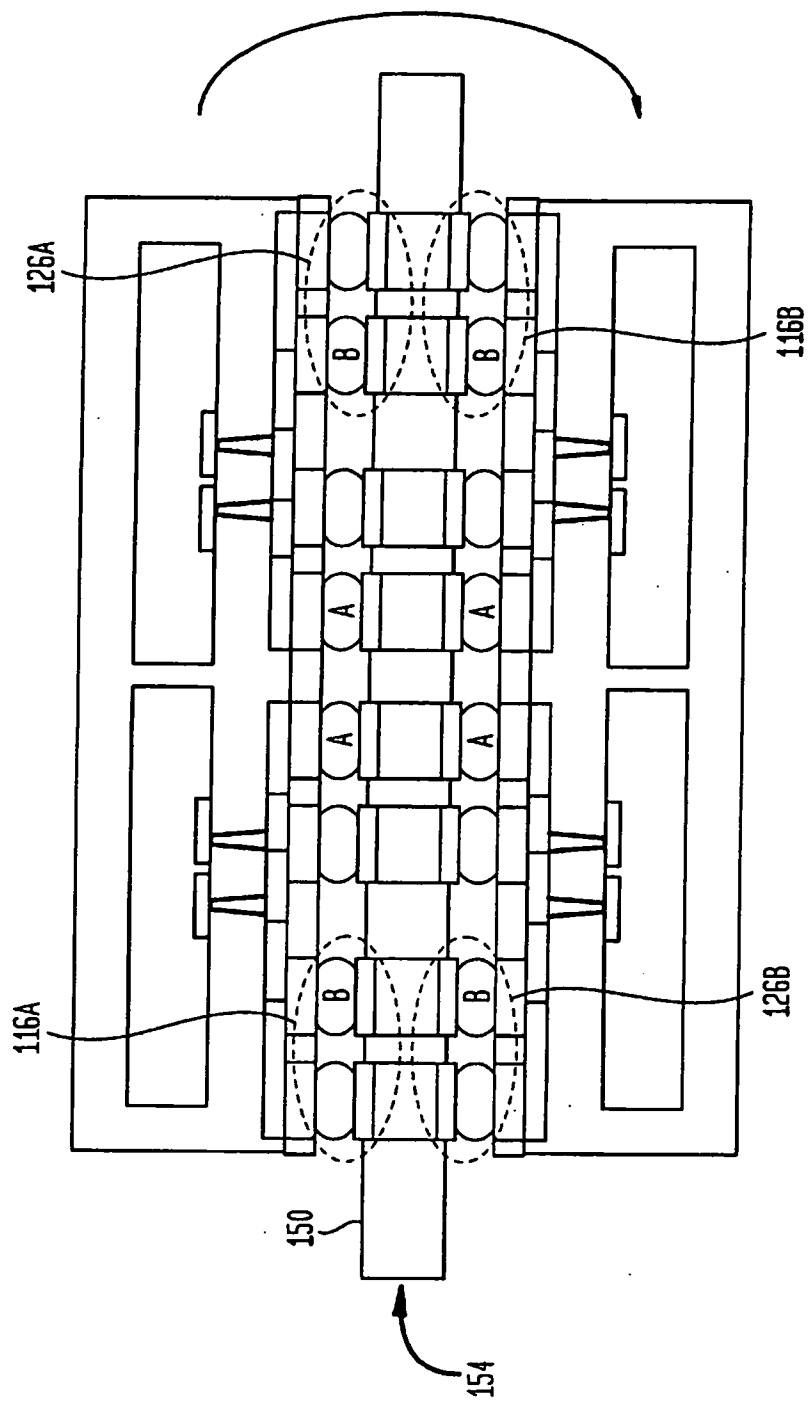


圖 8B

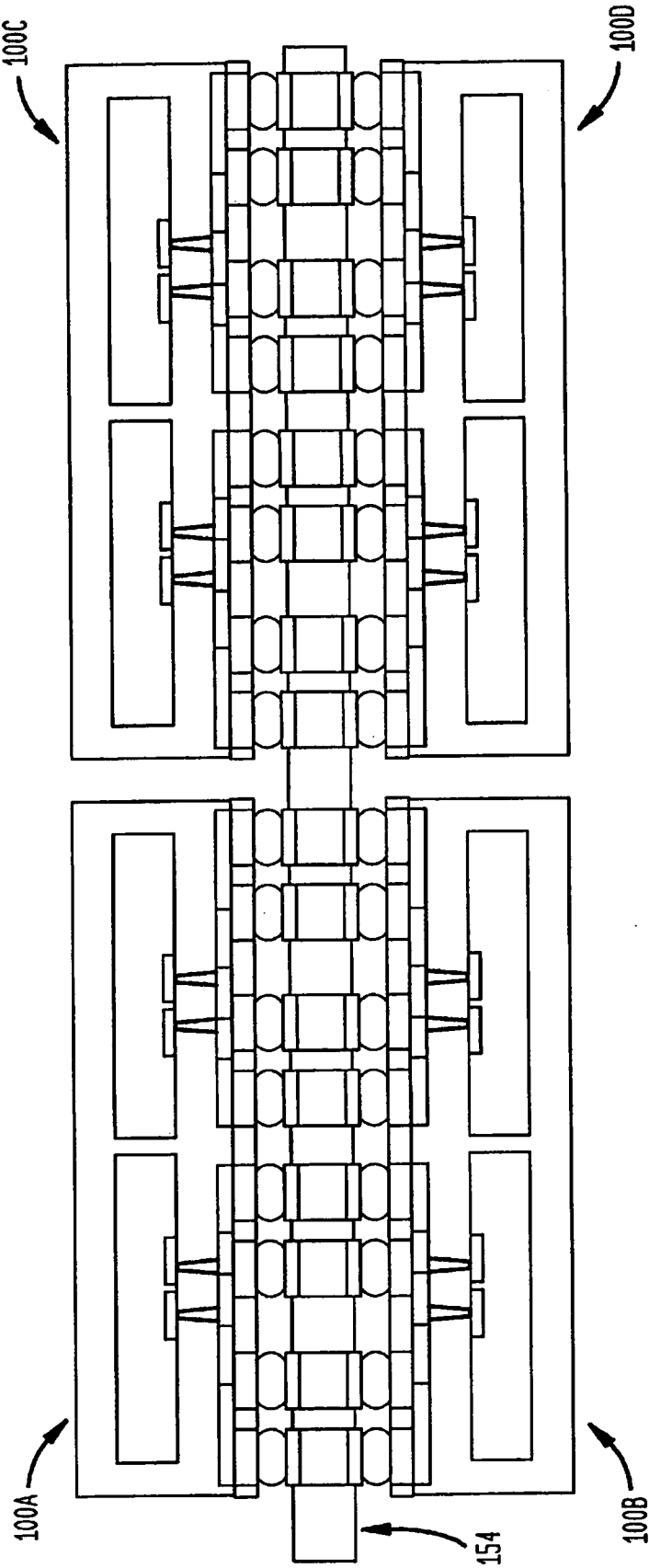


圖 8C

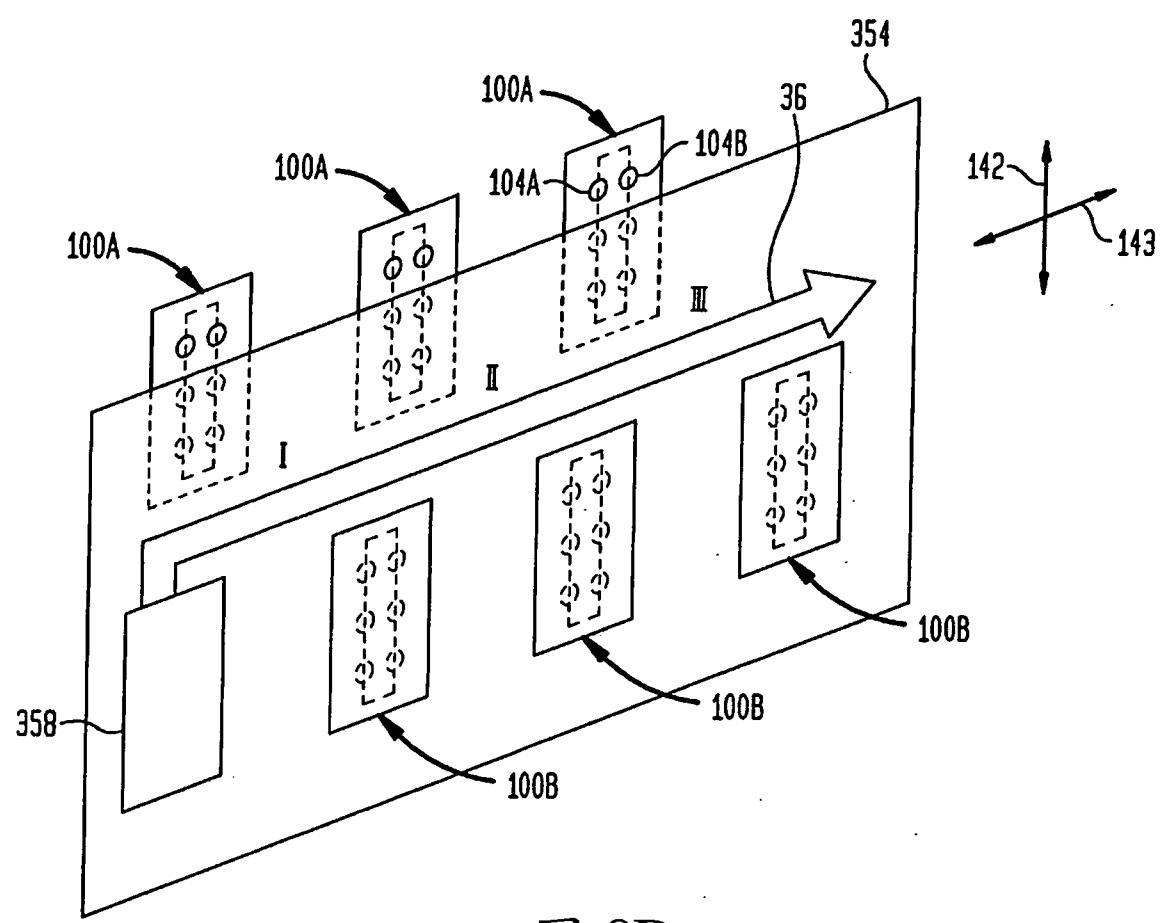


圖 8D

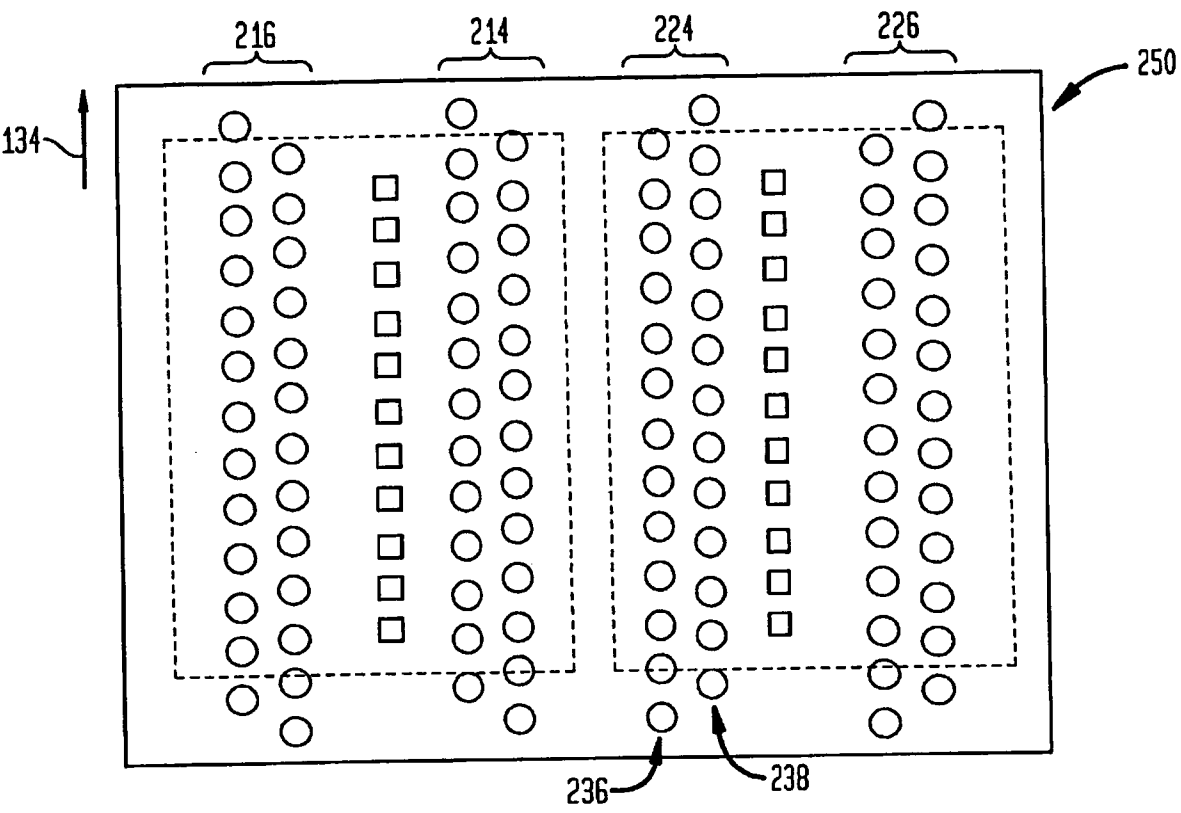


圖 9

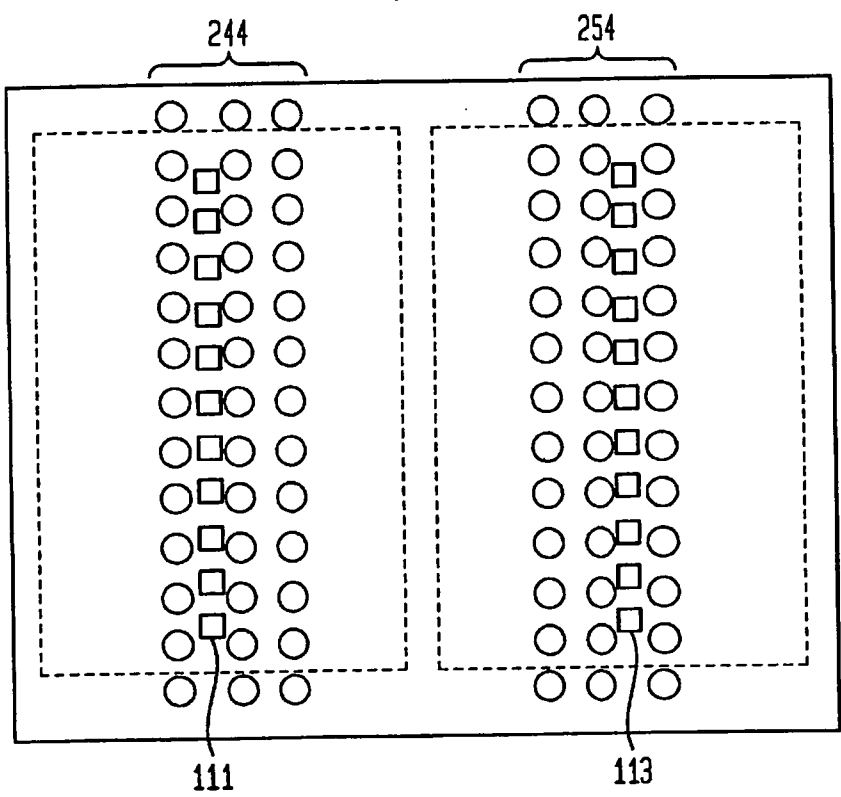


圖 10

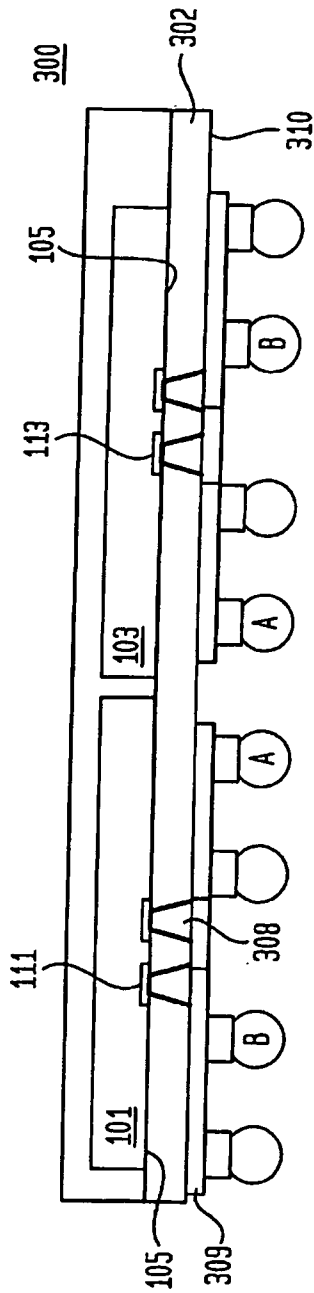


圖 11

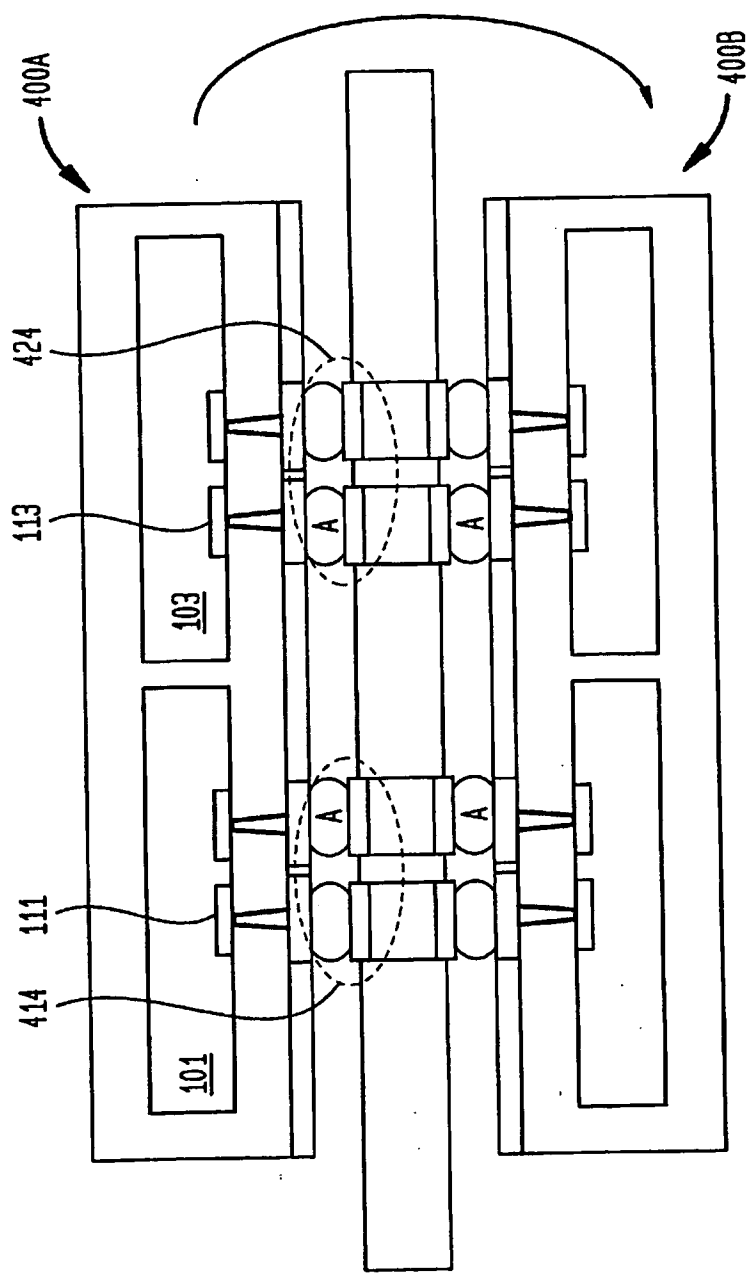


圖 12

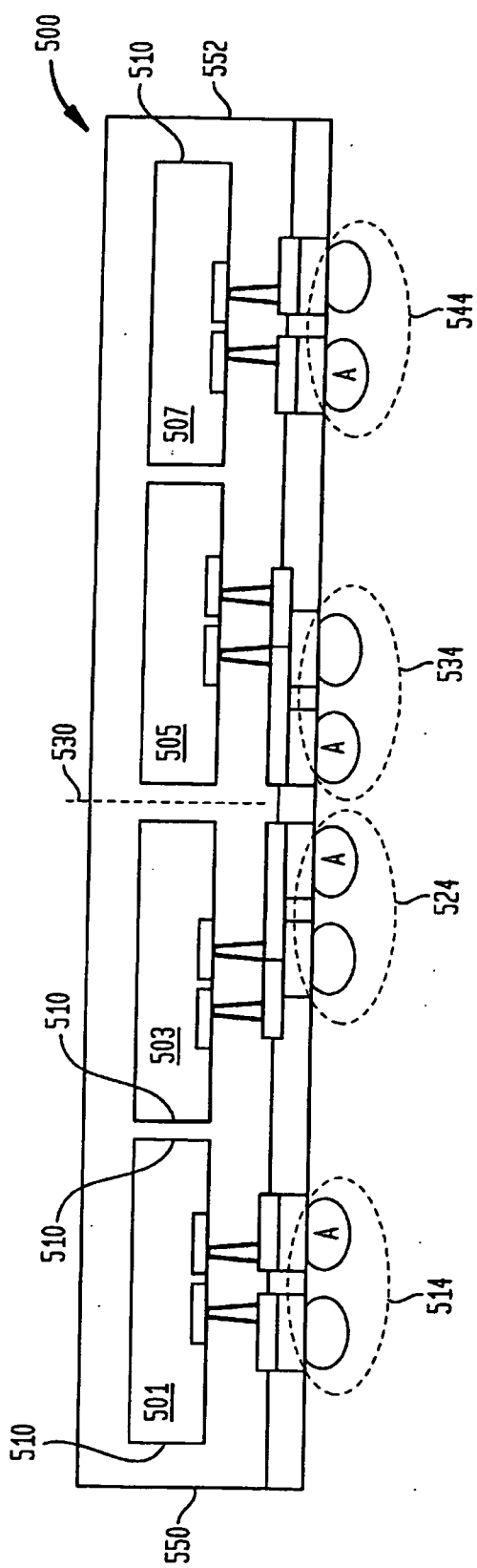


圖 13

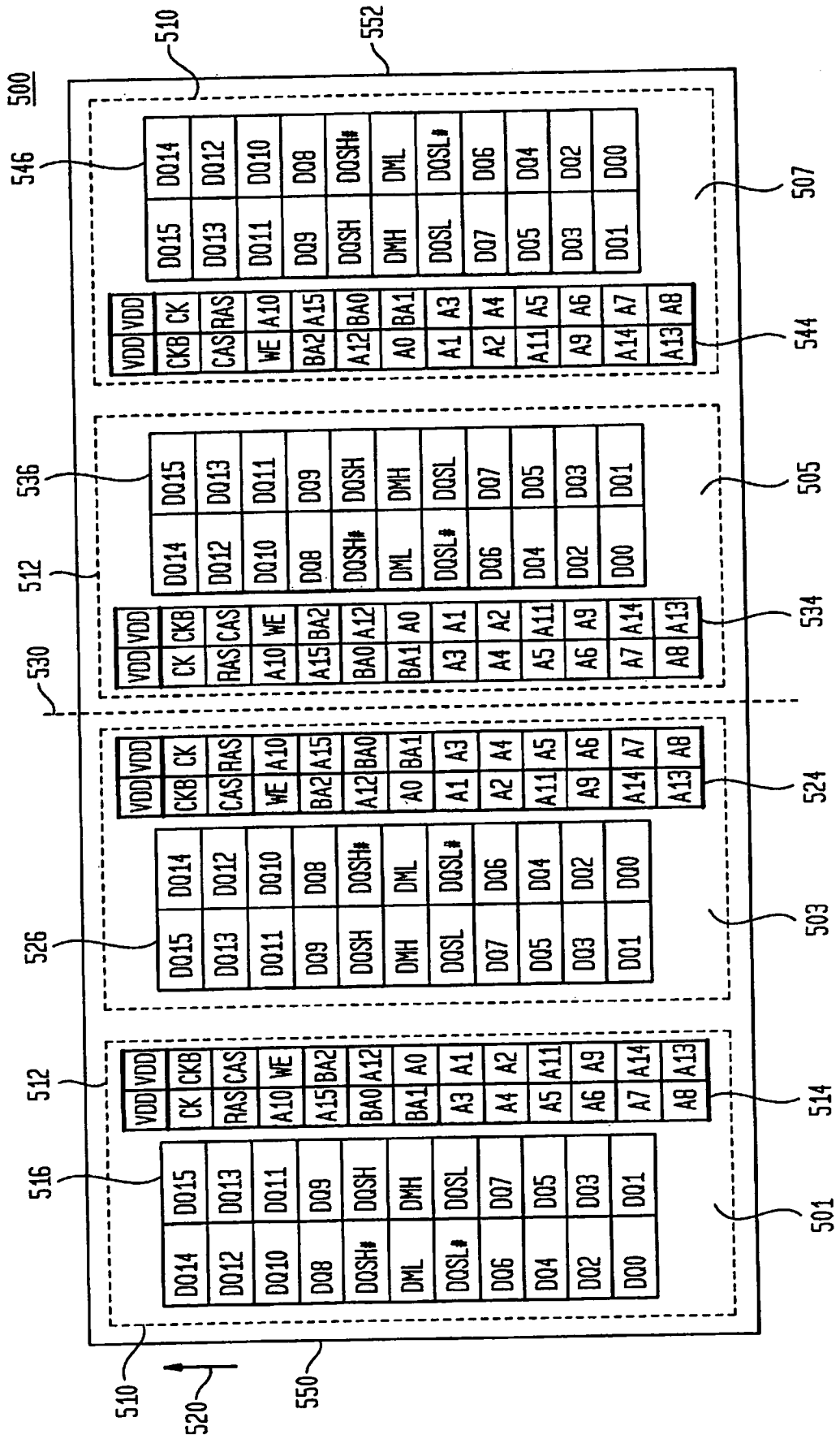


圖 14

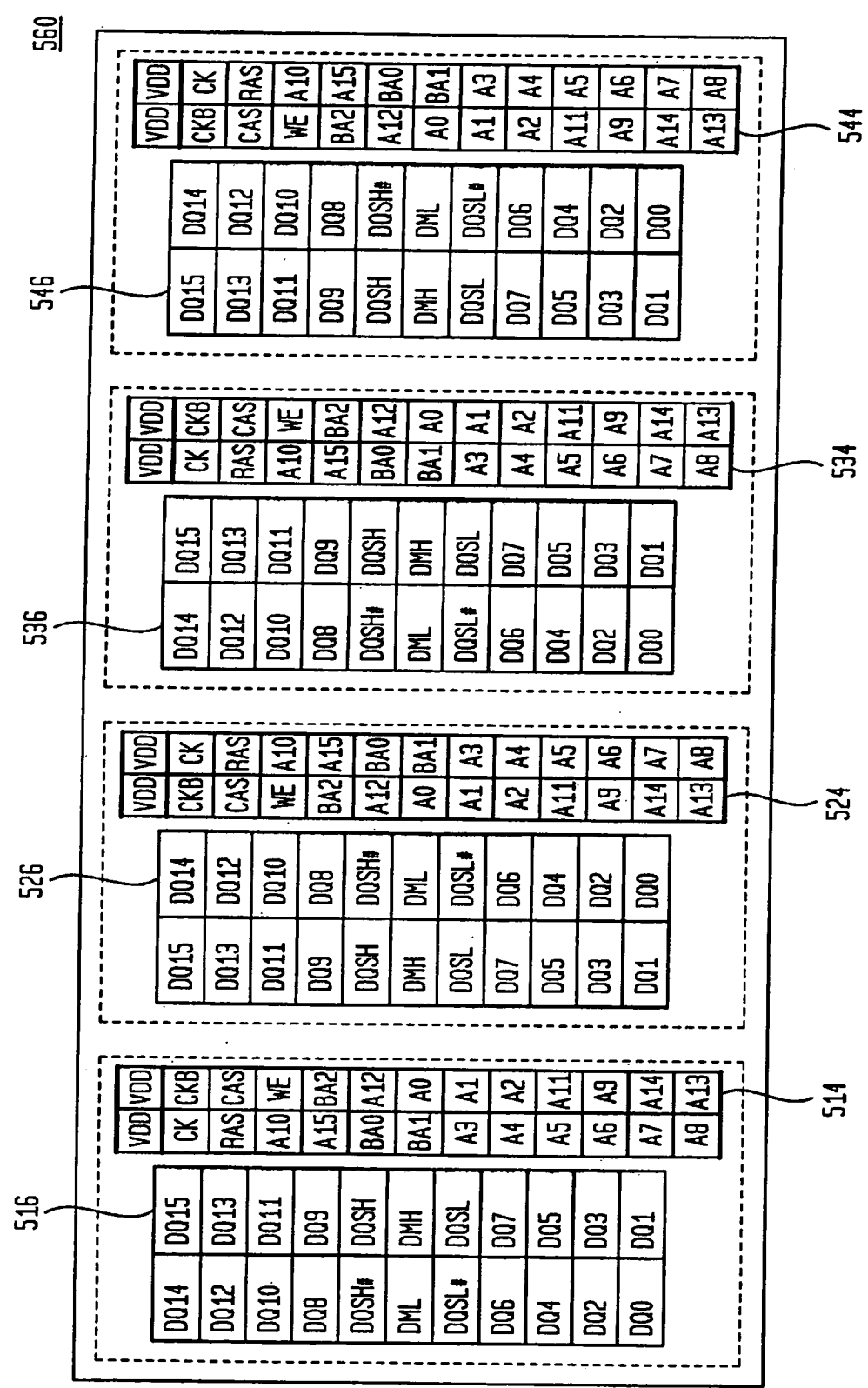


圖 15

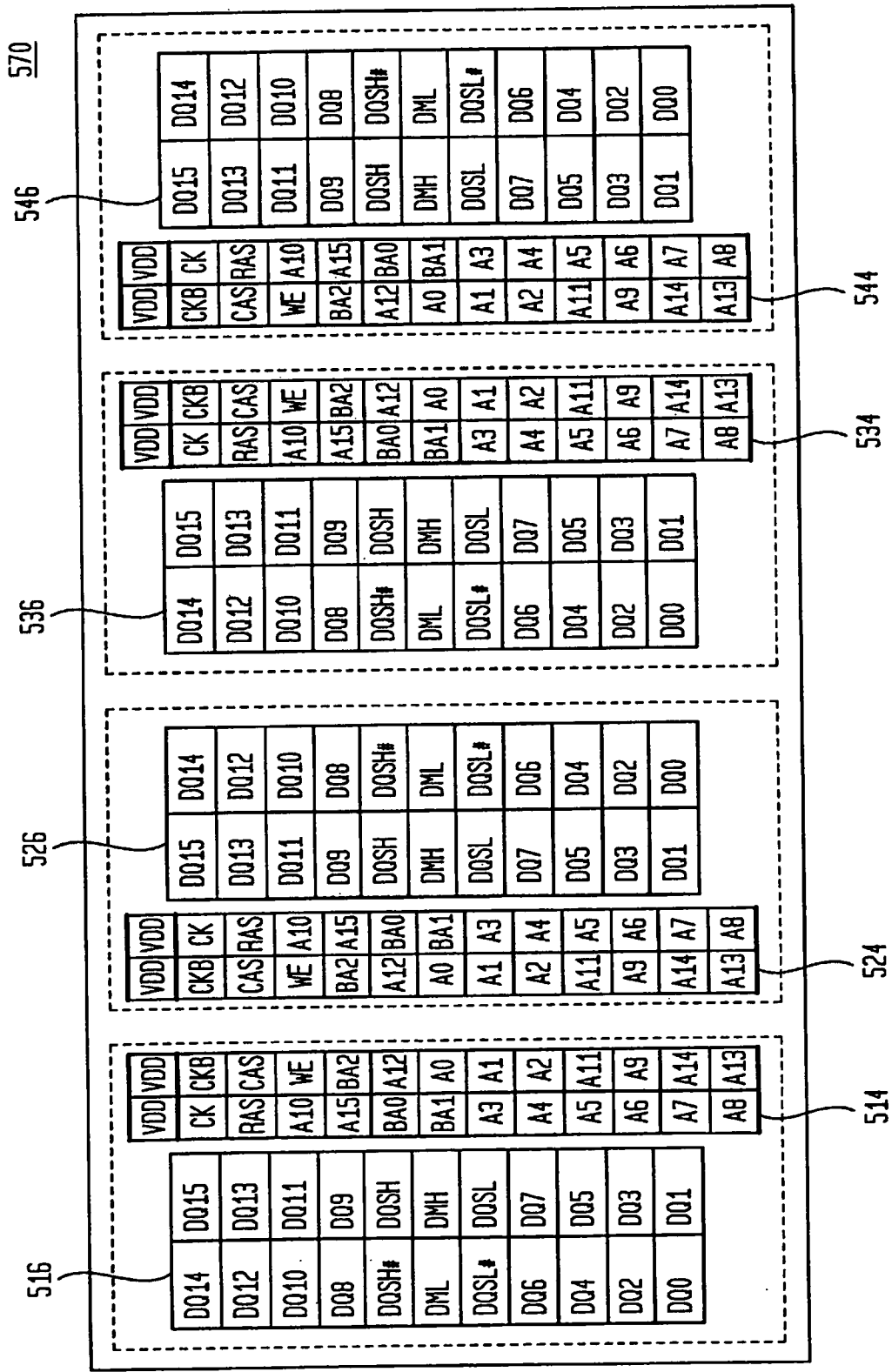


圖 16

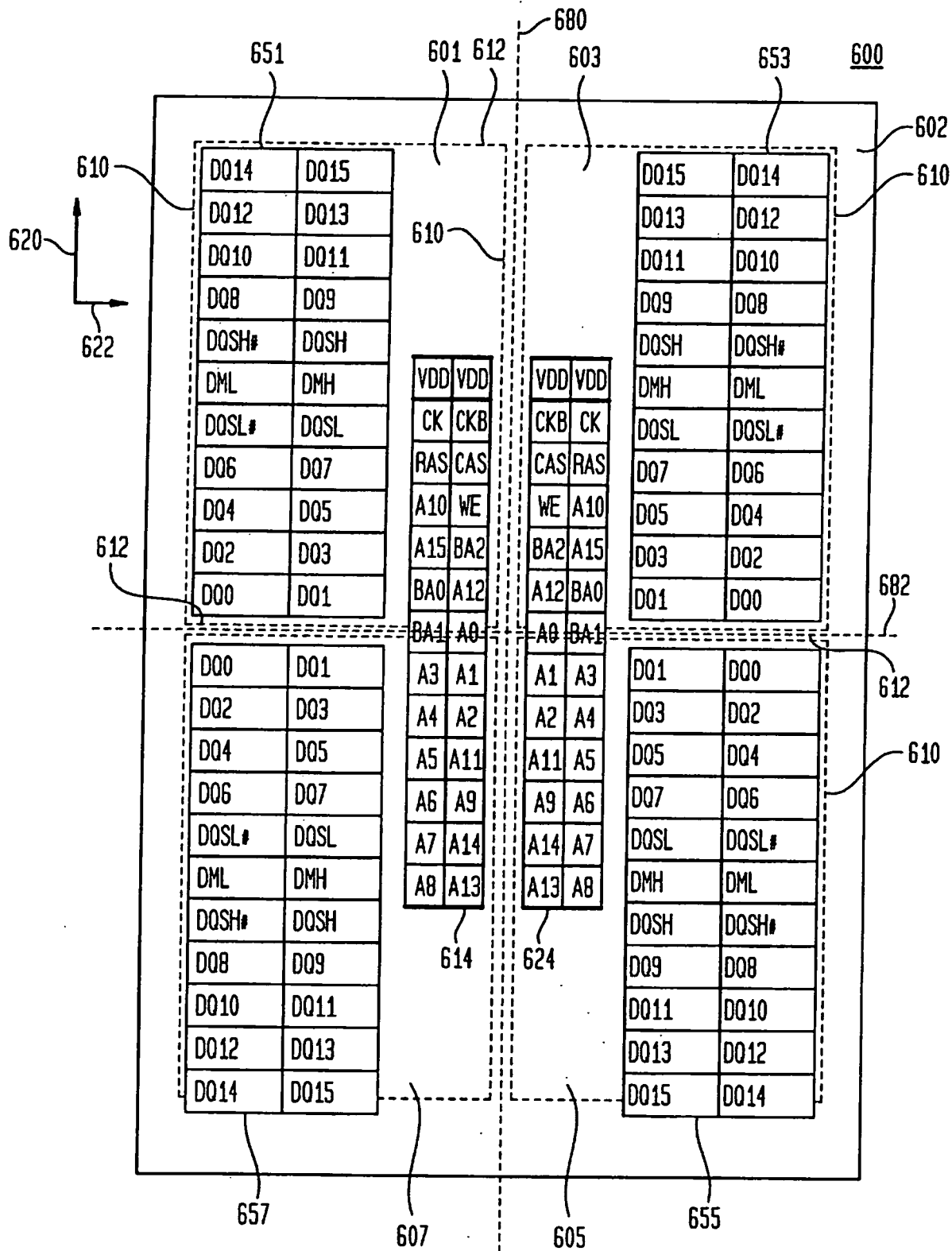


圖 17

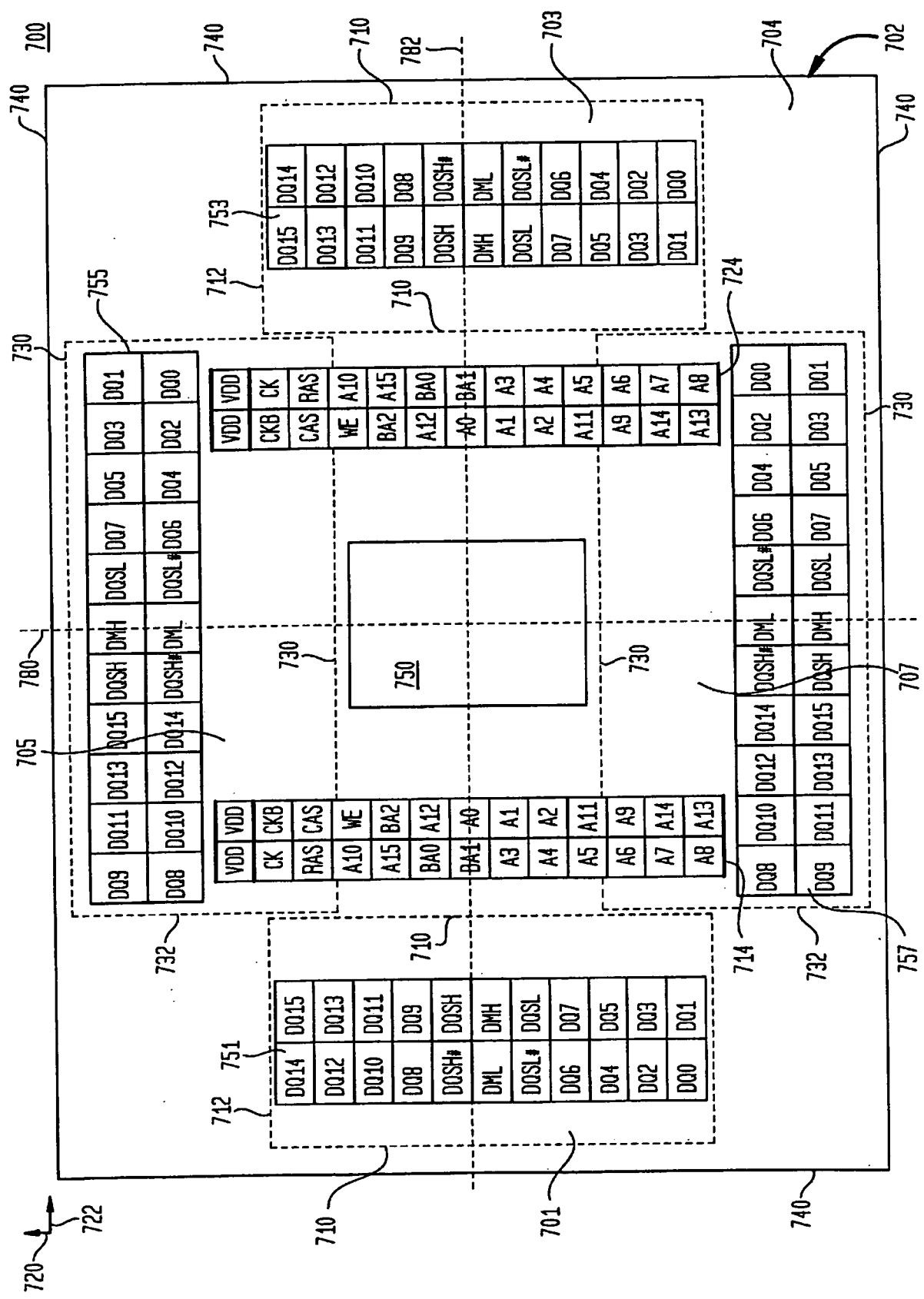


圖 18

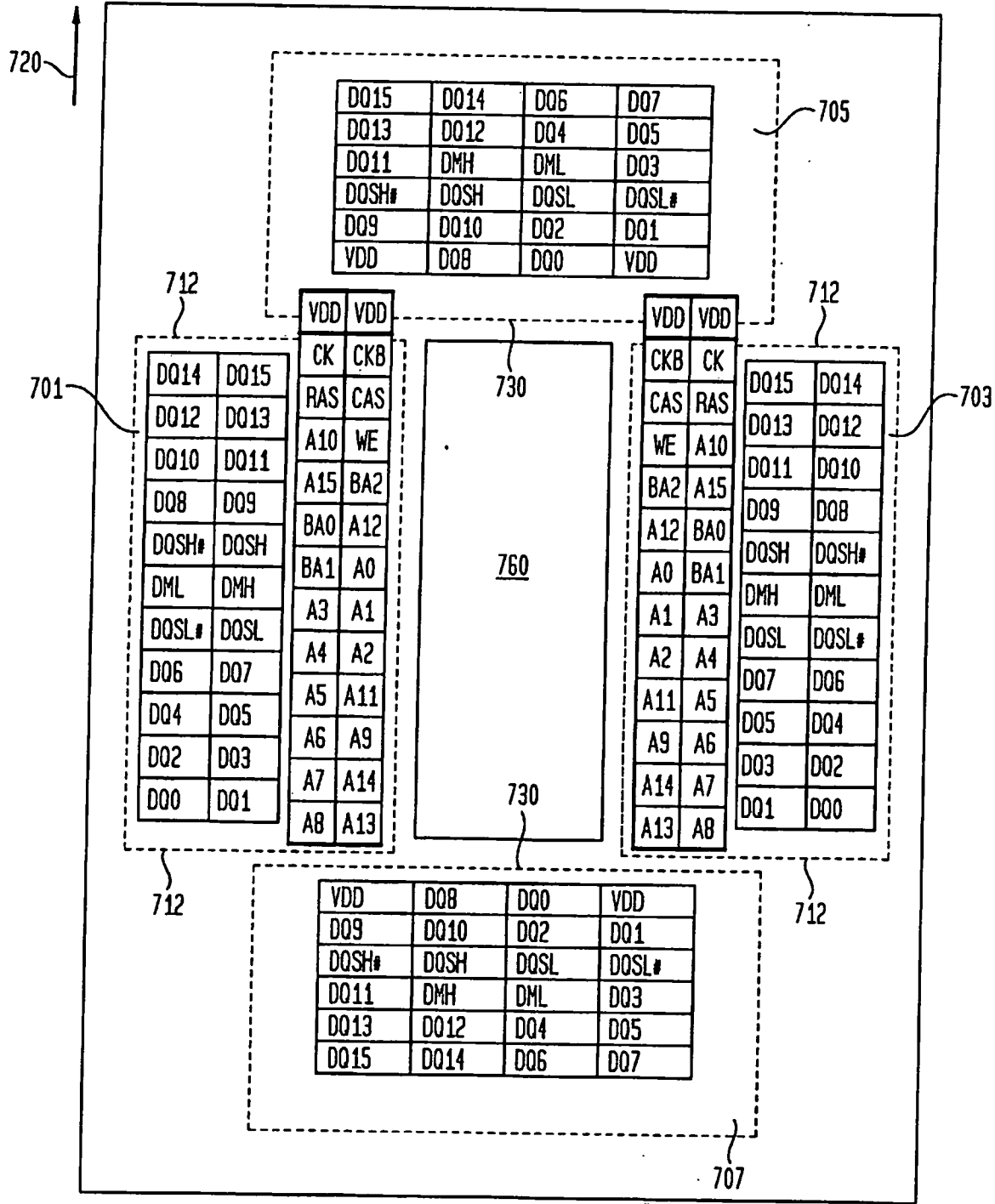
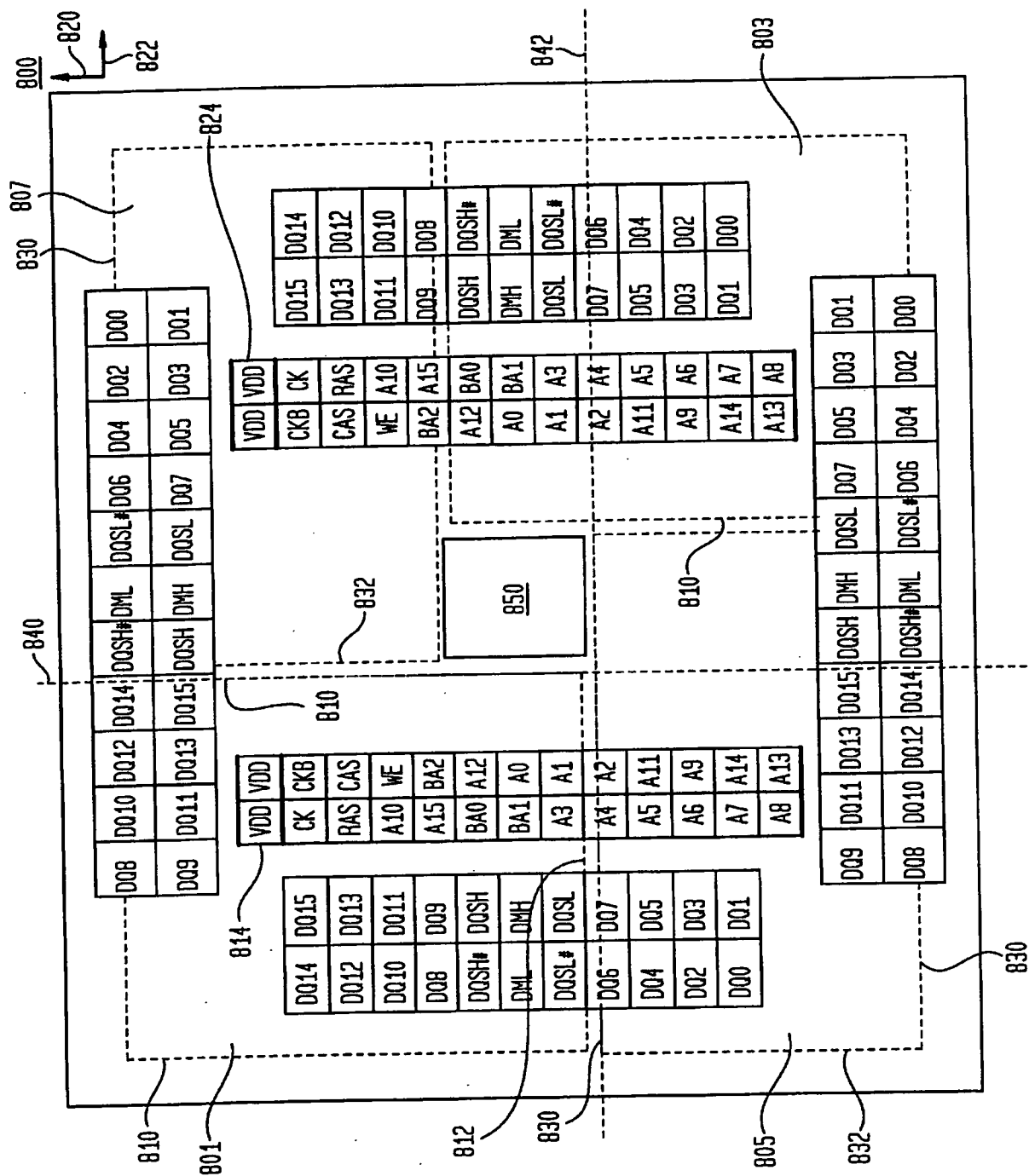


圖 19



20

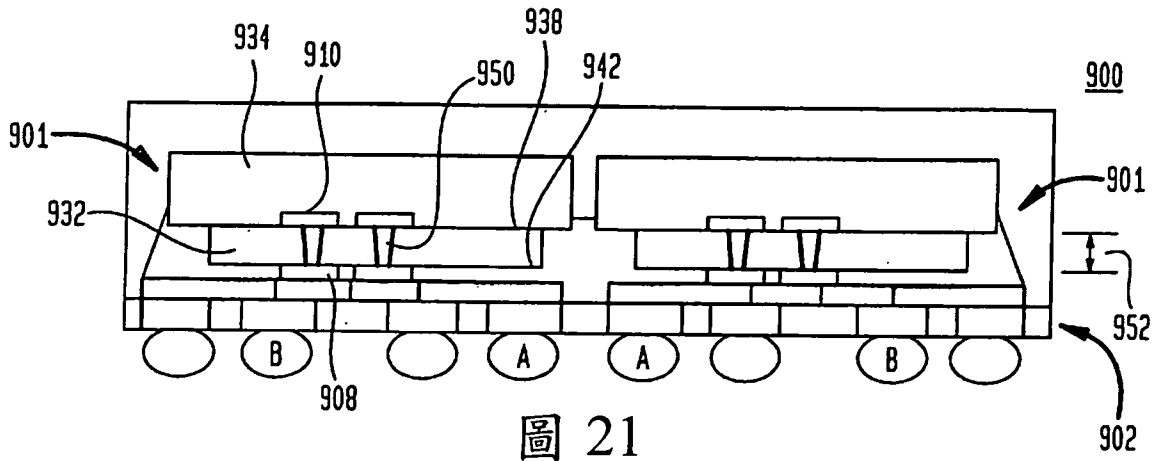


圖 21

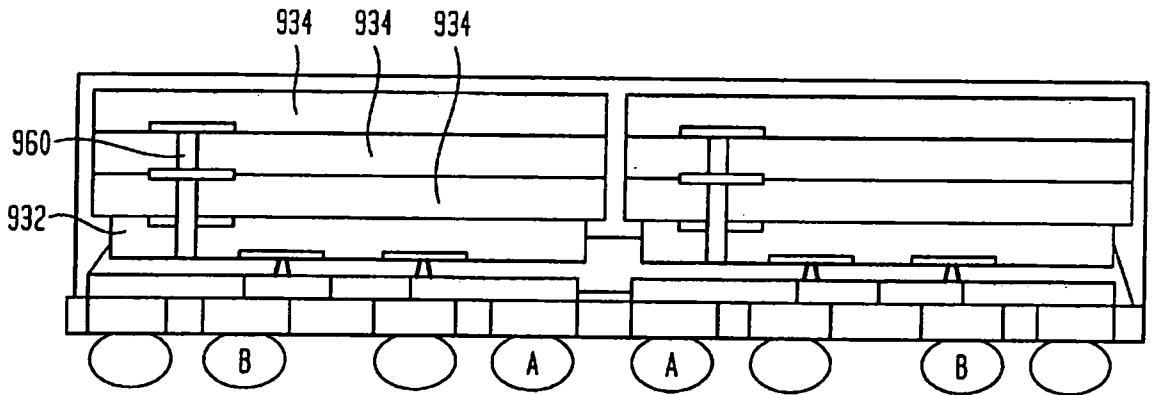


圖 22A

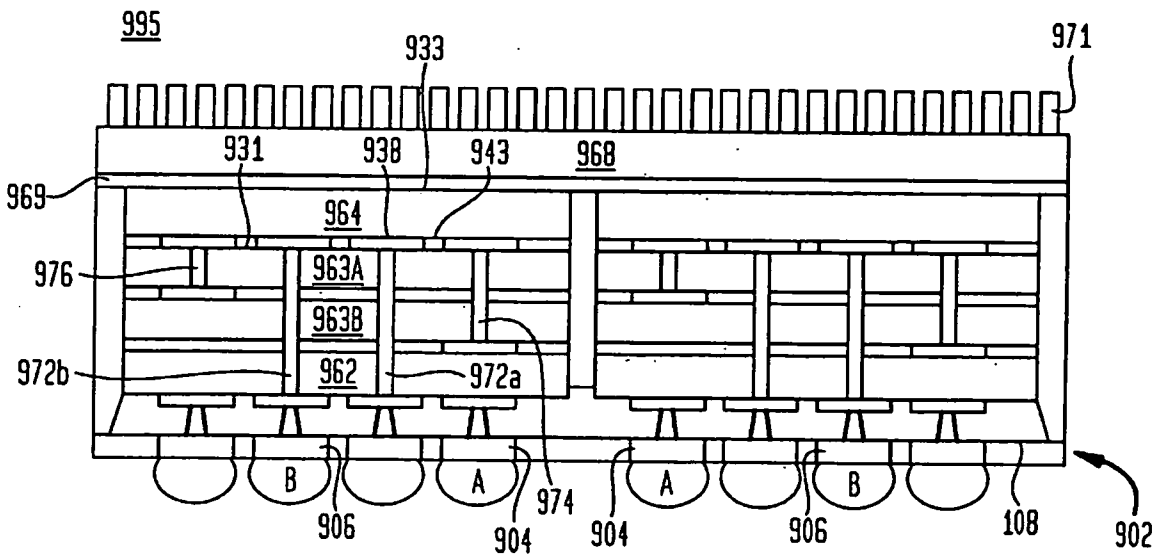


圖 22B

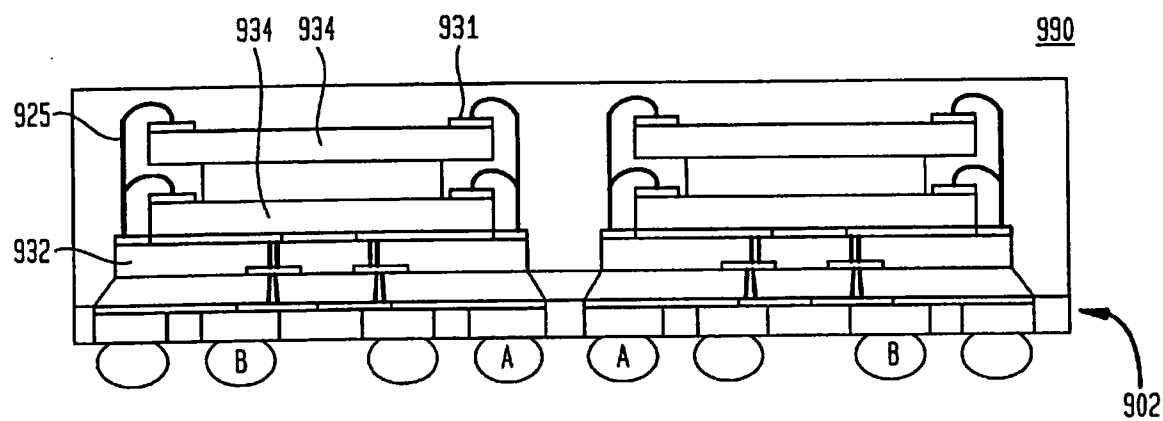


圖 23

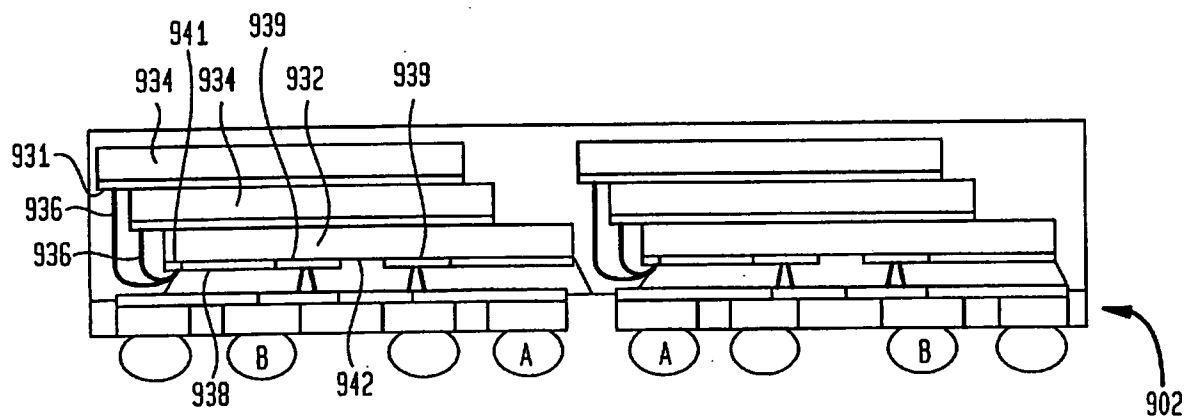


圖 24

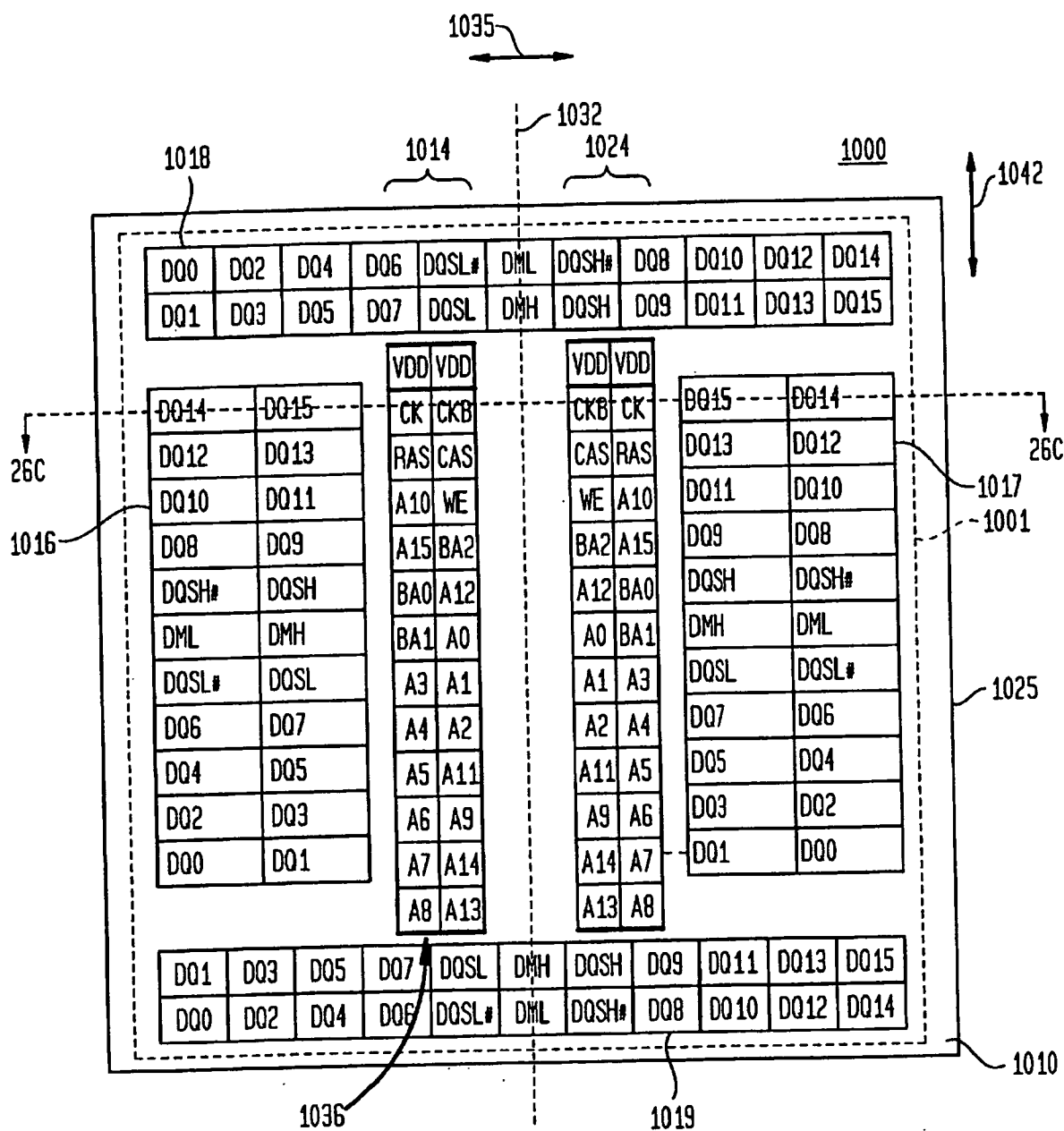


圖 26A

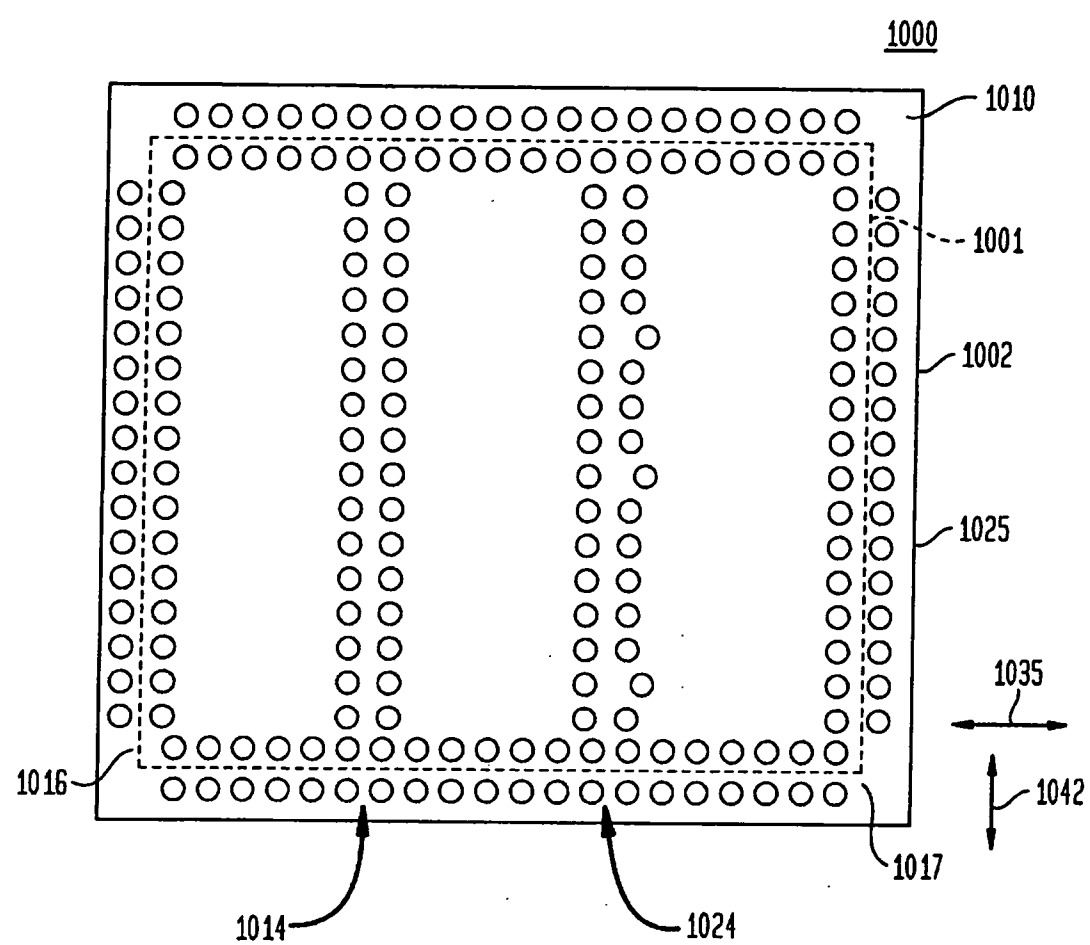


圖 26B

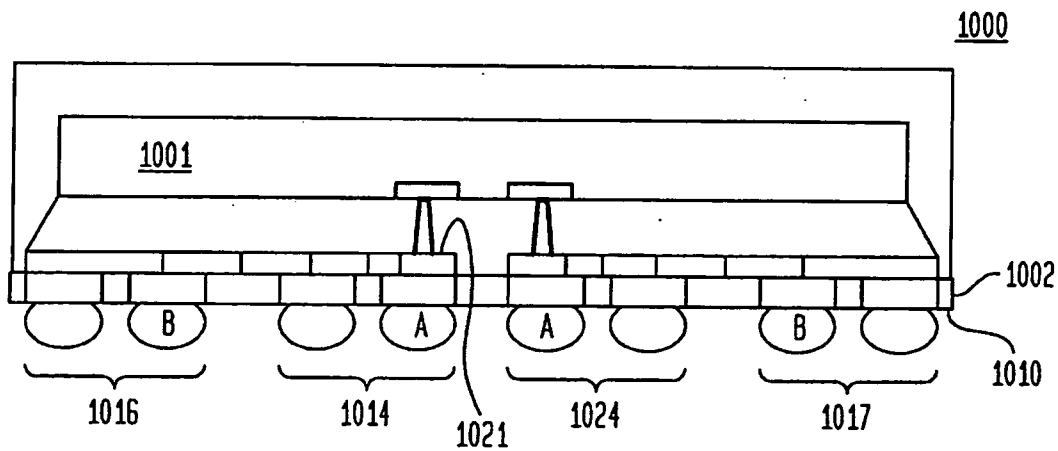


圖 26C

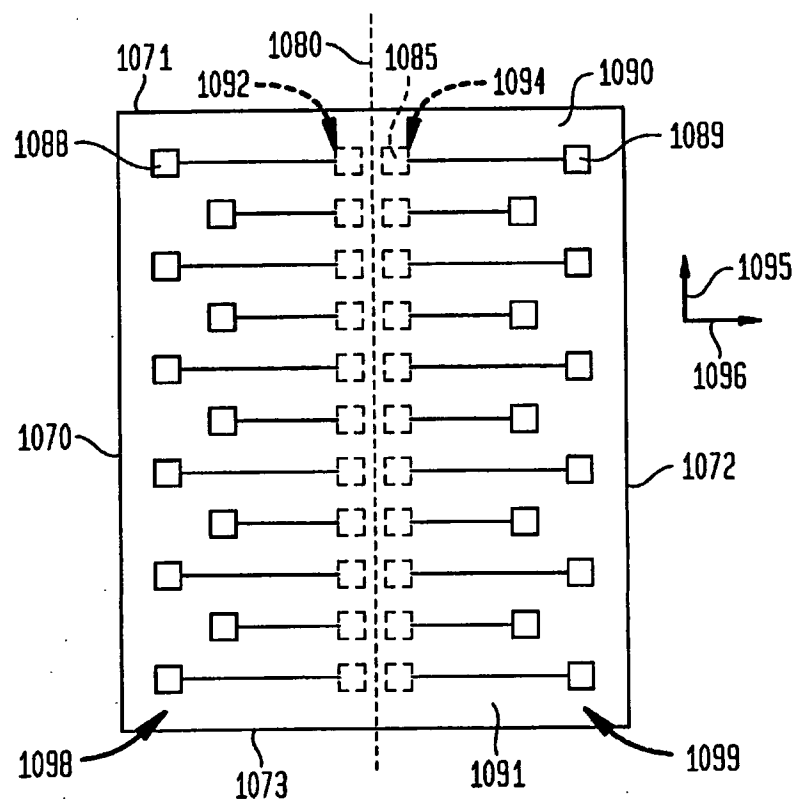


圖 26D

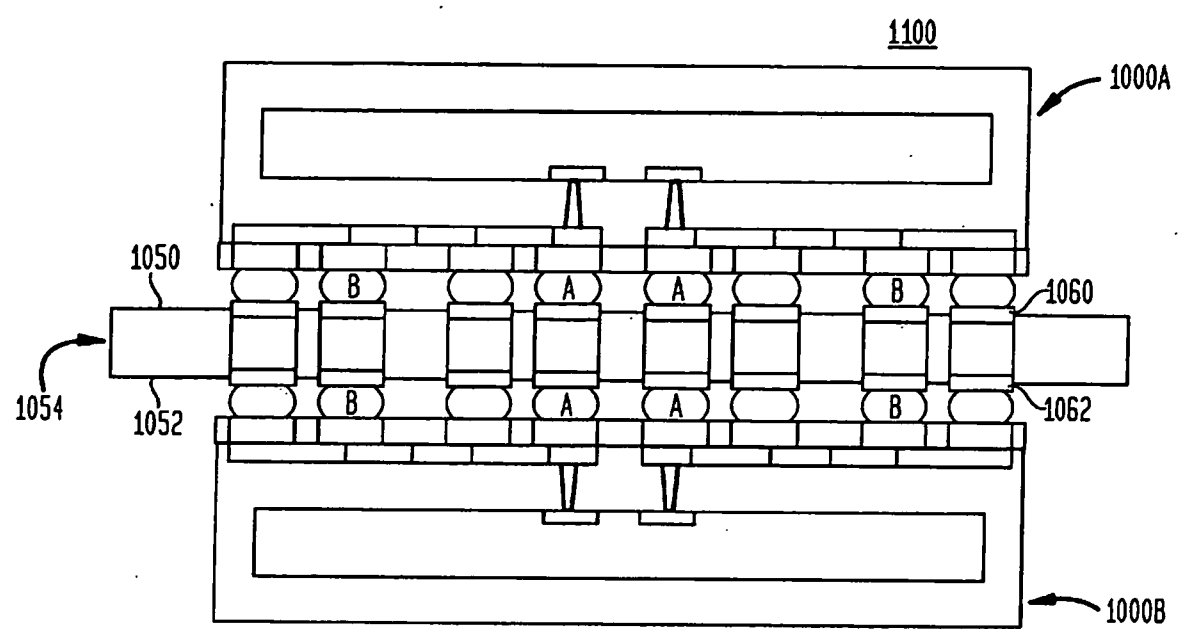


圖 27

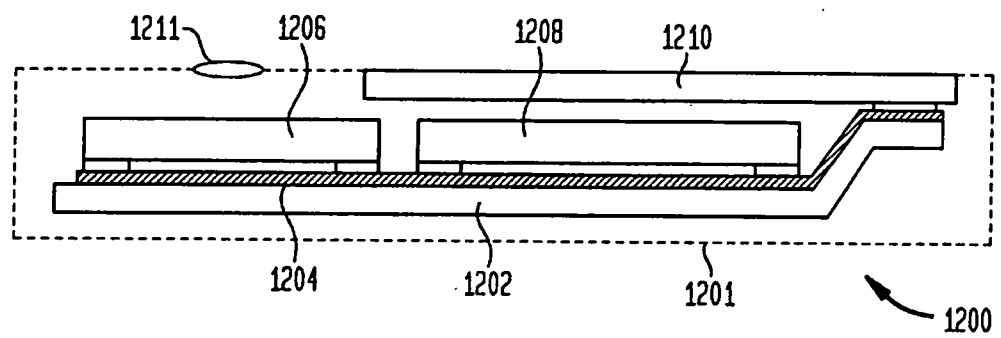


圖 28

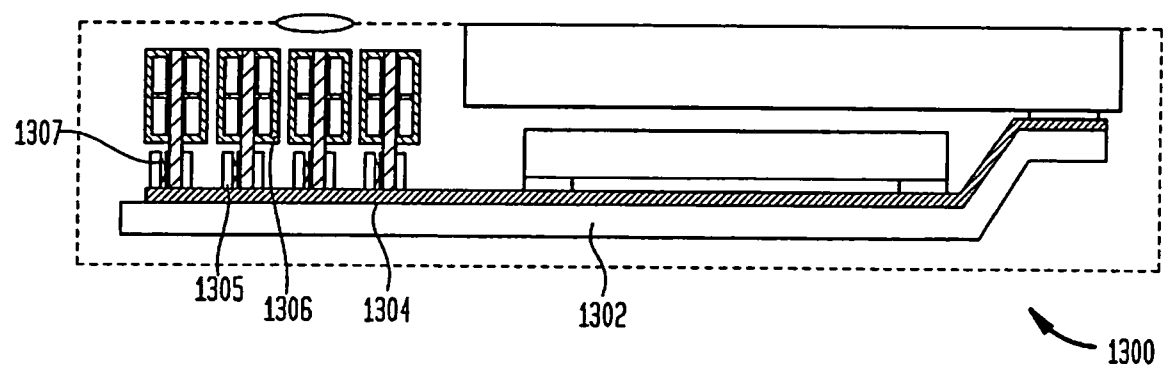


圖 29