



(12) 发明专利

(10) 授权公告号 CN 114123769 B

(45) 授权公告日 2024. 08. 06

(21) 申请号 202111462709.X

H03L 7/085 (2006.01)

(22) 申请日 2021.12.02

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 111010028 A, 2020.04.14

申请公布号 CN 114123769 A

审查员 刘姝晗

(43) 申请公布日 2022.03.01

(73) 专利权人 屹世半导体(上海)有限公司

地址 200000 上海市浦东新区自由贸易试
验区张衡路666弄1号803室

(72) 发明人 薛尚嵘 请求不公布姓名 李冬超

(74) 专利代理机构 苏州三英知识产权代理有限
公司 32412

专利代理师 钱超

(51) Int. Cl.

H02M 3/07 (2006.01)

H02M 1/34 (2007.01)

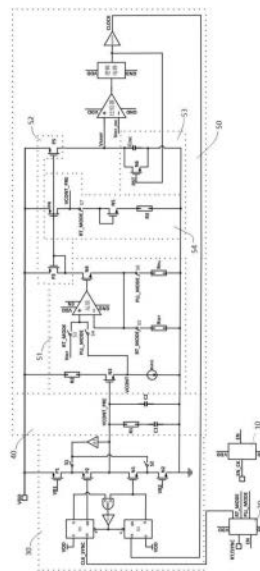
权利要求书2页 说明书6页 附图4页

(54) 发明名称

双模式开关频率控制电路

(57) 摘要

本发明公开了一种双模式开关频率控制电路,包括:鉴相器、环路滤波器以及振荡器。振荡器包括模式转换电路、电流镜像电路、斜坡电压产生电路、比较器、逻辑电路和缓冲器BUFFER;模式转换电路用于在RT模式和/或PLL模式下,根据对应的控制电压并通过电流镜像电路输出对应的电流;斜坡电压产生电路用于根据电流镜像电路输出的电流输出对应的斜坡电压 V_{RAMP} ;比较器用于将斜坡电压 V_{RAMP} 和参考电压 V_{REF_OSC} 进行比较并通过逻辑电路和缓冲器BUFFER输出时钟信号CLOCK。本发明实施方式的双模式开关频率控制电路,能够实现RT模式和PLL模式切换;锁相环建立速度快;该电路结构简单,在实现开关电源中双模式开关频率控制的同时,极大地降低了芯片面积和成本。



1. 一种双模式开关频率控制电路,其特征在于,包括:

振荡器,能够工作于RT模式和/或PLL模式下,所述振荡器包括模式转换电路、电流镜像电路、斜坡电压产生电路、比较器、逻辑电路和缓冲器BUFFER;其中,所述模式转换电路用于在RT模式和/或PLL模式下,根据对应的控制电压并通过所述电流镜像电路输出对应的电流;所述斜坡电压产生电路用于根据所述电流镜像电路输出的电流输出对应的斜坡电压 V_{RAMP} ;所述比较器用于将斜坡电压 V_{RAMP} 和参考电压 V_{REF_OSC} 进行比较并通过逻辑电路和缓冲器BUFFER输出时钟信号CLOCK;

鉴相器,在PLL模式下,用于将时钟信号CLOCK和外部时钟信号CLK_SYNC进行比较,产生对应于时钟信号CLOCK和外部时钟信号CLK_SYNC相位差的误差电压;以及

环路滤波器,在PLL模式下,用于消除所述误差电压中的高频信号和噪声信号并输出控制所述振荡器的控制电压VCONT_PRE,在所述控制电压VCONT_PRE的控制下,所述振荡器输出的时钟信号CLOCK能够同步到外部时钟信号CLK_SYNC。

2. 如权利要求1所述的双模式开关频率控制电路,其特征在于,所述振荡器还包括频率维持电路,在RT模式下,所述频率维持电路用于维持所述控制电压VCONT_PRE所对应的频率。

3. 如权利要求2所述的双模式开关频率控制电路,其特征在于,所述频率维持电路包括PMOS管P4、NMOS管N5、电阻R3和开关S7,所述PMOS管P4的源极连接电源VDD,所述PMOS管P4的栅极连接电流镜像电路,所述PMOS管P4的漏极连接鉴相器的输出端、环路滤波器以及振荡器的输入端,所述NMOS管N5的漏极和栅极短接且通过开关S7与PMOS管P4的漏极连接,所述NMOS管N5的源极通过电阻R3接地,在RT模式下,所述开关S7处于闭合状态。

4. 如权利要求2所述的双模式开关频率控制电路,其特征在于,所述模式转换电路包括电阻R2、NMOS管N3、偏置电流源IBIAS1、运放、开关S3、开关S4、开关S5、开关S6、电阻 R_{SET} 、电阻 R_{PLL} 和NMOS管N4;

其中,所述运放的正极输入端通过开关S3连接参考电压 V_{REF} ,所述电阻R2一端连接电源VDD、另一端连接NMOS管N3的漏极,所述NMOS管N3的栅极连接控制电压VCONT_PRE、源极通过偏置电流源IBIAS1接地,所述NMOS管N3的源极同时通过开关S4与运放的正极输入端连接,所述运放的负极输入端通过开关S5与电阻 R_{SET} 连接,所述电阻 R_{SET} 的另一端接地,所述运放的负极输入端通过开关S6与电阻 R_{PLL} 连接,所述电阻 R_{PLL} 的另一端接地,所述NMOS管N4的漏极与电流镜像电路连接,所述NMOS管N4的栅极与运放的输出端连接,所述NMOS管N4的源极与运放的负极输入端连接。

5. 如权利要求4所述的双模式开关频率控制电路,其特征在于,所述电流镜像电路包括PMOS管P3和PMOS管P5,所述PMOS管P3的源极连接电源VDD,所述PMOS管P3的漏极和栅极短接且连接PMOS管P5的栅极以及频率维持电路和模式转换电路,所述PMOS管P5的源极连接电源VDD,所述PMOS管P5的漏极连接斜坡电压产生电路和比较器的正极输入端。

6. 如权利要求5所述的双模式开关频率控制电路,其特征在于,所述斜坡电压产生电路包括NMOS管N6和电容Cosc,所述电容Cosc一端与NMOS管N6的漏极以及比较器的正极输入端连接、另一端与NMOS管N6的源极连接且同时接地,所述NMOS管N6的栅极连接逻辑电路的输出端。

7. 如权利要求6所述的双模式开关频率控制电路,其特征在于,在RT模式下,所述时钟

信号CLOCK的频率 f_1 的表达式为:

$$f_1 = K * [V_{REF} / (R_{SET} * C_{OSC} * V_{REF_OSC})], \text{其中, } K \text{ 为PMOS管P5和PMOS管P3的个数比。}$$

8. 如权利要求6所述的双模式开关频率控制电路,其特征在于,在PLL模式下,所述时钟信号CLOCK的频率 f_2 的表达式为:

$$f_2 = K * [V_{CONT} / (R_{PLL} * C_{OSC} * V_{REF_OSC})] = f_{CLK_SYNC}, \text{其中, } K \text{ 为PMOS管P5和PMOS管P3的个数比, } f_{CLK_SYNC} \text{ 为外部时钟信号CLK_SYNC的频率。}$$

9. 如权利要求2所述的双模式开关频率控制电路,其特征在于,所述双模式开关频率控制电路还包括模式判定电路,所述模式判定电路具有用于对所述振荡器工作于RT模式和/或PLL模式进行判定的RT/SYNC端,所述模式判定电路控制能够输出外部时钟信号CLK_SYNC、将所述振荡器切换至RT模式的控制信号RT_MODE以及将所述振荡器切换至PLL模式的控制信号PLL_MODE。

10. 如权利要求9所述的双模式开关频率控制电路,其特征在于,所述双模式开关频率控制电路还包括使能电路,用于为所述双模式开关频率控制电路提供使能信号EN。

双模式开关频率控制电路

技术领域

[0001] 本发明是关于集成电路技术领域,特别是关于一种双模式开关频率控制电路。

背景技术

[0002] 开关电源被广泛的应用在集成电路领域,开关电源是一种高频化电能转换装置,通过将一位准的电压,透过不同形式的架构转换为用户端所需求的电压或电流。开关电源工作频率高且需要在不同的频率之间进行切换,现有开关电源中的开关频率控制电路结构复杂,导致整个芯片的面积和成本均大大的提升。

[0003] 公开于该背景技术部分的信息仅仅旨在增加对本发明的总体背景的理解,而不应当被视为承认或以任何形式暗示该信息构成已为本领域一般技术人员所公知的现有技术。

发明内容

[0004] 本发明的目的在于提供一种双模式开关频率控制电路,其结构简单,面积小,成本低。

[0005] 为实现上述目的,本发明的实施例提供了一种双模式开关频率控制电路,包括:鉴相器、环路滤波器以及振荡器。

[0006] 振荡器能够工作于RT模式和/或PLL模式下,所述振荡器包括模式转换电路、电流镜像电路、斜坡电压产生电路、比较器、逻辑电路和缓冲器BUFFER;其中,所述模式转换电路用于在RT模式和/或PLL模式下,根据对应的控制电压并通过所述电流镜像电路输出对应的电流;所述斜坡电压产生电路用于根据所述电流镜像电路输出的电流输出对应的斜坡电压 V_{RAMP} ;所述比较器用于将斜坡电压 V_{RAMP} 和参考电压 V_{REF_OSC} 进行比较并通过逻辑电路和缓冲器BUFFER输出时钟信号CLOCK。

[0007] 鉴相器在PLL模式下,用于将时钟信号CLOCK和外部时钟信号CLK_SYNC进行比较,产生对应于时钟信号CLOCK和外部时钟信号CLK_SYNC相位差的误差电压。

[0008] 环路滤波器在PLL模式下,用于消除所述误差电压中的高频信号和噪声信号并输出控制所述振荡器的控制电压VCONT_PRE,在所述控制电压VCONT_PRE的控制下,所述振荡器输出的时钟信号CLOCK能够同步到外部时钟信号CLK_SYNC。

[0009] 在本发明的一个或多个实施方式中,所述振荡器还包括频率维持电路,在RT模式下,所述频率维持电路用于维持所述控制电压VCONT_PRE所对应的频率。

[0010] 在本发明的一个或多个实施方式中,所述频率维持电路包括PMOS管P4、NMOS管N5、电阻R3和开关S7,所述PMOS管P4的源极连接电源VDD,所述PMOS管P4的栅极连接电流镜像电路,所述PMOS管P4的漏极连接鉴相器的输出端、环路滤波器以及振荡器的输入端,所述NMOS管N5的漏极和栅极短接且通过开关S7与PMOS管P4的漏极连接,所述NMOS管N5的源极通过电阻R3接地,在RT模式下,所述开关S7处于闭合状态。

[0011] 在本发明的一个或多个实施方式中,所述模式转换电路包括电阻R2、NMOS管N3、偏置电流源IBIAS1、运放、开关S3、开关S4、开关S5、开关S6、电阻 R_{SET} 、电阻 R_{PLL} 和NMOS管N4;

[0012] 其中,所述运放的正极输入端通过开关S3连接参考电压 V_{REF} ,所述电阻R2一端连接电源VDD、另一端连接NMOS管N3的漏极,所述NMOS管N3的栅极连接控制电压VCONT_PRE、源极通过偏置电流源IBIAS1接地,所述NMOS管N3的源极同时通过开关S4与运放的正极输入端连接,所述运放的负极输入端通过开关S5与电阻 R_{SET} 连接,所述电阻 R_{SET} 的另一端接地,所述运放的负极输入端通过开关S6与电阻 R_{PLL} 连接,所述电阻 R_{PLL} 的另一端接地,所述NMOS管N4的漏极与电流镜像电路连接,所述NMOS管N4的栅极与运放的输出端连接,所述NMOS管N4的源极与运放的负极输入端连接;在RT模式下,所述开关S3和开关S5处于闭合状态,在PLL模式下,所述开关S4和开关S6处于闭合状态,所述NMOS管N3的源极输出控制电压VCONT至运放的正极输入端。

[0013] 在本发明的一个或多个实施方式中,所述电流镜像电路包括PMOS管P3和PMOS管P5,所述PMOS管P3的源极连接电源VDD,所述PMOS管P3的漏极和栅极短接且连接PMOS管P5的栅极以及频率维持电路和模式转换电路,所述PMOS管P5的源极连接电源VDD,所述PMOS管P5的漏极连接斜坡电压产生电路和比较器的正极输入端。

[0014] 在本发明的一个或多个实施方式中,所述斜坡电压产生电路包括NMOS管N6和电容Cosc,所述电容Cosc一端与NMOS管N6的漏极以及比较器的正极输入端连接、另一端与NMOS管N6的源极连接且同时接地,所述NMOS管N6的栅极连接逻辑电路的输出端。

[0015] 在本发明的一个或多个实施方式中,在RT模式下,所述时钟信号CLOCK的频率 f_1 的表达式为:

[0016] $f_1 = K * [V_{REF} / (R_{SET} * C_{OSC} * V_{REF_OSC})]$,其中,K为PMOS管P5和PMOS管P3的个数比。

[0017] 在本发明的一个或多个实施方式中,在PLL模式下,所述时钟信号CLOCK的频率 f_2 的表达式为:

[0018] $f_2 = K * [V_{CONT} / (R_{PLL} * C_{OSC} * V_{REF_OSC})] = f_{CLK_SYNC}$,其中,K为PMOS管P5和PMOS管P3的个数比, f_{CLK_SYNC} 为外部时钟信号CLK_SYNC的频率。

[0019] 在本发明的一个或多个实施方式中,所述开关频率控制电路还包括模式判定电路,所述模式判定电路具有用于对所述振荡器工作于RT模式和/或PLL模式进行判定的RT/SYNC端,所述模式判定电路控制能够输出外部时钟信号CLK_SYNC、将所述振荡器切换至RT模式的控制信号RT_MODE以及将所述振荡器切换至PLL模式的控制信号PLL_MODE。

[0020] 在本发明的一个或多个实施方式中,所述双模式开关频率控制电路还包括使能电路,用于为所述双模式开关频率控制电路提供使能信号EN。

[0021] 与现有技术相比,本发明实施方式的双模式开关频率控制电路,能够实现RT模式和PLL模式之间相互切换;本发明实施方式的双模式开关频率控制电路的锁相环建立速度快,能够缩短两种模式之间切换时振荡器输出的时钟信号CLOCK的频率同步到外部时钟信号CLK_SYNC的频率时所需要的建立时间;该电路结构简单,在实现开关电源中双模式开关频率控制的同时,极大地降低了芯片面积和成本。

附图说明

[0022] 图1是根据本发明一实施方式的双模式开关频率控制电路的电路原理图;

[0023] 图2是根据本发明一实施方式的鉴相器的电路原理图;

[0024] 图3是根据本发明一实施方式的环路滤波器的电路原理图;

[0025] 图4是根据本发明一实施方式的振荡器的电路原理图；

[0026] 图5是根据本发明一实施方式的双模式开关频率控制电路的电路时序图。

具体实施方式

[0027] 下面结合附图,对本发明的具体实施方式进行详细描述,但应当理解本发明的保护范围并不受具体实施方式的限制。

[0028] 除非另有其它明确表示,否则在整个说明书和权利要求书中,术语“包括”或其变换如“包含”或“包括有”等等将被理解为包括所陈述的元件或组成部分,而并未排除其它元件或其它组成部分。

[0029] 实施例1

[0030] 如图1所示,一种双模式开关频率控制电路,包括:使能电路10、模式判定电路20、鉴相器30、环路滤波器40和振荡器50。

[0031] 使能电路10根据输入信号EN_CK输出使能信号EN,使能信号EN是整个开关频率控制电路的使能信号。输入信号EN_CK和使能信号EN相等,两者为“1”时,整个开关频率控制电路正常工作;使能信号EN为“0”时,整个开关频率控制电路不工作,因此以下分析均以使能信号EN为“1”为前提。

[0032] 模式判定电路20具有用于对振荡器50工作于RT模式和/或PLL模式进行判定的RT/SYNC端,模式判定电路20控制能够输出外部时钟信号CLK_SYNC、将振荡器50切换至RT模式的控制信号RT_MODE以及将振荡器50切换至PLL模式的控制信号PLL_MODE。模式判定电路20同时也受到使能信号EN的控制。

[0033] 本实施例中,RT/SYNC端可以接电阻 R_{SET} ,也可以接外部时钟信号CLK_SYNC。模式判定电路20会根据RT/SYNC端的情况进行阈值的判定,如果是接有电阻 R_{SET} ,那么通过运放功能会使得RT/SYNC端等于参考电压 V_{REF} ,参考电压 V_{REF} 小于阈值,因此模式判定电路20判定为RT模式。而如果RT/SYNC端是外部时钟信号CLK_SYNC,那么外部时钟信号CLK_SYNC(比如说是0V~3V/5V的脉冲信号)是大于阈值的,因此模式判定电路20会判定进入PLL模式。结合图1,当RT/SYNC端与地之间仅接有电阻 R_{SET} ,电阻 R_{SET} 为外置电阻,那么模式判定电路20输出控制信号RT_MODE为“1”、控制信号PLL_MODE为“0”,此时,振荡器50工作在RT模式下,且振荡器50的工作频率由电阻 R_{SET} 的值决定;当外部时钟信号CLK_SYNC直接连接到RT/SYNC端,那么模式判定电路输出控制信号PLL_MODE为“1”、控制信号RT_MODE为“0”,此时,振荡器工作在PLL模式下,且振荡器50的工作频率通过锁相环同步到外部时钟信号CLK_SYNC的频率;如果二者同时存在,那么通过自动检测,PLL模式会覆盖RT模式,模式判定电路20输出控制信号PLL_MODE为“1”、控制信号RT_MODE为“0”,振荡器50工作在PLL模式下。

[0034] 鉴相器30是相位比较模块,鉴相器30能够将时钟信号CLOCK和外部时钟信号CLK_SYNC进行比较,产生对应于时钟信号CLOCK和外部时钟信号CLK_SYNC相位差的误差电压。

[0035] 本实施例中,鉴相器30包括D触发器D1、D触发器D2、与门AND1、反相器INV1、PMOS管P1、PMOS管P2、NMOS管N1、NMOS管N2和单位增益放大器A1。

[0036] 具体的,D触发器D1的输入CK端与模式判定电路20连接从而接收外部时钟信号CLK_SYNC,D触发器D1的输入D端连接电源VDD。D触发器D2的输入CK端与振荡器50的输出端连接从而接收振荡器50输出的时钟信号CLOCK,D触发器D2的输入D端连接电源VDD。D触发器

D1的输出Q端与与门AND1的输入端A1连接,D触发器D2的输出Q端与与门AND1的输入端A2连接。与门AND1的输出端连接反相器INV1的输入端,反相器INV1的输出端同时与D触发器D1和D触发器D2的复位端R连接。D触发器D1的输出QN端与PMOS管P2的栅极连接,D触发器D2的输出Q端与NMOS管N1的栅极连接。PMOS管P2的源极与PMOS管P1的漏极连接,PMOS管P1的源极连接电源VDD,PMOS管P1的栅极连接偏置电压VB1。NMOS管N1的源极连接NMOS管N2的漏极,NMOS管N2的源极接地,NMOS管N2的栅极连接偏置电压VB2。PMOS管P2的源极与开关S1的一端连接,NMOS管N2的漏极与开关S2的一端连接,开关S1的另一端与开关S2的另一端连接且连接单位增益放大器A1的输出端。NMOS管N1的漏极与PMOS管P2的漏极相连且连接单位增益放大器A1的输入端以及环路滤波器40,从而向环路滤波器40输出对应于时钟信号CLOCK和外部时钟信号CLK_SYNC相位差的误差电压。

[0037] 环路滤波器40用于消除误差电压中的高频信号和噪声信号并输出控制振荡器50的控制电压VCONT_PRE,通过消除误差电压中的高频信号和噪声信号以满足在PLL模式下的环路所要求的性能,增加系统的稳定性。

[0038] 本实施例中,环路滤波器40包括电阻R1、电容C1和电容C2。具体的,电容C1和电容C2一端均接地,电容C1的另一端与电阻R1一端连接,电阻R1的另一端与电容C2的另一端相连且连接鉴相器30的输出端以接收误差电压,同时还连接振荡器50的输入端以向振荡器50输出控制电压VCONT_PRE。

[0039] 振荡器50能够工作于RT模式和/或PLL模式下,RT模式和PLL模式能够相互切换,在RT模式或PLL模式下能够产生开关电源的开关频率。

[0040] 本实施例中,振荡器50包括模式转换电路51、电流镜像电路52、斜坡电压产生电路53、频率维持电路54、比较器、逻辑电路以及缓冲器BUFFER。

[0041] 其中,模式转换电路51用于在RT模式和/或PLL模式下,根据对应的控制电压并通过电流镜像电路52输出对应的电流。

[0042] 模式转换电路51包括电阻R2、NMOS管N3、偏置电流源IBIAS1、运放、开关S3、开关S4、开关S5、开关S6、电阻R_{SET}、电阻R_{PLL}、NMOS管N4。

[0043] 具体的,运放的正极输入端通过开关S3连接参考电压V_{REF}。电阻R2一端连接电源VDD、另一端连接NMOS管N3的漏极,NMOS管N3的栅极连接控制电压VCONT_PRE,NMOS管N3的源极通过偏置电流源IBIAS1接地。NMOS管N3的源极同时通过开关S4与运放的正极输入端连接。运放的负极输入端通过开关S5与电阻R_{SET}连接,电阻R_{SET}的另一端接地。运放的负极输入端通过开关S6与电阻R_{PLL}连接,电阻R_{PLL}的另一端接地。NMOS管N4的漏极与电流镜像电路52连接,NMOS管N4的栅极与运放的输出端连接,NMOS管N4的源极与运放的负极输入端连接。

[0044] 在RT模式下,开关S3和开关S5处于闭合状态。开关S3和开关S5均受到控制信号RT_MODE的控制,控制信号RT_MODE为“1”,控制信号PLL_MODE为“0”时,开关S3和开关S5均闭合,从而使得模式转换电路51进入到RT模式。

[0045] 在PLL模式下,开关S4和开关S6处于闭合状态。开关S4和开关S6均受到控制信号PLL_MODE的控制,控制信号PLL_MODE为“1”,控制信号RT_MODE为“0”时,开关S4和开关S6均闭合,从而使得模式转换电路51进入到PLL模式。此时,NMOS管N3的源极输出控制电压VCONT至运放的正极输入端。

[0046] 另外,电流镜像电路52包括PMOS管P3和PMOS管P5。PMOS管P3的源极连接电源VDD,

PMOS管P3的漏极和栅极短接且连接PMOS管P5的栅极以及频率维持电路54和模式转换电路51,具体的,PMOS管P3的漏极和栅极短接后连接NMOS管N4的漏极。PMOS管P5的源极连接电源VDD,PMOS管P5的漏极连接斜坡电压产生电路53和比较器的正极输入端。

[0047] 在RT模式下,频率维持电路54用于维持控制电压VCONT_PRE所对应的频率。

[0048] 本实施例中,频率维持电路54包括PMOS管P4、NMOS管N5、电阻R3和开关S7。PMOS管P4的源极连接电源VDD,PMOS管P4的栅极连接电流镜像电路52,具体的,PMOS管P4的栅极连接PMOS管P3的漏极和栅极短接端。PMOS管P4的漏极连接鉴相器30的输出端、环路滤波器40以及振荡器50的输入端,具体的,PMOS管P4的漏极连接PMOS管P2的漏极、NMOS管N1的漏极、NMOS管N3的栅极以及电阻R1和电容C2。NMOS管N5的漏极和栅极短接且通过开关S7与PMOS管P4的漏极连接,NMOS管N5的源极通过电阻R3接地。

[0049] 在RT模式下,开关S7处于闭合状态。开关S7受到控制信号RT_MODE的控制,控制信号RT_MODE为“1”时,开关S7闭合,从而使得频率维持电路54进入到RT模式。此时,振荡器50的输入端的控制电压VCONT_PRE与PMOS管P4的漏极处的电压保持一致。最终,NMOS管N3的源极处输出的控制电压VCONT维持于对应的频率处。从而使得振荡器50从RT模式切换到PLL模式时,控制电压VCONT不需要从“0”逐渐升高,加快了锁相环的建立,缩短了振荡器50在两种模式之间切换时,振荡器50输出的时钟信号CLOCK的频率同步到外部时钟信号CLK_SYNC的频率时所需要的建立时间。

[0050] 斜坡电压产生电路53用于根据电流镜像电路52输出的电流输出对应的斜坡电压 V_{RAMP} 。

[0051] 本实施例中,斜坡电压产生电路53包括NMOS管N6和电容Cosc。电容Cosc一端与NMOS管N6的漏极以及比较器的正极输入端连接、另一端与NMOS管N6的源极连接且同时接地,NMOS管N6的栅极连接逻辑电路的输出端。

[0052] 比较器用于将斜坡电压 V_{RAMP} 和参考电压 V_{REF_OSC} 进行比较并通过逻辑电路和缓冲器BUFFER输出时钟信号CLOCK。

[0053] 当振荡器50工作在RT模式时,控制信号RT_MODE为“1”,运放的正极输入端连接参考电压 V_{REF} 。由运放特性可知,运放的正极输入端的电压等于负极输入端的电压,因此,加在电阻 R_{SET} 两端的电压等于参考电压 V_{REF} 。由此可以得到流过电阻 R_{SET} 的电流等于 V_{REF}/R_{SET} ,该电流等于流过NMOS管N4的电流,同时等于流过PMOS管P3的电流,该电流经过电流镜像电路52的镜像使得流过PMOS管P5的电流等于 $K*(V_{REF}/R_{SET})$,其中,比例系数K为PMOS管P5和PMOS管P3的个数比。流过PMOS管P5的电流对电容 C_{OSC} 进行充电得到线性增加的斜坡电压,并且逻辑电路产生的复位信号RST在每个周期将电容 C_{OSC} 两端的电压泄放掉,由此得到斜坡电压 V_{RAMP} 。 V_{RAMP} 电压与参考电压 V_{REF_OSC} 进行比较得到的信号经过逻辑电路和缓冲器BUFFER输出时钟信号CLOCK。该时钟信号CLOCK的频率 f_1 的表达式为 $f_1 = K*[V_{REF}/(R_{SET}*C_{OSC}*V_{REF_OSC})]$,其中,K为PMOS管P5和PMOS管P3的个数比。

[0054] 当振荡器50工作在PLL模式时,控制信号PLL_MODE为“1”,运放的正极输入端连接NMOS管N3的源极,从而接收控制电压VCONT。由运放特性可知,运放的正极输入端电压等于负极输入端电压,因此加在电阻 R_{PLL} 两端的电压等于控制电压VCONT。类似地,此时振荡器50输出的时钟信号CLOCK的频率 f_2 的可表达为 $f_2 = K*[V_{CONT}/(R_{PLL}*C_{OSC}*V_{REF_OSC})] = f_{CLK_SYNC}$,其中,K为PMOS管P5和PMOS管P3的个数比, f_{CLK_SYNC} 为外部时钟信号CLK_SYNC的频率。该时钟信

号CLOCK反馈回鉴相器30中的D触发器D2的输入CK端。此时,由鉴相器30、环路滤波器40和振荡器50组成的锁相环电路会将时钟信号CLOCK的频率 f_2 逐渐同步到外部时钟信号CLK_SYNC的频率 f_{CLK_SYNC} ,所以有时钟信号CLOCK的频率 f_2 等于外部时钟信号CLK_SYNC的频率 f_{CLK_SYNC} 。由上述表达式可以看到,外部时钟信号CLK_SYNC的频率 f_{CLK_SYNC} 不同时,通过环路调节会得到对应的控制电压VCONT。

[0055] 如图2所示,该图表征开关频率控制电路由RT模式切换到PLL模式的情况,输入信号EN_CK和使能信号EN均为“1”。

[0056] 可以看到,当振荡器50工作在RT模式时,控制信号RT_MODE为“1”、控制信号PLL_MODE为“0”,此时系统以电阻 R_{SET} 值所设定的频率工作,而且控制电压VCONT建立并保持在对应的频率处。

[0057] 当振荡器50工作在PLL模式时,控制信号RT_MODE信号为“0”、控制信号PLL_MODE信号为“1”,此时振荡器50输出的时钟信号CLOCK的频率通过锁相环同步到外部时钟信号CLK_SYNC的频率,并得到对应的控制电压VCONT。由于在RT模式时,控制电压VCONT已经建立并保持在相近/相等频率处,因此开关频率控制电路在由RT模式切换到PLL模式时,控制电压VCONT不需要从“0”逐渐升高(如图2中虚线部分所示),振荡器50输出的时钟信号CLOCK的频率会立马同步到外部时钟信号CLK_SYNC的频率,加快了锁相环的建立,缩短了振荡器50在两种模式之间切换时,时钟信号CLOCK的频率同步到外部时钟信号CLK_SYNC时的建立时间。图2中以两种模式下设置的振荡器50输出的时钟信号CLOCK的频率一样为例,控制电压VCONT建立并一直保持在了对应频率处。

[0058] 前述对本发明的具体示例性实施方案的描述是为了说明和例证的目的。这些描述并非想将本发明限定为所公开的精确形式,并且很显然,根据上述教导,可以进行很多改变和变化。对示例性实施例进行选择 and 描述的目的在于解释本发明的特定原理及其实际应用,从而使得本领域的技术人员能够实现并利用本发明的各种不同的示例性实施方案以及各种不同的选择和改变。本发明的范围意在由权利要求书及其等同形式所限定。

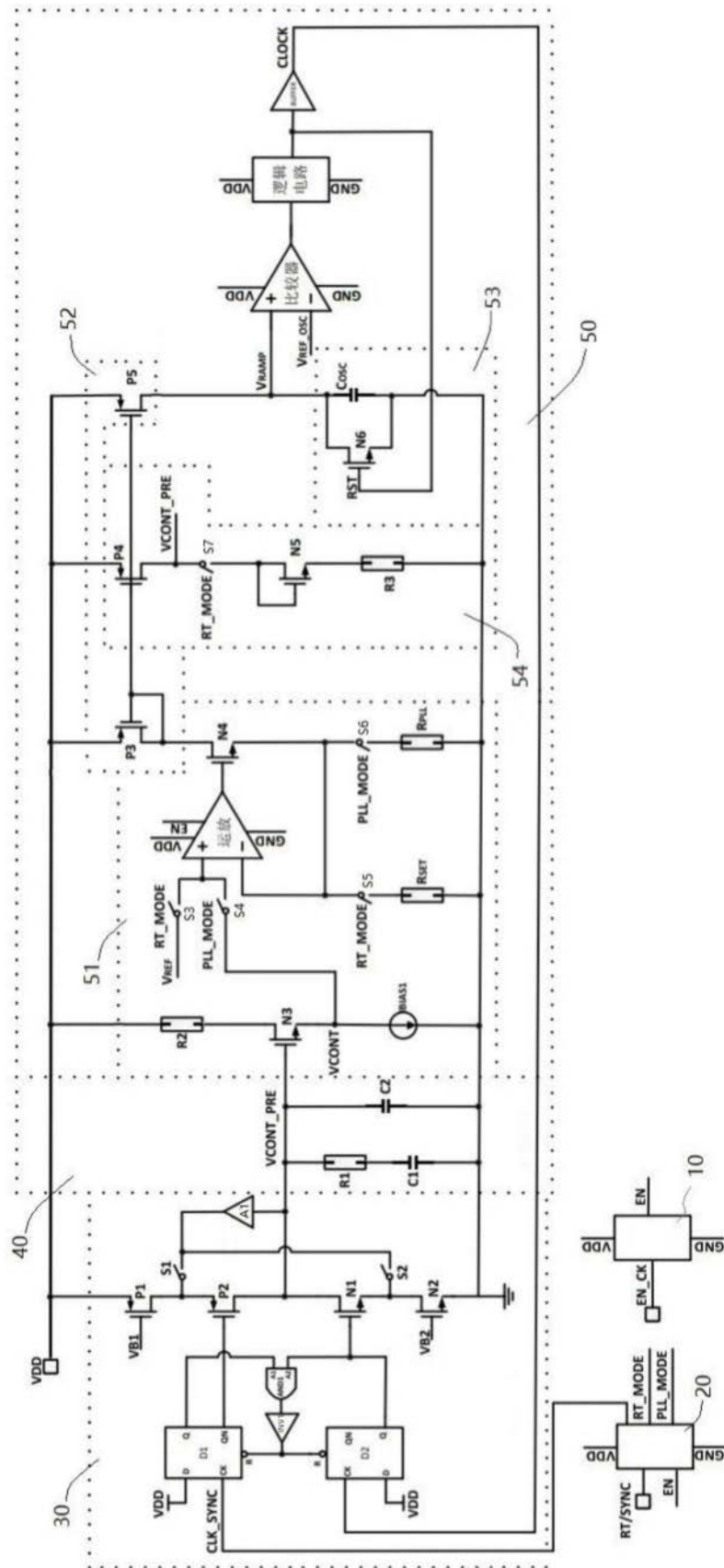


图1

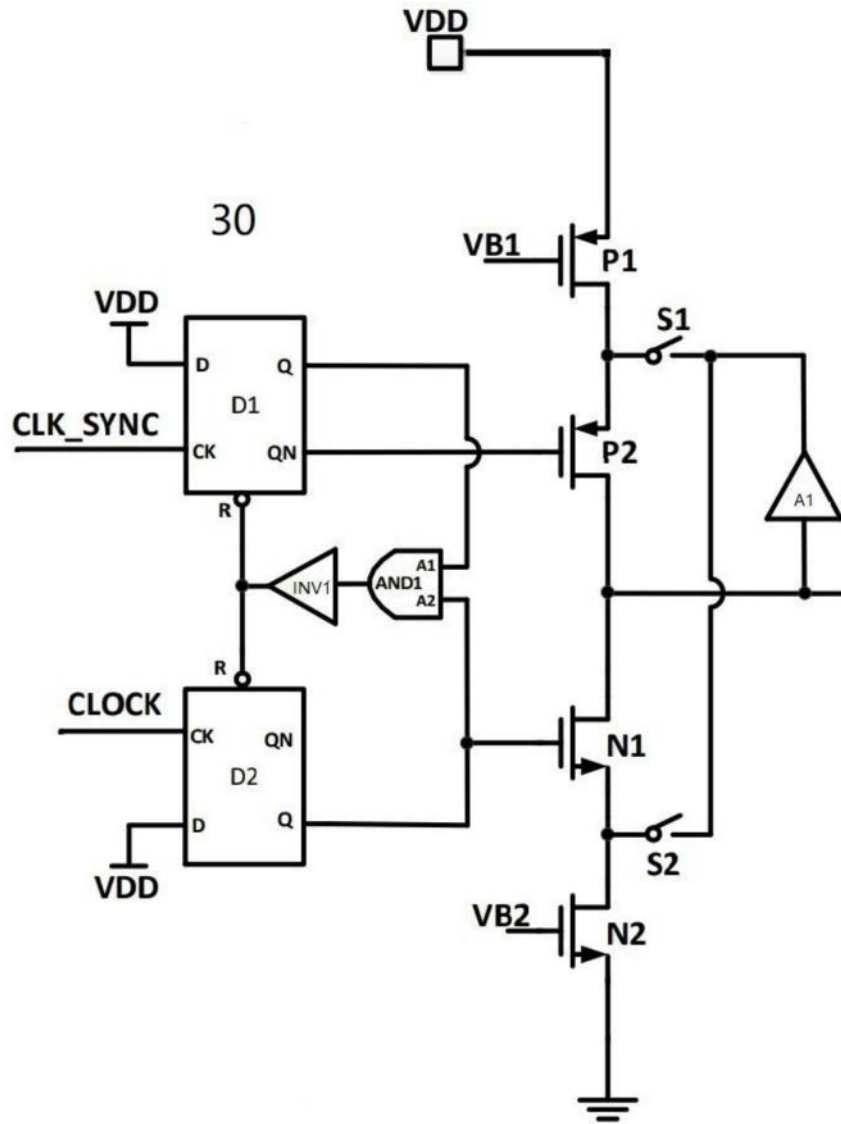


图2

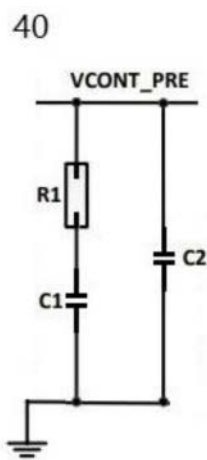


图3

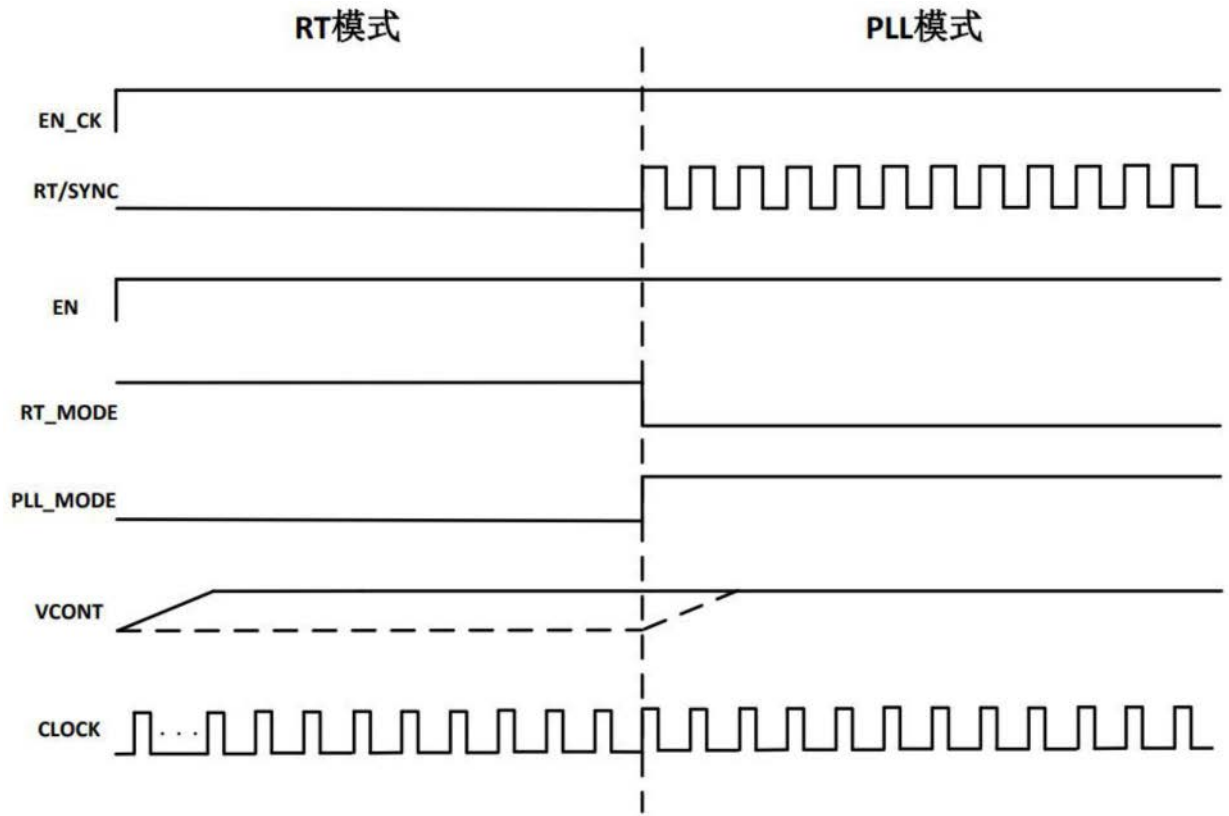


图5