

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5655643号
(P5655643)

(45) 発行日 平成27年1月21日(2015.1.21)

(24) 登録日 平成26年12月5日(2014.12.5)

(51) Int. Cl. F I
 HO 1 L 31/10 (2006.01) HO 1 L 31/10 A
 GO 2 B 6/12 (2006.01) GO 2 B 6/12 B

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2011-51019 (P2011-51019)	(73) 特許権者	000005223
(22) 出願日	平成23年3月9日(2011.3.9)		富士通株式会社
(65) 公開番号	特開2012-190875 (P2012-190875A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成24年10月4日(2012.10.4)	(74) 代理人	100094525
審査請求日	平成25年11月29日(2013.11.29)		弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(74) 代理人	100072833
			弁理士 柏谷 昭司
		(74) 代理人	100075890
			弁理士 渡邊 弘一
		(74) 代理人	100105337
			弁理士 眞鍋 潔

最終頁に続く

(54) 【発明の名称】 半導体光集積回路装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に形成された少なくともメサ状部を有する導波路コア層からなる導波路部と、

前記導波路コア層の延長部上に順次積層された第1導電型スペーサ層、吸収層及び前記第1導電型と反対の第2導電型上部クラッド層を少なくとも有するエバネッセント結合型のフォトダイオード部と

を少なくとも有し、

前記第1導電型スペーサ層の少なくとも一部がメサ状であり、

前記第1導電型スペーサ層の屈折率より小さな屈折率の第1導電型半導体層が、前記吸収層と接することなく前記メサ状の第1導電型スペーサ層の側面と接していることを特徴とする半導体光集積回路装置。

【請求項2】

前記第1導電型スペーサ層が完全にメサ状であるとともに、前記フォトダイオード部における前記導波路コア層の少なくとも一部がメサ状であり、

前記メサ状の導波路コア層と第1導電型スペーサ層の側面が、前記第1導電型半導体層と接していることを特徴とする請求項1に記載の半導体光集積回路装置。

【請求項3】

前記導波路部における導波路コア層の上にメサストライプ状のクラッド層を有すること

を特徴とする請求項 1 または請求項 2 に記載の半導体光集積回路装置。

【請求項 4】

前記導波路部における導波路コア層がメサストライプ構造であり、

前記導波路コア層の入力端が多モード干渉導波路とモノリシックに結合していることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体光集積回路装置。

【請求項 5】

半導体基板上に少なくとも導波路コア層、第 1 導電型スペーサ層、吸収層及び前記第 1 導電型と反対の第 2 導電型クラッド層を順次堆積する工程と、

前記第 2 導電型クラッド層乃至第 1 導電型スペーサ層の一部を除去して導波路部を形成する工程と、

第 1 のマスクを利用して前記導波路部における前記導波路コア層の少なくとも一部を除去してメサ状部を形成する工程と、

前記導波路部以外の領域において、第 2 のマスクを利用して前記第 2 導電型クラッド層と吸収層と、前記第 1 導電型スペーサ層の少なくとも一部を除去してメサ状部を備えたエバネッセント結合型のフォトダイオード部を形成する工程と、

前記第 2 のマスクを残存させた状態で、前記フォトダイオード部のメサ状部の両脇に露出する前記第 1 導電型スペーサ層上に、前記第 1 導電型スペーサ層の屈折率より小さな屈折率の第 1 導電型半導体層を前記吸収層の側面と接しないように形成する工程と

を有することを特徴とする半導体光集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体光集積回路装置及びその製造方法に関するものであり、例えば、エバネッセント結合型の導波路集積型のフォトダイオードにおける吸収効率向上と高周波帯域向上を両立させるための手段に関するものである。

【背景技術】

【0002】

近年、Quadrature Phase Shift Key (QPSK) などの位相変調方式を用いた光コヒーレント通信が開発されている。そのための光受信器として、多モード干渉 (MMI) 導波路などを用いて位相変調光を強度変調光に変換する光ハイブリッド導波路と、フォトダイオード (PD) を集積した導波路集積型の光受信器が提案されている。

【0003】

図 1 3 は、従来の導波路集積型光受信器の概念的平面図であり、同一の基板 5 1 上に入力導波路 5 2、 2×4 MMI 導波路 5 3、PD 接続導波路 5 4 及びフォトダイオード 5 5 を集積化している。そのため、各素子或いは導波路の間でレンズなどの光学部品が不要であるため、小型化や組立コストの観点から有望である。

【0004】

図 1 4 は、従来のエバネッセント結合型の導波路集積型光受信器の構成説明図であり、ここでは、PD 接続導波路及びフォトダイオードのみを示している。図 1 4 (a) は概念的斜視図であり、図 1 4 (b) は図 1 4 (a) における A 面で切った概念的断面図であり、図 1 4 (c) は図 1 4 (a) における B 面で切った概念的断面図である。

【0005】

従来の導波路集積型光受信器は、導波路コア層 6 1 からなる導波路部分 6 0 と、導波路コア層 6 1 の一部領域上に n 型スペーサ層 6 2、吸収層 6 3、p 型上部クラッド層 6 4 及び p 型コンタクト層 6 5 を堆積させた PD 部 6 6 とを集積した構造となっている。

【0006】

n 型スペーサ層 6 2 は、導波路コア層 6 1 より屈折率が高い半導体からなり、吸収層 6 3 は、信号光を吸収するようにバンドギャップが調整された半導体層であり、一般的には i 型半導体層である。

10

20

30

40

50

【0007】

図14(b)に示すように、導波路コア層61を伝播してきた光は、PD部66に光が入射してからある程度の距離伝播した後に、n型スペーサ層62から吸収層63に染み出していき、最終的には吸収層63で吸収される。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】IEEE International Conference on Indium Phosphide & Related Materials, 1996. IPRM 1996, p203-206

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、図14に示した構造では、n側電極を表面側からとるために、フォトダイオードの両脇にn型スペーサ層を一部残しておく必要があり、その結果、図14(c)に示すように、フォトダイオード部分では導波路コア層がスラブ状に残る形になる。

【0010】

このような形状では、導波路部60からPD部66に入射してきた光を横方向に閉じ込める機構は、導波路コア層61の上部に形成されたn型スペーサ層62の一部および吸収層63からなるメサ形状によるものだけとなる。したがって、光閉じ込め効果が比較的弱くなるため、PD部66に入射した光が横方向に逃げてしまい、十分な吸収効果が得られないという問題がある。

20

【0011】

十分な吸収効率を得るためには、メサの両脇のn型スペーサ層62の残し厚を薄くすることで、n型スペーサ層62の一部からなるメサ形状を深くし、PD部66に入射した光が横方向へ逃げにくくすることが有効である。

【0012】

しかし、n型スペーサ層62の残し厚が薄くなることによりn型電極層としての抵抗が増加するため、高周波帯域が低減するという問題がある。このように、従来の導波路集積型光受信器では、吸収効率の向上と素子抵抗の低減の両立が困難であるという問題がある。

30

【0013】

したがって、本発明は、導波路集積型光受信器における吸収効率の向上と素子抵抗の低減を両立することを目的とする。

【課題を解決するための手段】

【0014】

開示する一観点からは、半導体基板と、前記半導体基板上に形成された少なくともメサ状部を有する導波路コア層からなる導波路部と、前記導波路コア層の延長部上に順次積層された第1導電型スペーサ層、吸収層及び前記第1導電型と反対の第2導電型上部クラッド層を少なくとも有するエバネッセント結合型のフォトダイオード部とを少なくとも有し、前記第1導電型スペーサ層の少なくとも一部がメサ状であり、前記第1導電型スペーサ層の屈折率より小さな屈折率の第1導電型半導体層が、前記吸収層と接することなく前記メサ状の第1導電型スペーサ層の側面と接していることを特徴とする半導体光集積回路装置が提供される。

40

【0015】

また、開示する別の観点からは、半導体基板上に少なくとも導波路コア層、第1導電型スペーサ層、吸収層及び第1導電型と反対の第2導電型クラッド層を順次堆積する工程と、前記第2導電型クラッド層乃至第1導電型スペーサ層の一部を除去して導波路部を形成する工程と、第1のマスクを利用して前記導波路部における前記導波路コア層の少なくとも一部を除去してメサ状部を形成する工程と、前記導波路部以外の領域において、第2の

50

マスクを利用して前記第 2 導電型クラッド層と吸収層と、前記第 1 導電型スペーサ層の少なくとも一部を除去してメサ状部を備えたエバネッセント結合型のフォトダイオード部を形成する工程と、前記第 2 のマスクを残存させた状態で、前記フォトダイオード部のメサ状部の両脇に露出する前記第 1 導電型スペーサ層上に、前記第 1 導電型スペーサ層の屈折率より小さな屈折率の第 1 導電型半導体層を前記吸収層の側面と接しないように形成する工程とを有することを特徴とする半導体光集積回路装置の製造方法が提供される。

【発明の効果】

【0016】

開示の半導体光集積回路装置及びその製造方法によれば、吸収効率の向上と素子抵抗の低減の両立が可能になる。

10

【図面の簡単な説明】

【0017】

【図 1】本発明の実施の形態の半導体光集積回路装置の概念的構成図である。

【図 2】本発明の実施例 1 の半導体光集積回路装置の途中までの製造工程の説明図である。

【図 3】本発明の実施例 1 の半導体光集積回路装置の図 2 以降の製造工程の説明図である。

【図 4】本発明の実施例 1 の半導体光集積回路装置の説明図である。

【図 5】本発明の実施例 1 の変形例の説明図である。

【図 6】本発明の実施例 2 の半導体光集積回路装置の途中までの製造工程の説明図である。

20

【図 7】本発明の実施例 2 の半導体光集積回路装置の図 6 以降の製造工程の説明図である。

【図 8】本発明の実施例 2 の半導体光集積回路装置の説明図である。

【図 9】本発明の実施例 3 の半導体光集積回路装置の説明図である。

【図 10】本発明の実施例 3 の効果の説明図である。

【図 11】本発明の実施例 4 の半導体光集積回路装置の概念的平面図である。

【図 12】本発明の実施例 4 の半導体光集積回路装置のフォトダイオード部の概略的斜視図である。

【図 13】従来の導波路集積型光受信器の概念的平面図である。

30

【図 14】従来のエバネッセント結合型の導波路集積型光受信器の構成説明図である。

【発明を実施するための形態】

【0018】

ここで、図 1 を参照して、本発明の実施の形態の半導体光集積回路装置を説明する。図 1 は、本発明の実施の形態の半導体光集積回路装置の概念的構成図であり、図 1 (a) は斜視図であり、図 1 (b) が光軸に垂直な断面図である。図に示すように、半導体基板 1 1 上に形成された導波路部 1 4 とフォトダイオード部 2 0 とからなる。

【0019】

導波路部 1 4 は半導体基板 1 1 上に形成された少なくともメサ状部 1 3 を有する導波路コア層 1 2 からなる。この場合の導波路コア層 1 2 は全体が完全にメサ状であっても良い。また、メサ状部 1 3 の上にクラッド層を設けても良く、フォトダイオード部に入射した光が広がりやすいので、吸収層 1 6 における吸収効果を大きくすることができる。

40

【0020】

フォトダイオード部 2 0 は、導波路コア層 1 2 の延長部上に順次積層された第 1 導電型スペーサ層 1 5、吸収層 1 6 及び前記第 1 導電型と反対の第 2 導電型上部クラッド層 1 7 を少なくとも有する。また、第 1 導電型スペーサ層 1 5 の少なくとも一部がメサ状であり、メサ状の第 1 導電型スペーサ層 1 5 の側面が、第 1 導電型スペーサ層 1 5 の屈折率より小さな屈折率の第 1 導電型半導体層 1 9 と接している。なお、通常は第 2 導電型上部クラッド層 1 7 上に第 2 導電型コンタクト層 1 8 を設ける。

【0021】

50

また、第1導電型スペーサ層15は完全にメサ状であっても良い。また、第1導電型半導体層19の上面は、第1導電型スペーサ層15の上面よりも下にあることが望ましく、それによって、吸収層16の側面においてリーク電流の経路をなくすることができる。

【0022】

また、このような半導体光集積回路装置を2×4MMI等の多モード干渉導波路等の他の光デバイスと集積化する場合には、導波路コア層12の入力端を多モード干渉導波路等の光デバイスとモノリシックに一体化すれば良い。

【0023】

本発明の実施の形態の半導体光集積回路装置では、フォトダイオード部においてストライプ状の第1導電型スペーサ層が屈折率の小さい第1導電型半導体層で挟まれた構造となっている。そのため、フォトダイオード部に入射してきた光の水平方向の広がりが抑制されるため、光が効率良く吸収層へ伝搬し高い受光感度が得られる。即ち、十分な吸収効率を維持したままフォトダイオード長を短くすることができる。

10

【0024】

また、第1導電型半導体層のドーピング濃度や厚さを適切に設計することにより、第1導電型用の電極側の素子抵抗を低くすることができるため、高周波特性を改善することができる。したがって、フォトダイオード部の接合容量低減に有利な短いフォトダイオード長で、高い吸収効率と低い素子抵抗とを両立することが可能になる。

【実施例1】

【0025】

20

以上を前提として、次に、図2乃至図5を参照して、本発明の実施例1の半導体光集積回路装置の製造工程を説明する。まず、図2(a)に示すように、有機金属気相成長法(MOVPE法)を用いて、(100)を主面とする半絶縁性InP基板21上に、厚さが0.5μmのi型InGaAsP導波路コア層22を堆積する。引き続き、厚さが0.7μmのn型InGaAsPスペーサ層23、厚さが0.5μmのi型InGaAs吸収層24、厚さが1.0μmのp型InP上部クラッド層25及び厚さが0.3μmのp型InGaAsコンタクト層26を順次積層する。

【0026】

次いで、図2(b)に示すように、フォトダイオード形成部を除いて、p型InGaAsコンタクト層26乃至n型InGaAsPスペーサ層23をエッチング除去して導波路部27を形成する。次いで、図2(c)に示すように、SiO₂マスク28を用いてi型InGaAsP導波路コア層22をエッチングしてリブ構造29を形成する。

30

【0027】

次いで、図3(d)に示すように、新たなSiO₂マスク30を用いて、p型InGaAsコンタクト層26乃至n型InGaAsPスペーサ層23をストライプ状にエッチングして幅3μm、長さ25μmのフォトダイオード部31を形成する。

【0028】

次いで、図3(e)に示すように、SiO₂マスク30をそのまま残存させた状態で、有機金属気相成長法を用いて露出するn型InGaAsPスペーサ層23上にドーピング濃度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが0.6μmのn型InP層32を選択成長させる。この時、メサ状のフォトダイオード部31の側面で横方向に堆積するn型InP層32の厚さを薄くするために、メサ側面を(011)面とし、高温・低圧の成長条件で形成する。なお、n型InP層32を形成する際に、原料に塩素系原料を添加することで、横方向に堆積するn型InP層32の厚さをさらに薄くすることができる。

40

【0029】

次いで、図3(f)に示すように、エッチングにより、フォトダイオード部31のメサ側面で横方向に堆積したn型InP層32を除去する。エッチング量としては、例えば、0.1μmとする。この工程によりi型InGaAs吸収層24の側面においてリーク電流の経路がなくなるので、暗電流が抑制でき素子特性が向上する。

【0030】

50

以降は、 SiO_2 マスク 30 を除去したのち、 SiN 等のパッシベーション膜（図 4 は省略）を形成したのち、コンタクト用開口部を形成し、 p 型 InGaAs コンタクト層 26 上に AuZn/Au からなる p 側電極 33 を形成する。一方、 n 型 InP 層 32 上には AuGe/Au からなる n 側電極 34 を形成することにより、半導体光集積回路装置の基本構成が完成する。

【0031】

図 4 は、完成した本発明の実施例 1 の半導体光集積回路装置の説明図であり、図 4 (a) は、概略的斜視図であり、図 4 (b) は光軸に垂直な概略的断面図である。 p 側電極 33 と n 側電極 34 の間に電圧を印加し、 i 型 InGaAsP 導波路コア層 22 を伝搬してきた光を i 型 InGaAs 吸収層によって吸収し、発生したフォトキャリアを p 側電極 33 及び n 側電極 34 から引き出す。

10

【0032】

図 4 (c) は、本発明の実施例 1 の半導体光集積回路装置の効果の説明図であり、従来の n 型 InGaAsP スペース層を薄く残した場合の n 側の素子抵抗の変化を示している。上述のように、光閉じ込め効果を高めるために、 n 型 InGaAsP スペース層の残し膜厚を薄くするほど n 側の素子抵抗が飛躍的に高くなっている。

【0033】

一方、本発明の実施例 1 では、ストライプ状の InGaAsP スペース層が屈折率のより小さな n 型 InP 層 32 で挟まれた構造となっている。そのため、フォトダイオード部に入射してきた光の水平方向の広がりを抑制しつつ、 n 型 InP 層 32 の厚さを $0.5 \mu\text{m}$ と設計することにより n 側の素子抵抗を 12.5 に低減することができる。

20

【0034】

図 5 は、本発明の実施例 1 の変形例であり、図 5 (a) は i 型 InGaAsP 導波路コア層 22 をリブ構造ではなく完全なストライプ導波路構造にしたものである。また、図 5 (b) は、 n 型 InGaAsP スペース層をメサの両脇において、光閉じ込め効果を損なわないように薄く残存させたものである。

【実施例 2】

【0035】

次に、図 6 乃至図 8 を参照して、本発明の実施例 2 の半導体光集積回路装置を説明する。まず、図 6 (a) に示すように、有機金属気相成長法 (MOVPE 法) を用いて、(100) を主面とする半絶縁性 InP 基板 21 上に、厚さが $0.5 \mu\text{m}$ の i 型 InGaAsP 導波路コア層 22 を堆積する。引き続き、厚さが $0.7 \mu\text{m}$ の n 型 InGaAsP スペース層 23、厚さが $0.5 \mu\text{m}$ の i 型 InGaAs 吸収層 24、厚さが $1.0 \mu\text{m}$ の p 型 InP 上部クラッド層 25 及び厚さが $0.3 \mu\text{m}$ の p 型 InGaAs コンタクト層 26 を順次積層する。

30

【0036】

次いで、図 6 (b) に示すように、フォトダイオード形成部を除いて、 p 型 InGaAs コンタクト層 26 乃至 n 型 InGaAsP スペース層 23 をエッチング除去して導波路部 27 を形成する。次いで、図 3 (c) に示すように、導波路部 27 において露出している i 型 InGaAsP 導波路コア層 22 上に厚さが $1.7 \mu\text{m}$ の i 型 InP クラッド層 35 を成長させる。

40

【0037】

次いで、図 7 (d) に示すように、 SiO_2 マスク 36 を用いて p 型 InGaAs コンタクト層 26 乃至 n 型 InGaAsP スペース層 23 をストライプ状にエッチングして幅 $3 \mu\text{m}$ 、長さ $25 \mu\text{m}$ のフォトダイオード部 31 を形成する。この時、導波路部 27 においては、 i 型 InP クラッド層 35 を半絶縁性 InP 基板 21 が $0.3 \mu\text{m}$ 程度掘れるようにエッチングしてストライプ状メサを同時に形成する。

【0038】

次いで、図 7 (e) に示すように、 SiO_2 マスク 36 をそのまま残存させた状態で、導波路部 27 を覆う SiO_2 マスク 37 を形成する。次いで、有機金属気相成長法を用い

50

て露出する n 型 InGaAsP スペース層 23 上にドーピング濃度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが $0.6 \mu\text{m}$ の n 型 InP 層 32 を選択成長させる。この場合も、メサ状のフォトダイオード部 31 の側面で横方向に堆積する n 型 InP 層 32 の厚さを薄くするために、メサ側面を (011) 面とし、高温・低圧の成長条件で形成する。なお、n 型 InP 層 32 を形成する際に、原料に塩素系原料を添加することで、横方向に堆積する n 型 InP 層 32 の厚さをさらに薄くすることができる。

【0039】

次いで、図 7 (f) に示すように、エッチングにより、フォトダイオード部 31 のメサ側面で横方向に堆積した n 型 InP 層 32 を除去する。エッチング量としては、例えば、 $0.1 \mu\text{m}$ とする。この工程により i 型 InGaAs 吸収層 24 の側面においてリーク電流の経路がなくなるので、暗電流が抑制でき素子特性が向上する。

10

【0040】

以降は、 SiO_2 マスク 36, 37 を除去したのち、SiN 等のパッシベーション膜 (図 4 は省略) を形成したのち、コンタクト用開口部を形成し、p 型 InGaAs コンタクト層 26 上に AuZn/Au からなる p 側電極 33 を形成する。一方、n 型 InP 層 32 上には AuGe/Au からなる n 側電極 34 を形成することにより、本発明の実施例 2 の半導体光集積回路装置の基本構成が完成する。

【0041】

図 8 は、完成した本発明の実施例 2 の半導体光集積回路装置の説明図であり、図 8 (a) は、概略的斜視図であり、図 8 (b) 及び図 8 (c) は本発明の効果の説明図である。図 8 (a) に示すように、導波路部の構造が異なるだけで、フォトダイオード部の構造は上記の実施例 1 と全く同じである。

20

【0042】

図 8 (b) は、本発明の実施例 2 の吸収効率とのスペース膜厚依存性の説明図であり、ここでは、比較のために、n 型 InP 層を設けずに n 型 InGaAsP スペース層を残させた場合を比較している。本発明の実施例 2 では、ストライプ状のフォトダイオード部以外の n 型スペース層を全て除去した構造で、且つ、ストライプ状の n 型スペース層が屈折率の小さい n 型 InP 層で挟まれた構造となっているため、高い吸収効率 82% が得られる。また、n 型 InP 層の厚さを $0.5 \mu\text{m}$ と設計することにより第 1 の実施例と同様に n 側の素子抵抗を 12.5 に低減することができる。

30

【0043】

図 8 (c) は、本発明の実施例 2 の吸収効率のフォトダイオード素子長依存性の説明図であり、ここでは比較構造として、n 型 InP 層を設けずに、n 型スペース層を $0.5 \mu\text{m}$ の厚さだけ残した構造を比較する。図に示すように、吸収効率 80% に必要なフォトダイオード素子長を見ると、比較構造では $34 \mu\text{m}$ の長さが必要であることに對し、本発明の実施例 2 では $23 \mu\text{m}$ と短いフォトダイオード素子長まで短縮可能である。

【0044】

このことから、本発明の実施例 2 においては短いフォトダイオード素子長で高い受光感度を得られるためフォトダイオード素子の pin 接合部の容量を小さくでき、十分な吸収効率を維持したまま高周波特性を確保すること可能となる。

40

【0045】

このように、本発明の実施例 2 においては、実施例 1 と比較してフォトダイオード素子の吸収効率を大きくする効果がより顕著になり、特に、高周波帯域に有利なメサ幅の狭いフォトダイオード素子でより効果的である。

【実施例 3】

【0046】

次に、図 9 乃至図 10 を参照して、本発明の実施例 3 の半導体光集積回路装置を説明する。図 9 は本発明の実施例 3 の半導体光集積回路装置の説明図であり、図 9 (a) は概略的斜視図であり、図 9 (b) は光軸に沿った概略的断面図である。図に示すように、フォトダイオード部において、導波路コア層の下までメサ形状としている以外は、上記の実施

50

例2と同様である。なお、このような構造を形成する際には、i型InPクラッド層35を厚く、例えば、2.5 μ m程度成膜して、同時にエッチングすれば良い。

【0047】

本発明の実施例3においては、メサの両脇を深くエッチング除去しているため、n型InP層を厚く形成しても、i型InGaAs吸収層の両側に暗電流のリークパスが形成されないため、素子抵抗をより低減することができる。

【0048】

図10は、本発明の実施例3の効果の説明図であり、図10(a)に示すように、n側の素子抵抗は、n型InP層の膜厚の増大に伴って低減し、素子抵抗の低減によって、高周波帯域が改善される。

10

【0049】

図10(b)は、吸収効率の導波路コア層残し膜厚依存性の説明図である。フォトダイオード部の導波路コア層も完全にストライプ状となっているため、フォトダイオード部に入射してきた光の水平方向の広がりがさらに抑制されるため、吸収層の受光感度が改善する効果も得られる。

【実施例4】

【0050】

次に、図11及び図12を参照して本発明の実施例4の半導体光集積回路装置を説明する。図11は、本発明の実施例4の半導体光集積回路装置の概念的平面図であり、図12は、本発明の実施例4の半導体光集積回路装置のフォトダイオード部の概略的斜視図である。図11に示すように、本発明の実施例4の半導体光集積回路装置は、QP SK (Quadrature Phase Shift Keying) 変調方式の復調用の光コヒーレントレーザ素子に適用した例である。

20

【0051】

この場合、入力導波路部41、4 \times 4MMI導波路42及びPD接続導波路43における積層構造は上記の実施例2の導波路部の積層構造と同じであり、フォトダイオード部44も実施例2のフォトダイオード部と同じである。なお、ここでは、入力導波路を2本として4 \times 4MMI導波路42を実効的に2 \times 4MMIとして使用する。

【0052】

ここで、簡単に製造工程を説明するが、基本的には上記の実施例2と同様であるので図示は省略するが、引用する符号は図12の符号を用いる。まず、有機金属気相成長法を用いて、(100)を主面とする半絶縁性InP基板21上に、厚さが0.5 μ mのi型InGaAsP導波路コア層22を堆積する。引き続き、厚さが0.7 μ mのn型InGaAsPスペーサ層23、厚さが0.5 μ mのi型InGaAs吸収層24、厚さが1.0 μ mのp型InP上部クラッド層25及び厚さが0.3 μ mのp型InGaAsコンタクト層26を順次積層する。

30

【0053】

次いで、フォトダイオード形成部を除いて、p型InGaAsコンタクト層26乃至n型InGaAsPスペーサ層23をエッチング除去して導波路部27を形成する。次いで、導波路部27において露出しているi型InGaAsP導波路コア層22上に厚さが1.7 μ mのi型InPクラッド層35を成長させる。

40

【0054】

次いで、SiO₂マスクを用いてp型InGaAsコンタクト層26乃至n型InGaAsPスペーサ層23をストライプ状にエッチングして幅3 μ m、長さ25 μ mのフォトダイオード部44を形成する。この時、導波路部27においては、i型InPクラッド層35を半絶縁性InP基板21が0.3 μ m程度掘れるようにメサ状にエッチングして2本の入力導波路と、4 \times 4MMI導波路と4本の接続導波路が形成する。

【0055】

次いで、SiO₂マスクをそのまま残存させた状態で、導波路部27を覆うSiO₂マスクを形成する。次いで、有機金属気相成長法を用いて露出するn型InGaAsPスペ

50

ーサ層 2 3 上にドーピング濃度が $2 \times 10^{18} \text{ cm}^{-3}$ で厚さが $0.6 \mu\text{m}$ の n 型 InP 層 3 2 を選択成長させる。この場合も、メサ状のフォトダイオード部 4 4 の側面で横方向に堆積する n 型 InP 層 3 2 の厚さを薄くするために、メサ側面を (0 1 1) 面とし、高温・低圧の成長条件で形成する。なお、n 型 InP 層 3 2 を形成する際に、原料に塩素系原料を添加することで、横方向に堆積する n 型 InP 層 3 2 の厚さをさらに薄くすることができる。

【0056】

次いで、エッチングにより、フォトダイオード部 4 4 のメサ側面で横方向に堆積した n 型 InP 層 3 2 を除去する。エッチング量としては、例えば、 $0.1 \mu\text{m}$ とする。この工程により i 型 InGaAs 吸収層 2 4 の側面においてリーク電流の経路がなくなるので、暗電流が抑制でき素子特性が向上する。

10

【0057】

次いで、隣接するフォトダイオード間の n 型 InP 層 3 2 を選択的に除去して分離溝 4 5 を形成する。以降は、マスクを除去したのち、SiN 等のパッシベーション膜 (図 4 は省略) を形成したのち、コンタクト用開口部を形成し、p 型 InGaAs コンタクト層 2 6 上に AuZn/Au からなる p 側電極 3 3 を形成する。一方、n 型 InP 層 3 2 上には AuGe/Au からなる n 側電極 3 4 を形成することにより、図 1 1 及び図 1 2 に示す本発明の実施例 4 の半導体光集積回路装置の基本構成が完成する。

【0058】

図 1 1 に示すように、2 本の入力導波路 4 1 の内の 1 本は、ハイブリッド導波路となる $4 \times 4 \text{ MM I}$ 導波路 4 2 の図で上から 2 番目に接続されており、他の 1 本は、上から 4 番目に接続されている。フォトダイオード部 4 4 は、4 個のフォトダイオード PD₁、PD₂、PD₃、PD₄ からなる。

20

【0059】

$4 \times 4 \text{ MM I}$ 導波路 4 2 の 4 個の出力を上から 1, 2, 3, 4 とした場合、PD₁ と出力 1、PD₂ と出力 4、PD₃ と出力 2、PD₄ と出力 3 が PD 接続導波路 4 3 によって接続されている。また、各フォトダイオードには、メサの直上に信号電極となる p 側電極が、n 型 InP 層の表面上にはグランド電極となる n 側電極が形成されている。

【0060】

このような構成において、上側の入力導波路に QPSK の変調信号光を、下側の入力導波路にローカルオシレータ (LO) 光を入射することによって、QPSK 変調方式のいわゆる I チャネル信号を PD₁、PD₂ から、Q チャネル信号を PD₃、PD₄ から取り出すことができる。このような構成においても、上記の実施例 2 の素子構造を採用することによって、高出力、広帯域動作が可能となる。なお、上記の実施例 3 の構造を採用しても良い。

30

【0061】

図 1 2 は、フォトダイオード部の概略的斜視図であり、4 個のフォトダイオードの間で電氣的な分離を十分に取るために、分離溝 4 5 を形成して n 型 InP 層 3 2 が独立して存在した構造としている。なお、図面の簡略のために、2 個のフォトダイオード部のみを示し、また、電極は省略している。

40

【0062】

なお、上記の各実施例では、InGaAsP 系の材料で構成したフォトダイオードの例を述べているが、これに限らず適宜、吸収層は入射光の波長帯の光を吸収し、その他の層は入射光を吸収しないような材料系で形成した光受信器においても本発明の構造を適用することができる。

【0063】

また、吸収層などは i 型半導体の例を示しているが、例えば吸収層の一部、あるいは、全てが p 型あるいは n 型の半導体であっても良い。また、上記の各実施例ではフォトダイオード部の導波路構造としてハイメサ構造の場合を示しているが、一部または、全てが埋め込み型導波路になっているような構造でも、本発明の効果を同様に得ることができる。

50

【 0 0 6 4 】

また、上記の各実施例では、導波路集積型の光受信器として光コヒーレントレーザに関して記載しているが、これに限らず、フォトダイオードと導波路が集積されている各種の半導体光集積回路装置に適用されるものである。

【 0 0 6 5 】

ここで、実施例 1 乃至実施例 4 を含む本発明の実施の形態に関して、以下の付記を付す。

(付記 1) 半導体基板と、前記半導体基板上に形成された少なくともメサ状部を有する導波路コア層からなる導波路部と、前記導波路コア層の延長部上に順次積層された第 1 導電型スペーサ層、吸収層及び前記第 1 導電型と反対の第 2 導電型上部クラッド層を少なくとも有するエバネッセント結合型のフォトダイオード部とを少なくとも有し、前記第 1 導電型スペーサ層の少なくとも一部がメサ状であり、前記第 1 導電型スペーサ層の屈折率より小さな屈折率の第 1 導電型半導体層が、前記吸収層と接することなく前記メサ状の第 1 導電型スペーサ層の側面と接していることを特徴とする半導体光集積回路装置。

10

(付記 2) 前記第 1 導電型半導体層の上面が、前記第 1 導電型スペーサ層の上面よりも下にあることを特徴とする付記 1 に記載の半導体光集積回路装置。

(付記 3) 前記第 1 導電型スペーサ層が完全にメサ状であるとともに、前記フォトダイオード部における前記導波路コア層の少なくとも一部がメサ状であり、前記メサ状の導波路コア層と第 1 導電型スペーサ層の側面が、前記第 1 導電型半導体層と接していることを特徴とする付記 1 または付記 2 に記載の半導体光集積回路装置。

20

(付記 4) 前記第 2 導電型クラッド層上に、直接或いはコンタクト用半導体層を介して第 2 導電型用の電極を有するとともに、前記第 1 導電型半導体層の表面に第 1 導電型用の電極を有することを特徴とする付記 1 乃至付記 3 のいずれか 1 に記載の半導体光集積回路装置。

(付記 5) 前記導波路部における導波路コア層の上にメサストライプ状のクラッド層を有することを特徴とする付記 1 乃至付記 4 のいずれか 1 に記載の半導体光集積回路装置。

(付記 6) 前記導波路部における導波路コア層がメサストライプ構造であり、前記導波路コア層の入力端が多モード干渉導波路とモノリシックに結合していることを特徴とする付記 1 乃至付記 5 のいずれか 1 に記載の半導体光集積回路装置。

(付記 7) 半導体基板上に少なくとも導波路コア層、第 1 導電型スペーサ層、吸収層及び前記第 1 導電型と反対の第 2 導電型クラッド層を順次堆積する工程と、前記第 2 導電型クラッド層乃至第 1 導電型スペーサ層の一部を除去して導波路部を形成する工程と、第 1 のマスクを利用して前記導波路部における前記導波路コア層の少なくとも一部を除去してメサ状部を形成する工程と、前記導波路部以外の領域において、第 2 のマスクを利用して前記第 2 導電型クラッド層と吸収層と、前記第 1 導電型スペーサ層の少なくとも一部を除去してメサ状部を備えたエバネッセント結合型のフォトダイオード部を形成する工程と、前記第 2 のマスクを残存させた状態で、前記フォトダイオード部のメサ状部の両脇に露出する前記第 1 導電型スペーサ層上に、第 1 導電型スペーサ層の屈折率より小さな屈折率の第 1 導電型半導体層を前記吸収層の側面と接しないように形成する工程とを有することを特徴とする半導体光集積回路装置の製造方法。

30

40

(付記 8) 前記フォトダイオード部のメサ状部の側面に横方向に堆積した第 1 導電型半導体層を除去する工程を有することを特徴とする付記 7 に記載の半導体光集積回路装置の製造方法。

(付記 9) 前記導波路部を形成したのち、前記導波路部における導波路コア層上にクラッド層を形成する工程を有し、前記第 1 のマスクを利用して前記導波路部における前記導波路コア層の少なくとも一部を除去してメサ状部を形成する工程と、前記導波路部以外の領域において、第 2 のマスクを利用して前記第 2 導電型クラッド層と吸収層と、前記第 1 導電型スペーサ層の少なくとも一部を除去してメサ状部を備えたフォトダイオード部を形成する工程とが同時に行う単一のエッチング工程であることを特徴とする付記 7 または付記 8 に記載の半導体光集積回路装置の製造方法。

50

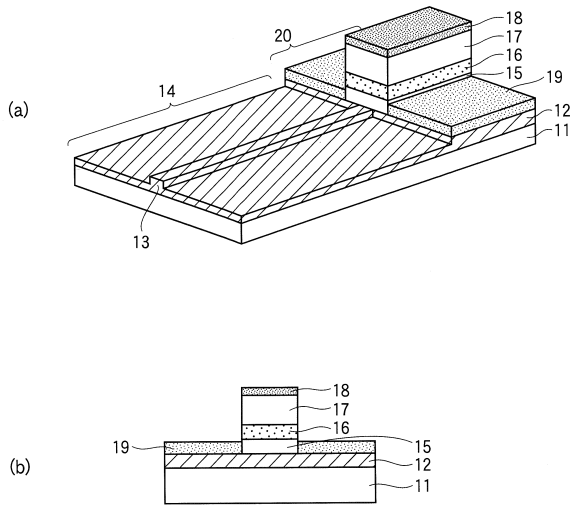
【符号の説明】

【0066】

1 1	半導体基板	
1 2	導波路コア層	
1 3	メサ状部	
1 4	導波路部	
1 5	第1導電型スペーサ層	
1 6	吸収層	
1 7	第2導電型上部クラッド層	
1 8	第2導電型コンタクト層	10
1 9	第1導電型半導体層	
2 0	フォトダイオード部	
2 1	半絶縁性InP基板	
2 2	i型InGaAsP導波路コア層	
2 3	n型InGaAsPスペーサ層	
2 4	i型InGaAs吸収層	
2 5	p型InP上部クラッド層	
2 6	p型InGaAsコンタクト層	
2 7	導波路部	
2 8	SiO ₂ マスク	20
2 9	リブ構造	
3 0	SiO ₂ マスク	
3 1	フォトダイオード部	
3 2	n型InP層	
3 3	p側電極	
3 4	n側電極	
3 5	i型InPクラッド層	
3 6	SiO ₂ マスク	
3 7	SiO ₂ マスク	
4 1	入力導波路	30
4 2	4×4MMI導波路	
4 3	PD接続導波路	
4 4	フォトダイオード部	
4 5	分離溝	
5 1	基板	
5 2	入力導波路	
5 3	2×4MMI導波路	
5 4	PD接続導波路	
5 5	フォトダイオード	
6 0	導波路部分	40
6 1	導波路コア層	
6 2	n型スペーサ層	
6 3	吸収層	
6 4	p型上部クラッド層	
6 5	p型コンタクト層	
6 6	PD部	

【図1】

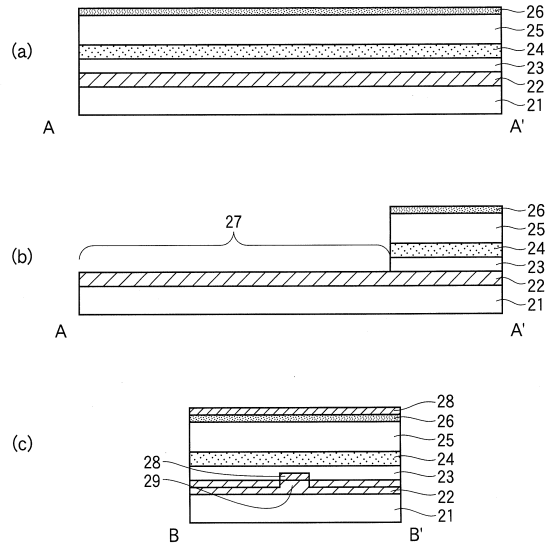
本発明の実施の形態の半導体光集積回路装置の概念的構成図



- | | |
|----------------|------------------|
| 11: 半導体基板 | 16: 吸収層 |
| 12: 導波路コア層 | 17: 第2導電型上部クラッド層 |
| 13: メサ状部 | 18: 第2導電型コンタクト層 |
| 14: 導波路部 | 19: 第1導電型半導体層 |
| 15: 第1導電型スペーサ層 | 20: フォトダイオード部 |

【図2】

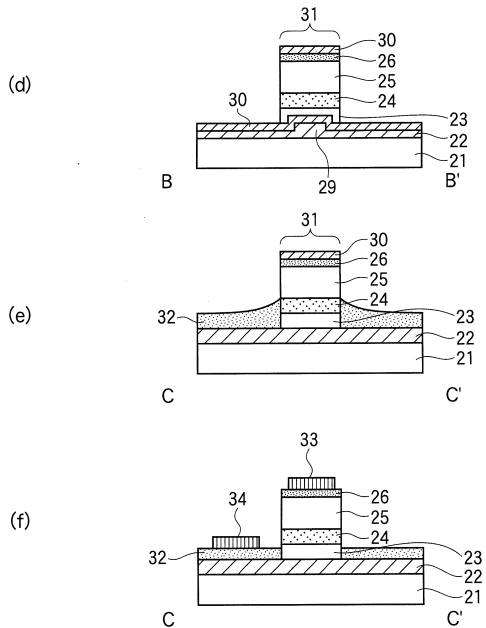
本発明の実施例1の半導体光集積回路装置の途中までの製造工程の説明図



- | | |
|---------------------|--------------------------|
| 21: 半絶縁性InP基板 | 26: p型InGaAsコンタクト層 |
| 22: i型InGaAsP導波路コア層 | 27: 導波路部 |
| 23: n型InGaAsPスペーサ層 | 28: SiO ₂ マスク |
| 24: i型InGaAsP吸収層 | 29: リブ構造 |
| 25: p型InP上部クラッド層 | |

【図3】

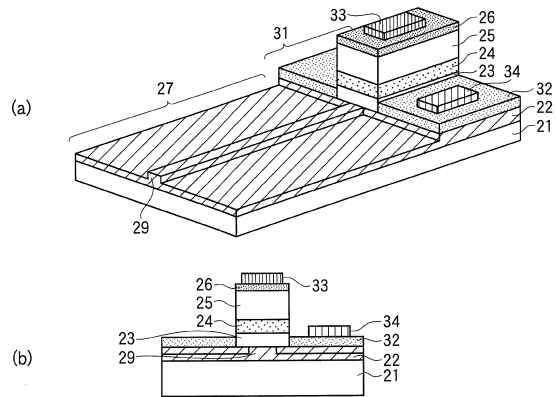
本発明の実施例1の半導体光集積回路装置の図2以降の製造工程の説明図



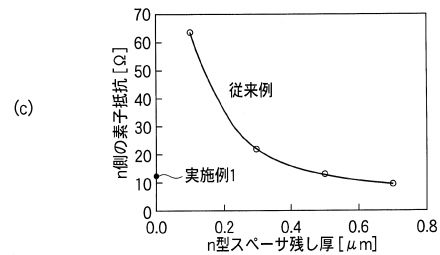
- | | |
|---------------------|--------------------------|
| 21: 半絶縁性InP基板 | 29: リブ構造 |
| 22: i型InGaAsP導波路コア層 | 30: SiO ₂ マスク |
| 23: n型InGaAsPスペーサ層 | 31: フォトダイオード部 |
| 24: i型InGaAsP吸収層 | 32: n型InP層 |
| 25: p型InP上部クラッド層 | 33: p側電極 |
| 26: p型InGaAsコンタクト層 | 34: n側電極 |

【図4】

本発明の実施例1の半導体光集積回路装置の説明図

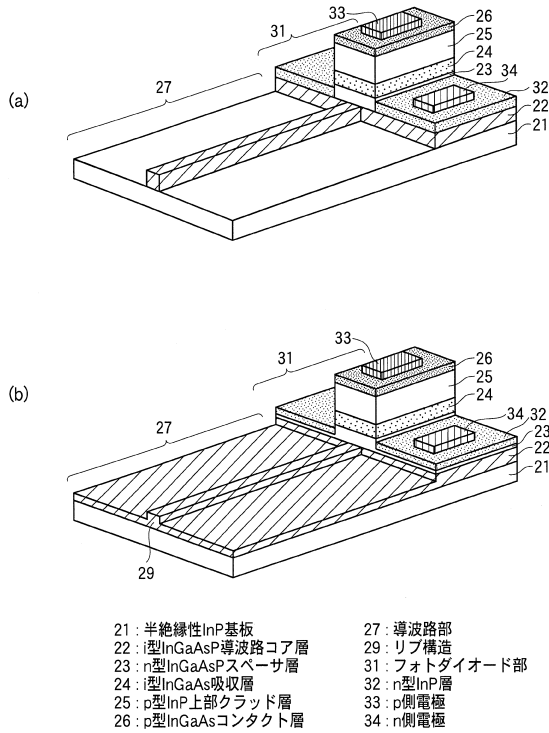


- | | |
|---------------------|---------------|
| 21: 半絶縁性InP基板 | 27: 導波路部 |
| 22: i型InGaAsP導波路コア層 | 29: リブ構造 |
| 23: n型InGaAsPスペーサ層 | 31: フォトダイオード部 |
| 24: i型InGaAsP吸収層 | 32: n型InP層 |
| 25: p型InP上部クラッド層 | 33: p側電極 |
| 26: p型InGaAsコンタクト層 | 34: n側電極 |



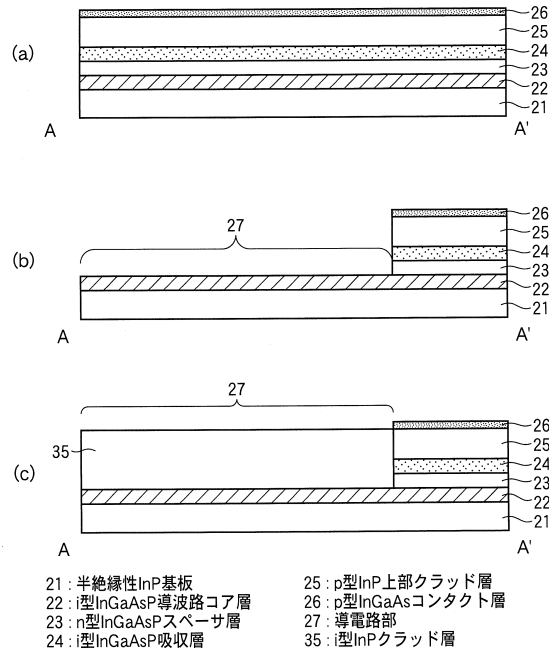
【図5】

本発明の実施例1の変形例の説明図



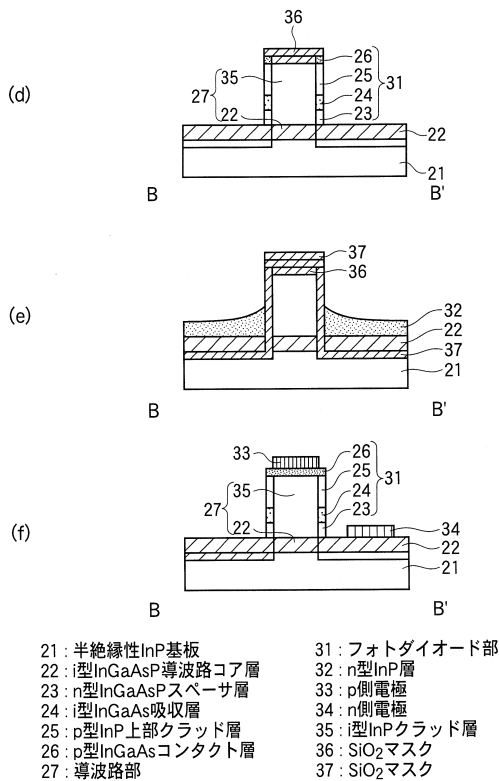
【図6】

本発明の実施例2の半導体光集積回路装置の途中までの製造工程の説明図



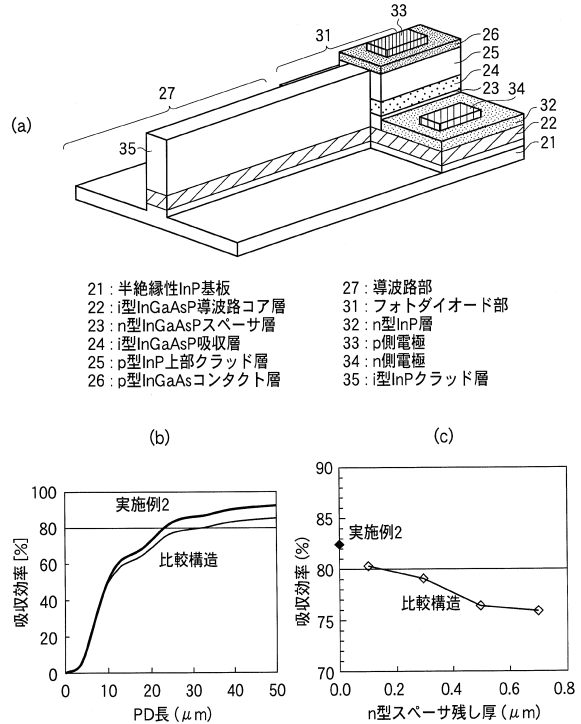
【図7】

本発明の実施例2の半導体光集積回路装置の図6以降の製造工程の説明図



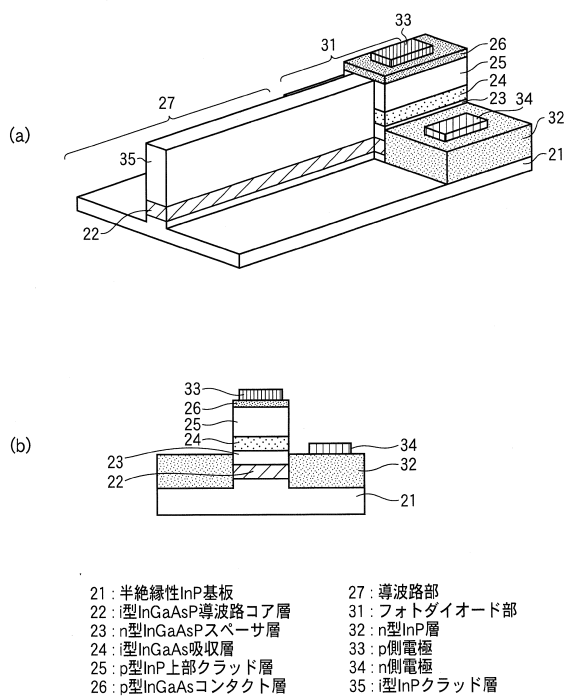
【図8】

本発明の実施例2の半導体光集積回路装置の説明図



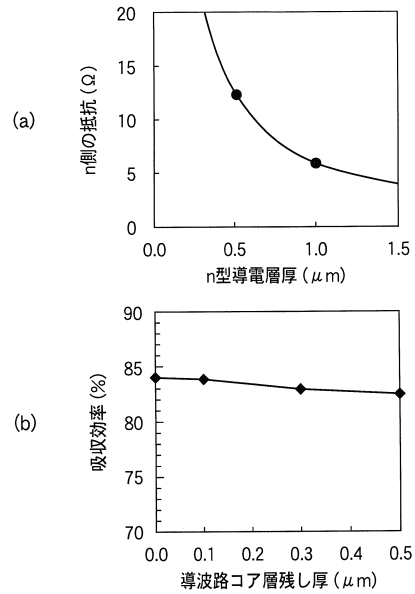
【図9】

本発明の実施例3の半導体光集積回路装置の説明図



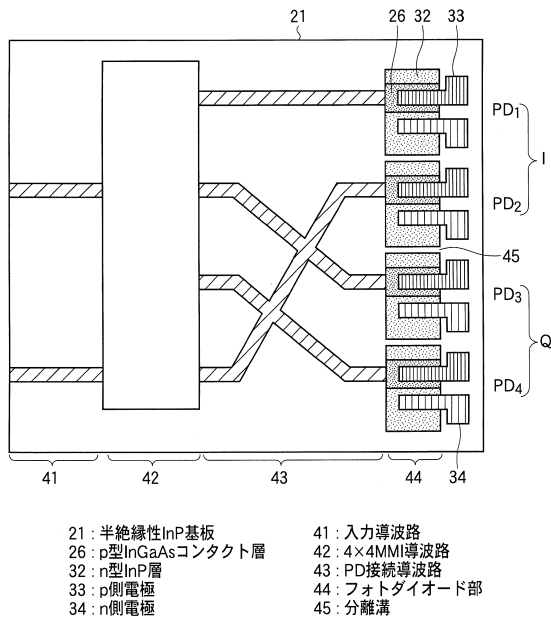
【図10】

本発明の実施例3の効果の説明図



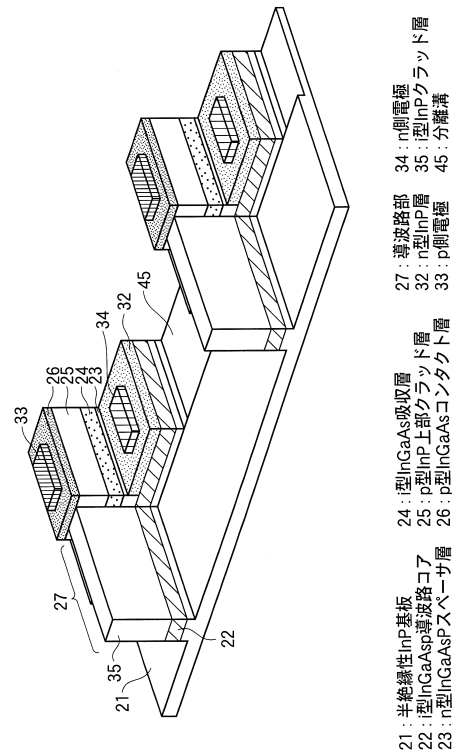
【図11】

本発明の実施例4の半導体光集積回路装置の概念的平面図



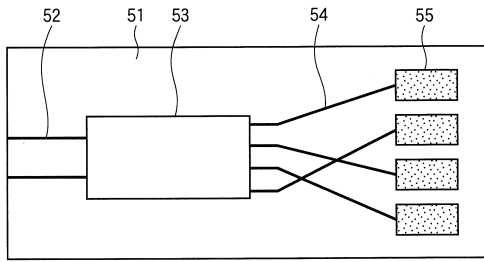
【図12】

本発明の実施例4の半導体光集積回路装置のフォトダイオード部の概略的斜視図



【図13】

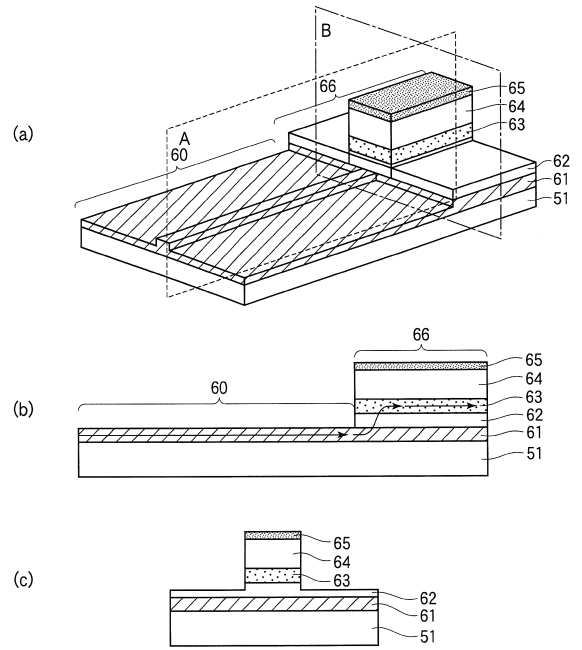
従来の導波路集積型光受信器の概念的平面図



- 51 : 基板
- 52 : 入力導波路
- 53 : 2×4MMI導波路
- 54 : PD接続導波路
- 55 : フォトダイオード

【図14】

従来のエパネッセント結合型の導波路集積型光受信器の構成説明図



- 51 : 基板
- 60 : 導波路部分
- 61 : 導波路コア層
- 62 : n型スペーサ層
- 63 : 吸収層
- 64 : p型上部クラッド層
- 65 : p型コンタクト層
- 66 : PD部

フロントページの続き

(74)代理人 100110238

弁理士 伊藤 壽郎

(72)発明者 植竹 理人

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 高林 和雅

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 濱田 聖司

(56)参考文献 特開平9 - 153638 (JP, A)

特開2010 - 287623 (JP, A)

特開平4 - 286168 (JP, A)

特開2008 - 166854 (JP, A)

特開2005 - 72273 (JP, A)

特開2006 - 66488 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/10 - 31/119