

住居所地址：(中文/英文)

1. 日本國神奈川縣川崎市中原區上小田中4丁目1番1號 富士通股份有限公司內
c/o FUJITSU LIMITED, 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa, Japan

2. 日本國福島縣會津若松市門田町工業團地6番 FASL JAPAN 股份有限公司內
c/o FASL JAPAN LIMITED, 6, Kogyodanchi, Monden-machi, Aizuwakamatsu-shi,
Fukushima, Japan

3. 4. 地址同

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號 高級
微裝置公司內

c/o ADVANCED MICRO DEVICES, INC., One AMD Place, M/S 68, P. O. Box 3453,
Sunnyvale, California 94088-3453, U.S.A.

國籍：(中文/英文) 1. 2. 4. 日本國/JAPAN

3. 美國/U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本國 2002 年 8 月 30 日 特願 2002-256120 （主張優先權）

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明係有關於半導體記憶裝置及其製造方法，特別是有關於能極佳地適用於具有浮動閘極(floating gate)之非揮發性記憶體之相關技術。

[先前技術]

即使切斷電源亦能繼續保持資料之半導體記憶裝置，近年來係廣泛地為電氣化製品所使用。半導體記憶裝置中係具有不能寫入程式之 ROM(Read-Only Memory, 唯讀型記憶體)；雖能寫入程式，但一旦寫入即無法消除之 PROM(Programmable Read-Only Memory, 可程式唯讀記憶體)；以電氣的方式進行寫入，以紫外線照射進行消除之 EPROM(Erasable Programmable Read-Only Memory, 可抹除程式化唯讀記憶體)；以及寫入、消除均以電氣的方式進行之 EEPROM(Electrically Erasable Programmable Read-Only Memory, 電子式可抹除程式化唯讀記憶體)。快閃記憶體(flash memory)係包含於 EEPROM，並能以電氣的方式將全部核心電晶體(core transistor)之記憶予以一次消除。

在快閃記憶體中，自通道部或源極/汲極往浮動閘極的電荷之寫入、消除，係使用熱電子(hot electron)或富爾諾罕(Fowler Nordheim)通道電流而進行。在任一方法中，對浮動閘極施加電壓，均係透過位於浮動閘極上的控制閘極而進行。寫入係藉由施加正的電壓於控制閘極，並施加較低的電壓於汲極的方式，以貯存自通道區域往浮動閘極的

電荷。此外，消除係以控制閘極作為接地，並施加正的電壓於源極、汲極或通道區域，而自浮動閘極引出電荷而進行。此外，讀出係施加正的電壓於控制閘極，並施加較低的電壓於汲極而進行。

此處，在含有快閃記憶體之半導體記憶裝置中，當為 N 型電晶體時，以記憶體單元(memory cell)的核心電晶體之源極和汲極形成方法而言，汲極係注入 N 型雜質離子，源極係在以高劑量之 N 型雜質形成源極線之後注入離子而形成。採用上述之形成方法係根據如下之理由。為了在進行寫入動作時產生充分的熱電子並提升程式設計效率，在核心電晶體之汲極方面並未採用 LDD(Lightly-Doped Drain, 低摻雜汲極)構造，而必須例如以較高劑量($1 \times 10^{14}/\text{cm}^2$ 以上)將砷進行離子注入。但，在另一方面，若將汲極形成高雜質濃度，則由於會有短通道效應(Short channel effect)之顧慮，故無法如在一般的 CMOS(Complementary Metal Oxide Semiconductor, 互補金氧半導體)半導體製程中所使用之電晶體的源極、汲極般作成高劑量。

如上述，在形成半導體記憶裝置之汲極時，由於有必要以較源極形成時之離子注入劑量更低的劑量而施以離子注入，故具有汲極接觸電阻變高之問題。進而伴隨於此，由於以較低劑量之離子注入而形成 PN 接合，故接合較淺，且 PN 接合之遷移區域接近基板表面，而亦具有無法達成提升汲極之 PN 接合的耐壓之問題。

[發明內容]

本發明係有鑑於前述的問題點而開發者，其目的在於實現能滿足改善短通道效應而提升程式設計效率和達成降低汲極接觸電阻等 2 項相反的要求，並具有能提升汲極耐壓之高信賴性的半導體記憶裝置及其製造方法。

本發明之半導體記憶裝置，其特徵在於：含有：半導體基板；閘極絕緣膜，其係形成於前述半導體基板上；閘極，其係以圖案化方式形成於前述閘極絕緣膜上而形成；一對擴散層，其係形成於前述閘極兩側之前述半導體基板的表層；以及，一對側壁膜，其係形成於前述閘極的側面；其中，前述一對擴散層之中，一方之擴散層係整合於前述閘極而形成，同時另一方之擴散層係含有：低濃度雜質區域，其係以較前述一方之擴散層具更低的雜質濃度且整合於前述閘極而形成；以及，高濃度雜質區域，其係以較前述低濃度雜質區域具更高的雜質濃度且整合於前述側壁膜而形成。

本發明之其他形態之半導體記憶裝置，其特徵在於：含有：半導體基板；第 1 閘極絕緣膜，其係形成於前述半導體基板上；浮動閘極，其係以圖案化方式形成島狀於前述第 1 閘極絕緣膜上，並貯存電荷；第 2 閘極絕緣膜，其係形成於前述浮動閘極上；控制閘極，其係以圖案化方式形成於前述第 2 閘極絕緣膜上而成；一對擴散層，其係形成於前述控制閘極之兩側的前述半導體基板的表層；以及，一對側壁膜，其係形成於前述控制閘極的側面；其中，

前述一對擴散層之中，一方之擴散層係整合於前述控制閘極而形成，同時另一方之擴散層係含有：低濃度雜質區域，其係以較前述一方之擴散層具更低的雜質濃度且整合於前述控制閘極而形成；以及，高濃度雜質區域，其係以較前述低濃度雜質區域具更高的雜質濃度且整合於前述側壁膜而形成。

本發明之半導體記憶裝置之製造方法，其特徵在於含有：透過閘極絕緣膜以圖案化方式形成閘極於半導體基板上之製程；導入雜質於前述閘極之一方側之前述半導體基板的表層，而形成一方之擴散層之製程；導入比前述一方側較低濃度之雜質於前述閘極之另一方側之前述半導體基板的表層，並形成低濃度雜質區域之製程；形成一對側壁膜於前述閘極之側面之製程；以及，導入高濃度之雜質於前述閘極和前述側壁膜的前述另一方側之前述半導體基板的表層，而形成與前述低濃度雜質區域局部重疊之高濃度雜質區域，並形成由前述低濃度雜質區域和前述高濃度雜質區域所組成之另一方之擴散層之製程。

半導體記憶裝置之製造方法之其他形態，其特徵在於含有：透過第 1 閘極絕緣膜以圖案化方式形成進行電荷貯存之島狀浮動閘極於半導體基板上之製程；透過第 2 閘極絕緣膜以圖案化方式形成控制閘極於前述浮動閘極上之製程；導入雜質於前述控制閘極之另一方側之前述半導體基板的表層，並形成一方之擴散層之製程；導入較前述一方側更低濃度之雜質於前述控制閘極之另一方側之前述半導

體基板的表層，並形成低濃度雜質區域之製程；形成一對側壁膜於前述控制閘極之側面之製程；以及，導入高濃度之雜質於前述控制閘極和前述側壁膜之前述另一方側之前述半導體基板的表層，而形成與前述低濃度雜質區域局部重疊之高濃度雜質區域，並形成由前述低濃度雜質區域和前述高濃度雜質區域所組成之另一方之擴散層之製程。

[實施方式]

以下雖列舉實施例而詳細說明本發明，但本發明並不侷限於此等實施例，則自無爭議。其中，本發明之特徵、性質以及各種利益，係藉由附加之圖式和如下之最佳實施例的詳細說明而更形明確。

以下，參閱附加之圖式而說明有關於本發明之半導體記憶裝置及其製造方法之具體的各種實施形態。

(第 1 實施形態)

首先，說明有關於本發明之第 1 實施形態。在本實施形態中係揭露 NOR(非或)型之快閃記憶體作為半導體記憶裝置。

第 1A 圖至第 1C 圖係本發明之第 1 實施形態之快閃記憶體之概略構成圖，第 1A 圖係半導體記憶裝置之平面圖，第 1B 圖係第 1A 圖所示之 I-I 間的概略截面圖，第 1C 圖係第 1A 圖所示之 II-II 間的概略截面圖。其中，本實施形態為方便起見，而僅圖示快閃記憶體之記憶體單元區域，並省略其週邊電路區域之圖示等。

— 第 1 實施形態之快閃記憶體的主要構成 —

該快閃記憶體係設置有形成於列方向之字組線(word line)(控制閘極)5、以及配線於行方向並和汲極7相連接之位元線(bit line)9，且島狀的浮動閘極3係以陣列狀設置於和字組線5下的位元線9相交叉位置上而構成。此外，在行方向對特定數的每一位元線9設置有和源極6相連接之源極線10。

在字組線5之間係交互地形成有源極6和汲極7，在源極6係設置有用以取得接地之源極接觸孔形成部位60，在汲極7則係在和位元線9相交叉之各部，設置有用以進行寫入之汲極接觸孔形成部位70。

在位元線9進行配線的I-I之間，係形成窄幅寬的源極6，且形成寬幅寬的汲極7，此外，在源極線10進行配線的II-II之間，係形成寬幅寬的源極6，且形成窄幅寬的汲極7。

繼之說明有關於表示第1A圖所示之位元線9(I-I間)之截面的第1B圖。

本實施形態之快閃記憶體係具備：半導體基板1，其係由P型之矽所組成；源極6和汲極7，其係由形成於半導體基板1表面的 N^+ 擴散層所組成；第1閘極絕緣膜2，其係形成於半導體基板1上；浮動閘極3，其係在各個記憶體單元以島狀形成於第1閘極絕緣膜2上，並進行貯存電荷；第2閘極絕緣膜4，其係由形成於浮動閘極3上之ONO膜(氧化膜/氮化膜/氧化膜)所組成；控制閘極5，其係形成於第2閘極絕緣膜4上，並構成字組線；以及，側壁

(side wall)8，其係作為保護膜而形成於第 1 閘極絕緣膜 2、浮動閘極 3、第 2 閘極絕緣膜 4、以及控制閘極 5 之 4 層的側壁。

汲極 7 係由下列所構成：低濃度雜質區域 7a，其係較源極 6 具更低的雜質濃度且較淺；以及，高濃度雜質區域 7b，其係和低濃度雜質區域 7a 局部重疊，並較其具更高的雜質濃度且較深；其中，低濃度雜質區域 7a 係整合於控制閘極 5 而形成，同時高濃度雜質區域 7b 係整合於側壁 8 而形成，並於該高濃度雜質區域 7b 上的特定部位存在有汲極接觸孔形成部位 70。

此外，側壁 8 係除了後述之源極接觸孔形成部位 60 之近傍之外，以能覆蓋源極 6 的表面並將此封閉之方式而形成，同時並以能露出汲極 7 表面之特定區域的方式而形成開啟形狀。

繼之說明有關於表示第 1A 圖所示之源極線 10 之截面 (II-II 間) 的第 1C 圖。

有關於源極線 10 的截面，由於係形成窄幅寬的汲極 7，且形成寬幅寬的源極 6，故汲極 7 上雖係藉由側壁 8 而予以封閉，但源極 6 上則係將特定區域作成開口而形成。

源極 6 主要係由 N^+ 擴散層所形成，且僅在源極接觸孔形成部位 60 的近傍具有高濃度雜質區域 6b 而構成。

— 第 1 實施形態之快閃記憶體之製造方法 —

繼之，說明本發明之第 1 實施形態之快閃記憶體之製造方法。

第 2A 圖至第 4 圖係依製程順序而表示第 1B 圖之快閃記憶體之製造方法的概略截面圖。

首先，如第 2A 圖所示，在由 P 型之矽所組成之半導體基板 1 例如藉由 LOCOS(Local Oxidation of Silicon, 矽局部氧化)法等而形成元件分離構造(未圖示)，並劃定元件活性區域之後，以溫度 850°C 至 1050°C 之溫度條件而將半導體基板 1 的表面進行高溫加熱，並形成膜厚 8nm 至 15nm 之氧化矽膜(SiO_2 膜)11。此處係將半導體基板 1 的表面作為元件活性區域而圖示。

繼而如第 2B 圖所示，使用 CVD 法(Chemical Vapor Deposition, 化學蒸氣沈積法)而堆積膜厚 50nm 至 200nm 之摻雜有磷(P)的濃度約為 $0.1 \times 10^{20}/\text{cm}^3$ 至 $3 \times 10^{20}/\text{cm}^3$ 之非晶矽($\alpha\text{-Si}$) 12。此處亦可使用多晶矽(poly-silicon)以取代非晶矽(amorphous silicon)。

接著如第 2C 圖所示，在藉由微影法(photo lithography)而形成光阻圖案 21 於非晶矽 12 上之後，以光阻圖案 21 作為遮罩(mask)而施以乾式蝕刻(dry etching)，而形成由非晶矽 12 所組成之浮動閘極 3、以及由氧化矽膜(SiO_2 膜)11 所組成之第 1 閘極絕緣膜 2。

繼之，在藉由使用 O_2 電漿之灰化處理等而將光阻圖案 21 予以去除之後，如第 2D 圖所示，形成 ONO 膜 13。具體而言，其係藉由在溫度 700°C 至 800°C 之條件下的 CVD 法而形成膜厚 4nm 至 7nm 之氧化膜 13a，接著，藉由在溫度 700°C 至 800°C 之條件下的 CVD 法而形成膜厚 8nm 至

10nm 的氮化膜 13b 於氧化膜 13a 上，進而藉由在溫度 900℃ 至 1000℃ 的條件下之熱氧化而形成膜厚 4nm 至 7nm 之氧化膜 13c 於氮化膜 13b 上。上述 3 層係作為 ONO 膜 13 而構成浮動閘極 3 和控制閘極 5 之間的電介質膜。

繼而如第 3A 圖所示，使用 CVD 法而堆積膜厚 100nm 至 300nm 之摻雜有磷(P)的濃度 $2 \times 10^{20}/\text{cm}^3$ 至 $3 \times 10^{21}/\text{cm}^3$ 之非晶矽或多晶矽 14。進而藉由微影法而形成電極形狀之光阻圖案 22 於非晶矽 14 上。此處，亦可使用多晶矽以取代非晶矽。

繼而如第 3B 圖所示，以光阻圖案 22 作為遮罩而施以乾式蝕刻，而形成由非結晶矽 14 所組成之控制閘極 5、以及由 ONO 膜 13 所組成之第 2 閘極絕緣膜 4。

繼之，藉由使用 O_2 電漿之灰化處理等而將光阻圖案 22 予以去除之後，如第 3C 圖所示，藉由微影法而形成光阻圖案 23，其係具有露出半導體基板 1 表面之控制閘極 5 之一方側，亦即露出形成源極 6 之形成部位的半導體基板 1 表面之形狀。此後，以光阻圖案 23 作為遮罩，並將砷(As)以加速能量 20keV 至 60keV、傾斜角約 0° 、劑量 $1 \times 10^{15}/\text{cm}^2$ 至 $6 \times 10^{15}/\text{cm}^2$ 之條件而施以離子注入，而形成作為核心電晶體之 N 型擴散層的源極 6。

繼之，藉由使用 O_2 電漿之灰化處理等而將光阻圖案 23 予以去除之後，如第 3D 圖所示，藉由微影法而形成光阻圖案 24，其係具有露出半導體基板 1 表面之控制閘極 5 之另一方側，亦即露出形成源極 7 之形成部位的半導體基

板 1 表面之形狀。此後，以光阻圖案 24 作為遮罩，並將砷 (As) 以加速能量 20keV 至 60keV、傾斜角約 0° 、劑量 $0.1 \times 10^{15}/\text{cm}^2$ 至 $0.8 \times 10^{15}/\text{cm}^2$ 之條件而施以離子注入，而形成較形成源極 6 時濃度更低之 N 型擴散層之較淺的低濃度雜質區域 7a。由第 3D 圖亦可得知，由於汲極 7 側係低濃度雜質區域 7a，故形成較淺的 PN 接合之遷移區域，而由於源極 6 側係較低濃度雜質區域 7a 具更高濃度之 N 型擴散層，故形成較深的 PN 接合之遷移區域。

繼之，藉由使用 O_2 電漿之灰化處理等而將光阻圖案 24 予以去除之後，如第 4A 圖所示，藉由 CVD 法而全面堆積膜厚 50nm 至 150nm 之氧化矽膜 (TEOS tetraethyl orthosilicate, 原矽酸四乙酯) 15。此處，亦可使用氮化矽膜以取代氧化矽膜。

繼而如第 4B 圖所示，藉由反應性離子蝕刻 (RIE, Reactive Ion Etch) 等而將氧化矽膜 15 的全面施以異向性蝕刻 (回蝕 (etch back))、並殘留氧化矽膜 15 於第 1 閘極絕緣膜 2、浮動閘極 3、第 2 閘極絕緣膜 4、以及控制閘極 5 之 4 層的兩側面，而且，以封閉源極 6 的表面，並使汲極 7 的低濃度雜質區域 7a 的表面作成開口的方式而形成側壁 8。但，在該情形時，對應於第 1C 圖之截面的部份，亦即在源極接觸孔形成部位 60 的近傍中，側壁 8 係以封閉汲極 7 的表面，並將源極 6 上的特定區域作成開口之方式而形成。

繼之，如第 4C 圖所示，全面地將砷 (As) 以加速能量

10keV 至 80keV、傾斜角約 0° 、劑量 $1 \times 10^{15}/\text{cm}^2$ 至 $6 \times 10^{15}/\text{cm}^2$ 的條件而追加施以離子注入，並形成較形成低濃度雜質區域 7a 時濃度更高且較深之 N 型擴散層的高濃度雜質區域 7b 於半導體基板 1 之控制閘極 5 和側壁 8 之另一方側。此外，此時在對應於第 1C 圖的截面之部份中，對於源極 6 高濃度雜質區域 6b 係形成於半導體基板 1 之控制閘極 5 和側壁 8 之一方側。該追加的離子注入製程，由於能和形成週邊電路區域之源極/汲極同時進行，故無須增加製程，即可形成高濃度雜質區域 7b。

此後，形成覆蓋全面之層間絕緣膜(未圖示)，並分別形成接觸孔於該層間絕緣膜之汲極 7 的汲極接觸孔形成部位 70 和源極 6 的源極接觸孔形成部位 60。然後，透過源極接觸孔形成部位 60 和汲極接觸孔形成部位 70，而形成和源極 6 與汲極 7 作電性連接的位元線 9、源極線 10，並完成本實施形態之快閃記憶體。

根據本實施形態，由於係在汲極接觸孔形成部位 70 由低濃度雜質區域 7a 和高濃度雜質區域 7b 形成汲極 7，故能藉由低濃度雜質區域 7a 來抑制短通道效應，同時並能藉由高濃度雜質區域 7b 來減低和汲極 7 的位元線 9 之接觸電阻(contact resistance)。

此外，由於於汲極 7 具備高濃度雜質區域 7b，故相較於例如習知之僅由低濃度雜質區域 7a 而構成者(參考第 4B 圖之狀態)，由於能將 PN 接合遷移區域作成距離半導體基板 1 的表面較深之狀態，故能提升 PN 接合部的耐壓。

此外，使得在週邊電路區域的汲極/源極的擴散層形成時追加施以第 4C 圖的離子注入，故無須追加製程，即能達成降低汲極 7 之接觸電阻或提升 PN 接合部之耐壓。

(第 2 實施形態)

繼之，說明有關於本發明之第 2 實施形態。本實施形態雖和第 1 實施形態同樣地揭露 NOR 型之快閃記憶體作為半導體記憶裝置，但，其差異在於形成汲極的形態為不同之點。其中，有關於第 1 實施形態所說明之構成要件等係記為相同的符號。

本實施形態係在第 1A 圖之源極接觸孔形成部位 60 上施以遮罩，且不施以第 4C 圖之追加的離子注入，而藉此防止起因於源極接觸孔形成部位 60 的過度劑量所產生之基板結晶缺陷等問題。

— 第 2 實施形態之快閃記憶體的主要構成 —

第 5A 圖至第 5C 圖係本發明之第 2 實施形態之快閃記憶體的概略構成圖，第 5A 圖係其平面圖，第 5B 圖係第 5A 圖所示之 I-I 間的概略截面圖，第 5C 圖係第 5A 圖所示之 II-II 間的概略截面圖。

第 2 實施形態之快閃記憶體，其有關於第 5A 圖之 I-I 間之截面，雖係和表示第 1 實施形態之快閃記憶體之第 1B 圖相同，但，有關於第 5A 圖之 II-II 間的截面，其和表示第 1 實施形態之快閃記憶體的第 1C 圖並不相同，其係以未形成高濃度雜質區域 6b 於源極 6 之方式所構成。據此，除了上述第 1 實施形態之各功效之外，亦能防止起因於源

極接觸孔形成部位 60 的過度劑量所產生之基板結晶缺陷等問題，進而能製造信賴性較高之半導體記憶裝置。

— 第 2 實施形態之快閃記憶體之製造方法 —

第 6A 圖至第 6C 圖係表示第 2 實施形態之快閃記憶體之製造方法的概略構成圖，第 6A 圖係其平面圖，第 6B 圖係第 6A 圖所示之 I-I 間的概略截面圖，第 6C 圖係第 6A 圖所示之 II-II 間的概略截面圖。

此處係首先經由第 2A 圖至第 4B 圖之各製程。

繼之，如第 6A 圖至第 6C 圖之各圖所示，形成光阻圖案 25。此處，光阻圖案 25 係以能遮罩所有核心電晶體之源極 6 的形成部位的方式，沿著控制閘極 5 而形成。亦即如第 6C 圖所示，形成亦能覆蓋源極接觸孔形成部位 60 之近傍(在第 1 實施形態中係為開口之區域)上之形狀。在該光阻圖案 25 形成後，全面地將砷(As)以加速能量 10keV 至 80keV、傾斜角約 0° 、劑量 $1 \times 10^{15}/\text{cm}^2$ 至 $6 \times 10^{15}/\text{cm}^2$ 的條件而追加施以離子注入，在第 6B 圖所示之位元線 9(I-I 間)之截面中，係和第 4C 圖相同地，於半導體基板 1 之控制閘極 5 和側壁 8 之另一方側形成較形成低濃度雜質區域 7a 時濃度更高且較深之 N 型擴散層的高濃度雜質區域 7b。另一方面，在第 6C 圖所示之源極線 10(II-II 間)之截面中，由於光阻圖案 25 係將源極 6 上予以遮罩，故無須追加進行離子注入，而未形成第 1C 圖所示之高濃度雜質區域 6b。

此後，藉由使用 O_2 電漿之灰化處理等而將光阻圖案

25 予以去除，且形成能覆蓋全面之層間絕緣膜(未圖示)，並分別形成接觸孔於該層間絕緣膜的汲極 7 之汲極接觸孔形成部位 70 和源極 6 之源極接觸孔形成部位 60。接著，透過源極接觸孔形成部位 60 和汲極接觸孔形成部位 70，而形成和源極 6 與汲極 7 作電性連接之位元線 9、源極線 10，並完成本實施形態之快閃記憶體。

此處，說明有關於第 2 實施形態之各種變形例。

變形例 1

第 7A 圖至第 7C 圖係表示第 2 實施形態之變形例 1 中的快閃記憶體製造方法之概略構成圖，第 7A 圖係其平面圖，第 7B 圖係第 7A 圖所示之 I-I 間的概略截面圖，第 7C 圖係第 7A 圖所示之 II-II 間的概略截面圖。

在該變形例 1 中，首先經由第 2A 圖至第 4B 圖之各製程。

繼之，如第 7A 圖至第 7C 圖之各圖所示，藉由微影法而形成光阻圖案 26。此處，光阻圖案 26 係以能遮罩源極接觸孔形成部位 60 之方式，沿著源極線 10 上而形成。在該光阻圖案 26 形成後，全面地將砷(As)以加速能量 10 keV 至 80keV、傾斜角約 0° 、劑量 $1 \times 10^{15}/\text{cm}^2$ 至 $6 \times 10^{15}/\text{cm}^2$ 的條件而追加施以離子注入，在第 7B 圖所示之位元線 9(I-I 間)之截面中，係和第 4C 圖相同地，於半導體基板 1 之控制閘極 5 和側壁 8 之另一方側形成較形成低濃度雜質區域 7a 時濃度更高之 N 型擴散層的高濃度雜質區域 7b。另一方面，在第 7C 圖所示之源極線 10(II-II 間)之截面中，由

於光阻圖案 26 係將源極 6 上予以遮罩，故無須追加進行離子注入，而未形成第 1C 圖所示之高濃度雜質區域 6b。

此後，藉由使用 O_2 電漿之灰化處理等而將光阻圖案 26 予以去除，且形成能覆蓋全面之層間絕緣膜(未圖示)，並分別形成接觸孔於該層間絕緣膜的汲極 7 之汲極接觸孔形成部位 70 和源極 6 之源極接觸孔形成部位 60。接著，透過源極接觸孔形成部位 60 和汲極連接孔形成部位 70，而形成和源極 6 與汲極 7 作電性連接之位元線 9、源極線 10，並完成本實施形態之快閃記憶體。

前述之第 2 實施形態之遮罩圖案中，雖因為被嚴格要求與線寬相定位，而需要使用有 DUV(Deep Ultra-Violet, 深紫外光)線之臨界層(critical layer)，但，變形例 1 之遮罩圖案，由於能進行較寬幅($0.4\mu m$ 至 $1.5\mu m$)之圖案佈局(pattern layout)，故使用 I 線之曝光裝置即可。據此，而具有於製程中降低成本之優點。

變形例 2

第 8A 圖至第 8C 圖係表示第 2 實施形態之變形例 2 中的快閃記憶體製造方法之概略構成圖，第 8A 圖係其平面圖，第 8B 圖係第 8A 圖所示之 I-I 間的概略截面圖，第 8C 圖係第 8A 圖所示之 II-II 間的概略截面圖。

在第 3 製造方法中，首先經由第 2A 圖至第 4B 圖之各製程。

繼之，如第 8A 圖至第 8C 圖之各圖所示，藉由微影法而形成光阻圖案 27。此處，光阻圖案 27 係形成僅遮罩源

極接觸孔形成部位 60 之形狀。在該光阻圖案 27 形成後，全面地將砷(As)以加速能量 10 keV 至 80keV、傾斜角約 0°、劑量 $1 \times 10^{15}/\text{cm}^2$ 至 $6 \times 10^{15}/\text{cm}^2$ 的條件而追加施以離子注入，在第 8B 圖所示之位元線 9(I-I 間)之截面中，係和第 4C 圖相同地，於半導體基板 1 之控制閘極 5 和側壁 8 之另一方側形成較形成低濃度雜質區域 7a 時濃度更高之 N 型擴散層的高濃度雜質區域 7b。另一方面，在第 8C 圖所示之源極線 10(II-II 間)之截面中，由於光阻圖案 27 係將源極 6 上予以遮罩，故無須追加進行離子注入，而未形成第 1C 圖所示之高濃度雜質區域 6b。

此後，藉由使用 O_2 電漿之灰化處理等而將光阻圖案 27 予以去除，且形成覆蓋全面之層間絕緣膜(未圖示)，並分別形成接觸孔於該層間絕緣膜的汲極 7 之汲極接觸孔形成部位 70 和源極 6 之源極接觸孔形成部位 60。接著，透過源極接觸孔形成部位 60 和汲極接觸孔形成部位 70，而形成和源極 6 與汲極 7 作電性連接之位元線 9、源極線 10，並完成本實施形態之快閃記憶體。

前述之第 2 實施形態之遮罩圖案中，雖因為被嚴格要求與線寬相定位，而需要使用有 DUV 線之臨界層，但，變形例 2 之遮罩圖案，由於能進行較寬幅(0.4 μm 至 1.5 μm)之圖案佈局，故以使用 I 線之曝光裝置即可。據此，而具有於製程中降低成本之優點。

接著，說明有關於第 9 圖至第 11 圖所示之快閃記憶體的特性檢証結果。該檢証結果係對於在第 4C 圖之製程中

追加施以離子注入，而於汲極 7 形成高濃度雜質區域 7b 下所產生之快閃記憶體的特性進行檢證者。作為進行檢証之快閃記憶體，X 係未追加施以離子注入之第 4B 圖所示者，Y 係追加施以離子注入之第 1A 圖至第 1C 圖所示者，Z 係追加施以離子注入之第 5A 圖至第 5C 圖所示者。

第 9 圖係各快閃記憶體(X、Y、Z)之汲極 7 之接觸電阻的特性圖。在第 9 圖中，對該快閃記憶體所形成的 1 個半導體晶圓進行各部位測定，此外，橫軸係表示測定個數。

如第 9 圖所示，得知相對於快閃記憶體 X 之接觸電阻值，快閃記憶體 Y 和 Z 之接觸電阻明顯減低，且電阻值呈安定狀態。據此可實證藉由在第 4C 圖之製程中追加施以離子注入，而於汲極連接孔形成部位 70 形成高濃度雜質區域 7b 之措施，可提升接觸部之信賴性。

第 10 圖係各快閃記憶體(X、Y、Z)之核心電晶體的相互電導 g_m 之特性圖。在第 10 圖中，對 1 個半導體裝置進行各部位測定，此外，橫軸係表示測定個數。

如第 10 圖所示，得知相對於快閃記憶體 X，快閃記憶體 Y 和 Z 之相互電導 g_m 之值變高，且特性提升。此係藉由於汲極 7 形成高濃度雜質區域 7b 之措施，而能實証接觸電阻較低且安定，並提升快閃記憶體之信賴性。

第 11 圖係各快閃記憶體(X、Y、Z)之汲極 7 之接合耐壓的特性圖。在第 11 圖中，對該快閃記憶體所形成的 1 個半導體晶圓進行各部位測定，此外，橫軸係表示測定個數。

如第 11 圖所示，得知相對於快閃記憶體 X 之接合耐壓，快閃記憶體 Y 和 Z 之接合耐壓明顯提升。據此，可實證藉由在第 4C 圖之製程中追加施以離子注入，而於汲極 7 形成距離半導體基板 1 的表面較深的高濃度雜質區域 7b 之措施，可提升汲極 7 的接合耐壓。

(第 3 實施形態)

關於適用本發明之半導體記憶裝置，雖已揭示適用 NOR 型快閃記憶體之各實施形態，但本發明之第 3 實施形態則適用於未具有由半導體基板(矽基板)、ONO 膜、閘極(多晶矽膜)之層構成所成之浮動閘極的氮化膜電荷貯存型之所謂的 MONOS 型(Metal Oxide Nitride Oxide Silicon Type)半導體記憶裝置。其中，亦可適用於具有兼用嵌埋位元線之源極/汲極，並具有平行於字組線(閘極)之通道之所謂的嵌埋位元線型 SONOS(Silicon Oxide Nitride Oxide Silicon)構造的半導體記憶裝置。

第 12A 圖至第 12C 圖係表示本發明第 3 實施形態之 MONOS 型半導體記憶裝置之概略構成圖，第 12A 圖係其平面圖，第 12B 圖係第 12A 圖所示之 I-I 間之概略截面圖，第 12C 圖係圖 12 所示之 II-II 間的概略截面圖。

以下說明有關於表示第 12A 圖所示之位元線 9(I-I 間)之截面的第 12B 圖。如第 12B 圖所示，MONOS 型半導體記憶裝置係具備：半導體基板 1，其係由 P 型之矽所組成；源極 6 和汲極 7，其係由形成於半導體基板 1 表面之 N^+ 擴散層所組成；閘極絕緣膜 4，其係由 ONO 膜所組成；閘極

50，其係形成於閘極絕緣膜 4 上，並作為字組線而發揮功能；以及，側壁 8，其係作為保護膜而形成於閘極絕緣膜 4 和閘極 50 之 2 層的側壁。

汲極 7 係由下列所構成：低濃度雜質區域 7a，其係較源極 6 之 N^+ 擴散層濃度更低且較淺；以及，高濃度雜質區域 7b，其係較低濃度雜質區域 7a 濃度更高且較深。

高濃度雜質區域 7b 係將側壁 8 作為遮罩，並整合於此而形成於半導體基板 1 的表層，且在該濃度雜質區域 7b 上存在有汲極接觸孔形成部位 70。

此外，側壁 8 係以封閉源極 6 上之方式而構成，同時亦以將汲極 7 之特定區域作成開口之方式而構成。

接著說明有關於表示第 12A 圖所示之源極線 10 之截面(II-II 間)的第 1C 圖。如第 12C 圖所示，有關於源極線 10 之截面，由於形成汲極 7 之幅寬較窄、源極 6 之幅寬較寬，故汲極 7 上雖係藉由側壁 8 而予以封閉，但，源極 6 上則係將特定區域作成開口而形成。

源極 6 係由 N^+ 擴散層以及於形成高濃度雜質區域 7b 時所形成之高濃度雜質區域 6b 所構成。高濃度雜質區域 6b 係形成於半導體基板 1 之閘極 50 和側壁 8 之一方側，且在該高濃度雜質區域 6b 上存在有源極接觸孔形成部位 60。此外，亦可藉由在源極接觸孔形成部位 60 上施以遮罩，且並未形成有因追加進行離子注入而產生的高濃度雜質區域 6b，而可防止起因於源極接觸孔形成部位 60 的過度劑量所產生之基板結晶缺陷等問題而構成。

(產業上之利用性)

根據本發明，即能實現可滿足改善短通道效應而提升程式設計效率和達成降低汲極接觸電阻等 2 個相反的要求，而且可提升汲極耐壓之信賴性高的半導體記憶裝置。

[圖式簡單說明]

第 1A 圖至第 1C 圖係本發明第 1 實施形態之半導體記憶裝置的概略構成圖。

第 2A 圖至第 2D 圖係依製程順序而表示第 1A 圖至第 1C 圖所示之第 1 實施形態之半導體記憶裝置製造方法的概略截面圖。

第 3A 圖至第 3D 圖係接續第 2D 圖，且依製程順序而表示第 1A 圖至第 1C 圖所示之第 1 實施形態之半導體記憶裝置製造方法的概略截面圖。

第 4A 圖至第 4C 圖係接續第 3D 圖，且依製程順序而表示第 1A 圖至第 1C 圖所示之第 1 實施形態之半導體記憶裝置製造方法的概略截面圖。

第 5A 圖至第 5C 圖係本發明第 2 實施形態之半導體記憶裝置的概略構成圖。

第 6A 圖至第 6C 圖係表示第 5A 圖至第 5C 圖所示之第 2 實施形態之半導體記憶裝置製造方法的概略構成圖。

第 7A 圖至第 7C 圖係表示第 5A 圖至第 5C 圖所示之第 2 實施形態之變形例 1 之半導體記憶裝置製造方法的概略構成圖。

第 8A 圖至第 8C 圖係表示第 5A 圖至第 5C 圖所示之

第 2 實施形態之變形例 2 之半導體記憶裝置製造方法的概略構成圖。

第 9 圖係半導體記憶裝置之汲極之接觸電阻的特性圖。

第 10 圖係半導體記憶裝置之核心電晶體之相互電導 g_m 的特性圖。

第 11 圖係半導體記憶裝置之汲極之接合耐壓的特性圖。

第 12A 圖至第 12C 圖係本發明第 3 實施形態之半導體記憶裝置之概略構成圖。

1	半導體基板	2	第 1 閘極絕緣膜
3	浮動閘極	4	第 2 閘極絕緣膜
5	控制閘極	6	源極
6b、7b	高濃度雜質區域	7	汲極
7a	低濃度雜質區域	8	側壁
9	位元線	10	源極線
11	氧化矽膜	12、14	非晶矽(或多晶矽)
13	ONO 膜	13a、13c	氧化膜
13b	氮化膜	21 至 27	光阻圖案
50	閘極	60	源極接觸孔形成部位
70	汲極接觸孔形成部位		

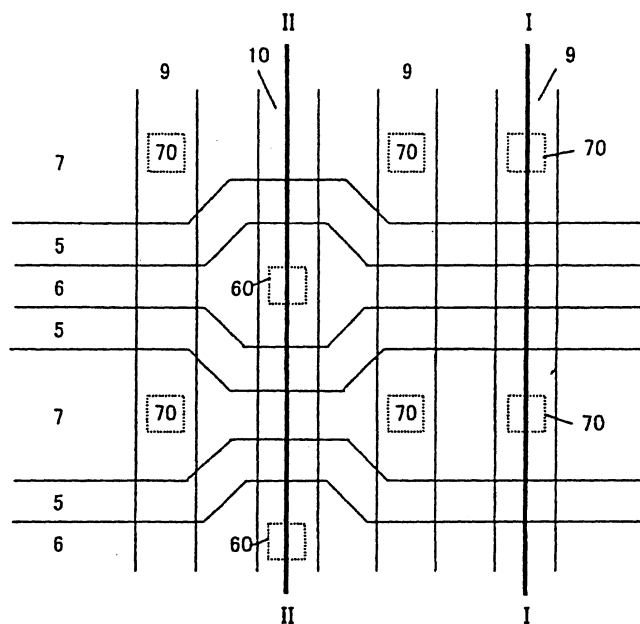
伍、中文發明摘要：

本發明係提供一種半導體裝置及其製造方法，本發明係使汲極(7)具有：低濃度雜質區域(7a)，其係整合於控制閘極(5)而形成，為低濃度且較淺；以及，高濃度雜質區域(7b)，其係整合於側壁膜(8)而形成，比低濃度雜質區域(7a)具更高濃度且較深，藉此可在低濃度雜質區域(7a)改善短通道效應而提升程式設計效率，且於高濃度雜質區域(7b)設置汲極接觸孔形成部位(70)，而減低汲極(7)之接觸電阻。

陸、英文發明摘要：

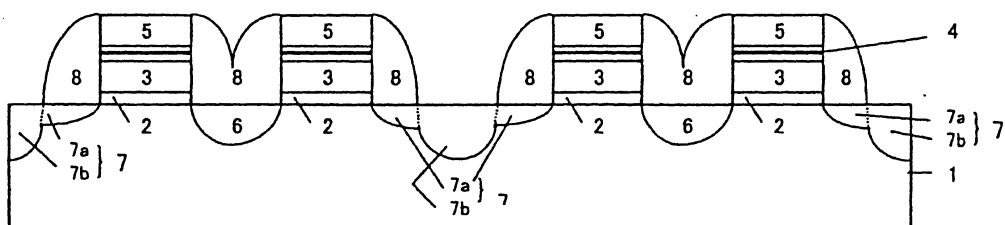
A semiconductor memory device and a method of manufacturing the same is disclosed, wherein a drain (7) has a low concentration and shallow low concentration impurity area (7a), which is formed in conformity with a control gate (5), and a high concentration impurity area (7b), which has higher concentration and is deeper than the low concentration impurity area (7a) and is formed in conformity with a side wall film (8). As a result, the short channel effect is improved and the programming efficiency is enhanced due to the low concentration impurity area (7a), and the contact resistance within the drain (7) is decreased while providing a drain contact hole forming portion (70) upon the high concentration impurity area (7b).

第1A圖



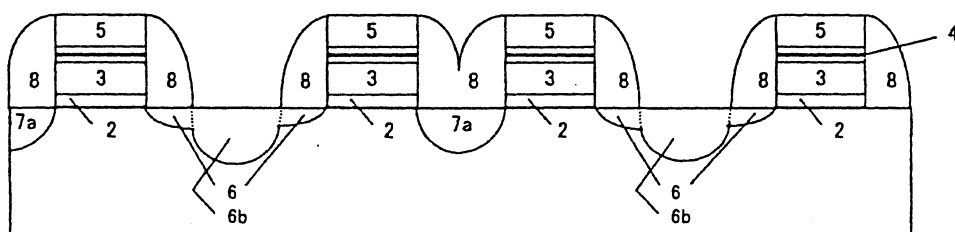
第1B圖

<I-I 截面>

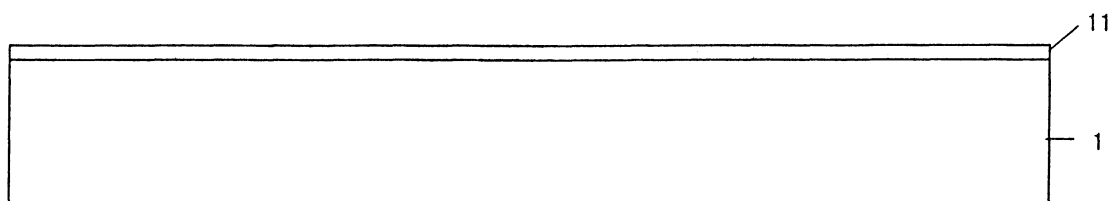


第1C圖

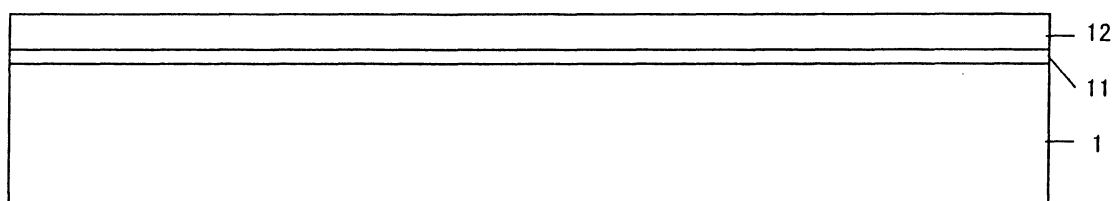
<II-II 截面>



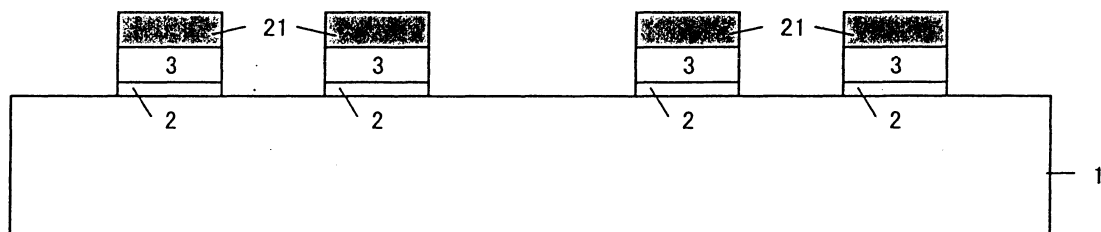
第2A圖



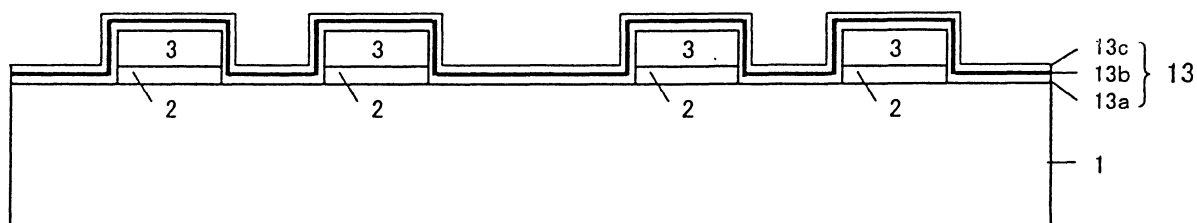
第2B圖



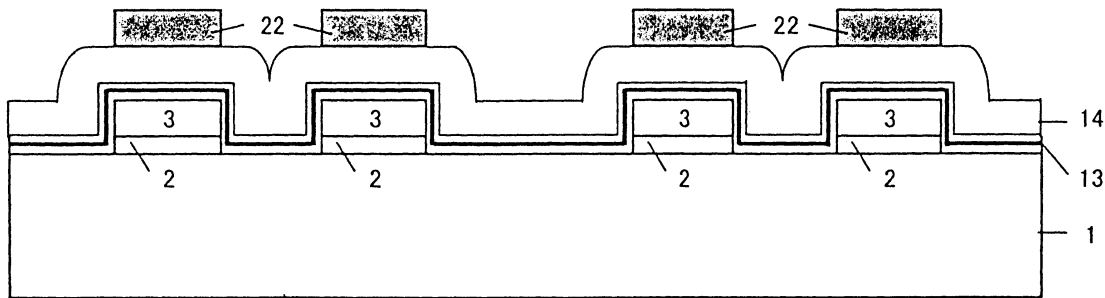
第2C圖



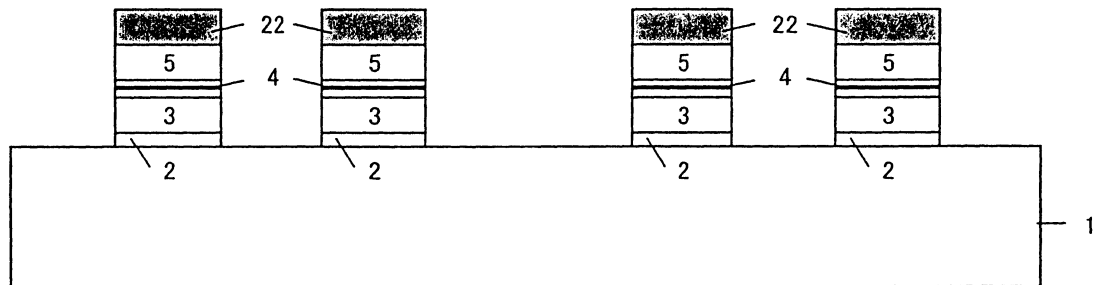
第2D圖



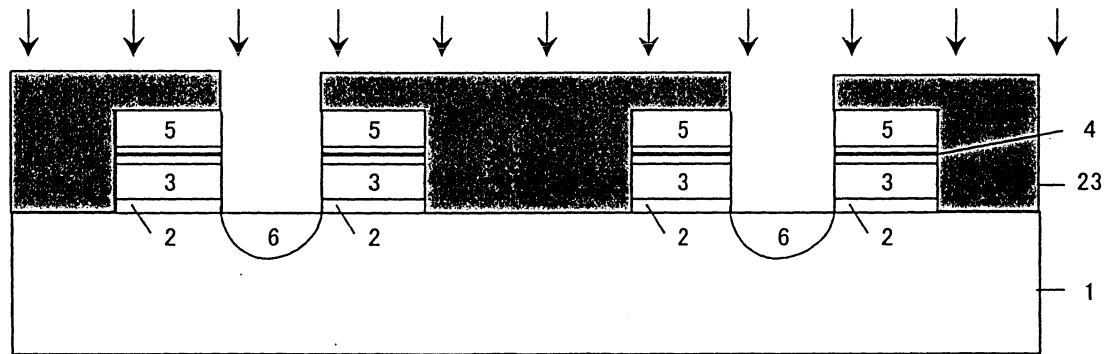
第3A圖



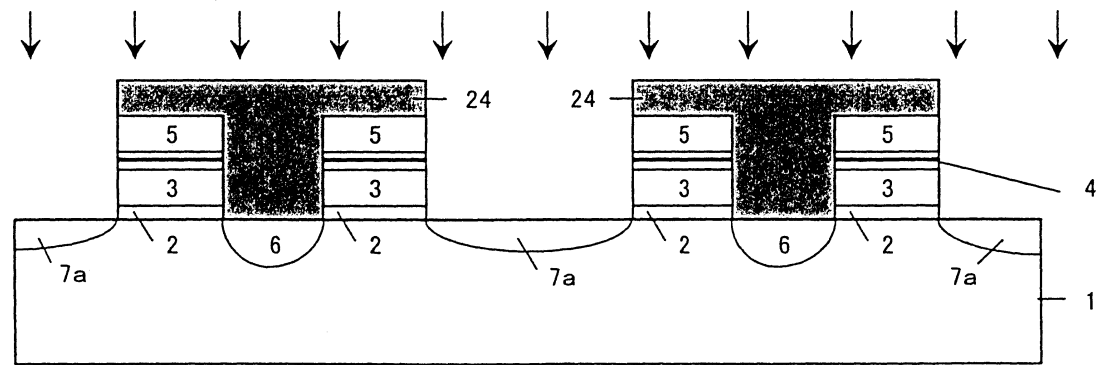
第3B圖



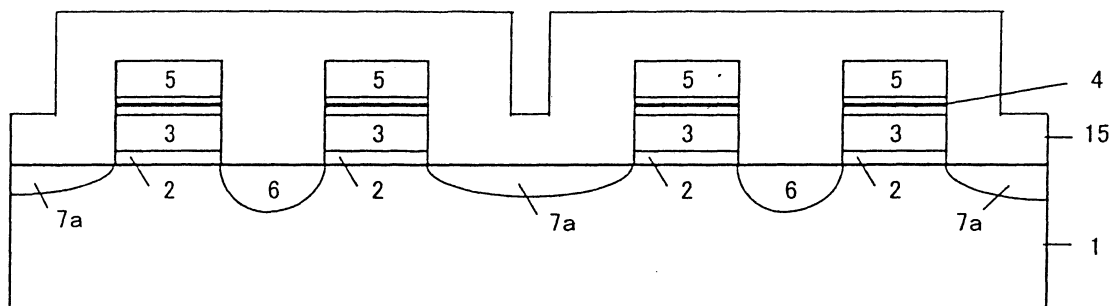
第3C圖



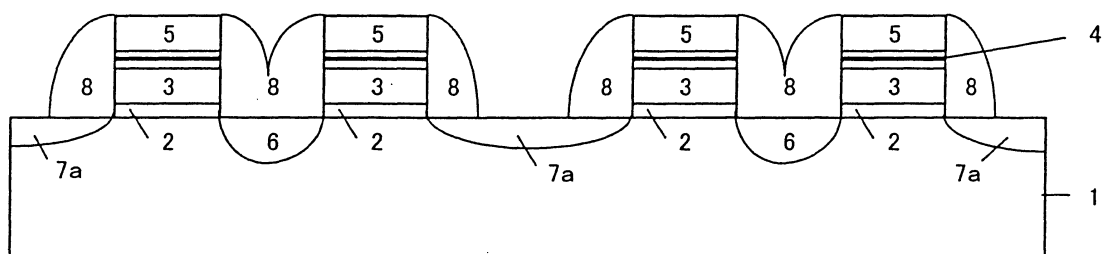
第3D圖



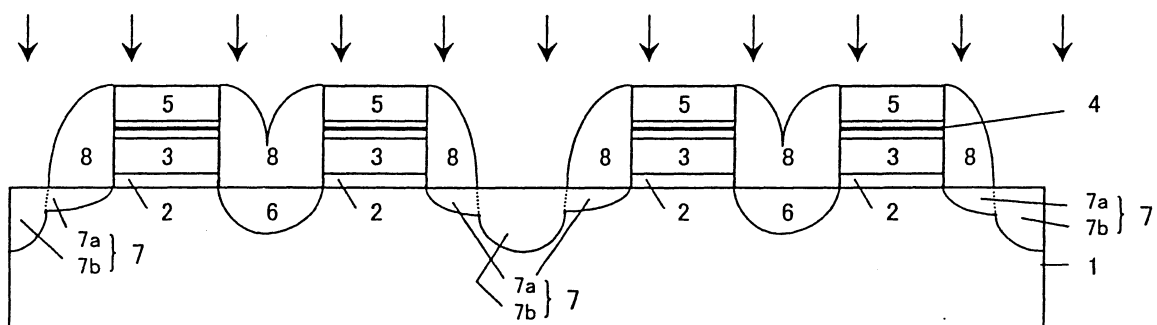
第4A圖



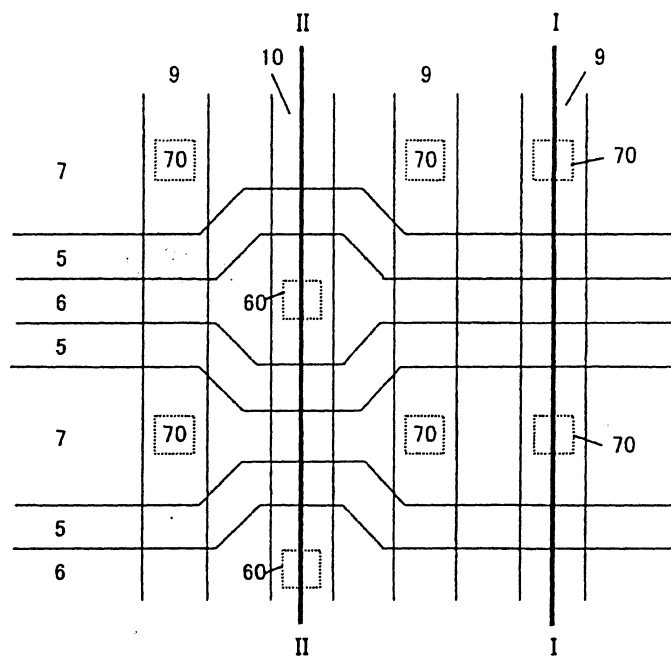
第4B圖



第4C圖

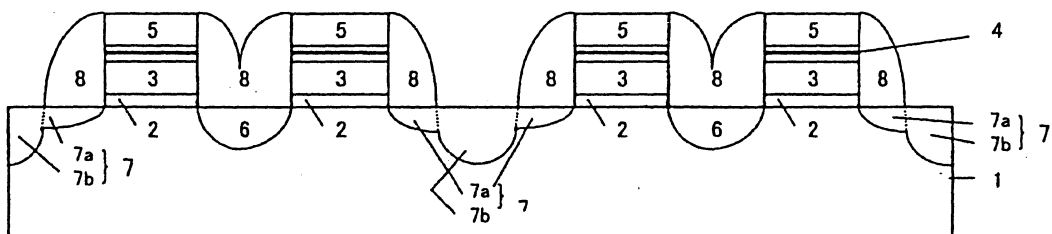


第5A圖



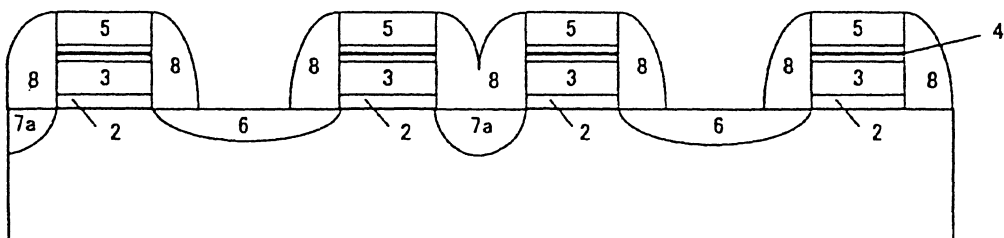
第5B圖

<I-I 截面>

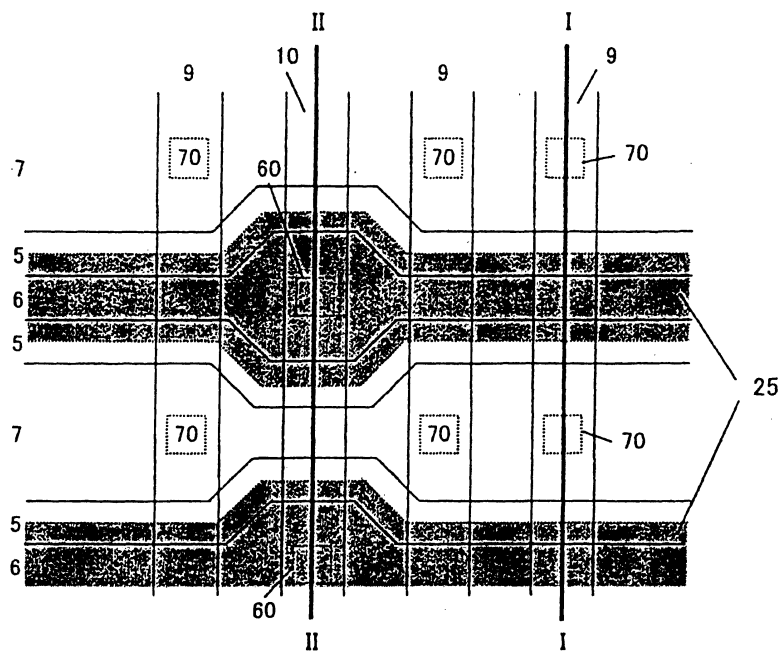


第5C圖

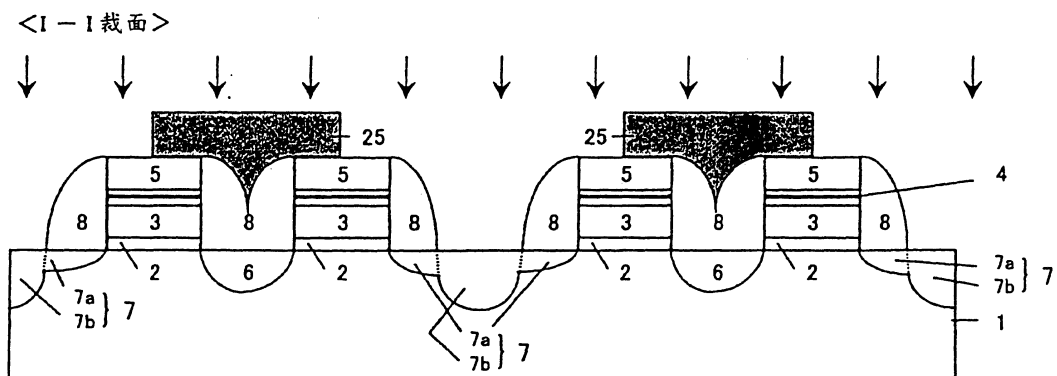
<II-II 截面>



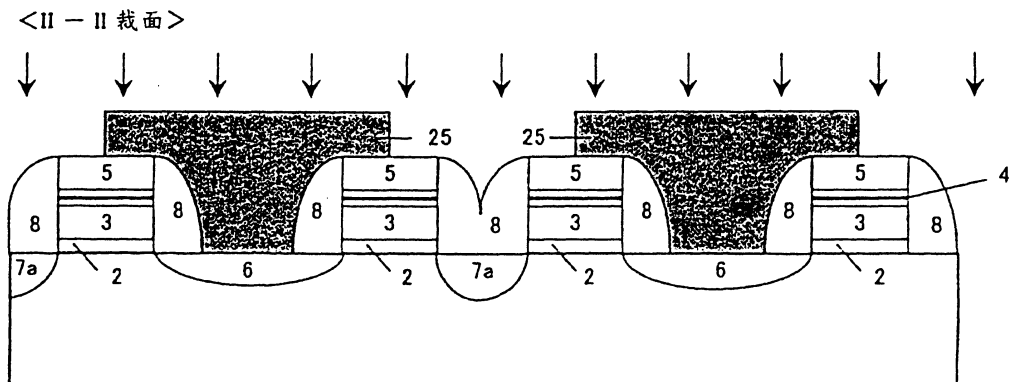
第6A圖



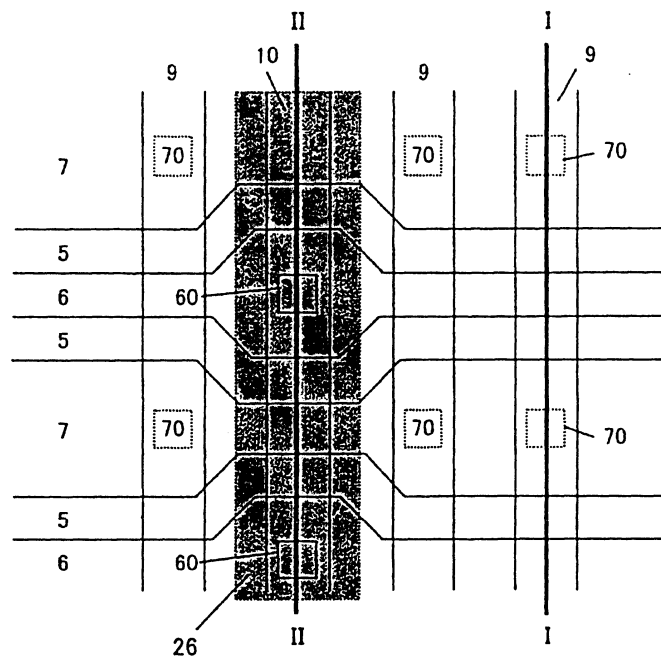
第6B圖



第6C圖

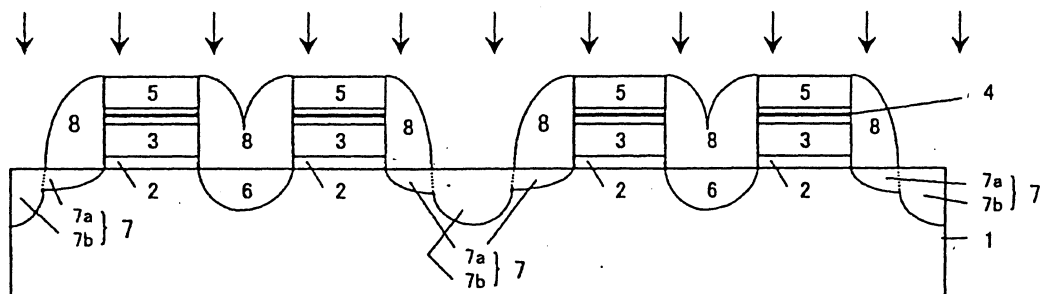


第7A圖



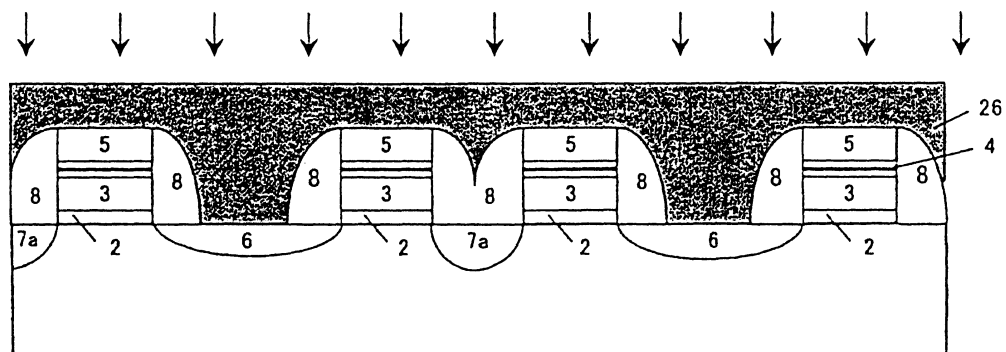
第7B圖

<I-I 截面>

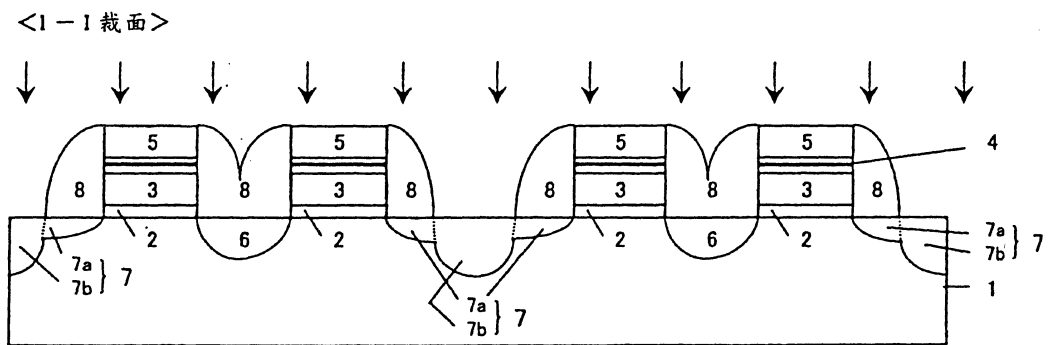


第7C圖

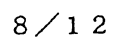
<II-II 截面>



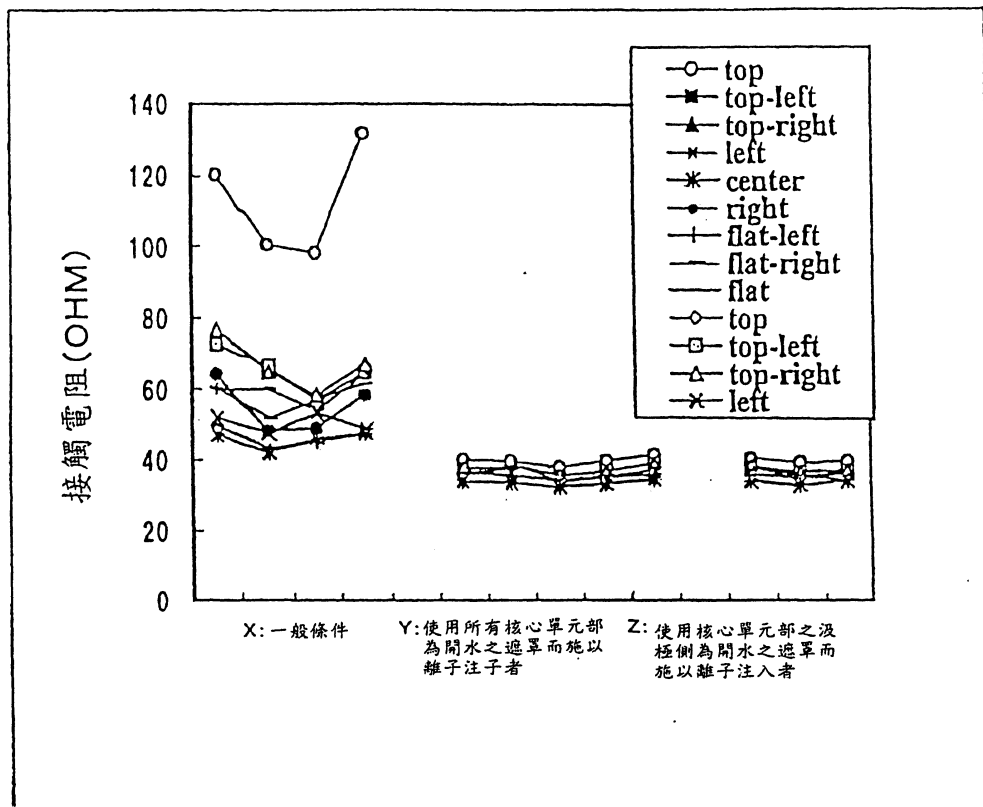
第8B圖



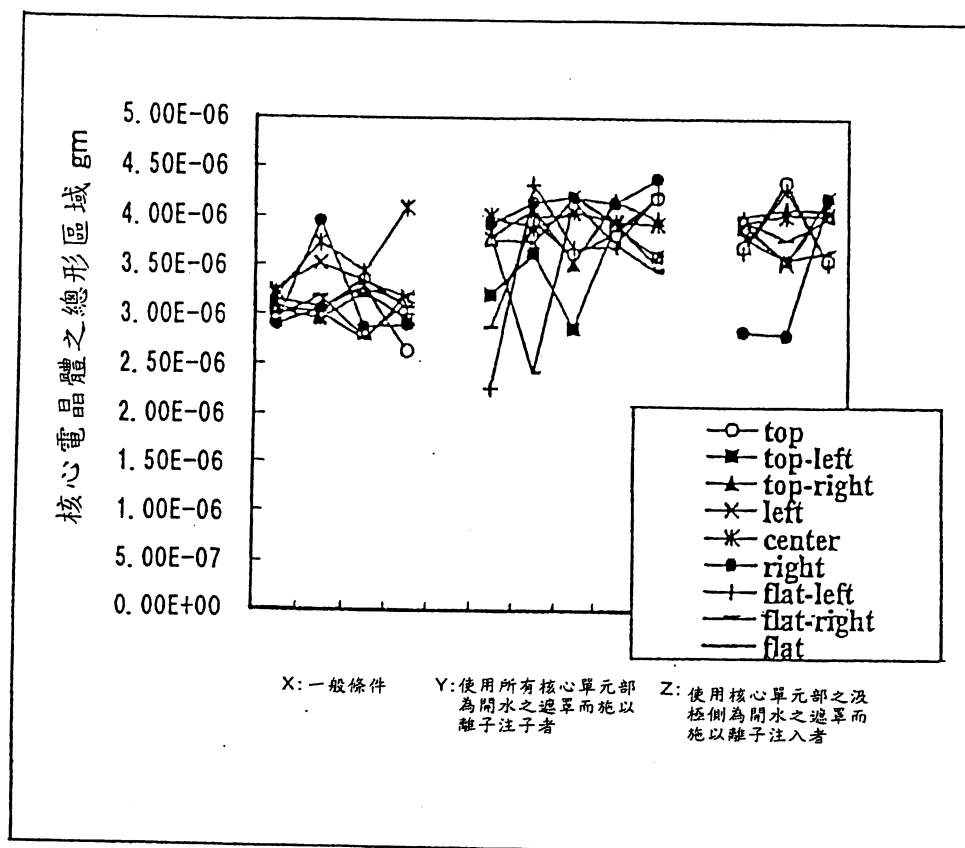
第8C圖



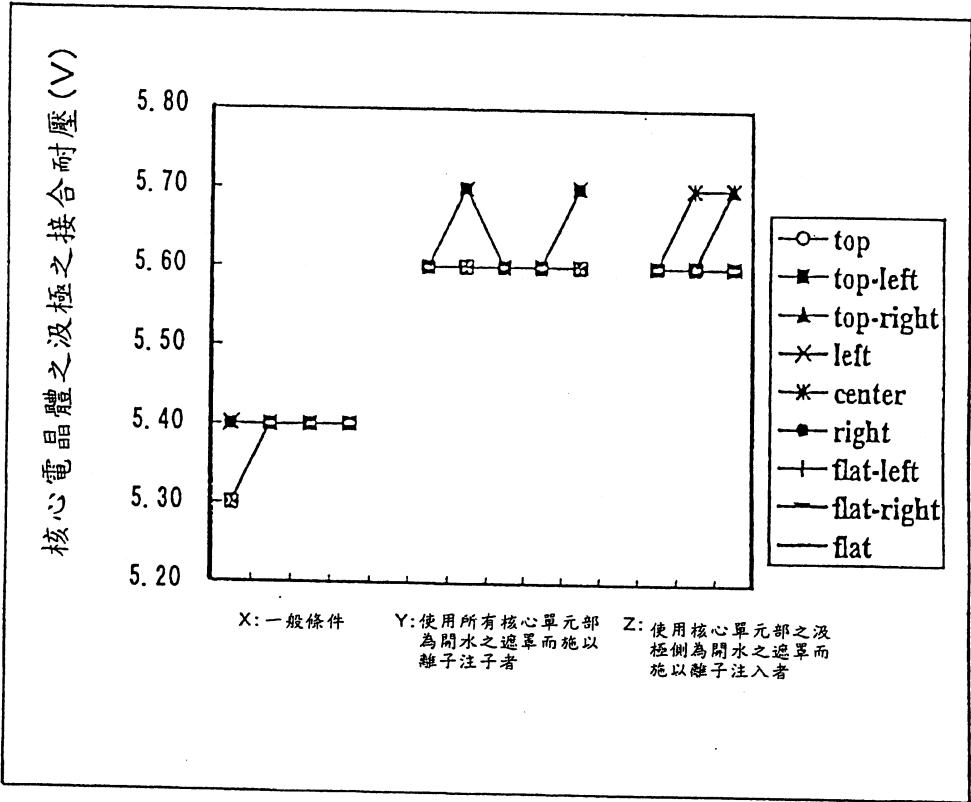
第9圖



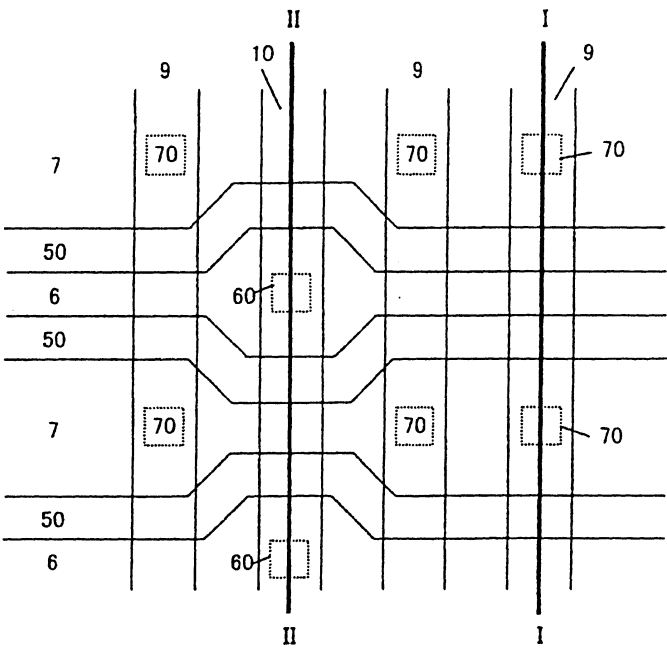
第10圖



第11圖

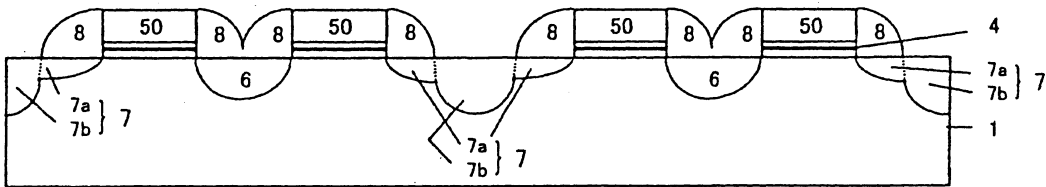


第12A圖



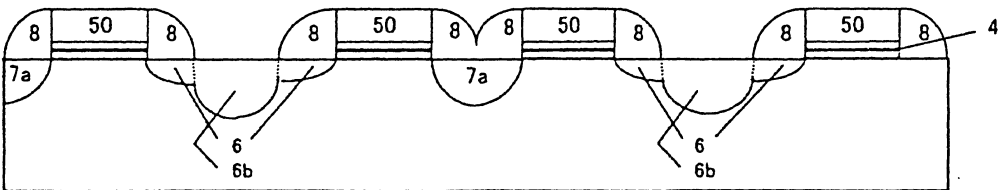
第12B圖

<I - I 截面>



第12C圖

<II - II 截面>



柒、指定代表圖：

(一)本案指定代表圖為：第 (1B) 圖。

(二)本代表圖之元件代表符號簡單說明：

1	半導體基板	2	第 1 閘極絕緣膜
3	浮動閘極	4	第 2 閘極絕緣膜
5	控制閘極	6	源極
7	汲極	7a	低濃度雜質區域
7b	高濃度雜質區域	8	側壁

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92124136

※ 申請日期： 92.08.29

※IPC 分類： H01L 29/96

壹、發明名稱：(中文/英文)

半導體記憶裝置及其製造方法

SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

貳、申請人：(共 3 人)

姓名或名稱：(中文/英文)

1. 富士通股份有限公司/FUJITSU LIMITED
2. 史班遜有限公司/SPANSION LLC
3. 高級微裝置公司/ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 1. 秋草直之/AKIKUSA, NAOYUKI

2. 柴柏沙德 拉傑德拉/JAIPERSHAD, RAJENDRA 3. 柯洛皮 丹尼爾 R/COLLOPY, DANIEL R.

住居所或營業所地址：(中文/英文)

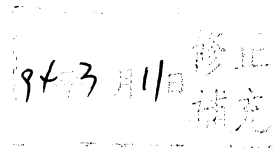
1. 日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號
1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa, Japan
2. 美國·加州 94088·桑尼威·郵政信箱 3453 號·德吉尼大道 915 號
915 DeGuigne Drive, P.O. Box 3453, Sunnyvale, CA 94088, U.S.A.
3. 美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號
One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, California 94088-3453,
U.S.A.

國 籍：(中文/英文) 1. 日本國/JAPAN 2. 3. 美國/U.S.A.

參、發明人：(共 4 人)

姓 名：(中文/英文)

1. 小森秀樹/KOMORI, HIDEKI
2. 島田久幸/SHIMADA, HISAYUKI
3. 孫禹/SUN, YU
4. 木下博幸/KINOSHITA, HIROYUKI



第 92124136 號專利申請案

申請專利範圍修正本

(94 年 3 月 11 日)

1. 一種半導體記憶裝置，含有：

半導體基板；

閘極絕緣膜，形成於前述半導體基板上；

閘極，以圖案化方式形成於前述閘極絕緣膜上而形成；

源極及汲極，形成於前述閘極兩側之前述半導體基板的表層；以及，

一對側壁膜，形成於前述閘極的側面；其中，

前述源極係整合於前述閘極而形成，同時，

前述汲極係具有：低濃度雜質區域，以較前述源極具更低的雜質濃度且整合於前述閘極而形成；以及，高濃度雜質區域，以較前述低濃度雜質區域具更高的雜質濃度且整合於前述側壁膜而形成，

且於前述高濃度雜質區域具有汲極接觸孔。

2. 如申請專利範圍第 1 項之半導體記憶裝置，其中，前述側壁膜係覆蓋於前述源極上。

3. 如申請專利範圍第 1 項之半導體記憶裝置，其中，前述高濃度雜質區域係形成地較前述低濃度雜質區域距離前述半導體基板的表面更深。

4. 一種半導體記憶裝置，含有：

半導體基板；

第 1 閘極絕緣膜，形成於前述半導體基板上；

浮動閘極，以圖案化方式形成島狀於前述第 1 閘極絕緣膜上，並貯存電荷；

第 2 閘極絕緣膜，形成於前述浮動閘極上；

控制閘極，以圖案化方式形成於前述第 2 閘極絕緣膜上而成；

源極及汲極，形成於前述控制閘極之兩側的前述半導體基板的表層；以及，

一對側壁膜，形成於前述控制閘極的側面；其中，前述源極係整合於前述控制閘極而形成，同時，

前述汲極係含有：低濃度雜質區域，以較前述源極具更低的雜質濃度且整合於前述控制閘極而形成；以及，高濃度雜質區域，以較前述低濃度雜質區域具更高的雜質濃度且整合於前述側壁膜而形成，

且於前述高濃度雜質區域具有汲極接觸孔。

5. 如申請專利範圍第 4 項之半導體記憶裝置，其中，前述側壁膜係覆蓋於前述源極上。
6. 如申請專利範圍第 4 項之半導體記憶裝置，其中，前述高濃度雜質區域係形成地較前述低濃度雜質區域距離前述半導體基板的表面更深。
7. 一種半導體記憶裝置之製造方法，含有：

透過閘極絕緣膜而以圖案化方式形成閘極於半導體基板上之製程；

導入雜質於前述閘極之一方側之前述半導體基板

的表層，而形成源極之製程；

導入比前述源極側較低濃度之雜質於前述閘極之另一方側之前述半導體基板的表層，並形成低濃度雜質區域之製程；

形成一對側壁膜於前述閘極之側面之製程；

導入高濃度之雜質於前述閘極和前述側壁膜的前述另一方側之前述半導體基板的表層，而形成與前述低濃度雜質區域作局部重疊之高濃度雜質區域，並形成由前述低濃度雜質區域和前述高濃度雜質區域所組成之汲極之製程；以及

在前述高濃度雜質區域設置汲極接觸孔之製程。

8. 如申請專利範圍第 7 項之半導體記憶裝置之製造方法，其中，與週邊電路區域之雜質擴散層同時形成前述高濃度雜質區域。
9. 如申請專利範圍第 7 項之半導體記憶裝置之製造方法，其中，形成僅露出該高濃度雜質區域之形成部位之形狀的光阻遮罩，並藉由使用該光阻遮罩而進行雜質之離子注入以形成前述高濃度雜質區域。
10. 如申請專利範圍第 7 項之半導體記憶裝置之製造方法，其中，形成含有前述源極接觸孔形成部位且具有和前述閘極相交叉之形狀的光阻遮罩，並藉由使用該光阻遮罩而進行雜質之離子注入以形成前述高濃度雜質區域。
11. 如申請專利範圍第 7 項之半導體記憶裝置之製造方

法，其中，形成僅覆蓋前述源極接觸孔形成部位之形狀的光阻遮罩，並藉由使用該光阻遮罩而進行雜質之離子注入以形成前述高濃度雜質區域。

12.如申請專利範圍第 7 項之半導體記憶裝置之製造方法，其中，以覆蓋前述源極上之方式而形成前述側壁膜。

13.如申請專利範圍第 7 項之半導體記憶裝置之製造方法，其中，係較前述低濃度雜質區域距離前述半導體基板的表面更深地形成前述高濃度雜質區域。

14.一種半導體記憶裝置之製造方法，含有：

透過第 1 閘極絕緣膜而以圖案化方式形成進行電荷貯存之島狀的浮動閘極於半導體基板上之製程；

透過第 2 閘極絕緣膜而以圖案化方式形成控制閘極於前述浮動閘極上之製程；

導入雜質於前述控制閘極之一方側之前述半導體基板的表層，並形成源極之製程；

導入較前述源極側更低濃度之雜質於前述控制閘極之另一方側之前述半導體基板的表層，並形成低濃度雜質區域之製程；

形成一對側壁膜於前述控制閘極之側面之製程；

導入高濃度之雜質於前述控制閘極和前述側壁膜的前述另一方側之前述半導體基板的表層，而形成與前述低濃度雜質區域作局部重疊之高濃度雜質區域，並形成由前述低濃度雜質區域和前述高濃度雜質區域所組成之汲極之製程；以及

在前述高濃度雜質區域設置汲極接觸孔之製程。

- 15.如申請專利範圍第 14 項之半導體記憶裝置之製造方法，其中，與週邊電路區域之雜質擴散層同時形成前述高濃度雜質區域。
- 16.如申請專利範圍第 14 項之半導體記憶裝置之製造方法，其中，形成僅露出該高濃度雜質區域之形成部位之形狀的光阻遮罩，並藉由使用該光阻遮罩而進行雜質之離子注入以形成前述高濃度雜質區域。
- 17.如申請專利範圍第 14 項之半導體記憶裝置之製造方法，其中，形成含有前述源極接觸孔形成部位並具有與前述控制閘極相交叉之形狀的光阻遮罩，並藉由使用該光阻遮罩而進行雜質之離子注入以形成前述高濃度雜質區域。
- 18.如申請專利範圍第 14 項之半導體記憶裝置之製造方法，其中，形成僅覆蓋前述源極接觸孔形成部位之形狀的光阻遮罩，並藉由使用該光阻遮罩而進行雜質之離子注入以形成前述高濃度雜質區域。
- 19.如申請專利範圍第 14 項之半導體記憶裝置之製造方法，其中，以覆蓋前述源極上之方式而形成前述側壁膜。
- 20.如申請專利範圍第 14 項之半導體記憶裝置之製造方法，其中，係較前述低濃度雜質區域距離前述半導體基板的表面更深地形成前述高濃度雜質區域。