

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年12月2日 (02.12.2004)

PCT

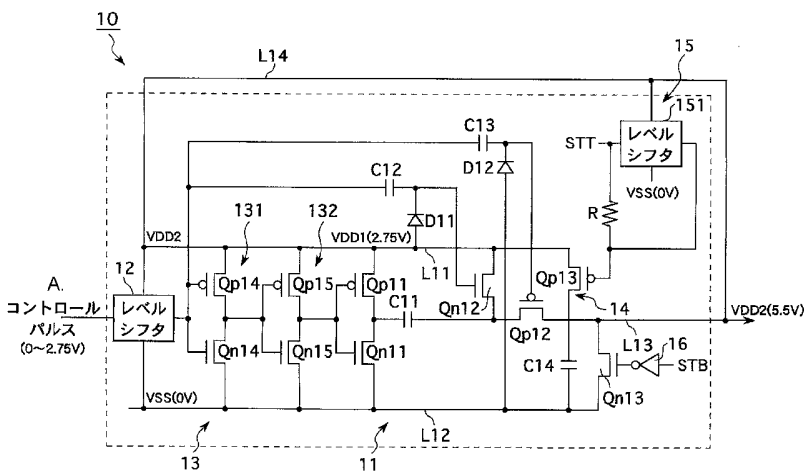
(10) 国際公開番号  
WO 2004/105221 A1

- (51) 国際特許分類: H02M 3/07
- (21) 国際出願番号: PCT/JP2004/006906
- (22) 国際出願日: 2004年5月14日 (14.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-141603 2003年5月20日 (20.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 仲島義晴 (NAKAJIMA, Yoshiharu) [JP/JP]. 木田芳利 (KIDA, Yoshitoshi) [JP/JP].
- (74) 代理人: 中村友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門1丁目2番3号虎ノ門第一ビル9階三好内外特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: POWER SUPPLY VOLTAGE CONVERTING CIRCUIT, METHOD FOR CONTROLLING THE SAME, DISPLAY DEVICE, AND MOBILE TERMINAL

(54) 発明の名称: 電源電圧変換回路およびその制御方法、ならびに表示装置および携帯端末



A...CONTROL PULSE  
12...LEVEL SHIFTER  
151...LEVEL SHIFTER

(57) Abstract: A power supply voltage converting circuit having a small-sized charge pump circuit of a large current capacity. In a charge pump DC-to-DC converter (10) for converting a power supply voltage (VDD1) to a power supply voltage (VDD2), a level shifter (12) amplitude converts a control pulse of VSS-VDD one amplitude to a control pulse of VSS-VDD two amplitude, which is used as a pumping pulse to charge and discharge a flying capacitor (C11) via MOS transistors (Qp11, Qn11) of a charge pump circuit (11) and to control switching of MOS transistors (Qn12, Qp12) at the output side of the flying capacitor (C11).

(57) 要約: 大電流能力のチャージポンプ回路を小面積で作成できる電源電圧変換回路である。電源電圧VDD1を電源電圧VDD2に変換するチャージポンプ型DC-DCコンバータ(10)において、VSS-VDD1振幅のコントロールパルスレベルシフタ(12)

[続葉有]



WO 2004/105221 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

2) によってVSS-VDD2 振幅のコントロールパルスに振幅変換し、この振幅変換後のコントロールパルスをポンピングパルスとして用いてチャージポンプ回路(11)のMOSトランジスタ(Qp11), (Qn11)によってフライングキャパシタ(C11)を充放電駆動するとともに、フライングキャパシタ(C11)の出力側のMOSトランジスタ(Qn12), (Qp12)をスイッチング制御するようにする。

## 明細書

電源電圧変換回路およびその制御方法、ならびに表示装置および携帯端末

5

## 技術分野

本発明は、電源電圧変換回路およびその制御方法、ならびに表示装置および携帯端末に関し、特にキャパシタを充放電駆動するチャージポンプ回路を用いた電源電圧変換回路およびその制御方法、ならびに当該電源電圧変換回路を搭載した表示装置およびこの表示装置を画面表示部として用いた携帯電話機に代表される携帯端末に関する。

10

## 背景技術

近年、携帯電話機やPDA(Personal Digital Assistants;携帯情報端末)などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その画面表示部として搭載されている例えば液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力を要しない特性を持ち、低消費電力の表示デバイスであるためである。

15

携帯端末では、電源として単一電源電圧のバッテリーが用いられる。一方、液晶表示装置において、行列状に配置された画素を駆動する水平駆動回路では、ロジック部とアナログ部とで異なる直流電圧が用いられ、また画素に情報を書き込む垂直駆動回路では、水平駆動回路側よりも絶対値の大きい直流電圧が用いられることになる。したがって、携帯端末に搭載される液晶表示装置には、単一の直流電圧を電圧値の異なる複数

20  
25

種類の直流電圧に変換する電源電圧変換回路、いわゆるDC-DCコンバータが用いられる。

従来、液晶表示装置において、DC-DCコンバータとしては、インダクタを用いたものが一般的に使用されてきたが、近年の携帯端末の低消費電力化、小型化に伴ってチャージポンプ型のものも多く使用されるようになってきている（例えば、特開2002-176764号公報（特に、段落0005～段落0013および第11図～第14図）参照）。チャージポンプ型DC-DCコンバータは、電流容量が比較的小さいものの、外付け部品としてインダクタを使わなくて済むため携帯端末の小型化に寄与できるという利点を持っている。

従来、チャージポンプ型DC-DCコンバータでは、フライングキャパシタを駆動するトランジスタのゲート電圧を、入力電圧によって制御される電圧振幅にて制御するようにしていたため、大電流容量のDC-DCコンバータを実現しようとする、トランジスタのサイズが大きくなり、回路サイズが増大する。これは、絶縁基板上に形成される低温ポリシリコンTFT (Thin Film Transistor; 薄膜トランジスタ) などの移動度の比較的小さなデバイスを用いて回路を作成した場合に非常に大きな問題となる。具体的には、表示装置の所謂額縁（表示エリア部の周辺領域）上にチャージポンプ型DC-DCコンバータを表示エリア部（画素部）と一体化して形成する場合に、DC-DCコンバータの回路サイズの増大が額縁サイズの増大を招く要因となるため、表示装置の小型化を図る上で特に深刻な問題となる。

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、大電流能力のチャージポンプ回路を小面積で作成可能な電源電圧変換回路およびその制御方法、ならびに当該電源電圧変換回路を搭載

した表示装置およびこの表示装置を画面表示部として用いた携帯端末を提供することにある。

#### 発明の開示

- 5 上記目的を達成するために、本発明では、キャパシタと、このキャパシタを充放電駆動するトランジスタ対とを有し、第1の電源電圧を当該電源電圧よりも大なる第2の電源電圧に変換するチャージポンプ回路を用いた電源電圧変換回路において、前記チャージポンプ回路で変換された前記第2の電源電圧を用いてコントロールパルスを振幅変換し、その
- 10 振幅変換後のコントロールパルスを用いて前記トランジスタ対によって前記キャパシタを充放電駆動することを特徴としている。そして、この電源電圧変換回路は、表示装置の電源回路として用いられる。また、この電源電圧変換回路を備えた表示装置は、携帯端末の画面表示部として用いられる。
- 15 上記構成の電源電圧変換回路において、第1の電源電圧に対応した振幅のコントロールパルスを、第2の電源電圧に対応した振幅のコントロールパルスに振幅変換し、この振幅変換後のコントロールパルスを、キャパシタを充放電駆動するトランジスタ対に印加することで、当該トランジスタ対のゲート-ソース間電圧が大きくなる。これにより、トラン
- 20 ジスタ対のオン抵抗が下がるため、トランジスタ対のトランジスタサイズを小さくでき、その結果、小面積の回路規模にて電流能力の大きな電源電圧変換回路を実現できる。

#### 図面の簡単な説明

- 25 第1図は、本発明の第1実施形態に係るチャージポンプ型DC-DCコンバータの構成例を示す回路図である。

第2図は、レベルシフタの具体的な構成の一例を示す回路図である。

第3図は、第1実施形態に係るチャージポンプ型DC-DCコンバータの電源投入時の回路動作を説明するためのタイミングチャートである。

第4図は、本発明の第2実施形態に係るチャージポンプ型DC-DC  
5 コンバータの構成例を示す回路図である。

第5図は、レベルシフタの具体的な構成の他の例を示す回路図である。

第6図は、第2実施形態に係るチャージポンプ型DC-DCコンバータの電源投入時の回路動作を説明するためのタイミングチャートである。

第7図は、本発明に係る液晶表示装置の構成例を示す概略構成図であ  
10 る。

第8図は、液晶表示装置の表示エリア部の構成例を示す回路図である。

第9図は、本発明に係る携帯端末である携帯電話機の構成の概略を示す外観図である。

## 15 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

### [第1実施形態]

第1図は、本発明の第1実施形態に係る直流電圧変換回路、即ちチャージポンプ型DC-DCコンバータの構成例を示す回路図である。ここ  
20 では、一例として、第1の正側電源電圧VDD1が2.75V、負側電源電圧VSSが0V（グラウンドレベル）で、第1の正側電源電圧VDD1を2倍、即ち5.5Vの第2の正側電源電圧VDD2に昇圧する場合を例に採って説明するものとする。

第1図から明らかなように、本実施形態に係るDC-DCコンバータ  
25 10は、チャージポンプ回路11、レベルシフタ12、バッファ13、スイッチ素子14および電源立ち上げ制御回路15を有する構成となっ

ている。チャージポンプ回路11は、フライングキャパシタC11と、当該フライングキャパシタC11の一端と第1の正側電源電圧VDD1および負側電源電圧VSSの各電源ラインL11, L12との間に接続され、フライングキャパシタC11を充放電駆動するトランジスタ対、  
5 即ちPchMOSトランジスタQp11およびNchMOSトランジスタQn11とを有している。

このチャージポンプ回路11において、フライングキャパシタC11の他端と電源ラインL11の間にはスイッチングトランジスタであるNchMOSトランジスタQn12が接続され、フライングキャパシタ  
10 C11の他端と出力ラインL13の間にはスイッチングトランジスタであるPchMOSトランジスタQp12が接続されている。出力ラインL13は、第2の正側電源電圧VDD2を出力するラインである。

MOSトランジスタQn12のゲートはダイオードD11のカソードに接続され、当該ダイオードD11のアノードは電源ラインL11に接  
15 続されている。MOSトランジスタQp12のゲートはダイオードD12のカソードに接続され、当該ダイオードD12のアノードは電源ラインL12に接続されている。出力ラインL13と電源ラインL12の間にはキャパシタC14が接続され、さらにNchMOSトランジスタQn13が接続されている。MOSトランジスタQn13のゲートには、  
20 インバータ16を介してスタンバイパルスSTBが与えられる。

レベルシフタ12は、電源ラインL14によって与えられる第2の正側電源電圧VDD2と負側電源電圧VSSとを動作電源とし、VSS  
(0V) - VDD1 (2.75V) の振幅のコントロールパルス (ポンピングパルス) をVSS - VDD2 (5.5V) の振幅のコントロール  
25 パルスに振幅変換する振幅変換回路である。このレベルシフタ12で振幅変換されたVSS - VDD2 振幅のコントロールパルスは、バッファ

1 3 を介して MOS トランジスタ  $Q_{p11}$ ,  $Q_{n11}$  の各ゲートに与えられるとともに、キャパシタ  $C_{12}$ ,  $C_{13}$  を介して MOS トランジスタ  $Q_{n12}$ ,  $Q_{p12}$  の各ゲートに与えられる。

第 2 図は、レベルシフタ 1 2 の具体的な構成の一例を示す回路図である。本例に係るレベルシフタ 1 2 は、ソースが共に接地された N c h M O S トランジスタ  $Q_{n121}$ ,  $Q_{n122}$  を有し、これら MOS トランジスタ  $Q_{n121}$ ,  $Q_{n122}$  のドレイン側がクロスカップルされた差動回路構成となっている。すなわち、MOS トランジスタ  $Q_{n121}$ ,  $Q_{n122}$  の各ドレインが P c h M O S トランジスタ  $Q_{p121}$ ,  $Q_{p122}$  を介して第 2 の正側電源電圧  $V_{DD2}$  の電源ライン  $L_{14}$  に接続され、MOS トランジスタ  $Q_{p121}$ ,  $Q_{p122}$  の各ゲートが MOS トランジスタ  $Q_{n122}$ ,  $Q_{n121}$  の各ドレインにそれぞれ接続されている。

そして、MOS トランジスタ  $Q_{n121}$  のゲートには  $V_{SS} - V_{DD1}$  振幅のコントロールパルスが印加され、MOS トランジスタ  $Q_{n122}$  のゲートには CMOS インバータ 1 2 1 で反転された  $V_{SS} - V_{DD1}$  振幅のコントロールパルスが印加されることにより、 $V_{SS} - V_{DD1}$  振幅のコントロールパルスが  $V_{SS} - V_{DD2}$  の振幅のコントロールパルスに振幅変換されて MOS トランジスタ  $Q_{n122}$  のドレインから導出される。この  $V_{SS} - V_{DD2}$  の振幅のコントロールパルスは、CMOS インバータが 2 段縦続接続されてなるバッファ 1 2 2 を経て出力される。

再び第 1 図において、バッファ 1 3 は、2 つの CMOS インバータ 1 3 1, 1 3 2 が縦続接続された構成となっている。CMOS インバータ 1 3 1 は、正側電源電圧  $V_{DD2}$  の電源ライン  $L_{14}$  と負側電源電圧  $V_{SS}$  の電源ライン  $L_{12}$  との間に直列に接続され、ゲートが共通に接続

されたPchMOSトランジスタQp14およびNchMOSトランジスタQn14から構成されている。CMOSインバータ132は、電源ラインL14と電源ラインL12との間に直列に接続され、ゲートが共通に接続されたPchMOSトランジスタQp15およびNchMOSトランジスタQn15から構成されている。

5 スイッチ素子14は、電源投入時の一定期間において出力ラインL13を第1の正側電源電圧VDD1の電源ラインL11に接続するために設けられたものであり、電源ラインL11と出力ラインL13との間に接続されたPchMOSトランジスタQp13によって構成されている。

10 PchMOSトランジスタQp13のゲートには、電源投入時に電源立ち上げ制御回路15を介して電源立ち上げ制御パルスSTTが与えられる。

電源立ち上げ制御回路15は、電源投入時にスイッチ素子14を確実にオン状態にし、かつ第2の正側電源電圧VDD2が立ち上がった後に

15 当該スイッチ素子14を確実にオフ状態にするために設けられたものであり、電源立ち上げ制御パルスSTTを直接MOSトランジスタQp13のゲートに与える抵抗素子Rと、この抵抗素子Rに対して並列に接続され、VSS-VDD1振幅の電源立ち上げ制御パルスSTTをVSS-VDD2振幅の電源立ち上げ制御パルスSTTにレベルシフトする

20 レベルシフタ151とを有する構成となっている。レベルシフタ151としては、例えば、第2図に示した回路構成のものを用いることができる。

次に、上記構成の第1実施形態に係るチャージポンプ型DC-DCコンバータ10の電源投入時の回路動作について、第3図のタイミングチャートを用いて説明する。

25 時刻t11での電源投入により、まず、第1の正側電源電圧VDD1および電源立ち上げ制御パルスSTTが立ち上がる。そして、その立ち

上げ時点から時刻  $t_{12}$  までの一定期間  $T_{11}$  では、スタンバイパルス  $S_{TB}$  が低レベル（グラウンドレベル）にあり、MOSトランジスタ  $Q_{n13}$  がオン状態となることで、キャパシタ  $C_{14}$  の電荷が放電される。時刻  $t_{12}$  でスタンバイパルス  $S_{TB}$  が高レベル（ $V_{CC1}$ ）となり、

5 MOSトランジスタ  $Q_{n13}$  がオフ状態となる。

時刻  $t_{12}$  では同時に、電源立ち上げ制御パルス  $S_{TT}$  が一定期間  $T_{12}$  の間だけ低レベルになり、抵抗素子  $R$  を介してスイッチ素子  $14$  であるMOSトランジスタ  $Q_{p13}$  のゲートに印加されることにより、当該MOSトランジスタ  $Q_{p13}$  がオン状態となって出力ライン  $L_{13}$  を

10 電源ライン  $L_{11}$  に接続する。すると、出力ライン  $L_{13}$  からは先ず第1の正側電源電圧  $V_{DD1}$  が出力される。この正側電源電圧  $V_{DD1}$  は、電源ライン  $L_{14}$  を経由してレベルシフタ  $12$  にも供給される。

レベルシフタ  $12$  は、正側電源電圧  $V_{DD1}$  を電源電圧として動作を開始し、 $V_{SS} - V_{DD1}$  振幅のコントロールパルスを、そのままポンピングパルスとしてバッファ  $13$  を介してチャージポンプ回路  $11$  に与える。コントロールパルスが与えられることで、チャージポンプ回路  $11$  は当該コントロールパルスに応じて昇圧動作（ポンピング動作）を開始する。そして、一定期間  $T_{12}$  が経過した時刻  $t_{13}$  で電源立ち上げ制御パルス  $S_{TT}$  が高レベルになり、MOSトランジスタ  $Q_{p13}$  が

20 オフ状態になると、チャージポンプ回路  $11$  による昇圧動作によって出力ライン  $L_{13}$  の電位が  $V_{DD1}$  レベルから徐々に上昇し、最終的に  $V_{DD2}$  レベルに収束する。

この第2の正側電源電圧  $V_{DD2}$  は、電源ライン  $L_{14}$  を介してレベルシフタ  $12$ ,  $151$  に供給される。すると、レベルシフタ  $12$  は、 $V_{SS} - V_{DD1}$  振幅のコントロールパルスを、 $V_{SS} - V_{DD2}$  振幅の

25 コントロールパルスに振幅変換（レベルシフト）してチャージポンプ回

路 1 1 に供給する。同様に、レベルシフタ 1 5 1 は、 $VSS - VDD 1$  振幅（ロジックレベル）の電源立ち上げ制御パルス  $STT$  を、 $VSS - VDD 2$  振幅の電源立ち上げ制御パルス  $STT$  に振幅変換して MOS トランジスタ  $Qp 1 3$  のゲートに印加する。

- 5 上述したように、電源電圧  $VDD 1$  を電源電圧  $VDD 2$  に変換する第 1 実施形態に係るチャージポンプ型 DC-DC コンバータ 1 0 において、 $VSS - VDD 1$  振幅のコントロールパルスを  $VSS - VDD 2$  振幅のコントロールパルスに振幅変換し、この振幅変換後のコントロールパルスをポンピングパルスとして用いて MOS トランジスタ  $Qp 1 1$ ,  $Qn$
- 10  $1 1$  によってフライングキャパシタ  $C 1 1$  を駆動するとともに、フライングキャパシタ  $C 1 1$  の出力側の MOS トランジスタ  $Qn 1 2$ ,  $Qp 1 2$  をスイッチング制御することにより、 $VSS - VDD 1$  振幅のコントロールパルスで駆動制御を行う場合よりも、MOS トランジスタ  $Qp 1 1$ ,  $Qn 1 1$ ,  $Qn 1 2$ ,  $Qp 1 2$  のゲート-ソース間電圧が大きくなる、本例では 2 倍になる。
- 15

- これにより、MOS トランジスタ  $Qp 1 1$ ,  $Qn 1 1$ ,  $Qn 1 2$ ,  $Qp 1 2$  のオン抵抗が下がるため、これら MOS トランジスタのサイズを小さくでき、よって MOS トランジスタ  $Qp 1 1$ ,  $Qn 1 1$ ,  $Qn 1 2$ ,  $Qp 1 2$  の形成面積を小さくできる。その結果、小面積の回路規模にて
- 20 電流能力の大きなチャージポンプ回路 1 1 を実現できる。その効果は、MOS トランジスタ  $Qp 1 1$ ,  $Qn 1 1$ ,  $Qn 1 2$ ,  $Qp 1 2$  としてしきい値  $V_{th}$  が大きいトランジスタ、例えば薄膜トランジスタを用いた場合に特に大きい。

- また、電源投入時には、スイッチ素子 1 4 である MOS トランジスタ
- 25  $Qp 1 3$  によって出力ライン  $L 1 3$  を  $VDD 1$  の電源ライン  $L 1 1$  に接続し、出力ライン  $L 1 3$  から第 1 の正側電源電圧  $VDD 1$  を出力するよ

うにしたことにより、この電源電圧VDD1が電源ラインL14を経由してレベルシフタ12にも与えられることになるため、当該レベルシフタ12が電源立ち上げ時にも正常に動作することが可能になり、安定した立ち上げ動作が可能になる。

- 5 すなわち、本来第2の正側電源電圧VDD2で動作するレベルシフタ12は、電源立ち上げ時には当該電源電圧VDD2がまだ立ち上がっていないために正常に動作できなく、チャージポンプ回路11に対してコントロールパルスを供給できないことになる。これに対して、電源投入時
- 10 時に出カラインL13を電源ラインL11に接続することにより、レベルシフタ12に電源電圧VDD1が供給されることになるため、当該レベルシフタ12は電源立ち上げ時にも正常に動作し、チャージポンプ回路11に対してコントロールパルスを正常に供給できることになる。

- ところで、MOSトランジスタQp13をオン/オフ制御する電源立ち上げ制御パルスSTTは、出カラインL12の電位の制御を行う必要
- 15 があることから、出カラインL12の電位と同レベルの電圧値を有する必要がある。ところが、電源立ち上げ時のMOSトランジスタQp13をオンさせる前の段階では、この電圧値を十分に確保することができない。そこで、電源立ち上げ時には、抵抗素子Rを介してロジックレベル
- 20 の電源立ち上げ制御パルスSTTをMOSトランジスタQp13のゲートに与え、第2の正側電源電圧VDD2が立ち上がった後はレベルシフタ151によってレベルシフトした電源立ち上げ制御パルスSTTをMOSトランジスタQp13のゲートに与えて、当該MOSトランジスタQp13をスイッチ制御することにより、安定した立ち上げ動作が可能になる。

- 25 なお、本実施形態では、第1の正側電源電圧VDD1をそれよりも大なる第2の正側電源電圧VDD2に変換（本例では、2倍に昇圧）する

チャージポンプ型DC-DCコンバータ10に適用した場合を例に挙げて説明したが、これに限られるものではなく、第1の正側電源電圧VDD1を第2の負側電源電圧VSS2（例えば、-2.75V）に変換（-1倍）するチャージポンプ型DC-DCコンバータにも同様に適用可能である（以下に説明する第2実施形態を参照）。さらに、2倍あるいは-1倍のチャージポンプ型DC-DCコンバータに限られるものではないことは勿論である。

[第2実施形態]

第4図は、本発明の第2実施形態に係る直流電圧変換回路、即ちチャージポンプ型DC-DCコンバータの構成例を示す回路図である。ここでは、一例として、第1の正側電源電圧VDD1が2.75V、第1の負側電源電圧VSS1が0V（グラウンドレベル）で、第1の正側電源電圧VDD1を5.5V（2倍）の第2の正側電源電圧VDD2に昇圧するとともに、-2.75V（-1倍）の第2の負側電源電圧VSS2に変換する場合を例に採って説明するものとする。

第4図から明らかなように、本実施形態に係るDC-DCコンバータ20は、コントロール回路部21、5.5V発生回路部22および-2.75V発生回路部23の3つのブロックから構成されている。コントロール回路部21は、ロジックレベルである正側電源電圧VDD1および負側電源電圧VSS1を動作電源とし、リセットパルスRSTおよびスタンバイパルスSTBに基づいて2つの電源立ち上げ制御パルスSTT1、STT2を生成するとともに、スタンバイパルスSTB、マスタークロックMCKおよびモード信号に基づいてポンピングパルスとなるコントロールパルスDDCを生成する。

コントロール回路部21において、リセットパルスRSTはインバータ211で反転されてANDゲート212の一方の入力となる。スタン

バイパルスSTBは直接ANDゲート212の他方の入力となる。ANDゲート212は、両入力の論理積をとる。ANDゲート212の出力パルスは、インバータ213で反転されて電源立ち上げ制御パルスSTT1となる。また、リセットパルスRSTはインバータ214で反転されて電源立ち上げ制御パルスSTT2となる。

コントロール回路部21にはさらに、マスタークロックMCKを例えば64分周する64分周器215と、マスタークロックMCKを例えば256分周する256分周器216とが設けられている。64分周器215は、モード信号が高レベル（H＝通常モード）のときに動作状態となつてマスタークロックMCKを64分周して得られるコントロールパルスDDCを生成する。256分周器216は、モード信号が低レベル（L＝低電力モード）のときに動作状態となつてマスタークロックMCKを256分周して得られるコントロールパルスDDCを生成する。

このようにして生成されたコントロールパルスDDCは、5.5V発生回路部22および2.75V発生回路部23において共通に用いられる。なお、5.5V発生回路部22および2.75V発生回路部23は、必ずしも同じ周波数のコントロールパルスDDCを用いる必要はなく、別々な周波数のコントロールパルスDDCを用いるようにしても構わない。

また、ここでは、マスタークロックMCKを通常モードで64分周、低電力モードで256分周して得られる周波数のコントロールパルスDDCを生成するとしたが、この周波数に限られるものではなく、必要な電力能力を確保できればどのような周波数のコントロールパルスDDCであっても構わない。さらに、2つの電源立ち上げ制御パルスSTT1、STT2については、システムの別の場所で生成するようにしても良い。

5. 5V発生回路部22は、チャージポンプ回路221、レベルシフタ222、バッファ223、スイッチ素子224および電源立ち上げ制御回路225を有する構成となっている。チャージポンプ回路221は、

5 フライングキャパシタC21と、当該フライングキャパシタC21の一端とVDD1およびVSS1の各電源ラインL21, L22との間に接続されたトランジスタ対、即ちPchMOSトランジスタQp21およびNchMOSトランジスタQn21とを有している。

このチャージポンプ回路221において、フライングキャパシタC21の他端と電源ラインL21の間にはスイッチングトランジスタであるNchMOSトランジスタQn22が接続され、フライングキャパシタC21の他端と出力ラインL23の間にはスイッチングトランジスタであるPchMOSトランジスタQp22が接続されている。出力ラインL23は、第2の正側電源電圧VDD2を出力するラインである。

10

MOSトランジスタQn22のゲートはダイオードD21のカソードに接続され、当該ダイオードD21のアノードは電源ラインL21に接続されている。MOSトランジスタQp22のゲートはダイオードD22のカソードに接続され、当該ダイオードD22のアノードは電源ラインL22に接続されている。出力ラインL23と電源ラインL22の間にはキャパシタC24が接続され、さらにNchMOSトランジスタQn23が接続されている。MOSトランジスタQn23のゲートには、インバータ226を介して先述したスタンバイパルスSTBが与えられる。

15

20

レベルシフタ222は、電源ラインL24によって与えられる第2の正側電源電圧VDD2と、-2.75V発生回路部23から電源ラインL25によって与えられる第2の負側電源電圧VSS2とを動作電源とし、VSS1(0V) - VDD1(2.75V)の振幅のコントロール

25

パルス（ポンピングパルス）DDCをVSS2（-2.75V）-VDD2（5.5V）の振幅のコントロールパルスに振幅変換する振幅変換回路である。このレベルシフタ222で振幅変換されたVSS2-VDD2振幅のコントロールパルスDDCは、バッファ223を介してMOSトランジスタQp21, Qn21の各ゲートに与えられるとともに、

5 キャパシタC22, C23を介してMOSトランジスタQn22, Qp22の各ゲートに与えられる。

第5図は、レベルシフタ222の具体的な構成の一例を示す回路図である。本例に係るレベルシフタ222は、VSS1-VDD1振幅のコントロールパルスDDCを先ずVSS1-VDD2振幅のコントロール

10 パルスDDCに振幅変換する回路部分222Aと、次いでVSS1-VDD2振幅のコントロールパルスDDCをVSS2-VDD2振幅のコントロールパルスDDCに振幅変換する回路部分222Bとから構成されている。

15 回路部分222Aは、ソースが共に接地されたNchMOSトランジスタQn131, Qn132を有し、これらMOSトランジスタQn131, Qn132のドレイン側がクロスカップルされた差動回路構成となっている。すなわち、MOSトランジスタQn131, Qn132の各ドレインがPchMOSトランジスタQp131, Qp132を介して

20 VDD2の電源ラインL24に接続され、MOSトランジスタQp131, Qp132の各ゲートがMOSトランジスタQn132, Qn131の各ドレインにそれぞれ接続されている。

そして、MOSトランジスタQn131のゲートにはVSS1-VDD1振幅のコントロールパルスが印加され、MOSトランジスタQn132のゲートにはCMOSインバータ131で反転されたVSS1-VDD1

25 振幅のコントロールパルスが印加されることで、VSS1-VDD1

D1 振幅のコントロールパルスが  $VSS1 - VDD2$  の振幅のコントロールパルスに振幅変換されて MOS トランジスタ  $Q_{n132}$  のドレインから導出される。この  $VSS1 - VDD2$  の振幅のコントロールパルスは、CMOS インバータが 2 段縦続接続されてなるバッファ 132 を経て互いに逆相のパルスとして回路部分 222B に供給される。

回路部分 222B は、ソースが共に  $VDD2$  の電源ライン L24 に接続された Pch MOS トランジスタ  $Q_{p133}$ ,  $Q_{p134}$  を有し、これら MOS トランジスタ  $Q_{p133}$ ,  $Q_{p134}$  のドレイン側がクロスカップルされた差動回路構成となっている。すなわち、MOS トランジスタ  $Q_{p133}$ ,  $Q_{p134}$  の各ドレインが Nch MOS トランジスタ  $Q_{n133}$ ,  $Q_{n134}$  を介して  $VSS2$  の電源ライン L25 に接続され、MOS トランジスタ  $Q_{n133}$ ,  $Q_{n134}$  の各ゲートが MOS トランジスタ  $Q_{p134}$ ,  $Q_{p133}$  の各ドレインにそれぞれ接続されている。

そして、MOS トランジスタ  $Q_{p133}$ ,  $Q_{p134}$  の各ゲートに、 $VSS1 - VDD2$  振幅の互いに逆相のコントロールパルスがそれぞれ印加されることにより、 $VSS1 - VDD2$  振幅のコントロールパルスが  $VSS2 - VDD2$  の振幅のコントロールパルスに振幅変換されて MOS トランジスタ  $Q_{p134}$  のドレインから導出される。この  $VSS2 - VDD2$  の振幅のコントロールパルスは、CMOS インバータが 2 段縦続接続されてなるバッファ 133 を経由して出力される。

再び第 4 図において、バッファ 223 は、 $VDD2$  の電源ライン L24 と  $VSS2$  の電源ライン L25 との間に直列に接続され、ゲートが共通に接続された Pch MOS トランジスタ  $Q_{p24}$  および Nch MOS トランジスタ  $Q_{n24}$  からなる CMOS インバータと、電源ライン L24 と電源ライン L25 との間に直列に接続され、ゲートが共通に接続さ

れたPchMOSトランジスタQp25およびNchMOSトランジスタQn25からなるCMOSインバータとが縦続接続された構成となっている。

5 スイッチ素子224は、電源投入時の一定期間において出力ラインL23をVDD1の電源ラインL21に接続するために設けられたものであり、電源ラインL21と出力ラインL23との間に接続されたPchMOSトランジスタQp23によって構成されている。MOSトランジスタQp23のゲートには、電源投入時に電源立ち上げ制御回路225を介して先述した電源立ち上げ制御パルスSTT1が与えられる。

10 電源立ち上げ制御回路225は、電源投入時にスイッチ素子224を確実にオン状態にし、かつ電源電圧VDD2が立ち上がった後に当該スイッチ素子224を確実にオフ状態にするために設けられたものであり、電源立ち上げ制御パルスSTT1を直接MOSトランジスタQp23のゲートに印加する抵抗素子R11と、この抵抗素子R11に対して並列  
15 に接続され、VSS1-VDD1振幅の電源立ち上げ制御パルスSTT1をVSS1-VDD2振幅の電源立ち上げ制御パルスSTT1にレベルシフトするレベルシフタ152とを有する構成となっている。レベルシフタ152としては、例えば、第2図に示した回路構成のものをを用いることができる。

20 -2. 75V発生回路部23は、チャージポンプ回路231、レベルシフタ232、バッファ233、スイッチ素子234および電源立ち上げ制御回路235を有する構成となっている。チャージポンプ回路231は、フライングキャパシタC31と、当該フライングキャパシタC31の一端とVDD1およびVSS1の各電源ラインL21、L22との  
25 間に接続されたトランジスタ対、即ちPchMOSトランジスタQp31およびNchMOSトランジスタQn31とを有している。

このチャージポンプ回路231において、フライングキャパシタC31の他端と電源ラインL22の間にはスイッチングトランジスタであるPchMOSトランジスタQp32が接続され、フライングキャパシタC31の他端と出力ラインL26の間にはスイッチングトランジスタであるNchMOSトランジスタQn32が接続されている。出力ラインL26は、第2の負側電源電圧VDD2を出力するラインである。MOSトランジスタQp32のゲートはダイオードD31のアノードに接続され、当該ダイオードD31のカソードは電源ラインL22に接続されている。MOSトランジスタQn32のゲートはダイオードD32のアノードに接続され、当該ダイオードD32のカソードは電源ラインL21に接続されている。出力ラインL26と電源ラインL22の間にはキャパシタC34が接続されている。

レベルシフタ232は、電源ラインL24によって与えられる第2の正側電源電圧VDD2と、-2.75V発生回路部23から電源ラインL27によって与えられる第2の負側電源電圧VSS2とを動作電源とし、VSS1-VDD1振幅のコントロールパルスDDCをVSS2-VDD2の振幅のコントロールパルスに振幅変換する振幅変換回路である。このレベルシフタ232としても、例えば、第5図に示す構成のものを用いることができる。レベルシフタ232で振幅変換されたVSS2-VDD2振幅のコントロールパルスDDCは、バッファ233を介してMOSトランジスタQp31、Qn31の各ゲートに与えられるとともに、キャパシタC32、C33を介してMOSトランジスタQp32、Qn32の各ゲートに与えられる。

バッファ233は、VDD2の電源ラインL24とVSS2の電源ラインL27との間に直列に接続され、ゲートが互いに共通に接続されたPchMOSトランジスタQp34およびNchMOSトランジスタQ

n 3 4 からなる CMOS インバータと、電源ライン L 2 4 と電源ライン L 2 7 との間に直列に接続され、ゲートが互いに共通に接続された P c h MOS トランジスタ Q p 3 5 および N c h MOS トランジスタ Q n 3 5 からなる CMOS インバータとが縦続接続された構成となっている。

- 5 スイッチ素子 2 3 4 は、電源投入時の一定期間において出力ライン L 2 6 を V S S 1 の電源ライン L 2 2 に接続するために設けられたものであり、電源ライン L 2 5 と出力ライン L 2 6 との間に接続された N c h MOS トランジスタ Q n 3 3 によって構成されている。MOS トランジスタ Q n 3 3 のゲートには、電源投入時に電源立ち上げ制御回路 2 3 5
- 10 を介して先述した電源立ち上げ制御パルス S T T 2 が与えられる。

- 電源立ち上げ制御回路 2 3 5 は、電源投入時にスイッチ素子 2 3 4 を確実にオン状態にし、かつ電源電圧 V S S 2 が立ち上がった後に当該スイッチ素子 2 3 4 を確実にオフ状態にするために設けられたものであり、電源立ち上げ制御パルス S T T 2 を直接 MOS トランジスタ Q p 3 3 の
- 15 ゲートに印加する抵抗素子 R 1 2 と、この抵抗素子 R 1 2 に対して並列に接続され、V S S 1 - V D D 1 振幅の電源立ち上げ制御パルス S T T 2 を V S S 2 - V D D 1 振幅の電源立ち上げ制御パルス S T T 2 にレベルシフトするレベルシフタ 1 5 3 とを有する構成となっている。

- レベルシフタ 1 5 3 としては、例えば、第 2 図に示した回路構成のものを用いることができる。ただし、第 2 図に示した回路構成のレベルシフタをレベルシフタ 1 5 3 として用いる場合には、第 2 図において、V S S 2 を V D D 2 に、V S S 1 を V D D 1 に、V D D 1 を V S S 1 にそれぞれ置き換え、かつ全 NMOS, PMOS トランジスタを逆導電型の
- 20 トランジスタに入れ替える必要がある。

次に、上記構成の第2実施形態に係るチャージポンプ型DC-DCコンバータ20の電源投入時の回路動作について、第6図のタイミングチャートを用いて説明する。

5 5 5  
まず、コントロール回路部21において、リセットパルスRSTおよびスタンバイパルスSTBに基づいて2つの電源立ち上げ制御パルスSTT1, STT2が生成されるとともに、スタンバイパルスSTB、マスタークロックMCKおよびモード信号に基づいてコントロールパルスDDCが生成される。そして、コントロールパルスDDCがポンピングパルスとして5.5V発生回路部22および-2.75V発生回路部2  
10 3に共通に与えられるとともに、電源立ち上げ制御パルスSTT1が5.5V発生回路部22に、電源立ち上げ制御パルスSTT2が-2.75V発生回路部23にそれぞれ供給される。

時刻t21での電源投入により、まず、電源電圧VDD1および電源立ち上げ制御パルスSTT1, STT2が立ち上がる。そして、その立ち上げ時点から時刻t12までの一定期間T21では、スタンバイパルスSTBが低レベル(グラウンドレベル)にあり、5.5V発生回路部2  
15 2のMOSトランジスタQn23がオン状態となることで、キャパシタC24の電荷が放電される。また、電源立ち上げ制御パルスSTT2が立ち上がり、当該電源立ち上げ制御パルスSTT2が抵抗素子R12を介してMOSトランジスタQn33のゲートに印加されることにより、  
20 当該MOSトランジスタQn33がオン状態となって出力ラインL26を電源ラインL22に接続する。すると、出力ライン26からは先ず負側電源電圧VSS1が出力される。この負側電源電圧VSS1は、電源ラインL25, L27を経由してレベルシフタ222, 232にも供給  
25 される。

- 時刻  $t_{22}$  でスタンバイパルス  $STB$  が高レベル ( $V_{CC1}$ ) となることにより、MOSトランジスタ  $Q_{n23}$  がオフ状態となる。同時に、電源立ち上げ制御パルス  $STT1$  が一定期間  $T_{22}$  の間だけ低レベルになり、抵抗素子  $R_{11}$  を介してMOSトランジスタ  $Q_{p23}$  のゲートに
- 5 印加されることにより、当該MOSトランジスタ  $Q_{p23}$  がオン状態となって出力ライン  $L_{23}$  を電源ライン  $L_{21}$  に接続する。すると、出力ライン  $L_{23}$  からは先ず正側電源電圧  $V_{DD1}$  が出力される。この正側電源電圧  $V_{DD1}$  は、電源ライン  $L_{24}$  を経由してレベルシフタ  $222$ ,  $232$  にも供給される。
- 10 レベルシフタ  $222$ ,  $232$  は、正側電源電圧  $V_{DD1}$  および負側電源電圧  $V_{SS1}$  を電源電圧として動作を開始し、 $V_{SS1} - V_{DD1}$  振幅のコントロールパルス  $DDC$  を、そのままバッファ  $223$ ,  $233$  を介してチャージポンプ回路  $221$ ,  $231$  に与える。コントロールパルス  $DDC$  が与えられることで、チャージポンプ回路  $221$ ,  $231$  は当
- 15 該コントロールパルス  $DDC$  に応じてポンピング動作を開始する。
- そして、5.5V発生回路部  $22$  において、一定期間  $T_{22}$  が経過した時刻  $t_{23}$  で電源立ち上げ制御パルス  $STT1$  が高レベルになり、MOSトランジスタ  $Q_{p23}$  がオフ状態になると、チャージポンプ回路  $221$  によるポンピング動作によって出力ライン  $L_{23}$  の電位が  $V_{DD1}$
- 20 レベルから徐々に上昇し、最終的に  $V_{DD2}$  レベルに収束する。この電源電圧  $V_{DD2}$  は、電源ライン  $L_{24}$  を介してレベルシフタ  $222$ ,  $232$  に供給される。
- − 2.75V発生回路部  $23$  でも同様に、時刻  $t_{23}$  で電源立ち上げ制御パルス  $STT2$  が低レベルになり、MOSトランジスタ  $Q_{n33}$  が
- 25 オフ状態になると、チャージポンプ回路  $231$  によるポンピング動作によって出力ライン  $L_{26}$  の電位が  $V_{SS1}$  レベルから徐々に上昇し、最

最終的に $VSS_2$ レベルに収束する。この電源電圧 $VSS_2$ は、電源ライン $L_{25}$ 、 $L_{27}$ を介してレベルシフタ $222$ 、 $232$ に供給される。

これにより、レベルシフタ $222$ は、 $VSS_1 - VDD_1$ 振幅のコントロールパルス $DDC$ を、 $VSS_2 - VDD_2$ 振幅のコントロールパルス $DDC$ に振幅変換してチャージポンプ回路 $221$ に供給する。同様に、  
5 レベルシフタ $232$ は、 $VSS_1 - VDD_1$ 振幅のコントロールパルス $DDC$ を、 $VSS_2 - VDD_2$ 振幅のコントロールパルス $DDC$ に振幅変換してチャージポンプ回路 $231$ に供給する。

また、レベルシフタ $152$ は、 $VSS_1 - VDD_1$ 振幅の電源立ち上  
10 げ制御パルス $STT_1$ を、 $VSS_1 - VDD_2$ 振幅の電源立ち上げ制御パルス $STT_1$ に振幅変換してMOSトランジスタ $Q_{p23}$ のゲートに印加し、同様に、レベルシフタ $153$ は、 $VSS_1 - VDD_1$ 振幅の電源立ち上げ制御パルス $STT_2$ を、 $VSS_2 - VDD_1$ 振幅の電源立ち上げ制御パルス $STT_2$ に振幅変換してMOSトランジスタ $Q_{n33}$ の  
15 ゲートに印加する。

上述したように、電源電圧 $VDD_1$ を電源電圧 $VDD_2$ および電源電圧 $VSS_2$ に変換する第2実施形態に係るチャージポンプ型 $DC - DC$ コンバータ $20$ においても、振幅したコントロールパルス $DDC$ をポンピングパルスとして用いてポンピング動作を行うことで、第1実施形態  
20 に係るチャージポンプ型 $DC - DC$ コンバータ $10$ の場合と同様の作用効果を得ることができる。特に、 $-2.75V$ 発生回路部 $23$ で発生した電源電圧 $VSS_2$ を $5.5V$ 発生回路部 $22$ 側のレベルシフタ $222$ に供給するとともに、 $5.5V$ 発生回路部 $22$ で生成した電源電圧 $VDD_2$ を $-2.75V$ 発生回路部 $23$ 部のレベルシフタ $232$ に供給する  
25 構成を採っていることで、より優れた作用効果を得ることができる。

すなわち、上記構成を採ることにより、チャージポンプ回路 2 2 1, 2 3 1 に供給するコントロールパルス D D C の振幅を第 1 実施形態の場合よりもさらに大きくできる。具体的には第 1 実施形態の場合には V S S 1 - V D D 2 の振幅であるのに対して、本実施形態の場合には V S S 2 - V D D 2 の振幅となるため、第 1 実施形態における M O S トランジスタ Q p 1 1, Q n 1 1, Q n 1 2, Q p 1 2 のさらに小さいサイズである M O S トランジスタ Q p 2 1, Q n 2 1, Q n 2 2, Q p 2 2, Q p 3 1, Q n 3 1, Q n 3 2, Q p 3 2 とすることができるため、より小面積の回路規模にて電流能力の大きなチャージポンプ回路 2 0 を実現  
10 できる。

[適用例]

上述した各実施形態に係るチャージポンプ型 D C - D C コンバータ (電源電圧変換回路) は、例えば、電気光学素子として液晶セルを用いた画素が行列状に 2 次元配置されてなる液晶表示装置に代表されるフラットパネル型表示装置の電源回路として用いられる。その構成の一例を  
15 第 7 図に示す。ここでは、アクティブマトリクス型液晶表示装置の場合を例に採って説明するものとする。

第 7 図において、透明絶縁基板、例えばガラス基板 3 1 上には、液晶セルを含む画素が行列状に多数 2 次元配置されてなる表示エリア部 3 2  
20 と共に、上下一対の H ドライバ (水平駆動回路) 3 3 U, 3 3 D および V ドライバ (垂直駆動回路) 3 4 が搭載され、さらに電源電圧変換回路 3 5 が搭載されている。電源電圧変換回路 3 5 としては、先述した各実施形態に係るチャージポンプ型 D C - D C コンバータが用いられる。なお、この電源電圧回路は透明絶縁基板上のどの場所にあっても構わない  
25 が、外部との信号接続端子の近傍に配置されるのが好ましい。

ガラス基板 3 1 は、能動素子（例えば、トランジスタ）を含む多数の画素回路がマトリクス状に配置形成される第 1 の基板と、この第 1 の基板と所定の間隙をもって対向して配置される第 2 の基板とによって構成される。そして、これら第 1、第 2 の基板間に液晶が封止されることによ

5 よって液晶パネル（表示パネル）が形成される。

第 8 図に、表示エリア部 3 2 の具体的な構成の一例を示す。ここでは、図面の簡略化のために、3 行（ $n - 1$  行～ $n + 1$  行）4 列（ $m - 2$  列～ $m + 1$  列）の画素配列の場合を例に採って示している。第 8 図において、表示エリア部 3 2 には、垂直走査ライン…、 $3 6 n - 1$ 、 $3 6 n$ 、 $3 6$

10  $n + 1$ 、…と、データライン（信号ライン）…、 $3 7 m - 2$ 、 $3 7 m - 1$ 、 $3 7 m$ 、 $3 7 m + 1$ 、…とがマトリクス状に配線され、それらの交点部分に単位画素 3 8 が配置されている。単位画素 3 8 は、画素トランジスタである薄膜トランジスタ T F T、液晶セル L C および保持容量 C s を有する構成となっている。ここで、液晶セル L C は、薄膜トランジ

15 スタ T F T で形成される画素電極とこれに対向して形成される対向電極との間で発生する容量を意味する。

薄膜トランジスタ T F T は、ゲート電極が垂直走査ライン…、 $3 6 n - 1$ 、 $3 6 n$ 、 $3 6 n + 1$ 、…に接続され、ソース電極がデータライン…、 $3 7 m - 2$ 、 $3 7 m - 1$ 、 $3 7 m$ 、 $3 7 m + 1$ 、…に接続されている。液晶セル L C は、画素電極が薄膜トランジスタ T F T のドレイン電極に接続され、対向電極が共通ライン 3 9 に接続されている。保持容量 C s は、薄膜トランジスタ T F T のドレイン電極と共通ライン 3 9 との間に接続されている。共通ライン 3 9 には、所定の直流電圧がコモン電圧 V c o m として与えられる。

25 垂直走査ライン…、 $3 6 n - 1$ 、 $3 6 n$ 、 $3 6 n + 1$ 、…の各一端は、第 7 図に示す V ドライバ 3 4 の対応する行の各出力端にそれぞれ接続さ

れる。Vドライバ34は、例えばシフトレジスタによって構成され、垂直転送クロックVCK（図示せず）に同期して順次垂直選択パルスが発生して垂直走査ライン…、 $36n-1$ 、 $36n$ 、 $36n+1$ 、…に与えることによって垂直走査を行う。一方、表示エリア部32において、例えば、奇数番目のデータライン…、 $37m-1$ 、 $37m+1$ 、…の各一端が第7図に示すHドライバ33Uの対応する列の各出力端に、偶数番目のデータライン…、 $37m-2$ 、 $37m$ 、…の各他端が第7図に示すHドライバ33Dの対応する列の各出力端にそれぞれ接続される。

上記構成のアクティブマトリクス型液晶表示装置において、先述した各実施形態に係るチャージポンプ型DC-DCコンバータが適用される電源電圧変換回路35については、表示エリア部32と同一のガラス基板31上に集積されることになるが、その集積に際しては、表示エリア部32の各画素トランジスタとして薄膜トランジスタTFTを用いていることから、電源電圧変換回路35を構成するトランジスタとしても薄膜トランジスタを用い、少なくともこれらトランジスタ回路を表示エリア部32と同一プロセスを用いて作成することにより、その製造が容易となるとともに、低コストにて実現できる。

また、電源電圧変換回路35をHドライバ33U、33DやVドライバ34などの周辺駆動回路と共にガラス基板31上に一体形成する場合には、電源電圧変換回路35で発生される電源電圧を基板外部に取り出す電源出力端子30Aと、基板外部に一旦取り出した電源電圧を基板内部に取り込んで各回路部へ供給する電源入力端子30Bとを設け、これら端子30A、30B間を基板外部で電氣的に接続するようにしておくと、電源出力端子30Aを通して電源電圧変換回路35内の各回路の検査を行うことができるため生産上好都合となる。

なお、上記の適用例では、先述した各実施形態に係るチャージポンプ型DC-DCコンバータを電源電圧変換回路35としてガラス基板31上に表示エリア部32と一体的に形成するとしたが、必ずしも表示エリア部32と一体形成する必要はなく、液晶表示装置の外部回路として用いても良く、またガラス基板31とは別の基板上に作成するようにしても良い。ただし、表示エリア部32と同一の基板上に一体形成した方が有利であることは、上述したことから明らかである。

また、先述した各実施形態に係るチャージポンプ型DC-DCコンバータは、小面積の回路規模にて大きな電流容量を得ることができ、特に薄膜トランジスタのように、しきい値 $V_{th}$ が大きいトランジスタを用いた場合にその効果が極めて大であるため、当該DC-DCコンバータを電源電圧変換回路35として表示エリア部32と同一の基板上に一体形成することで、液晶表示装置を含むセットの低コスト化、さらには薄型化、コンパクト化に大きく寄与できる。

また、本発明は、液晶表示装置への適用に限らず、エレクトロルミネッセンス(EL)素子を各画素の電気光学素子として用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

また、本発明に係る表示装置は、パーソナルコンピュータ、ワードプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の画面表示部として用いて好適なものである。

第9図は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外観図である。

本例に係る携帯電話機は、装置筐体 4 1 の前面側に、スピーカ部 4 2、画面表示部 4 3、操作部 4 4 およびマイク部 4 5 が上部側から順に配置された構成となっている。かかる構成の携帯電話機において、表示部 4 3 には例えば液晶表示装置が用いられ、この液晶表示装置として、先述 5 した各実施形態に係る DC-DC コンバータ（電源電圧変換回路）を搭載した液晶表示装置が用いられる。

このように、携帯電話機や PDA などの携帯端末において、先述した各実施形態に係る DC-DC コンバータを搭載した液晶表示装置を画面表示部 4 3 として用いることにより、これら電源電圧変換回路が小面積 10 の回路規模にて大きな電流容量を得ることが可能であるため、携帯端末の低消費電力化、さらには装置本体の小型化、コンパクト化に大きく寄与できる利点がある。

以上説明したように、本発明によれば、チャージポンプ型電源電圧変換回路において、変換後の電源電圧を用いてコントロールパルスを振幅 15 変換し、その振幅変換後のコントロールパルスをもポンピングパルスとして用いてキャパシタを充放電駆動することにより、キャパシタを充放電駆動するトランジスタ対のゲート-ソース間電圧が大きくなり、トランジスタ対のトランジスタサイズを小さく設定できるため、小面積の回路規模にて電流能力の大きな電源電圧変換回路を実現できる。

## 請求の範囲

1. キャパシタと、前記キャパシタを充放電駆動するトランジスタ対とを有し、第1の電源電圧を当該電源電圧よりも大なる第2の電源電圧  
5 に変換するチャージポンプ回路と、  
前記トランジスタ対を駆動するコントロールパルスを用いて、前記チャージポンプ回路で変換された前記第2の電源電圧を用いて振幅変換する振幅変換回路と  
を備えたことを特徴とする電源電圧変換回路。
- 10 2. 電源投入時の一定期間において前記チャージポンプ回路の出力ラインを前記第1の電源電圧の電源ラインに接続するスイッチ素子を有することを特徴とする請求の範囲第1項記載の電源電圧変換回路。
3. 電源投入時に与えられる制御パルスを前記スイッチ素子のゲートに印加する抵抗素子と、  
15 前記抵抗素子に対して並列に接続され、前記チャージポンプ回路で変換された前記第2の電源電圧を用いて前記制御パルスをレベルシフトするレベルシフト回路とを有する  
ことを特徴とする請求の範囲第2項記載の電源電圧変換回路。
4. 第1のキャパシタと、前記第1のキャパシタを充放電駆動する第  
20 1のトランジスタ対とを有し、第1の正側電源電圧を当該正側電源電圧よりも大なる第2の正側電源電圧に変換する第1のチャージポンプ回路と、  
第2のキャパシタと、前記第2のキャパシタを充放電駆動する第2の  
トランジスタ対とを有し、前記第1の正側電源電圧を負側電源電圧に変  
25 換する第2のチャージポンプ回路と、

前記第 1 のトランジスタ対を駆動するコントロールパルスを、前記第 1 のチャージポンプ回路で変換された前記第 2 の正側電源電圧および前記第 2 のチャージポンプ回路で変換された前記負側電源電圧を用いて振幅変換する第 1 の振幅変換回路と、

- 5 前記第 2 のトランジスタ対を駆動するコントロールパルスを、前記第 1 のチャージポンプ回路で変換された前記第 2 の正側電源電圧および前記第 2 のチャージポンプ回路で変換された前記負側電源電圧を用いて振幅変換する第 2 の振幅変換回路と

を備えたことを特徴とする電源電圧変換回路。

- 10 5. 電源投入時の一定期間において前記第 1, 第 2 のチャージポンプ回路の各出力ラインを前記第 1 の正側電源電圧および前記負側電源電圧の各電源ラインに接続する第 1, 第 2 のスイッチ素子を有する

ことを特徴とする請求の範囲第 4 項記載の電源電圧変換回路。

- 15 6. 電源投入時に与えられる制御パルスを前記第 1 のスイッチ素子のゲートに印加する第 1 の抵抗素子と、

前記第 1 の抵抗素子に対して並列に接続され、前記第 1 のチャージポンプ回路で変換された前記第 2 の正側電源電圧を用いて前記制御パルスをレベルシフトする第 1 のレベルシフト回路と、

- 20 電源投入時に与えられる制御パルスを前記第 2 のスイッチ素子のゲートに印加する第 2 の抵抗素子と、

前記第 2 の抵抗素子に対して並列に接続され、前記第 2 のチャージポンプ回路で変換された前記負側電源電圧を用いて前記制御パルスをレベルシフトする第 2 のレベルシフト回路とを有する

ことを特徴とする請求の範囲第 5 項記載の電源電圧変換回路。

- 25 7. キャパシタと、前記キャパシタを充放電駆動するトランジスタ対とを有し、第 1 の電源電圧を当該電源電圧よりも大なる第 2 の電源電圧

に変換するチャージポンプ回路を用いた電源電圧変換回路の制御方法であって、

前記チャージポンプ回路で変換された前記第2の電源電圧を用いてコントロールパルスを振幅変換し、

- 5     その振幅変換後のコントロールパルスを用いて前記トランジスタ対によって前記キャパシタを充放電駆動する

ことを特徴とする電源電圧変換回路の制御方法。

8.     第1のキャパシタと、前記第1のキャパシタを充放電駆動する第1のトランジスタ対とを有し、第1の正側電源電圧を当該正側電源電圧  
10     よりも大なる第2の正側電源電圧に変換する第1のチャージポンプ回路と、

第2のキャパシタと、前記第2のキャパシタを充放電駆動する第2のトランジスタ対とを有し、前記第1の正側電源電圧を負側電源電圧に変換する第2のチャージポンプ回路とを備えた電源電圧変換回路の制御方

- 15     法であって、

前記第1のチャージポンプ回路で変換された前記第2の正側電源電圧および前記第2のチャージポンプ回路で変換された前記負側電源電圧を用いてコントロールパルスを振幅変換し、

- 20     その振幅変換後のコントロールパルスを用いて前記第1、第2のチャージポンプ回路の各々において前記第1、第2のトランジスタ対によって前記第1、第2のキャパシタをそれぞれ充放電駆動する

ことを特徴とする電源電圧変換回路の制御方法。

9.     電気光学素子を含む画素が行列状に2次元配置されてなる表示エリア部と、所定の直流電源電圧を電圧値の異なる電源電圧に変換する電源電圧変換回路とを具備する表示装置であって、  
25

前記電圧変換回路は、

キャパシタと、前記キャパシタを充放電駆動するトランジスタ対とを有し、第1の電源電圧を当該電源電圧よりも大なる第2の電源電圧に変換するチャージポンプ回路と、

5 前記トランジスタ対を駆動するコントロールパルスを用いて、前記チャージポンプ回路で変換された前記第2の電源電圧を用いて振幅変換する振幅変換回路とを備えた

ことを特徴とする表示装置。

10 10. 電源投入時の一定期間において前記チャージポンプ回路の出力ラインを前記第1の電源電圧の電源ラインに接続するスイッチ素子を有することを特徴とする請求の範囲第9項記載の表示装置。

11. 電源投入時に与えられる制御パルスを前記スイッチ素子のゲートに印加する抵抗素子と、

15 前記抵抗素子に対して並列に接続され、前記チャージポンプ回路で変換された前記第2の電源電圧を用いて前記制御パルスをレベルシフトするレベルシフト回路とを有する

ことを特徴とする請求の範囲第10項記載の表示装置。

12. 前記電源電圧変換回路は、前記表示エリア部と同じ透明絶縁基板上に形成されていることを特徴とする請求の範囲第9項記載の表示装置。

20 13. 前記電源電圧変換回路から出力される電源電圧を基板外部に取り出す電源出力端子と、前記電源出力端子から出力される電源電圧を基板内部に取り込む電源入力端子とを有し、前記電源出力端子と前記電源入力端子とを基板外部で電氣的に接続することを特徴とする請求の範囲第12項記載の表示装置。

1 4. 電気光学素子を含む画素が行列状に2次元配置されてなる表示エリア部と、所定の直流電源電圧を電圧値の異なる電源電圧に変換する電源電圧変換回路とを具備する表示装置であって、

前記電圧変換回路は、

- 5 第1のキャパシタと、前記第1のキャパシタを充放電駆動する第1のトランジスタ対とを有し、第1の正側電源電圧を当該正側電源電圧よりも大なる第2の正側電源電圧に変換する第1のチャージポンプ回路と、  
第2のキャパシタと、前記第2のキャパシタを充放電駆動する第2のトランジスタ対とを有し、前記第1の正側電源電圧を負側電源電圧に変換する第2のチャージポンプ回路と、
- 10 換する第2のチャージポンプ回路と、

前記第1のトランジスタ対を駆動するコントロールパルスと、前記第1のチャージポンプ回路で変換された前記第2の正側電源電圧および前記第2のチャージポンプ回路で変換された前記負側電源電圧を用いて振幅変換する第1の振幅変換回路と、

- 15 前記第2のトランジスタ対を駆動するコントロールパルスと、前記第1のチャージポンプ回路で変換された前記第2の正側電源電圧および前記第2のチャージポンプ回路で変換された前記負側電源電圧を用いて振幅変換する第2の振幅変換回路とを備えた

ことを特徴とする表示装置。

- 20 1 5. 電源投入時の一定期間において前記第1、第2のチャージポンプ回路の各出力ラインを前記第1の正側電源電圧および前記負側電源電圧の各電源ラインに接続する第1、第2のスイッチ素子を有することを特徴とする請求の範囲第14項記載の表示装置。

- 1 6. 電源投入時に与えられる制御パルスと前記第1のスイッチ素子のゲートに印加する第1の抵抗素子と、
- 25

前記第 1 の抵抗素子に対して並列に接続され、前記第 1 のチャージポンプ回路で変換された前記第 2 の正側電源電圧を用いて前記制御パルスをレベルシフトする第 1 のレベルシフト回路と、

- 5 電源投入時に与えられる制御パルスを前記第 2 のスイッチ素子のゲートに印加する第 2 の抵抗素子と、

前記第 2 の抵抗素子に対して並列に接続され、前記第 2 のチャージポンプ回路で変換された前記負側電源電圧を用いて前記制御パルスをレベルシフトする第 2 のレベルシフト回路とを有する

ことを特徴とする請求の範囲第 15 項記載の表示装置。

- 10 17. 前記電源電圧変換回路は、前記表示エリア部と同じ透明絶縁基板上に形成されていることを特徴とする請求の範囲第 14 項記載の表示装置。

- 15 18. 前記電源電圧変換回路から出力される電源電圧を基板外部に取り出す電源出力端子と、前記電源出力端子から出力される電源電圧を基板内部に取り込む電源入力端子とを有し、前記電源出力端子と前記電源入力端子とを基板外部で電氣的に接続することを特徴とする請求の範囲第 17 項記載の表示装置。

19. 画面表示部として、

- 20 キャパシタと、前記キャパシタを充放電駆動するトランジスタ対とを有し、第 1 の電源電圧を当該電源電圧よりも大なる第 2 の電源電圧に変換するチャージポンプ回路と、

前記トランジスタ対を駆動するコントロールパルスを、前記チャージポンプ回路で変換された前記第 2 の電源電圧を用いて振幅変換する振幅変換回路と

- 25 を備えた電源電圧変換回路を有する表示装置を用いたことを特徴とする携帯端末。

20. 電源投入時の一定期間において前記チャージポンプ回路の出力ラインを前記第1の電源電圧の電源ラインに接続するスイッチ素子を有することを特徴とする請求の範囲第19項記載の携帯端末。
21. 電源投入時に与えられる制御パルスを前記スイッチ素子のゲートに印加する抵抗素子と、
- 5 前記抵抗素子に対して並列に接続され、前記チャージポンプ回路で変換された前記第2の電源電圧を用いて前記制御パルスをレベルシフトするレベルシフト回路とを有することを特徴とする請求の範囲第20項記載の携帯端末。
- 10 22. 前記電源電圧変換回路は、前記画面表示部の表示エリア部と同じ透明絶縁基板上に形成されていることを特徴とする請求の範囲第19項記載の携帯端末。
23. 画面表示部として、
- 15 第1のキャパシタと、前記第1のキャパシタを充放電駆動する第1のトランジスタ対とを有し、第1の正側電源電圧を当該正側電源電圧よりも大なる第2の正側電源電圧に変換する第1のチャージポンプ回路と、
- 第2のキャパシタと、前記第2のキャパシタを充放電駆動する第2のトランジスタ対とを有し、前記第1の正側電源電圧を負側電源電圧に変換する第2のチャージポンプ回路と、
- 20 前記第1のトランジスタ対を駆動するコントロールパルスを、前記第1のチャージポンプ回路で変換された前記第2の正側電源電圧および前記第2のチャージポンプ回路で変換された前記負側電源電圧を用いて振幅変換する第1の振幅変換回路と、
- 前記第2のトランジスタ対を駆動するコントロールパルスを、前記第
- 25 1のチャージポンプ回路で変換された前記第2の正側電源電圧および前

記第 2 のチャージポンプ回路で変換された前記負側電源電圧を用いて振幅変換する第 2 の振幅変換回路と

を備えた電源電圧変換回路を有する表示装置を用いたことを特徴とする携帯端末。

- 5 24. 電源投入時の一定期間において前記第 1, 第 2 のチャージポンプ回路の各出力ラインを前記第 1 の正側電源電圧および前記負側電源電圧の各電源ラインに接続する第 1, 第 2 のスイッチ素子を有することを特徴とする請求の範囲第 2 3 項記載の携帯端末。

- 10 25. 電源投入時に与えられる制御パルスを前記第 1 のスイッチ素子のゲートに印加する第 1 の抵抗素子と、

前記第 1 の抵抗素子に対して並列に接続され、前記第 1 のチャージポンプ回路で変換された前記第 2 の正側電源電圧を用いて前記制御パルスをレベルシフトする第 1 のレベルシフト回路と、

- 15 トに印加する第 2 の抵抗素子と、

前記第 2 の抵抗素子に対して並列に接続され、前記第 2 のチャージポンプ回路で変換された前記負側電源電圧を用いて前記制御パルスをレベルシフトする第 2 のレベルシフト回路とを有する

ことを特徴とする請求の範囲第 2 4 項記載の携帯端末。

- 20 26. 前記電源電圧変換回路は、前記表示エリア部と同じ透明絶縁基板上に形成されていることを特徴とする請求の範囲第 2 3 項記載の携帯端末。



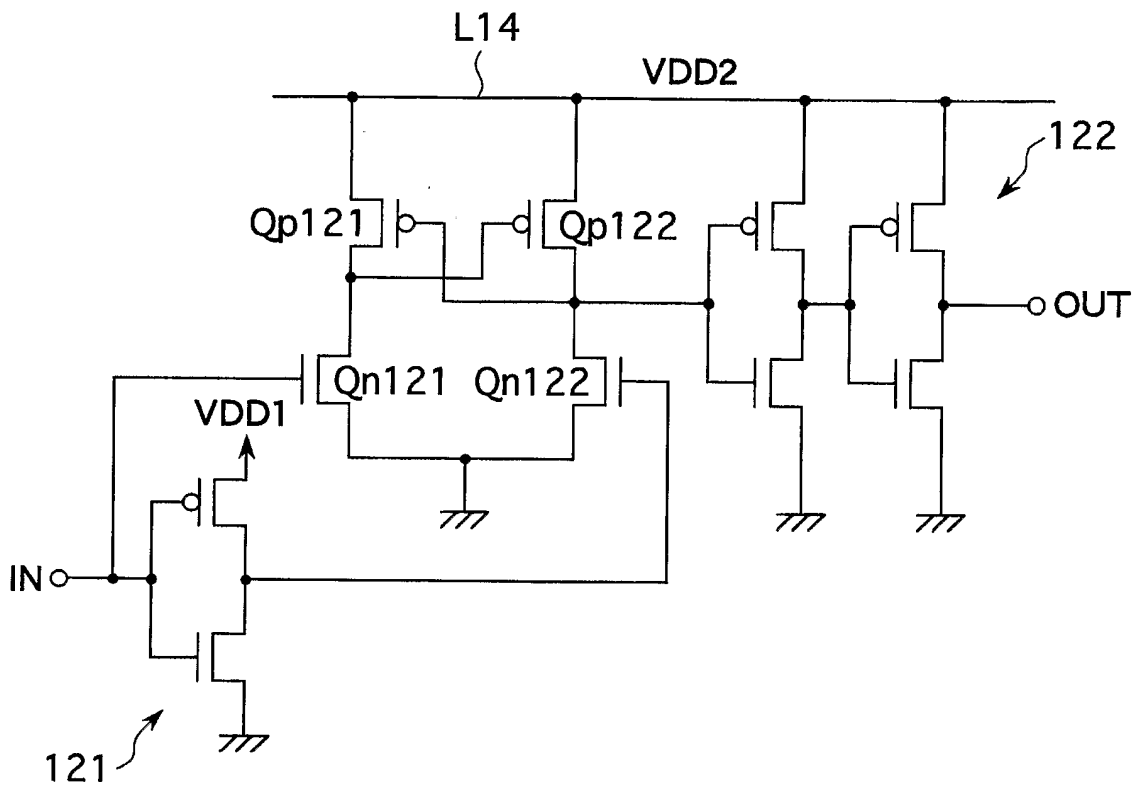


Fig.2

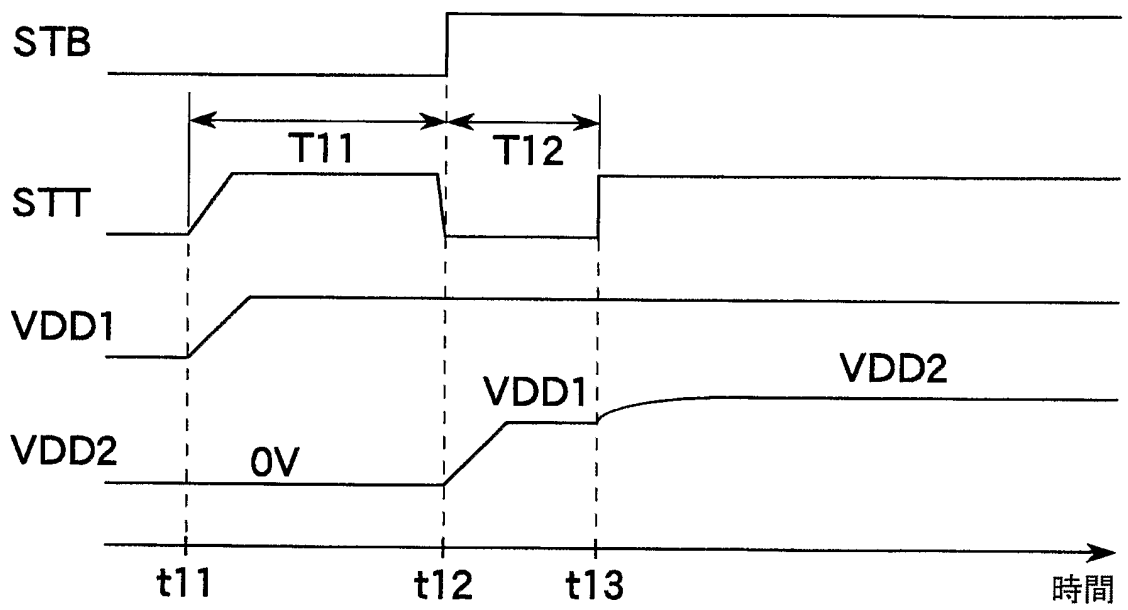


Fig.3

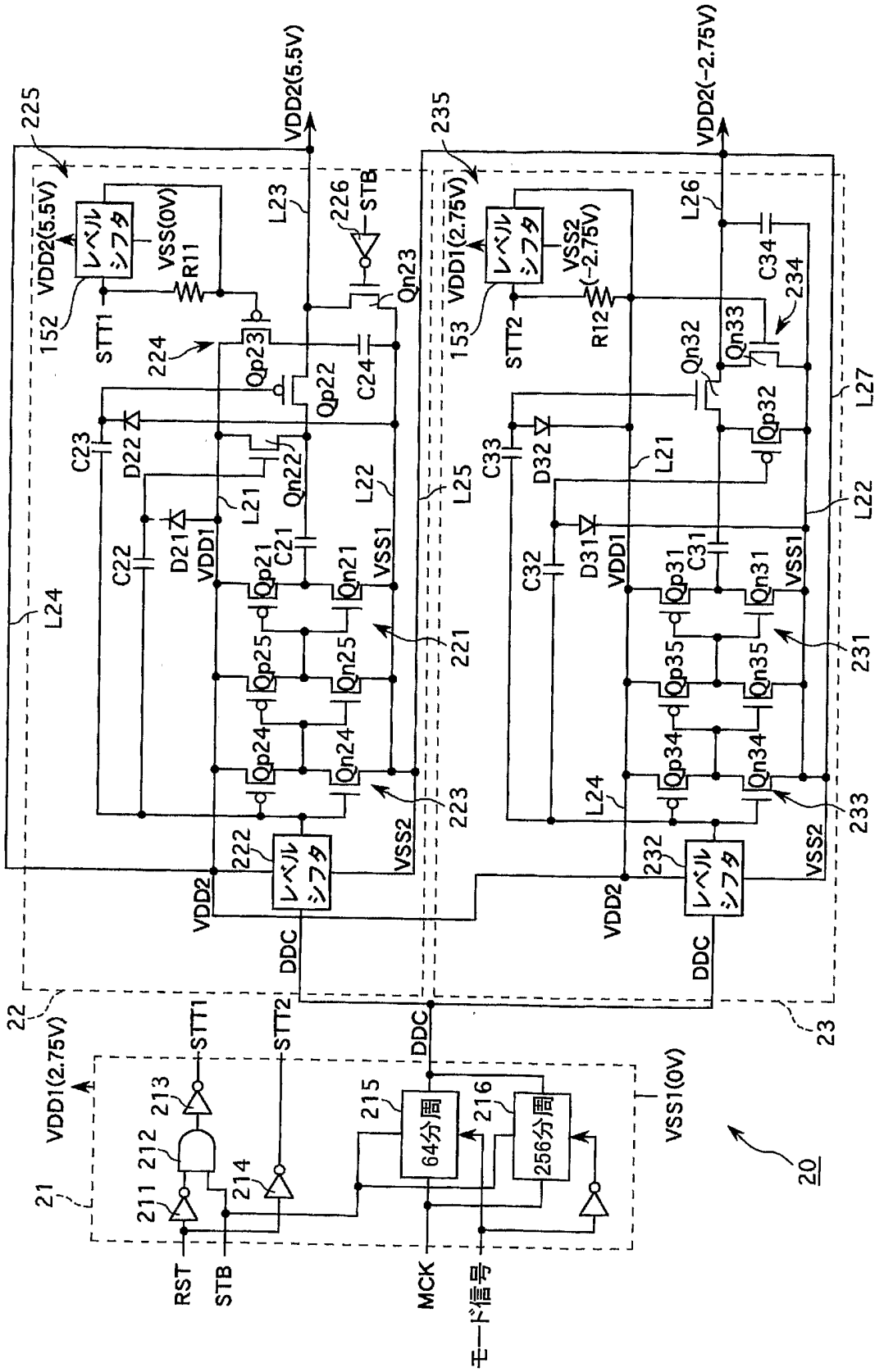


Fig.4

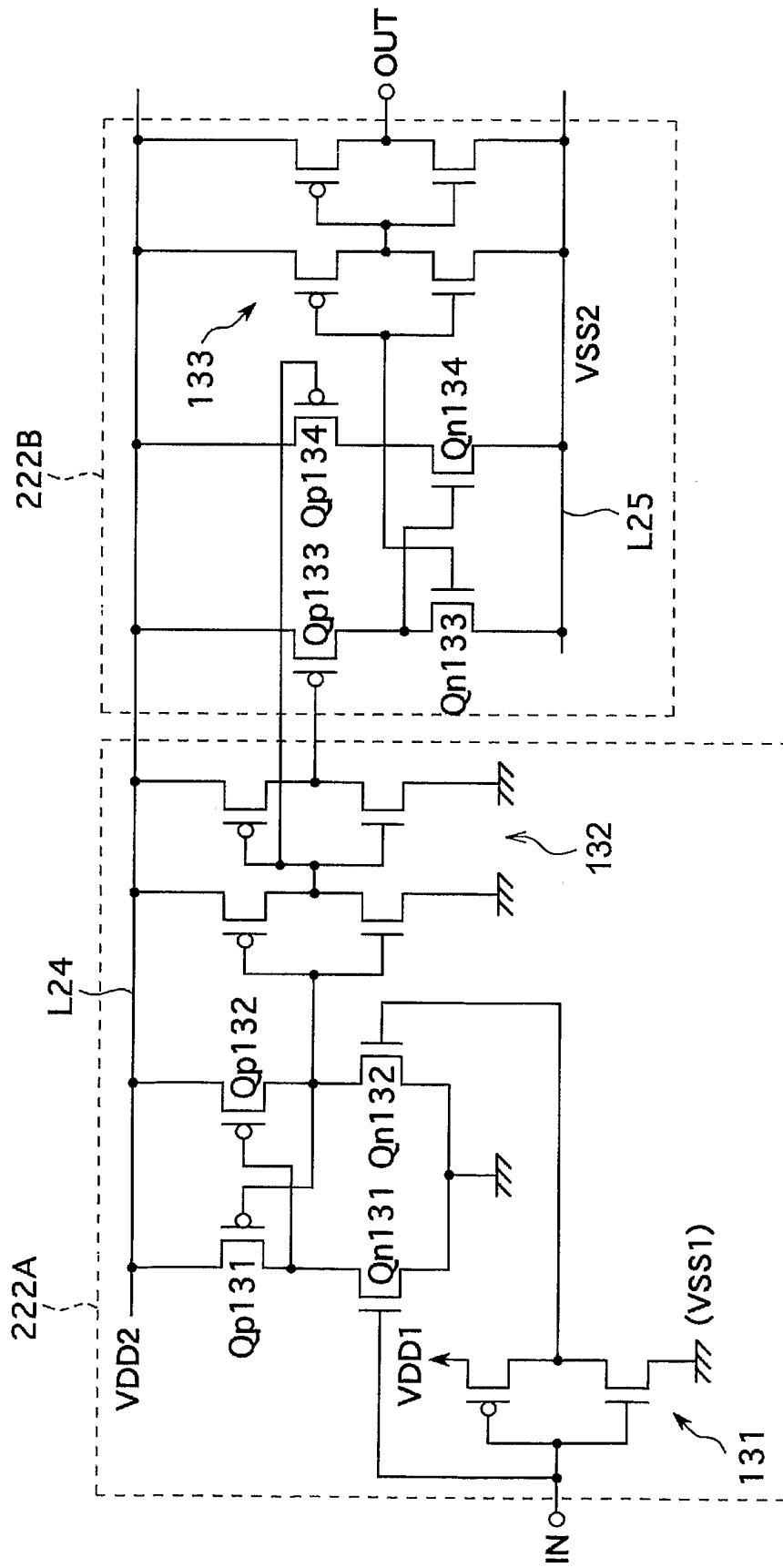


Fig.5

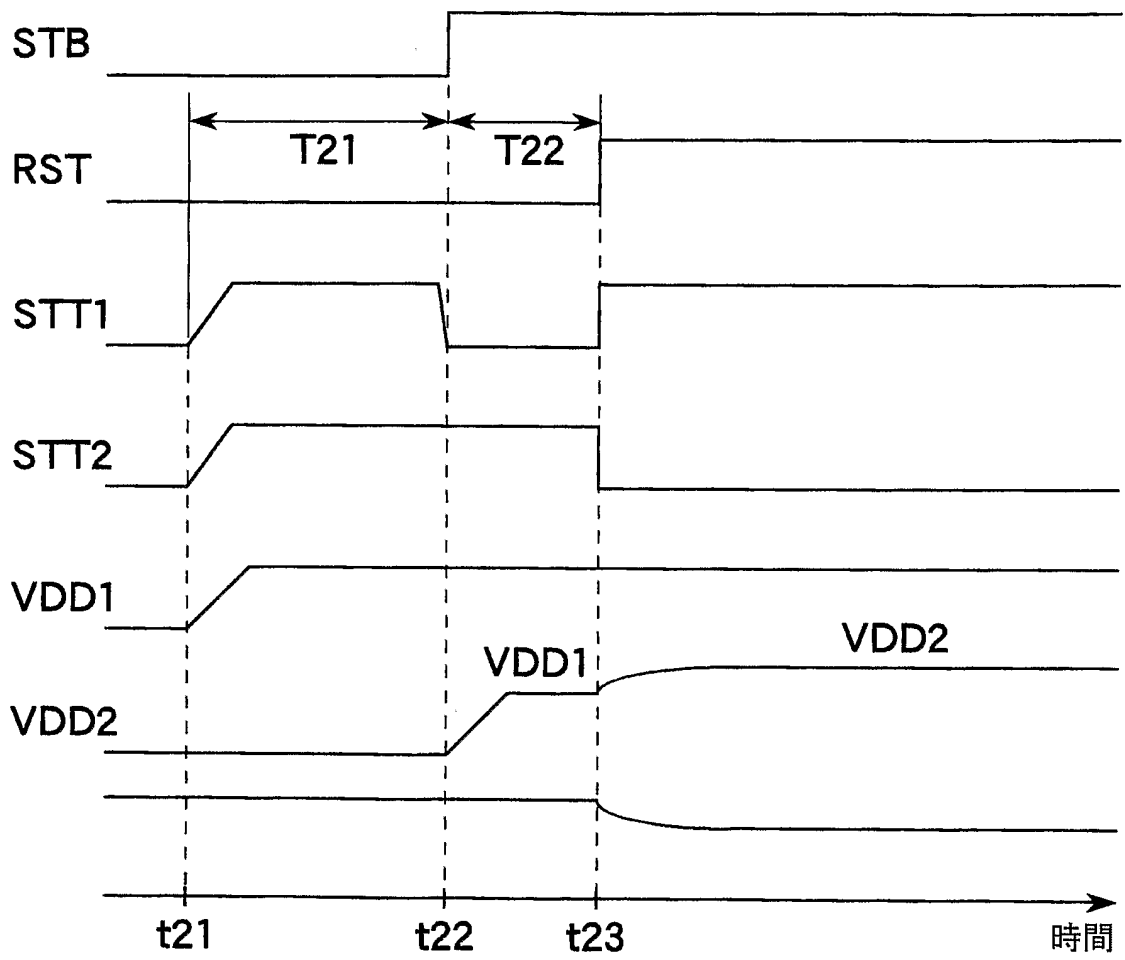


Fig.6

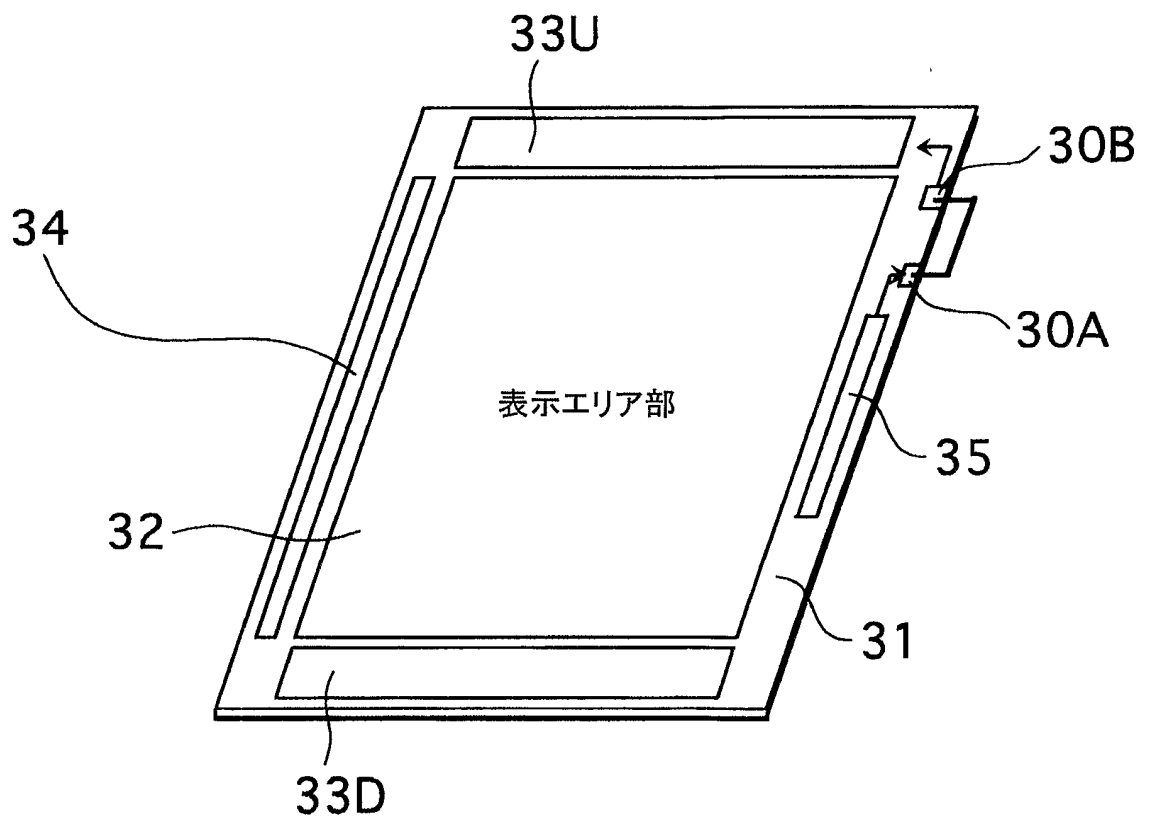


Fig.7

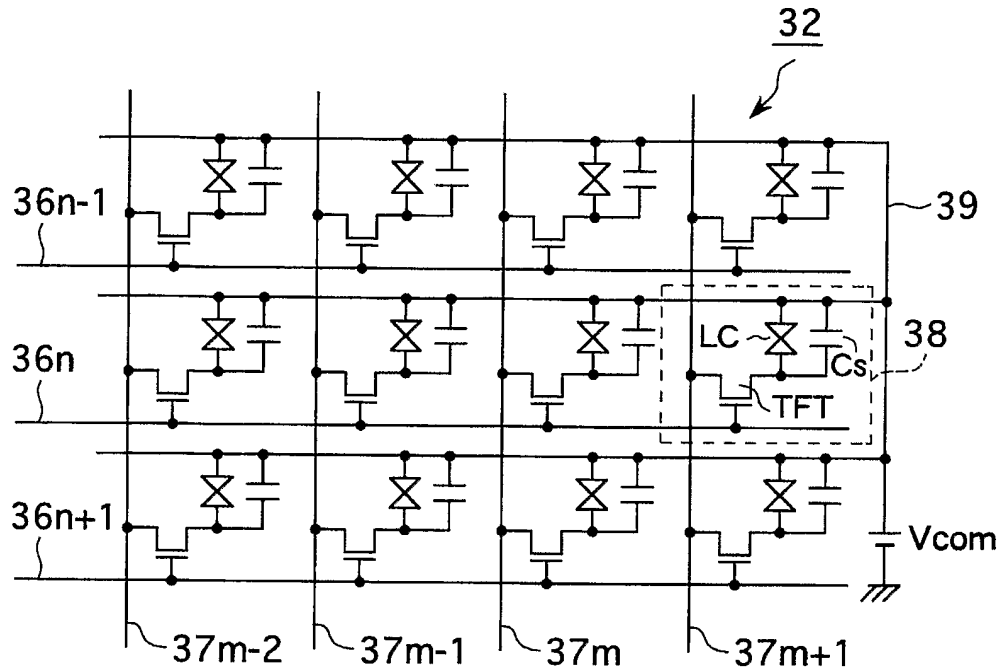


Fig.8

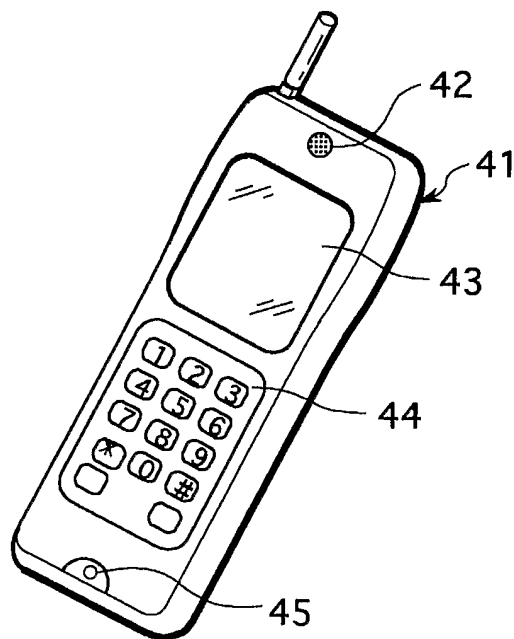


Fig.9

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006906

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl <sup>7</sup> H02M3/07		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> H02M3/00-3/44		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	EP 1233504 A2 (NEC Corp.), 21 August, 2002 (21.08.02), Par. Nos. [0002] to [0005]; Figs. 1, 2 & JP 2002-233133 A & CN 1369952 A	1, 7 2, 9, 10, 12, 13, 19, 20, 22 3-6, 8, 11, 14-18, 21, 23-26
Y	US 2003/0067289 A1 (Akira MORITA), 10 April, 2003 (10.04.03), Par. Nos. [0084] to [0094]; Fig. 4 & JP 2003-102165 A	2, 10, 20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 22 July, 2004 (22.07.04)		Date of mailing of the international search report 10 August, 2004 (10.08.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006906

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1304791 A1 (SONY CORP.), 23 April, 2003 (23.04.03), Par. Nos. [0040] to [0059], [0143] to [0147]; Figs. 13 to 15, 42 & JP 2002-175027 A & WO 02/47243 A1 & US 2003/0011586 A1 & NC 1419733 T & TW 529003 B	9, 10, 12, 13, 19, 20, 22
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 135702/1987 (Laid-open No. 40071/1989) (NEC Corp.), 09 March, 1989 (09.03.89), Page 2, line 11 to page 3, line 4; Fig. 2 (Family: none)	13
A	JP 2001-245468 A (NEC Corp.), 07 September, 2001 (07.09.01), Par. Nos. [0004] to [0005]; Fig. 8 (Family: none)	1-26
A	US 2002/0130704 A1 (Takao MYONO, Akira UEMOTO), 19 September, 2002 (19.09.02), Full text; Figs. 1 to 23 & JP 2002-233134 A	1-26

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	EP 1233504 A2 (NEC CORPORATION) 21.08.2002, 【0002】 - 【0005】, 図1, 2 & JP 2002-233133 A & CN 1369952 A	1, 7 2, 9, 10, 12, 13, 19, 20, 22 3-6, 8, 11, 14-18, 21, 23-26

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日 22.07.2004

国際調査報告の発送日 10.8.2004

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 3V 2917  
櫻田 正紀  
電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 2003/0067289 A1 (Akira MORITA) 10. 04. 2003, 【0084】 - 【0094】, 図4 & JP 2003-102165 A	2, 10, 20
Y	EP 1304791 A1 (SONY CORPORATION) 23. 04. 2003, 【0040】 - 【0059】, 【0143】 - 【0147】, 図13-15, 42 & JP 2002-175027 A & WO 02/47243 A1 & US 2003/0011586 A1 & CN 1419733 T & TW 529003 B	9, 10, 12, 13, 19, 20, 22
Y	日本国実用新案登録出願62-135702号 (日本国実用新案登録出願公 開64-40071号) の願書に添付された明細書及び図面の内容を記録し たマイクロフィルム (日本電気株式会社) 09. 03. 1989, 第2頁第11行-第3頁第4行, 図2 (ファミリーなし)	13
A	JP 2001-245468 A (日本電気株式会社) 07. 09. 2001, 【0004】 - 【0005】, 図8 (ファミリーなし)	1-26
A	US 2002/0130704 A1 (Takao MYONO, Akira UEMOTO) 19. 09. 2002, 全文, 図1-23 & JP 2002-233134 A	1-26