申請日期： 89.5.17	案號： 89109417
類別： H01L 27/04	

（以上各欄由本局填註）

公告本

發明專利說明書

459376

一、發明名稱	中文	半導體裝置
	英文	SEMICONDUCTOR DEVICE
二、發明人	姓名（中文）	1. 河野隆司 2. 濱本武史
	姓名（英文）	1. 2.
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸の內二丁目2番3號 三菱電機株式会社內 2. 同1
三、申請人	姓名（名稱）（中文）	1. 三菱電機股份有限公司
	姓名（名稱）（英文）	1. 三菱電機株式会社
	國籍	1. 日本
	住、居所（事務所）	1. 日本國東京都千代田區丸の內二丁目2番3號
	代表人姓名（中文）	1. 谷口一郎
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/06/09	11-162084	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明（1）

[發明所屬之技術領域]

本發明有關於半導體裝置，尤其有關於在內部產生所需要之電壓之半導體裝置。特別有關於用以穩定產生低電壓位準之內部電壓之構造。

[習知之技術]

隨著通信、資訊處理機器之發展和普及，在該等機器使用有各種半導體裝置。對此種半導體裝置要求具有高性能，另外一方面，為著要在板上一起裝載其他之裝置和零件，所以零件間之規格上之匹配性變為重要。此種匹配性被重視之規格之一實例，有如供給到多個半導體裝置（零件）之電壓。假如以共同之電壓使所有之裝置和零件進行動作時，則可以使板上之電源設計變為容易。因此，基本上之要求是1個半導體（裝置）被供給1種之電源電壓（接地電壓除外）就可以進行動作。

但是，供給到該半導體裝置（晶片）內部之電路之電壓，不只限於使用與外部電源電壓extVdd相同之電壓位準之電壓。當朝向高速動作和高積體化進步時，電晶體被微細化。例如，在MOS電晶體（絕緣閘型場效電晶體），當考慮到閘絕緣膜之可靠度，吸極一源極間耐壓等時，因為外部電源電壓extVdd太高，所以不能直接用來驅動MOS電晶體。因此在內部將外部電源電壓extVdd降壓成為所需要的電壓位準，藉以供給到內部電路。

圖13表示習知之內部降壓電路VDC之構造之一實例。在圖13中，內部降壓電路VDC包含有：比較器CMP，用來使基

五、發明說明 (2)

準電壓Vrefs和內部(電源)電壓Vdds進行比較；和電流驅動電晶體DR，依照該比較器CMP之輸出信號，用來將電流從外部電源節點供給到內部電壓線。

比較器CMP包含有：P通道MOS電晶體Q1和Q2，耦合到外部電源節點，用來供給電流；n通道MOS電晶體Q3和Q4，被供給有來自該等MOS電晶體Q1和Q2之電流，用來使基準電壓Vrefs和內部電壓Vdds進行比較；和n通道MOS電晶體Q5，在回應活性化信號VDCON時，用來形成使動作電流流經比較器CMP之路徑。MOS電晶體Q2之閘極和吸極互相連接，和MOS電晶體Q1和Q2之閘極互相連接，該等之MOS電晶體Q1和Q2構成電流鏡電路。

電流驅動電晶體DR以P通道MOS電晶體構成。

在該圖13所示之內部降壓電路VDC之構造中，當活性化信號VDCON為L位準時，MOS電晶體Q5為OFF狀態，比較器CMP之輸出信號變成為外部電源電壓extVdd位準，因此電流驅動電晶體DR為OFF狀態。

當活性化信號VDCON變成為H位準時，MOS電晶體Q5變成為ON狀態，比較器CMP開始比較動作。當內部電壓Vdds高於基準電壓Vrefs時，比較器CMP之輸出信號變成為高位準，電流驅動電晶體DR維持OFF狀態。當內部電壓Vdds低於基準電壓Vrefs時，該比較器CMP的輸出信號變成為低位準，電流驅動電晶體DR依照該比較器CMP之輸出信號，將電流從外部電源節點供給到內部電壓線，用來使該內部電壓Vdds之電壓位準上升。因此，內部電壓Vdds維持在基準

五、發明說明 (3)

電壓Vrefs之電壓位準。

來自該內部降壓電路VDC之內部電壓Vdds是與基準電壓Vrefs之電壓位準相同之電壓位準，比外部電源電壓extVdd低，作為動作電源電壓的供給到內部電路。

此種內部電壓存在有多種。例如在半導體記憶裝置，該內部電壓存在有傳達到記憶器陣列之電壓和用來使週邊電路進行動作之電壓。另外，亦很多利用該圖13所示之降壓電路用來形成所需要之中間電壓位準之電壓。在該等內部電壓中，較低電壓位準之電壓Vrl大多用來減小電流之用。

圖14A表示該電壓Vrl之用途之一實例。在圖14A中，利用電壓Vrl用來調整內部電路NK之電流源電晶體Q6之驅動電流。在該電壓Vrl為低電壓位準之情況時，電流源電晶體Q6之電導亦小，可以減小來自內部電路NK之穿通電Ic。亦即，可以減小在待用狀態時流動之待用電流，因此使用1個之電池就可以使電池驅動之機器長時間的動作。

圖14B表示該內部電壓Vrl之適用用途。在該圖14B所示之構造中，利用變換信號HS用來使傳輸閘TG1和TG2選擇性的成為普通狀態，將內部電壓Vh和Vrl的一方施加到電流驅動電晶體Q6之閘極。內部電壓Vh是高於內部電壓Vrl之電壓位準。

當變換信號HS為低位準時，反相器IV1之輸出信號變成為H位準，傳輸閘TG1進行導通，當對電流驅動電晶體Q6的閘極施加內部電壓Vh。這時，內部電路NK之動作電流(穿

五、發明說明 (4)

通電流)Ic變大，內部電路NK以高速進行動作。另外一方面，當變換信號HS為H位準時，反相器IV1的輸出信號變成為L位準，傳輸閘TG2進行導通，對電流驅動用電晶體Q6之閘極施加內部電壓Vrl，用來減小穿通電流Ic。

因此，在該圖14B所示之構造中，經由依照動作模態調整電流源驅動電晶體Q6之驅動電流，可以減小在待用狀態時之消耗電流，和實現高速動作之電路。另外，因為依照動作模態變換該穿通電流Ic，所以不需要配置多個電流源驅動電晶體和依照動作模態使該等選擇性的成為OFF狀態，所以可以減少電流源電晶體之數目，因此電路全體之佔用面積可以減小。

圖15A表示內部電壓Vrl之另一應用例。在該圖15A所示之構造中，n通道MOS電晶體Q7的源極被施加有內部電壓Vrl。該MOS電晶體Q7耦合成以其吸極接受電源電壓Vd。對MOS電晶體Q7之閘極施加接地電壓GND。內部電壓Vrl為正電壓。因此，MOS電晶體之閘極－源極間電壓Vgs變成為負，可以減小洩漏電流(副臨界電流)Ioff。這時，在MOS電晶體Q7之反向閘極偏壓與施加在源極之內部電壓Vrl不同之情況時，基板－源極間電壓Vbs在負方向變大，利用反向閘極偏壓效應，使該MOS電晶體Q7之臨界值電壓變大，可以使副臨界電流Ioff更進一步的減小。

圖15A所示之構造是例如使用階層電源構造，用來減小在待用狀態時之洩漏電流。

該圖15A所示之電壓施加方式應用在DRAM(隨機動態存取

五、發明說明 (5)

記憶器)之記憶單元。減小洩漏電流之電壓施加方式稱為Boosted Sense Ground (BSG)方式，由朝倉等人揭示在ISSCC, Digest of Technical Paper，1994之第1303頁至1308頁。

圖15B表示該BSG方式之記憶單元之電壓施加。記憶單元MC包含有：記憶電容器Ms，用來記憶資訊；和存取電晶體MT，依照字線WL上之信號電壓，用來使該記憶電容器Ms連接到位元線BL(或/BL)。存取電晶體MT由n通道MOS電晶體構成，以其閘極連接到字線WL，以其吸極連接到位元線BL(或/BL)，以其反向閘極接受一定的偏壓電壓Vbb。

在待用循環時，位元線BL保持為中間電壓位準，字線WL為接地電壓GND位準。當開始存取循環時，選擇記憶單元，將L位準之資料傳達到該位元線BL。在記憶單元MC為非選擇記憶單元時，字線WL之電壓為接地電壓GND位準。因此，當與位元線BL之L位準資料對應之電壓Vbsg為內部電壓Vrl位準時，存取電晶體MT之閘極－源極間電壓Vgs變成為負電壓。另外，存取電晶體MT的反向閘極電壓Vbb和位元線BL上之電壓Vbsg之差亦向負方向變大，用來抑制從記憶電容器MS經由存取電晶體MT流向位元線BL之洩漏電流。亦即，在活性循環時，可以抑制非選擇記憶單元之H位準資料之電壓位準之降低，藉以改善復新特性，和延長資料保持時間。

活用上述方式之低位準之內部電壓Vrl是半導體裝置之低電流化所必要之不可缺者。但是，要穩定的產生n通道

五、發明說明（6）

MOS電晶體之臨界值電壓附近之電壓作為該內部電壓Vrl會有困難。例如，在n通道MOS電晶體成為二極體連接用來產生該內部電壓Vrl之情況時，內部電壓Vrl之電壓位準依照MOS電晶體之臨界值電壓之溫度特性進行變化，因此會產生內部電壓Vrl與溫度之相關性很大之問題。為著避免此種問題，可以利用圖13所示之降壓電路。在這種情況，基準電壓Vrefs和Vdds成為MOS電晶體Q3和Q4之臨界值電壓近傍之電壓。該等MOS電晶體Q3和Q4之共同源極節點經由MOS電晶體Q5耦合到接地節點。因此，該等MOS電晶體Q3和Q4之共同源極節點，經由該MOS電晶體Q5之通道電阻，成為比接地電壓高之電壓位準。因此，即使將位準與該等MOS電晶體Q3和Q4之臨界值電壓接近之電壓施加到MOS電晶體Q3和Q4之閘極時，該等MOS電晶體Q3和Q4亦大致成為OFF狀態，不能進行比較動作。

圖16表示習知之Vrl產生電路之構造之一實例。在圖16中Vrl產生電路包含有：P通道MOS電晶體Q10，連接在外部電源節點和節點NA之間，和以其閘極接受接地電壓GND；P通道MOS電晶體Q11，連接在節點NA和節點NB之間，和以其閘極接受基準電壓Vrl0；P通道MOS電晶體Q12，連接在節點NA和節點NC之間，和以其閘極接受內部電壓Vrl；n通道MOS電晶體Q13，連接在節點NB和接地節點之間，和以其閘極連接到節點NB；n通道MOS電晶體Q14，連接在節點NC和接地節點之間，和以其閘極連接到節點NB。MOS電晶體Q13和Q14構成電流鏡電路。

五、發明說明 (7)

在該圖16所示之構造中，當內部電壓Vrl高於基準電壓Vrl0時，流經MOS電晶體Q11之電流，大於流經MOS電晶體Q12之電流。流經MOS電晶體Q13和Q14之電流與流經該MOS電晶體Q11之電流具有相同之大小。因此，節點NC之電壓位準亦即內部電壓Vrl之電壓位準進行降低。

相反的，在內部電壓Vrl低於基準電壓Vrl0之情況時，流經MOS電晶體Q12之電流大於流經MOS電晶體Q11之電流。因為不能使供給自該MOS電晶體Q12之電流全部放電，所以來自節點NC之內部電壓Vrl之電壓位準進行上升。亦即，內部電壓Vrl被保持在基準電壓Vrl0之電壓位準。

在該圖16所示之Vrl產生電路之構造中，利用MOS電晶體Q12之源極電流用來產生內部電壓Vrl。因此，需要使該Vrl產生電路之穿通電流Ica變大。特別是當該內部電壓Vrl被使用在圖15B所示之BSG方式之DRAM的情況時，因為內部電壓Vrl利用位元線進行放電，所以在該內部電壓產生電路需要大的驅動電流(利用放電電流用來防止該內部電壓Vrl之電壓位準的上升)。因此，在該圖16所示之構造之情況時，需要使構成元件之MOS電晶體之大小(閘極幅度和閘極長度之比)變大，造成電路佔用面積之增加和消耗電流之增大。

圖17表示習知之Vrl電路之另一構造。圖17所示之Vrl產生電路包含有；比較器CMPP，用來使基準電壓Vrl0和內部電壓線INV上之內部電壓Vrl進行比較；和電流驅動電晶體NQ，依照比較CMPP之輸出信號，使內部電壓線INV放電成

五、發明說明 (8)

為接地電壓位準。該電流驅動電晶體NQ以n通道MOS電晶體構成。

比較器CMPP包含有：P通道MOS電晶體Q15，連接在外部電源節點和內部節點ND之間，和以其閘極連接到接地節點；P通道MOS電晶體Q16，連接在內部節點ND和內部節點NE之間，和以其閘極接受基準電壓Vr10；P通道MOS電晶體Q17，連接在內部節點ND和內部節點NF之間，和以其閘極連接到內部電壓線INV；n通道MOS電晶體Q18，連接在內部節點NE和接地節點之間，和以其閘極連接到內部節點NF；和n通道MOS電晶體Q19，連接在內部節點NF和接地節點之間，和以其閘極連接到內部節點NF。

該圖17所示之比較器CMPP相當於圖13所示之比較器CMP之使電壓極性和電晶體之導電型相反所形成者。在內部電壓Vr1高於基準電壓Vr10之情況，流經MOS電晶體Q17之電流小於流經MOS電晶體Q16之電流。MOS電晶體Q18和Q19構成電流鏡電路，相同大小之電流在該等MOS電晶體Q18和Q19流動。因此，來自比較器之CMPP之輸出信號變成為高位準，電流驅動電晶體NQ之電導變大，電流從內部電壓線INV放電到接地節點，內部電壓Vr1之電壓位準降低。另外一方面，在內部電壓Vr1低於基準電壓Vr10之情況時，相反的，比較器CMPP之輸出信號變成為L位準，電流驅動電晶體NQ變成為OFF狀態。

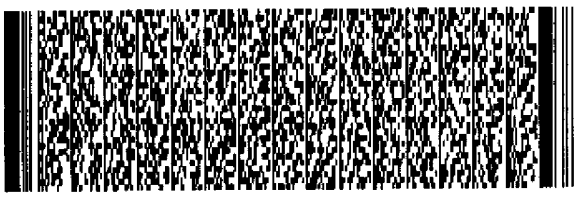
在該圖17所示之Vr1產生電路之構造中，對於內部電壓Vr1之變化，在未考慮到回應速度之情況時，經由使穿通

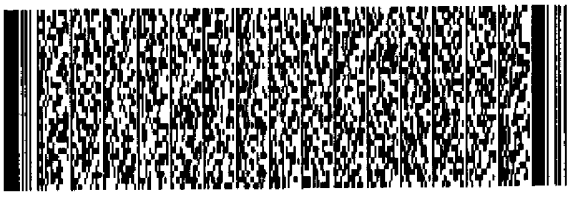
五、發明說明 (9)

電流Icb變小，另外一方面，使電流驅動電晶體NQ之通道幅度和通道長度之比變大，用來使其電流驅動力變大，則不需要增大佔用面積就可以使直流之電流供給能力增大。但是，從內部電壓Vrl之容許變動值來看，因為要求所需之最小限度之對內部電壓Vrl之回應速度，所以要求穿通電流Icb要有某種程度之大小。

經由使用該圖17所示之Vrl產生電路，可以以小佔用面積產生具有大電流供給能力之內部電壓Vrl。但是，在比較器CMPP中，利用P通道MOS電晶體Q16和Q17使基準電壓Vrl0和內部電壓Vrl進行比較。MOS電晶體Q16和Q17之源極為節點ND。P通道MOS電晶體Q17之電流驅動力依照其閘極－源極間電壓Vgs決定。因此，在傳達到該節點ND之外部電源電壓extVdd有變動之情況時，因為流經該等MOS電晶體Q16和Q17之電流，與該等MOS電晶體Q16和Q17之閘極－源極間電壓Vgs和臨界值電壓之差之平方成正比例的變化(MOS電晶體Q16、Q17以飽和區域進行動作)，所以內部電壓Vrl之電壓位準不能穩定的維持在基準電壓Vrl0位準，會產生內部電壓Vrl之電壓位準依照外部電源電壓extVdd進行變化之問題。

為著解決上述之外部電源電壓extVdd之電源雜訊之問題，可以考慮使用另外一個內部電壓Vdd'(在該內部電壓Vrl的消耗時，亦成為穩定狀態)。但是，需要另外設置用以產生內部電壓Vdd'之專用電路，用來使內部電壓Vrl穩定的動作，因此會使佔用面積增加。





五、發明說明（10）

[發明之概要]

本發明之目的是提供半導體裝置，不需要增大佔用面積，就可以以簡單之電路構造，穩定的產生所希望之電壓位準之內部電壓。

本發明之另一目的是提供半導體裝置，可以在內部穩定的產生低電壓位準之內部電壓Vrl。

在發明的半導體裝置具備有：內部電壓線；和內部電壓產生電路，用來在該內部電壓線產生內部電壓。該電部電壓產生電路具備有：基準電壓產生電路；電容元件；差分檢測電路，依照來自基準電壓產生電路之基準電壓和內部電壓線上之內部電壓之差，用來變化電容元件之充電電壓；和電流驅動元件，依照電容元件之充電電壓使電流在電源節點和內部電壓線之間流動。

依照基準電壓和內部電壓之差，變化電容元件之充電電壓，依照該充電電壓驅動該電流驅動元件用來產生電部電壓。亦即，利用該電容元件之充電電荷量之變化，用來對內部電壓之微小變化進行放大藉以驅動該電流驅動元件。因此，可以以高速回應內部電壓之變化，經由電流驅動元件使內部電壓之變化回復。只利用電容元件之充電/放電，就可以以簡單之電路構造檢測內部電壓之變化。另外，電流驅動元件之控制電極節點之驅動只有電容元件需要，所以電容元件之佔用面積可以減小，藉以使電路之佔用面積減小。

另外，因為基準電壓和內部電壓之差是以電容元件之充

五、發明說明 (11)

電電壓之變化表示，所以可以不會受到外部電源電壓等之電源電壓之變動之影響的驅動該電流驅動元件。

另外，經由利用電流驅動元件，可以以大電流驅動力產生內部電壓。

經由下面聯合附圖之對本發明之詳細說明當可更加明白本發明之上述和其他目的，特徵，觀念和優點。

[發明之實施形態]

[實施形態1]

圖1A表示本發明之實施形態1之內部電壓產生電路之構造。在圖1A中，內部電壓產生電路1包含有：基準電壓產生電路2，用來產生基準電壓Vr10；位準移位電路3，用來接受來自該基準電壓產生電路2之基準電壓Vr10，進行移位藉以產生基準電壓Vr10+Vthp；n通道MOS電晶體5，用來檢測來自位準移位電路3之基準電壓和內部電壓線4上之內部電壓Vr1之差分，藉以使與該差分對應之電流流動；電容元件6，利用差分檢測用之MOS電晶體5用來調整充電電壓；預充電電路7，用來將電容元件6預充電成為指定電壓；電荷保持電路8，用來保持電容元件6之充電電荷；和P通道MOS電晶體9，依照電容元件6之充電電壓Vpg，用來從外部電源節點將電流供給到內部電壓線4。

基準電壓產生電路2包含有可變電阻元件R1和R2，串聯連接在用以接受內部基準電壓Vdd0之節點和接地節點之間。從該等可變電阻元件R1和R2之連接節點輸出基準電壓Vr10。可變電阻元件R1和R2例如使用熔絲元件，可以調整

五、發明說明 (12)

電阻值，可調整該基準電壓Vrl0之電壓位準，即使在處理參數產生變動等之情況時，亦可以產生最佳位準之基準電壓Vrl0。

位準移位電路3包含有電阻元件R3和P通道MOS電晶體3P，串聯連接在內部節點和接地節點之間。電阻元件R3之電阻直被設定成為遠大於P通道MOS電晶體3P之通道電阻(ON電阻)。因此，該P通道MOS電晶體3P以源極隨動器模態進行動作，其源極－閘極間電壓維持在臨界值電壓之絕對值Vthp之電壓位準。電阻元件R3之電阻值很大，可以使移位電路3之消耗電流變成很小。亦即，位準移位電路3只要求對差分檢測用之MOS電晶體5之閘極電容進行充電，所以不要求具有大的電流供給能力。

同樣的，在基準電壓產生電路2中，在對該MOS電晶3P之閘極電容進行充電後，不消耗電流。因此，可以使電阻元件R1和R2之電阻值成為很大藉以減低消耗電流。

MOS電晶體5以其閘極連接到位準移位電路3之輸出節點，以其源極連接到內部電壓線4。因此，當該位準移位電路3之輸出電壓和內部電壓線4上之電壓Vrl之差分大於臨界值電壓Vthn時就進行導通，使電流流動。在MOS電晶體5之閘極連接有穩定化電容器10用來使該MOS電晶體5之閘極電壓穩定化。

預充電電路7包含有：P通道MOS電晶體7a和7b，串聯連接在用以接受外部電源電壓extVdd之外部電源節點和節點7之間；和n通道MOS電晶體7c，連接在節點7和MOS電晶體5

五、發明說明 (13)

之間。MOS電晶體7a和7c分別以其閘極接受預充電指示信號ZPRE。P通道MOS電晶體7b以其閘極和吸極連接到節點7，以二極體模態進行動作，用來產生臨界值電壓之絕對值部份之電壓降。

電荷保持電路8包含有：反相器8a，用來使電荷轉送指示信號CT反相；和傳輸閘8b，依照電荷轉送指示信號CT和反相器8a之輸出信號進行導通，用來使節點11和節點7d選擇性的連接。當傳輸閘8b變成為非導通狀態時，電容元件6與預充電電路7和MOS電晶體5分離，電容元件6之充放電路徑被中斷，電容元件6之充電電荷被保持。

內部電壓產生電路1更包含有P通道MOS電晶體12a和12b，連接在外部電源節點和節點11之間。MOS電晶體12a以其閘極接受活性化指示信號ACT，MOS電晶體12b以其閘極連接到節點11，以二極體模態進行動作。該活性化指示信號ACT是使內部電路15(消耗內部電壓線4上之內部電壓Vrl)之動作活性化的信號。當活性化指示信號ACT變成為H位準之活性狀態時，內部電路15就進行動作，消耗內部電壓Vrl。

在內部電壓線4更連接有穩定化電容器16用來使內部電壓Vrl穩定化。外部電源電壓extVdd例如為2.5V。內部基準電壓Vdd。例如為2.0V，與外部電源電壓extVdd無關的成為一定之電壓。基準電壓Vrl0例如為0.5V，臨界值電壓Vthp和Vthn例如為0.6V。下面將參照該圖1B所示之動作波形，用來說明該圖1A所示之內部電壓產生電路之動作。

五、發明說明 (14)

在時刻T0以前，活性化指示信號ACT為L位準之非活性狀態，內部電路15不進行動作。在此種狀態，MOS電晶體12a變成為ON狀態，節點11被預充電成為extVdd－Vthp之電壓位準。利用節點11上之電壓Vpg，MOS電晶體9之閘極－源極間電壓等於其臨界值電壓，大致維持OFF狀態。P通道MOS電晶體之臨界值電壓全部相等。經由被施加有比內部電壓Vrl低之電壓(例如接地電壓GND)之節點和內部電壓線4之間之洩漏路徑，使內部電壓Vrl逐漸降低。

另外，當活性化指示信號ACT之非活性狀態時，預充電指示信號ZPRE為L位準之活性狀態，在預充電電路7中，MOS電晶體7a為ON狀態，MOS電晶體7c變成為OFF狀態，節點7d被預充電成為電壓extVdd－Vthp之電壓位準。另外，電荷轉送指示信號CT為H位準，轉輸閘8b進行導通，節點11經由預電電路7被預充電成為電壓extVdd-Vthp之電壓位準。該等之信號ZPRE和CT依照活性化指示信號ACT之活性化週期性的產生，其產生方法將於後面進行詳細之說明。

在時刻T0活性化指示信號ACT被驅動成為H位準之活性狀態，內部電路15進行動作，消耗內部電壓Vrl。利用這種方式，內部電壓Vrl之電壓位準更進一步的降低。MOS電晶體12a在回應活性化指示信號ACT之活性化時變成為OFF狀態。

在時刻T1預充電指示信號ZPRE上升為H位準，MOS電晶體7a變成為OFF狀態，MOS電晶體7c變成為ON狀態，利用預充電電路7完成電容元件6之預充電動作。因為MOS電晶體12a

為OFF狀態，所以節點11與外部電源節點分離。

另外一方面，MOS電晶體5經由MOS電晶體7c和傳輸閘8b耦合到電容元件6。MOS電晶體5以其閘極接受電壓Vr10+Vthp，以其源極接受內部電壓Vr1。因此，MOS電晶體5在能滿足下列之式(1)之條件時變成為ON狀態，從電容元件6將電流供給到內部電壓線4。

Vr10+Vthp>Vr1+Vthn --------(1)

假如臨界值電壓Vthp和Vthn相等時，控制內部電壓Vr1使其電壓位準與基準電壓Vr10相等。臨界值電壓的絕對值Vthp以下簡稱為臨界值電壓。在該等之臨界值電壓Vthp和Vthn不相等的情況時，利用電阻元件R1和R2之電阻值之微調，可以適當的設定基準電壓Vr10之電壓位準。因此，臨界值電壓之絕對值Vthp和女Vthn相等或不相等不是實質上之問題。以下為著使說簡化，假定Vthp=Vthn可以成立。

經由MOS電晶體5使電容元件6之充電電荷放電到內部電壓線4。亦即，以依照節點3a上之電壓和內部電壓線4上之內部電壓Vr1之差分之電流，MOS電晶體5進行放電，利用該放電電流變化電容元件6之充電電壓Vpg。電容元件6之電容量Cpg遠小於穩定化電容器16之電容量Cd1，利用MOS電晶體5之放電電流，可以大幅的變化電容元件6之充電電壓Vpg。

在時刻T2，電荷轉送指示信號CT降低至L位準，轉輸閘8b變成為非導通狀態。在時刻T2和T1之間之時間T'之期間，經由MOS電晶體5流入到內部電壓線4上之全部電荷Qpg

以下式表示。

$$Qpg=\int Ipg \cdot dT$$

其中之積分期間T是T1<T<T'≦T2。

在時刻T'，節點11上之電壓Vpg之電壓位準以下列之式(2)表示。

$$Vpg=extVdd-Vthp-Qpg/(Cpg+Cg) \qquad \text{------(2)}$$

其中，Cg表示驅動用之MOS電晶體9變成ON狀態形成通道時之MOS電晶體之閘極電容。MOS電晶體9變成ON狀態是當閘極－源極間電壓Vgs等於臨界值電壓時。亦即，當能夠滿足下列之式(3)時，MOS電晶體變成為ON狀態。

$$Vpq<extVdd-Vthp \qquad \text{--------(3)}$$

由以上之式(2)和(3)可以瞭解，當經由MOS電晶體5產生放電時，驅動用之MOS電晶體9立即變成為ON狀態，從外部電源節點將電流供給到內部電壓線4。

另外，由式(2)可以瞭解，當節點11之電容量(Cpg+Cg)變小時，即使放電電荷量Qpg很少，節點11之電壓Vpg亦會有很大之變化。亦即，內部電壓Vr1即使只稍微的偏離基準電壓Vr10，利用經由MOS電晶體5之放電電流，可以使節點11之電壓Vpg進行大的變化，電流經由驅動用之MOS電晶體9急速的從外部電源節點流入到內部電壓線4，用來使內部電壓Vr1之電壓位準進行上升。

在時刻T2，電荷轉送指示號CT變成為L位準之非活性狀態，傳輸閘8b變成為非導通狀態，電容元件6和MOS電晶體5分離，節點11上之電壓Vpg保持為時刻T2之電壓位準。在

五、發明說明 (17)

此種狀態，驅動MOS電晶體9將一定之電流供給到內部電壓線4。要進行將該節點11之電壓Vpg保持為一定之動作之理由如下所述。

在將電荷轉送指示信號CT維持在H位準之活性狀態之情況，即使內部電壓Vrl之電壓位準開始上升，只要上述之式(1)成立，節點11之電壓Vpg之電壓位準就持續的降低。因此，驅動用之MOS電晶體9之電流供給能力逐漸變大，將大於所需程度之電流供給到內部電壓線4，內部電壓Vrl進行過衝(overshoot)，變成高於指定之電壓位準，不能保證內部電路15之穩定動作。為著防止該過衝，在時刻T2使電荷轉送指示信號CT成為非活狀態，將節點11之電壓Vpg保持為一定之電壓位準，藉以將驅動用之MOS電晶體9之電流供給能力維持為一定。

在時刻T3，預充電指示信號ZPRE變成為活性狀態，和電荷轉送指示信號CT變成為活性狀態，MOS電晶體5和電容元件6分離，節點11經由預充電電路7再度的被預充電成為extVdd-Vthp之電位準，準備好進行下一個之電壓差檢測動作。

上述之節點11之電壓Vpg之預充電動作，電壓差檢測動作，和電壓保持動作，在活性化指示信號ACT為活性狀態之期間，重複的進行。利用該等動作用來控制內部電壓Vrl使其等於基準電壓Vrl0。

在該內部電壓產生電路中之1個循環(預充電，電壓差檢測和電荷保持之循環)所消耗之電流Ic隨著內部電壓Vrl之

五、發明說明 (18)

電壓位準而不同。當內部電壓Vrl高於基準電壓Vrl0之情況時，因為MOS電晶體5維持OFF狀態，所以消耗電流Ic是以閘極接受預充電指示信號ZPRE和電荷轉送指示信號CT之MOS電晶體之閘極電容之充放電電流。當全體之閘極電容為Cga，動作循環之週期為TC時，消耗電流Ic可以以下式表示。

$$Ic=Cga \cdot ExtVdd/Tc \qquad \text{--------(4)}$$

其中，控制信號ZPRE和CT在外部電源電壓extVdd和接地電壓之間進行變化。由上列之式(4)可以看出，全體之閘極電容Cga很小，所以消耗電流Ic亦非常小。

另外，在內部電壓Vrl低於基準電壓Vrl0之情況，利用經由MOS電晶體5之電容元件6之放電動作，使節點11之電壓Vpg降低，所以消耗電流用來對該節點11進行預充電。節點11之電壓Vpg降低至最大內部電壓Vrl，所以消耗電流Ic以下式表示。

$$Ic=(Cga \cdot ExtVdd)/TC$$
$$+(Cpg+Cg) \cdot (extVdd-Vthp-Vrl)/TC$$
$$=Cga \cdot ExtVdd/TC+Ipg(av.) \qquad \text{-------(5)}$$

在上式中，Ipg(av.)表示在時間T1<T<T2之放電電流Ipg之平均值。

在使用有圖17所示之比較器之內部電壓產生電路之情況，要具有與該圖1A所示之內部電壓產生電路相同之回應速度時，比較器CMPP之穿通電流Icb必需滿足下式。

$$Icb=k \cdot Ipg(av.)$$

五、發明說明 (19)

$k>1$

亦即，在圖17所示之比較器CMPP之情況，需要使電流流經MOS電晶體Q16和Q17，另外一方面，在圖1A所示之內部電壓產生電路之情況，放電路徑只有MOS電晶體5，因此，係數k變成大於1。因此，當與該圖17所示之習知之內部電壓產生電路之構造比較時，圖1A所示之內部電壓產生電路可以使消耗電流更小。特別是在內部電壓Vr1高於基準電壓Vr10之狀態，因為消耗電流變成大致為0，所以可以減小消耗電流。

如上所述，在本發明之實施形態1之內部電壓產生電路中，檢測內部電壓之微小之電壓變化，作為在某一個時間內之被預充電之電容之電荷變化量，將該電容之電荷變化量放大成為電壓變化，依照該電容之電壓變化用來控制驅動電晶體藉以抵消內部電壓變化。因此，經由使用電容元件將基準電壓和內部電壓之微小電壓差變換成為更大之電壓換變化，可以以高速補償內部電壓之變化，和可以抑制消耗電流。

圖2A表示用以產生圖1A所示之控制信號之電路之構造。在圖2中，控制信號產生電路包含有：內部時鐘產生電路20，在回應活性化指示信號ACT時被活性化，用來產生具有指定之週期之內部時鐘信號CLKI；驅動信號產生路30，依照來自該內部時鐘產生電路20之內部時鐘信號CLKI和活性化指示信號ACT，用來產生預充電指示信號ZPRE和電荷轉送指示信號CT。

五、發明說明（20）

內部時鐘產生電路20包含有：延遲電路21a～21c，形成級聯連接；熔絲元件22a～22c，分別設在延遲電路21a～21c之輸出部；NAND電路23，用來接受活性化指示信號ACT和來自熔絲元件22a～22c之任何一個之信號；和反相器24，用來使NAND電路23之輸出信號反相藉以產內部時鐘信號CLKI。NAND電路23之輸出信號亦施加到延遲電路21a。

內部時鐘信號CLKI用來規定該內部電壓產生電路之動作循環。內部電壓Vrl如圖14A和14B所示，在施加到MOS電晶體之閘極的情況時，該內部電壓Vrl之電壓位準之降低只由洩漏電流產生。在這種情況，電部電壓產生電路不要求具有大的電流驅動力和高速的回應特性。因此，在這種情況將內部電壓產生動作循環TC設定成較長。

另外一方面，如圖15A和15B所示，在內部電壓Vrl由於內部電路之動作而被正常的消耗時，需要依照該內部電路之動作設定動作循環Tc。利用延遲電路21a～21c，用來對內部時鐘信號CLKI之週期進行程式設計。利用NAND電路23和延遲電路21a～21c用來構成活性化指示信號ACT之活性化時之環式振盪器，利用被程式設計之延遲電路21a～21c之延遲時間和NAND電路23所具有之延遲時間，用來設定內部時鐘信號CLKI之週期。利用熔絲元件22a～22c用來對延遲電路21a～21c所構成之延遲段之延遲時間進行程式設計，藉以使該延遲段所具有之延遲時間，在NAND電路23之延遲時間可以忽視時，成為動作循環之週期Tc之1/2。利用這種方式，可以依照使用用途設定內部電壓產生動作週

五、發明說明 (21)

期 。

驅動信號產生電路30包含有：延遲電路31a，用來使內部時鐘信號CLKI延遲時間D1；反相器32a，用來使延電路31a之輸出信號反相；NAND電路33a，用來接受內部時鐘信號CLKI和反相器32a之輸出信號；NAND電路33c，用來接受NAND電路33a之輸出信號和活性化指示信號ACT；和反相器32c，用來使NAND電路33c之輸出反相藉以輸出預充電指示信號ZPRE。該預充電指示信號ZPRE在回應內部時鐘信號CLKI之上升時，於延遲電路31a所具有之延遲時間D1之期間成為L位準。

驅動信號產生電路30更包含有：延遲電路31b，用來使反相器32a之輸出信號延遲時間D2；延遲電路31c，用來使延遲電路31b之輸出信號延遲時間D3；反相器33b，用來使延遲電路31c之輸出信號反相；NAND電路33b，用來接受延遲電路31b之輸出信號和反相器32b之輸出信號；正反器34，當NAND電路33b之輸出信號ZOS為L位準時被設定，和當預充電指示信號ZPRE為L位準時被重設；和NAND電路33d，用來接受正反器34之輸出信號和活性化指示信號ACT藉以輸出電荷轉送指示信號CT。

電荷轉送指示信號CT，在活性化指示信號ACT之活性化時，於回應NAND電路33b之輸出信號ZOS之下降時變成為L位準，和在回應預充電指示信號ZPRE之活性化時變成為H位準。下面將參照圖2B所示之動作波形用來說明該圖2A所示之控制信號產生電路之動作。

五、發明說明（22）

在時刻T0以前，活性化指示信號ACT為L位準之非活性狀態。在該狀態中，內部時鐘產生電路20之NAND電路23之輸出信號被固定在H位準，從反相器24輸出之內部時鐘信號CLKI被固定在L位準。

在時刻T0，活性化指示信號ACT被驅動成為活性狀態之H位準。當回應該活性化指示信號ACT之活性化時，在內部時鐘產生電路20中，NAND電路23之輸出信號下降為L位準，來自反相器24之內部時鐘信號CLKI上升為H位準。在該活性化指示信號ACT為活性狀態之期間，NAND電路23作為反相器的進行動作，利用延遲電路21a～21c和熔絲元件22a～22c用來構成環式振盪器，利用熔絲元件22a～22c所程式設計之週期，產生內部時鐘信號CLKI。

在時刻ta，當內部時鐘信號CLKI上升為H位準時，NAND電路33a之輸出信號下降為L位準，依照來自NAND電路33c和相器32c之預充電指示信號ZPRE下降為L位準。當經過延遲電路31a所具有之延遲時間D1時，反相器32a之輸出信號變成為L位準。NAND電路33a之輸出信號變成為H位準，因此來自NAND電路33c和反相器32c之預充電指示信號ZPRE上升為H位準。當活性化指示信號ACT為H位準時，NAND電路33c作為反相器的進行動作。因此，預充電指示信號ZPRE在回應內部時鐘信號CLKI之上升時下降為L位準，和在經過時間D1後（時刻tb）上升為H位準。因此，預充電指示信號ZPRE在回應內部時鐘信號CLKI時，被週期性的驅動成為L位準之活性狀態。

五、發明說明（23）

從內部時鐘信號CLKI上升為H位準起，於經過時間D1和D2之後，延遲電路31b之輸出信號下降為L位準。延遲電路31c，反相器32b和NAND電路33b構成單發脈波產生電路。因此，當該延遲電路31b之輸出信號上升為H位準時，來自NAND電路33b之信號ZOS，在延遲電路31c所具有之延遲時間D3之期間（從時刻td至時刻te之期間）變成為L位準。亦即，在時刻tc，內部時鐘信號CLKI下降為L位準，在經過時間D1和D2後，來自NAND電路33b之信號ZOS下降為L位準，正反器34被設定，因此來自NAND電路33d之電荷輸送指示信號CT下降為L位準。在時刻tf，當預充電指示信號ZPRE下降為L位準時，正反器34被重設，來自正反器34之輸出信號變成為L位準，來自NAND電路33之電荷轉送指示信號CT上升為H位準。其中，延遲時間D1，D2和D3可以滿足以下之關係。

$Tc/2>D1+D2+D3$

$D1+D2>D3$

利用上述之關係，當回應內部時鐘信號CLKI之上升使預充電指示信號ZPRE下降為L位準時，NAND電路33b之輸出信號ZOS保證可以上升為H位準。

電荷轉送指示信號CT亦依照內部時鐘信號CLKI被活性/非活性化，另外，在利用預充電指示信號ZPRE之活性化進行預充電動作時，電荷轉送指示信號CT變成為H位準之活性狀態，可以確實的依照預充電指示信號ZPRE進行電容元件之預充電。另外，在預充電指示信號ZPRE之非活性狀態

五、發明說明 (24)

時，電荷轉送指示信號CT成為非活性狀態，可以進行電容元件之電荷保持動作。

依照上述之本發明之實施形態1時，利用電容元件之充電電荷用來檢測內部電壓之變化，利用電容元件之充電電壓之變化用來對該電荷量之變化進行放大，所實現之內部電壓產生電路可以以高速回應和低消耗電流，穩定的產生指定之電壓位準之內部電壓。

[實施形態2]

圖3A表示本發明之實施形態2之內部產生電路之構造。在圖3A中，內部電壓產生電路1包含有：基準電壓產生電路2，用來產生基準電壓Vr10；位準移位電路53，用來對該基準電壓Vr10之位準進行移位；電壓差分檢測用之P通道MOS電晶體55，用來使位準移位電路53之輸出節點53a上之電壓和內部電壓線4上之內部電壓Vr1之差別之對應電流，流到節點61；預充電電路57，在回應預充電指示信號PRE時，將節點61預充電成為指定之電壓；電容元件56，具有連接到節點61之一個之電極節點，和經由反相器60用以接受泵信號PMP之另外一個之電極節點；電荷保持電路65，依照預充電指示信號PRE和泵信號PMP用來保持節點61之電荷；驅動用之n通道MOS電晶片59，依照節點61之電壓Vpg用來從內部電壓線4引出電流；和n通道MOS電晶體58，依照內部電路15之活性化指示信號ACT進行導通，藉以在MOS電晶體59和接地節點之間形成電流路徑。在內部電壓線4更連接有穩定化電容16，和在節點53a更連接有穩定化

五、發明說明（25）

電容10。

基準電壓產生電路2具備有與先前之實施形態1之基準電壓產生電路2同樣之構造，利用可變電阻元件R1和R2之熔絲程式設計等可以用來調整基準電壓Vr10之電壓位準。

位準移位電路53包含有：n通道MOS電晶體53n，連接在電源節點和內部節點53a之間，和以其閘極接受基準電壓Vr10；和高電阻之電阻元件R4，連接在內部節點53a和接地節點之間。位準移位電路53只被要求對MOS電晶體55之閘極電容進行充電，所以其消耗電流很小。另外，電阻元件R4具有遠大於MOS電晶體53n之通道電阻(ON電阻)之電阻值，MOS電晶體53n以源極隨動器模態進行動作。因此，在節點53a出現Vr10-Vthn之電壓。

MOS電晶體55以其閘極連接到節點53a，以其源極連接到內部電壓線4，和以其吸極和反向閘極連接節點61。因此，該MOS電晶體55，在內部電壓線4上之電壓Vr1比節點53a上之電壓高臨界值電壓(之絕對值)Vthp時，進行導通，使電流從內部電壓線4流向內部節點61。依照MOS電晶體55之閘極-源極間之電壓用來決定MOS電晶體55之吸極(源極)電流，可以使與內部電壓Vr1之變化(亦即節點53a上之電壓和內部電壓線上之電壓之差分)對應之電流流經MOS電晶體55。

預充電電路57包含有n通道MOS電晶體57a和57b串聯連接在節點61和接地節點之間。MOS電晶體57a使其閘極和吸極互相連接，在導通時以二極體模態進行動作，用來產生其

五、發明說明 (26)

臨界值電壓Vthn之電壓降。MOS電晶體57b以其閘極接受預充電指示信號PRE。

電荷保持電路65包含有：NOR電路65a，用來接受預充電指示信號PRE和泵信號PMP；反相器65b，用來使NOR電路65a之輸出信號反轉；和傳輸閘65c，在回應NOR電路65a和反相器65b之輸出信號時選擇性的進行導通，用來形成節點61之電荷充放電路徑。傳輸閘65c在信號PRE和PMP均為L位準時變成為非導通狀態，用來保持節點61之電荷。

泵信號PMP具有外部電源電壓extVdd之振幅。因此，反相器60亦接受外部電源電壓extVdd作為其一方之動作電源電壓。

另外，內部電壓Vdd0，與外部電源電壓extVdd無關的成為一定之電壓位準。下面將參照圖3B所示之信號波形用來說明該圖3A所示之內部電壓產生電路之動作。

假設在內部電路15之待用狀態時，該內部電壓線4上之內部電壓Vrl，例如由於來自電源節點之洩漏電流使其電壓位準上升。因為內部電路15為待用狀態，所以活性化指示信號ACT成為L位準之非活性狀態，預充電指示信號PRE成為H位準之活性狀態，泵信號PMP被固定為L位準。在此種狀態，因為電荷保持電路65之傳輸閘65c為導通狀態，所以內部節點61經由預充電電路57放電，內部節點61上之電壓Vpg保持為MOS電晶體電晶體57a之臨界值壓Vthn之電壓位準。

其中，即使內部電壓Vrl進行上升，電流經由MOS電晶體

55流動時，因為預充電指示信號PRE為H位準，所以來自該MOS電晶體55之電流經由預充電電路57放電。預充電電路57之電流驅動能力大於MOS電晶體55之電流供給能力。MOS電晶體55和預充電電路57之電流驅動能力被設定成為小於驅動用之n通道MOS電晶體59，因此不能抑制該內部電壓Vrl之上升。

當內部電壓Vrl高於指定電壓位準時，在時刻T0，活性化指示信號ACT被活性化，內部電路15進行動作。在時刻T0至T1的期間，預充電指示信號PRE為H位準，和泵信號PMP為L位準，維持先前之狀態，內部電壓Vrl繼續上升。

當內部電壓Vrl達到下列之式(6)所示之電壓位準時，MOS電晶體55就變成ON狀態。

$$Vrl > Vrl0 - Vthn + Vthp \qquad \text{------(6)}$$

臨界值電壓Vthp和Vthn具有相同之溫度特性，可以使溫度特性互相抵消。另外，利用該基準電壓產生電路2之電阻元件R1和R2之微調，可以用來調整基準電壓Vrl0之電壓位準，臨界值電壓之Vthp和Vphn之電壓差可以互相抵消。因此，為著使說明簡化，下面假定Vthp=Vthn。亦即，當內部電壓Vrl高於Vrl0時，MOS電晶體55進行導通，從內部電壓線4將電流供給到節點61。

在時刻T1，當預充電指示信號PRE變成為L位準之非活性狀態時，泵信號PMP上升為外部電源電壓extVdd位準。在回應該泵信號PMP之上升時，反相器60之輸出信號下降為接地電壓位準，利用電容元件56之電容耦合L充電泵動

五、發明說明 (28)

作，使節點61之電壓Vpg下降(在預充電電路57，MOS電晶體57b成為OFF狀態)。亦即，電壓Vpg從預充電電壓Vthn朝向負方向變化泵信號PMP之振幅部份。因此，利用該泵信號PMP使電壓Vpg暫時的降低成為Vthn-extVdd之電壓位準。當節點61之電壓位準降低成為負電壓位準時，因為傳輸閘65c為導通狀態，所以利用來自MOS電晶體55之電流對對電容元件56充電，用來使其充電電壓Vpg之電壓位準上升。

在時刻T2，泵信號PMP下降為L位準，反相器60之輸出信號上升成為外部電源電壓extVdd位準。依照這種方式，利用電容元件56之充電泵動作，用來使節點61之電壓Vpg上升外部電源電壓extVdd位準。這時之電壓Vpg之電壓位準之決定是依照在時刻T1到時刻T2之期間被充電之電荷量。在內部電壓Vrl和基準電壓Vrl0之電位差很大之情況時，MOS電晶體 55對電容元件56供給較多之電荷，用來使該電壓Vpg之電壓位準上升。因此，在該泵信號PMP下降後，節點61之電壓Vpg所達到之電壓位準，依照該內部電壓Vrl和基準電壓Vrl0之差決定。當泵信號PMP變成為L位準時，在電荷保持電路65，NOR電路65a之輸出信號變成為H位準，傳輸閘65c變成為非導通狀態，保持節點61之充電電荷，節點61之電壓Vpg維持這時之電壓位準。

該驅動用MOS電晶體59，在該內部節點61上之電壓Vpg高於本身之臨界值電壓Vthn時，就依照節點61上之電壓Vpg使電流從內部電壓線4放電到接地節點，以高速使該內部

五、發明說明 (29)

電壓Vrl降低。在期間預充電指示信號PRE為L位準之非活性狀態，與該電流驅動電晶體59之放電動作並行的，差分檢測用之MOS電晶體55亦驅動電流，但是驅動電流很小，和由於該內部電壓Vrl之驅動用之MOS電晶體59之放電因而急激的降低，造成其放電電流之急激降低。節點61之電壓Vpg在電荷保持電路65之放電期間中，亦即在時刻T2至T3之期間保持為一定之電壓位準。

在時刻T=T'(T'<T2)，流入到電容元件56之電荷量Qpg，以與先前之實施形態1所示者相同之式表示。因此，在時刻T=T'，電壓Vpg以下列之式(7)表示。

$$Vpg=Vthn-extVdd+Qpg/Cpg \qquad \text{------(7)}$$

其中，閘極電容Cg，與式(2)不同的，未被包含在式(7)，當電荷從MOS電晶體55流入到電容元件56時，MOS電晶體59為OFF狀態，未形成通道，因此其閘極電容不存在(在此處該閘極電容可視為是形成在閘極電極和閘極絕緣膜與通道之間之電容)。

由上述之式(7)可以明白，經由將電容元件56之電容量Cpg設定成較小，電壓Vpg之電壓位準可以依照電荷量Qpg之微小變化進行大幅之變化。亦即，將內部電壓Vrl之微小變化放大成為電容元件56之充電電壓Vpq之大變化量。

上述之式(7)中之電壓Vpg成為最大值之獲得是在時刻T=T2，電壓Vpg等於內部電壓Vrl時。

在內部電壓Vrl低於基準電壓Vrl0之情況，於MOS電晶體55沒有電流流動。因此，在此種狀態電壓在Vpg維持在由

泵信號PMP產生之電壓Vpg=Vthn-extVdd。其求得是在上述之式(7)中使Qpg=0。

在時刻T2至時刻T3之期間，當回應泵信號PMP之下降時，電容元件56依照反相器60之輸出信號進行充電泵動作，使節點61上之電壓進行上升。在內部電壓Vrl高於基準電壓Vrl0之情況時，從上述之式(7)所示之電壓位準更進一步的上升外部電源電壓extVdd之電壓位準，電壓Vpg變成為以下式表示的電壓位準。

Vpg=Vthn+Qpg/Cpg ---------(8)

該電壓位準大於MOS電晶體59之臨界值電壓，用來使MOS電晶體59變成為ON狀態，利用其放電動作使內部電壓Vrl降低。該驅動用之MOS電晶體59因為其電流驅動能力很大，所以可以以高速使內部電壓Vrl降低。

電壓Vpg上升至最大extVdd+Vrl之電壓位準，該最大電壓位準是高於外部電源電壓extVdd之電壓位準，用來大幅的增加MOS電晶體59之電流驅動能力，藉以以高速使內部電壓Vrl降低。

另外一方面，在從時刻T2至T3之期間，當內部電壓Vrl低於基準電壓Vrl0之情況時，節點61之電壓Vpg回復到原來之預充電電壓Vthn位準，驅動用之MOS電晶體59維持OFF狀態。

在時刻T3，當預充電指示信號PRE上升為H位準時，電荷保持電路65之傳輸閘65c進行導通，利用活性化之預充電電路57，用來強制節點61上之電壓Vpg放電成為電壓Vthn

五、發明說明 (31)

位準。利用這種方式，驅動用之MOS電晶體59以長期的大電流驅動力使電部電壓線4進行放電，用來防止內部電壓Vrl之下衝(under shoot)。

即使在內部電壓Vrl低於基準電壓Vrl0之情況，亦需要利用泵信號PMP使節點61上之電壓Vpg具有外部電源電壓extVdd之振幅。因此，該圖3A所示之電路之消耗電流Ic變成以下列之式(9)表示。

$$Ic=(Cpg+Cgb)\cdot extVdd/Tc \qquad \text{------(9)}$$

其中之Cgb表示用以接受預充電指示信號PRE和活性化指示信號ACT之MOS電晶體57b和58之閘極電容之合計電容。另外，施加到該等MOS電晶體57b和58之預充電指示信號PRE和活性化指示信號ACT之振幅成為外部電源電壓extVdd位準。亦即，成為電壓Vpg高於外部電源電壓之情況，在預充電電路57中需要確實的使該內部節點61之電壓Vpg以高速進行放電。但是，施加到內部電壓產生電路預充電指示信號PRE和活性化指示號ACT之振幅，亦可以成為內部電源電壓位準。

經由使預充電指示信號PRE活性化，用來將節點61之電壓Vpg設定為預充電電壓Vthn，當利用泵信號PMP將節點61之電壓Vpg朝向負方向驅動時，可以在每一個循環使該電壓Vpg之達到電位成為相同，可以使驅動用MOS電晶體59確實的成為OFF狀態，可以將與內部電壓Vrl和基準電壓Vrl0之差分對應之電荷儲存在電容元件59，和可以進行正確之電壓差檢測和放大動作。

五、發明說明（32）

另外，當利用泵信號PMP使電壓Vpg上升時，該電壓Vpg之達到電壓位準變成為與內部電壓Vrl和基準電壓Vrl0之差分對應之電壓位準，利用與該電壓差對應之電流驅動力，驅動用之MOS電晶體59可以使內部電線4進行放電，可以防止發生下衝（因為不會產生以大電流驅動力使小電壓差進行放電之狀態）。

圖4A表示用以產生圖3A所示之控制信號之部份之構造。在圖4A中，控制信號產生電路包含有：內部時鐘電路20，在活性化指示信號ACT之活性化時被活性化，用來產生內部時鐘信號CLKI；和驅動信號產生電路70，依照來自該內部時鐘產生電路20之內部時鐘信號CLKI，用來產生單發之脈波信號，藉以產生預充電指示信號PRE和泵信號PMP。內部時鐘產生電路20之構造與先前之圖2A所示之內部時鐘產生電路的構造相同，在其對應之部分附加相同之參考號碼，而其詳細之說明則加以省略。利用熔絲元件22a～22c之程式設計（熔絲之熔斷），用來決定內部時鐘信號CLKI之週期Tc。

驅動信號產生電路70包含有：延遲電路71a，用來使內部時鐘信號CLKI延遲時間Da；延遲電路71b，用來使延遲電路71a之輸出信號延遲時間Db；反相器72a，用來使延遲電路71b之輸出信號反相；NAND電路73a，用來接受反相器72a之輸出信號和延遲電路71a之輸出信號，藉以產生預充電指示信號PRE；延遲電路71c，用來使延遲電路71a之輸出信號再延遲時間Dc；反相器72b，用來使延遲電路71c之

五、發明說明（33）

輸出信號反相；NAND電路73b，用來接受反相器72b之輸出信號和延遲電路71a之輸出信號反相；和反相器74，用來使NAND電路73b之輸出信號反相，藉以產生泵信號PMP。

下面將參照圖4B所示之動作波形用來說明該圖4A所示之控制信號產生電路之動作。

在時刻T0以前，活性化指示信號ACT為非活性狀態之L位準，內部時鐘信號CLKI被固定在L位準。在此種狀態預充電指示信號PRE為H位準，泵信號PMP被固定在L位準。

在時刻T0，活性化指示信號ACT被驅動或為H位準之活性態。在回應該活性化指示信號ACT之活性化時，以指定之週期TC產生內部時鐘信號CLKI。從內部時鐘信號CLKI上升為H位準起，於經過延遲電路71a所具有之延遲時間Da後，NAND電路73a之兩個輸入均變成為H位準，用來將預充電指示信號PRE驅動成為L位準。從延遲電路71a之輸出信號上升為H位準起，當延遲電路71b之輸出信號上升為H位準時，預充電指示信號PRE被驅動成從L位準變成H位準。因此，該預充電指示信號PRE在延遲電路71b所具有之延遲時間Db之期間變成為L位準。

另外一方面，當延遲電路71a之輸出信號上升為H位準時，NAND電路73b之輸出信號下降為L位準，因此，來自反相器74之泵信號PMP被驅動成為H位準。在經過延遲電路71c所具有之延遲時間Dc後，反相器72b之輸出信號變成為L位準，來自反相器74之泵信號PMP驅動成為L位準。因此，該泵信號PMP在延遲電路71c所具有之延遲時間Dc之期

間被驅動成為H位準。

預充電指示信號PRE之下降為L位準，與泵信號PMP之上升為H位準同步。因此，當預充電指示信號PRE變成為L位準，節點61與接地節點分離時，可以依照泵信號PMP將節點61之電壓Vpg驅動成為負電壓位準。另外，在各個循環，可以將充電開始電壓位準設定成為一定的電壓位準。延遲電路71a之延遲時間Da之設置，與實施形態1同樣的，從內部電路進行動作起，用來穩定的進行電壓差檢測和調整動作。

依照上述方式之本發明之實施形態2時，因為構建成以電容元件之電荷變化量用來檢測內部電壓之微小電壓變動，將其放大成為該電容元件之充電電壓之變化，利用該充電電壓，經由驅動電晶體使內部電壓進行放電，所以可以以低消耗電流和高敏感度檢測內部電壓之上升，藉以將內部電壓驅動成為指定之電壓位準。

經由利用反相器60將驅動用MOS電晶體之閘極電壓驅動成為與電壓差對應之電壓位準，可以使電壓差檢測用之MOS電晶體在該期間成為OFF狀態，經由驅動用MOS電晶體可以有效的調整內部電壓之電壓位準。利用這種方式，電路之佔用面積不會增加，可以依照預充電期間，電壓差檢測時間，和電壓調整期間，將驅動用MOS電晶體之閘極電壓有效的驅動成為所希望之狀態。

[實施形態3]

圖5概略的表示本發明之實施形態3之半導體裝置之全體

五、發明說明（35）

之構造。在圖5中，該半導體裝置100包含有：時鐘緩衝器101，用來對來自外部之時鐘信號eCLKB進行緩衝處理，藉以產生內部時鐘信號CLKB；控制電路102，與來自時鐘緩衝器101之內部時鐘信號同步的進行動作，依照來自外部之控制信號CTL用來產生內部控制信號；和控制信號產生電路103，依照來自該控制電路102之活性化指示信號ACT和來自時鐘緩衝器101之內部時鐘信號CLKB，用來產生對內部電壓產生電路1進行控制之控制信號。

該圖5所示之半導體裝置100依照從外部施加之時鐘信號eCLKB用來產生內部時鐘信號CLKB，以該內部時鐘信號CLKB作為基本時鐘信號用來決定內部電路之動作時序。控制信號產生電路103利用內部時鐘信號CLKB用來產生各種必要之必要的控制信號。

圖6概略的表示圖5所示之控制信號產生電路103之構造。在圖6中，控制信號產生電路103包含有：倍增電路103a，用來使內部時鐘信號CLKB之頻率倍增；和驅動信號產生電路103b，依照來自該倍增電路103a之時鐘信號CLKI和活性化指示信號ACT，用來對內部電壓產生電路輸出控制信號。該驅動信號產生電路103b，與先前之實施形態1和2所示之驅動信號產生電路30和70對應的，用來產生信號PRE和PMP或ZPRE和CT。

因為利用來自時鐘緩衝器101之內部時鐘信號CLKB，用來規定該內部電壓產生電路之動作循環，所以可以不需要設置環式振盪器等，因此可以減小電路規模和消耗電流。

五、發明說明 (36)

圖7概略的表示圖6所示之倍增電路103a之構造。在圖7中，倍增電路103a包含有級聯連接之多個分頻器110a～110n。該等分頻器110a～110n具有相同之構造，包含有：輸出節點OUT，用來輸出分頻信號；賦能節點E，用來接受活性化指示信號ACT；和時鐘輸入C，用來接受前段所輸出之時鐘信號。該等分頻器110a～110n之各個用來對施加到時鐘輸入C之時鐘信號進行分頻，從其輸出節點OUT輸出。因此，該等分頻器110a～110n以輸出之時鐘信號之倍增率（分頻比）變大之順序排列。

在該圖7所示之構造中，從最後段之分頻器110n取出時鐘信號CLKI。但是，經由選擇性的取出分頻器110a～110n之任何一個所輸出之時鐘信器，可對該倍增電路103a之分頻比進行程式設計。例如，在分頻器110a～110n之各個之輸出節點OUT設置CMOS傳輸閘，經由選擇性的使該等CMOS傳輸閘之1個成為導通狀態，可以用來對頻率倍增比進行程式設計。用以控制CMOS傳輸閘之導通/非導通之信號亦可以利用熔絲元件進行程式設計，或利用暫存器電路等收納分頻比資料，依照該分頻比資料產生控制信號。

圖8表示圖7所示之分頻器110a～110n之構造。在圖7中代表性的表示1個之分頻器110。

在圖8中，分頻110包含有：反相器112，用來使施加到賦能輸入E之信號反相；傳輸閘111，依照該反相器112之輸出信號和賦能輸入E之信號，用來使外部電源節點耦合到節點NDA；反相器113，用來節點NDA上之信號反相；計

五、發明說明 (37)

時反相器114，依照時鐘輸入C上之信號被活性化，用來將該反相器113之輸出信號傳達節點NDA；反相115，用來使反相器113之輸出信號；反相器116，用使反相器115之輸出信號反，藉以從輸出節點OUT輸出時鐘信號；傳輸閘117，依照時鐘輸入C和ZC上之時鐘信號，用來使反相器115之輸出信號通過；反相器118，用來使從該傳輸閘117傳達到節點NDB之信號反相；計時反相器119，依照時鐘輸入C和ZC上之時鐘信號進行動作，用來將反相器118之輸出信號傳達到節點NDB；和傳輸閘120，在回應時鐘輸入C和ZC上之信號時選擇性的進行導通，用來將反相器118之輸出信號傳達到節點NDA。傳輸閘117和120互補的成為導通狀態。

下面將參照圖9所示之動作波形圖用來說明該圖8所示之分頻器110之動作。施加到時鐘輸入C和ZC之時鐘信號是互補之時鐘信號。當施加到賦能輸入E之活性化指示信示號(ACT)為L位準時，傳輸閘111進行導通，節點NDA保持在外部電源電壓extVdd位準之H位準。依照時鐘輸入C之信號使傳輸閘117和120互補的進行導通，藉以將該節點NDA上之信號傳達到節點NDB，同樣的節點NDB亦成為H位準。

當施加到賦能輸入E之活性化指示信號上升為H位準時，傳輸閘111變成為非導通狀態，節點NDA與外部電源節點分離。當施加到時鐘輸入C之時鐘信號(以下簡稱為時鐘信號)，變成為H位準時時，傳輸閘120進行導通，用來將L位準之信號從反相器118傳達到節點NDA。計時反相器114為

五、發明說明（38）

輸出高阻抗狀態，節點NDA之電壓位準下降成為L位準。另外一方面，傳輸閘117為非導通狀態，用來將節點NDB維持在H位準。在回應該節點NDA之信號之下降時，來自輸出節點OUT之時鐘信號上升為H位準。當時鐘信號C下降為L位準時，計時反相器114進行動作，節點NDA之L位準被閂鎖。這時傳輸閘117進行導通，另外一方面，傳輸閘120變成為非導通狀態，來自反相器115之L位準之信號經由傳輸閘117傳達到節點NDB，因為時鐘計時反相器119成為輸出高阻抗狀態，所以該節點NDB之信號電位下降為L位準。傳輸閘120因為成為非導通狀態，所以節點NDA維持在L位準。

當時鐘信號C上升為H位準時，傳輸閘120進行導通，來自反相器118之H位準之信號傳達到節點NDA。這時計時反相器114為輸出高阻抗狀態，節點NDA之電壓變成為H位準。傳輸閘117為非導通狀態，節點NDB維持在L位準。

其次，當時鐘信號C再度的下降成為L位準時，傳輸閘120變成為非導通狀態，傳輸閘117變成為導通狀態，來自反相器115之H位準之信號被傳達到節點NDB節點NDB之電壓位準變成為H位準。

然後，經由重複進行此種動作，節點NDA變成為1個時鐘週期之H位準和1個時鐘週期之L位準的進行變化，節點NDB變成為比該節點NDA之信號變化延遲時鐘信號C之半個週期的進行變化。因此，來自輸出節點OUT之時鐘信號變成為施加到時鐘輸入C之時鐘信號之1/2頻率之信號。經由使該分頻器形成級聯連接，可以實現分頻比(1/2)M之頻率倍增

電路。

如先前所說明之方式，經由適當的選擇分頻器110a～110n之輸出OUT，可以獲得以2之冪乘對基本時鐘信號CLKB進行分頻之內部時鐘信號CLKI。

依照上述方式之本發明之實施形態3時，在內部對從外部施加之時鐘信號進行頻率倍增，用來產生內部時鐘信號藉決定內部電壓產生動作之動作循環，不需要環式振盪器用來產生時鐘信號藉以在內部決定動作循環，所以可以減小電路佔用面積和消耗電流。

[實施形態4]

圖10概略的表示依照本發明之實施形態4之半導體裝置之構造。在該圖10所示之構造中，設有：內部電壓產生電路1A，用來對內部電壓線4補償該內部電壓線4上之內部電壓Vrl之降低；和內部電壓產生電路1B，用來補償內部電壓Vrl之上升。該內部電壓產生電路1A具備有圖1(A)所示之構造，在活性化指示信號ACT之活性化時，當該內部電壓Vrl低於指定之電壓位準時，就從外部電源節點對內部電壓線4供給電流，用來使該內部電壓Vrl之電壓位準上升。

另外一方面，當內部電壓Vrl高於指定之電壓位準時，在活性化指示信號ACT之活性化時，使內部電壓產生電路1B進行動作，用來使該內部電壓線4上之內部電壓Vrl朝向接地節點放電，藉以將該內部電壓Vrl驅動成為指定之電壓位準。該內部電壓產生電路1B具備有先前之實施形態2

五、發明說明 (40)

之圖3A所示之構造。

如該圖10所示，經由設置內部電壓產生電路1A和1B用來抑制內部電壓Vrl之上升和降低雙方，可以將內部電壓Vrl穩定的保持在指定之電壓位準。

另外，用以抑制內部電壓Vrl之上升和降低之構造可以利用以下所示之構造。亦即，在圖1A所示之內部電壓產生電路之構造中，只要使預充電電路，和差分檢測用之MOS電晶體和電流驅動用之MOS電晶體之導電型反轉，和使外部電源節點成為接地節點，而且使控制信號之極性反轉，就可以實現用以抑制內部電壓Vrl之上升之電路。

同樣的，在圖3A所示之內部電壓產生電路之構造中，假如使預充電電路57，和電流驅動電晶體59和差分檢測用之MOS電晶體55之導電型全部反轉，而且使所施加之控制信號之極性反轉，和使接地節點成為外部電源節點，利用此種替換可以使該圖3A所示之內電壓產生電路具有作為用以抑制內部電壓Vrl之降低之電路之作用。

[實施形態5]

圖11A概略的表示依照本發明之實施形態5之半導體裝置之構造。在圖11A中，設有：內部電壓產生電路130a～130d，4個互相並行的進行動作；π/4移位器125a～125c，分別與內部電壓產生電路130b～130d對應，用來使所施加之時鐘信號進行90°（π/4）移相然後輸出。

π/4移位器之輸出時鐘信號Ca施加到對應之內部電壓產生電路130b，和施加到π/4移位器125b之輸入。π/4移位

五、發明說明（41）

器125b之輸出時鐘信號Cb施加到對應之內部電壓產生電路130C，和施加到π/4移位器125C之輸入。π/4移位器125C之輸出時鐘信號Cc施加到對應之內部電壓產生電路130d。對內部電壓產生電路130a施加時鐘時信號CLKI，和對π/4移位器125a施加時鐘信號CLKI。因此，時鐘信號CLKI，Ca，Cb和Cc之相位分別互相偏移90°。內部電壓產生電路130a～130d之各個包含有控制信號產生電路和實施形態1，2或4之內部電壓產生電路，其動作循環由被施加之時鐘信號決定。

因此，該等內部電壓產生電路130a～130d分別以偏移90°之相位，實施行預充電，電壓差檢測和內部電壓線驅動。因此，如圖11B所示，內部電壓產生電路130a～130d因為分別依照相位各偏移90°之時鐘信號CLKI，Ca，Cb，Cc進行動作，所以對於內部電壓線4上之內部電壓Vrl之控制動作循環，變成為該時鐘信號CLKI之週期Tc之1/4。

當使內部電壓Vrl之容許變動範圍成為Δva時，在該內部電壓Vrl之時間變動ΔVt大於ΔVa/Tc之情況時，要在1個循環週期Tc內吸收該時間變動ΔVt會有因難，其內部電壓發生電路之反應速度變為不足。為著使其動作循環Tc變短，可以構建成使經由電壓差檢測用之電晶體流動之電流Ipg之電流值變大和使電容元件(Cpg)6或56之電容量Cpg減小，藉以產生可以以短時間充分驅動電流驅動電晶體之電壓Vpg。

但是，在電壓差檢測用之MOS電晶體5或55，因為其內部

五、發明說明 (42)

電壓Vrl之容許範圍ΔVa很小，所以很難使其閘極-源極間之電壓Vgs和臨界值電壓Vth(Vthn或Vthp)之差變大。因此，流經該電壓差檢測用之MOS電晶體5或55之電容元件之充放電電流Ipg成為比較小。要使流經該電壓差檢測用之MOS電晶體5或55之電流Ipg變大時，需要使該等之電壓差檢測用之MOS電晶體5和55之通道幅度和通道長之比W/L成為非常大，增加電路佔用面積。另外，當以1個之內部電壓產生電路補償內部電壓Vrl之變動時，該內部電壓Vrl在時間上成為大鋸齒狀的變化。

但是，如該圖11A所示，準備多個(在本實施型態中為4個)相同構造之內部電壓產生電路，用以規定動作循環之時鐘信號分別使其相位互相偏移90°，可以用來使該等之內部電壓產生電路之內部電壓修正動作之相位偏移90°。因此，從內部電壓Vrl看之電路之反應速度等值的成為1/4，其內部電壓Vrl之變動，當與利用1個之內部電壓產生電路之情況比較時，可以抑制成為1/4或ΔVt·(1/4)·Tc。

圖12A概略的表示圖11A所示之π/4移位器125a～125c之構造之一實例。該等π/4移位器125a～125c具有相同之構造，在圖12A中，代表性的顯示1個之π/4移位器125。

在圖12A中，π/4移位器125包含有：傳輸閘135，依照時鐘信號CK2和ZCK2進行導通，用來使輸入時鐘信號CK通過；和閂鎖135b，用來閂鎖通過該傳輸閘135a之時鐘信號，藉以輸出該輸出時鐘信號CKO。時鐘信號CK2和ZCK2是

五、發明說明（43）

互補之時鐘信號，另外該等之時鐘 信號CK2和ZCK2之頻率為輸入時鐘信號CK之2倍。下面將參照圖12B所示之動作波形用來說明該圖12A所示之π/4移位器125之動作。

輸入時鐘信號CK和轉送時鐘信號CK2是同相之時鐘信號。當時鐘信號CK上升時，轉送時鐘信號CK2亦上升為H位準，傳輸閘135a變成為非導通狀態，閂鎖135b之輸出時鐘信號CKO之狀態不變。當轉送時鐘信號CK2下降為L位準時，傳輸閘135a進行導通，用來讓輸入時鐘信號CK通過。因此，來自閂鎖135b之輸出時鐘信號CKO上升為H位準。在轉送時鐘信號CK2為L位準之期間，輸入時鐘信號CK為H位準，輸出時鐘信號CKO維持為H位準。當轉送時鐘信號CK2，與輸入時鐘信號CK之下降同步的，上升為H位準時，傳輸閘135a變成為非導通狀態，輸出時鐘信號CKO和輸入時鐘信號CK分離，維持H位準。其次，當轉送時鐘信號CK2再度下降成為L位準時，傳輸閘135a進行導通，來自閂鎖135b之輸出時鐘信號CKO下降為L位準。

因此，該圖12A所示之π/4移位器125轉送延遲該轉送時鐘信號CK2之1/2個循環之輸入時鐘信號，用來產生輸出時鐘信號CKO。轉送時鐘信號CK2之頻率為輸入時鐘信號CK之頻率之2倍。因此，輸出時鐘信號CKO對輸入時鐘信號CK成為相位延遲π/4。在使該圖12A所示之π/4移位器之輸出時鐘信號CKO再延遲相位π/4時，使施加到傳輸閘135a之轉送時鐘信號之極性反轉，當轉送時鐘信號CK2成為H位準時，傳輸閘135a成為導通狀態。利用這種方式，可以獲得

五、發明說明（44）

使該輸出時鐘信號CKO再偏移π/4相位之時鐘信號。亦即，當輸入時鐘信號之上升時，以輸入部之傳輸閘成為非導通狀態之方式，對傳輸閘施加時鐘信號CK2和ZCK2。

另外，在上述之圖11A所示之構造中，使用4個之內部電壓產生電路，以分時多工方式進行動作。但是，該以分時多工方式進行動作之內部電壓產生電路之數目並不只限於4個，亦可以是2個或8個。

依照上述式之本發明之實施形態5時，因為使多個之內部電壓產生電路之動作相位偏移，所以內部電壓之修正動作循環等值的減小，可以將內部電壓穩定的維持在指定之電壓位準。

[其他之應用例]

在以上之說明中，所說明之內部電壓Vrl是接近接地壓之電壓位準。但是，經由使基準電壓Vrl0之電壓位準變高，可以用來使內部電壓之電壓位準變高。因此，本發明亦可以應用在較高電壓位準之內部電壓。

另外，當消耗該內部電壓Vrl之內部電路，在動態隨機存取記憶器之情況時，例如可以應用在感測放大器電路，使位元線放電至內部電壓Vrl位準。

另外，該內部電壓Vrl亦可以被利用作為對定電流源電晶體之閘極施加之定電壓。

[發明之效果]

依照上述方式之本發明時，對內部電壓之微小變化，和依照電容元件之電荷變化使電容元件之充電電荷量變化之

五、發明說明（45）

該電容元件之充電電壓，以及內部電壓之電壓差進行放大，其次依照該電容元件之充電電壓，利用驅動電晶體調整內部電壓之位準。因此，所實現之內部電壓產生電路可以以小佔用面積和低消耗電流穩定的產生內部電壓。

雖然上面已經詳細的描述和說明本發明，但宜瞭解者上述之說明只作舉例之用而無意用來限制本發明，本發明之精神和範圍只由所附之申請專利範圍限制。

[元件編號之說明]

1, 1A, 1B	內部電壓產生電路
2	基準電壓產生電路
3	位準移位電路
3a	節點
3p	P通道MOS電晶體
4	內部電壓線
5	N通道MOS電晶體
6	電容元件
7	預充電電路
7a, 7b	P通道MOS電晶體
7c	n通道MOS電晶體
7d	節點
8	電荷保持電路
8a	反相器
8b	傳輸閘
9	P通道MOS電晶體

五、發明說明 (46)

10	穩定化電容器
11	節點
12a, 12b	P通道MOS電晶體
15	內部電路
16	穩定化電容器
20	內部時鐘產生電路
21a-c	延遲電路
22a-c	熔絲元件
23	NAND電路
24	反相器
30	驅動信號產生電路
31a-c	延遲電路
32a-c	反相器
33a-d	NAND電路
34	正反器
53	位準移位電路
53a	節點
53n	n通道MOS電晶體
55	電壓差分檢測用之P通道MOS電晶體
56	電容元件
57	充電電路
57a, 57b	n通道MOS電晶體
58	n通道MOS電晶體
59	驅動用之通道MOS電晶體

五、發明說明（47）

60	反相器
61	節點
65	電荷保持電路
65a	NOR電路
65b	反相器
65c	傳輸閘
70	驅動信號產生電路
71a-c	延遲電路
72a-b	反相器
73a-b	NAND電路
74	反相器
100	半導體裝置
101	時鐘緩衝器
102	控制電路
103	控制信號產生電路
103a	倍增電路
103b	驅動信號產生電路
110,110a,110b,110c	分頻器
111	傳輸閘
112,113	反相器
114	計時反相器
115,116	反相器
117	傳輸閘
118	反相器

五、發明說明 (48)

119	計時反相器
120	傳輸閘
125a, b, c	π/4 移位器
130a-d	內部電壓產生電路
135a	傳輸閘
135b	閂鎖

圖式簡單說明

圖1之1A表示本發明之實施形態1之內部電壓產生電路之構造，1B是時序圖，用來表示1A所示之電路之動作。

圖2之2A表示圖1A所示之產生控制信號之部份之構造，2B是時序用，用來表示2A所示之控制信號產生電路之動作。

圖3之3A表示本發明之實施形態2之內部電壓產生電路之構造，3B是信號波形圖，用來表示2A所示之電路之動作。

圖4之4A表示圖3A所示之產生控制信號之部份之構造，4B是時序圖，用來表示4A所示之電路之動作。

圖5概略的表示本發明之實施形態3之半導體裝置之全體之構造。

圖6概略的表示圖5所示之控制信號產生電路之構造。

圖7概略的表示圖6所示之倍增電路之構造。

圖8表示圖7所示之分頻器之構造。

圖9是時序圖，用來表示圖8所示之分頻器之動作。

圖10概略的表示本發明之實施形態4之半導體裝置之構造。

圖11之11A概略的表示本發明之實施形態5之半導體裝置之構造，11B是時序圖，用來表示11A所示之電路之動作。

圖12之12A表示圖11A所示之π/4移位器之構造之一例，12B是時序圖，用來表示12A所示之π/4移位器之動作。

圖13表示習知之內部電壓產生電路之構造之一實例。

圖14之14A和14B表示內部電壓之用途。

圖15之15A和15B分別表示內部電壓之另外之用途。

圖式簡單說明

圖16表示習知之內部電壓產生電路之構造。

圖17表示習知之內部電壓產生電路之另一構造。

四、中文發明摘要 （發明之名稱：半導體裝置）

本發明之解決手段是經由MOS電晶體以電容元件之放電電流用來檢測內部電壓線上之內部電壓之電壓變化，藉以變化該電容元件之充電電壓。依照該電容元件之充電電壓驅動該電流驅動電晶體，藉以對內部電壓線供給電流。可以以低消耗電流和小佔用面積穩定的產生內部電壓。

英文發明摘要 （發明之名稱：SEMICONDUCTOR DEVICE ）

Change in internal voltage on an internal voltage line is detected as discharging current of a capacitance element via an MOS transistor to change a charged voltage of the capacitance element. According to the charged voltage of the capacitance element, a current drive transistor is driven to supply a current to the internal voltage line. The internal voltage is stably generated with low current consumption and small occupation area.

六、申請專利範圍

1. 一種半導體裝置，其特徵是具備有：

內部電壓線(4；x)

內部電壓產生電路(1)，用來在上述之內部電壓線上產生內電壓；

上述之內部電壓產生電路(1)具備有：

基準電壓產生電路(2)；

電容元件(6；56)；

差分檢測裝置(5；55)，依照來自上述基準電壓產生電路之基準電壓和上述之內部電壓線上之內部電壓之差，用來變化上述之電容元件之充電電壓；和

電流驅動元件(9；59)，依照上述之電容元件之充電電壓，用來使電流在電源節點和上述之內部電壓線之間流動。

2. 如申請專利範圍第1項之半導體裝置，其中

上述之差分檢測電路(5；55)具備有絕緣閘型場效電晶體(5；55)，用來使依照上述之基準電壓和上述之內部電壓之差之電流流動。

3. 如申請專利範圍第1項之半導體裝置，其中

上述之內部電壓產生電路(1)更具備有電荷保持電路(8；65)，依照控制信號使上述之電容元件和上述之差分檢測電路分離。

4. 如申請專利範圍第1項之半導體裝置，其中

上述之內部電壓產生電路(1)更具備有預充電電路(7；57)，在回應控制信號時，使上述之電容元件(6；56)耦合

六、申請專利範圍

到上述之電源節點，和使上述之電容元件和上述之差分檢測電路分離。

5. 如申請專利範圍第1項之半導體裝置，其中

上述之內部電壓產生電路(1)更具備有：電荷保持電路(8；58)，在回應第1控制信號之非活性化時，使上述之差分檢測電路和上述之電容元件分離；和預充電電路(7；57)，在第2控制信號之活性化時，用來使上述之電容元件耦合到上述之電源節點，和用來使上述之電容元件和上述之差分檢測電路分離；在回應上述之第2控制信號之活性化時使上述之第1控制信號活性化，和上述之第1控制信號在第2控制信號非活性化經過指定之時間係被非活性化。

6. 如申請專利範圍第1項之半導體裝置，其中

上述之內部電壓產生電路(1)更具備有預充電電路(7，8；57，65)，在回應預充電指示信號時，用來使上述之電容元件耦合到上述之電容元件。

7. 如申請專利範圍第6項之半導體裝置，其中

更具備有施加電路(60)，在回應上述之預充電指示信號之非活性化時，用來對上述之電容元件施加單發之脈波信號，上述之單發之脈波信號經由上述之電容元件傳達到上述電流驅動元件之控制電極節點。

8. 如申請專利範圍第1項之半導體裝置，其中更具備有：

內部電路(15)，在回應活性化指示信號時，被活性化和進行動作，消耗上述之內部電壓線上之內部電壓；和

六、申請專利範圍

控制電路(103)，依照上述之活性化指示信號，產生用以控制上述差分檢測電路之電壓差檢測動作和上述電容元件之充電動作之控制信號，將其施加到上述之內部電壓產生電路。

9. 如申請專利範圍第1項之半導體裝置，其中

更具備有產生電路(103a，103b)，依照重複施加之時鐘信號，產生用以控制上述之差分檢測動作和電容元件之充電動作之控制信號。

10. 如申請專利範圍第1項之半導體裝置，其中

設置有多個上述之內部電壓產生電路，上述設有多個之內部電壓產生電路(130a～130d)並聯的耦合在上述之內部電壓線(4)，和以互異之時序進行動作用來產生內部電壓。

11. 如申請專利範圍第10項之半導體裝置，其中

更具備有施加電路(125a～125c)，用來對上述之多個內部電壓產生電路(130a～130d)，施加具有指定週期之使時鐘信號移相之動作循環規定信號。

12. 如申請專利範圍第1項之半導體裝置，其中

上述之電流驅動元件(9)在導通時使電流從上述之電源節點流到上述之內部電壓線。

13. 如申請專利範圍第1項之半導體裝置，其中

上述之電流驅動元件(59)在導通時使電流從上述之內部電壓線流到上述之電源節點。

891.9.17

圖 1A

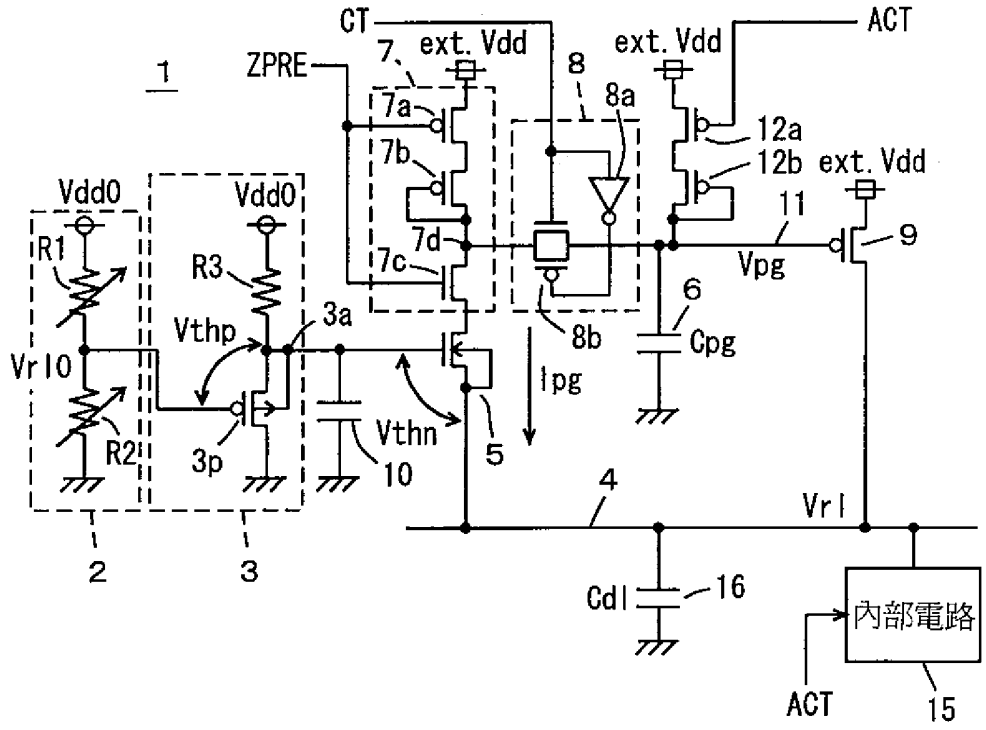


圖 1B

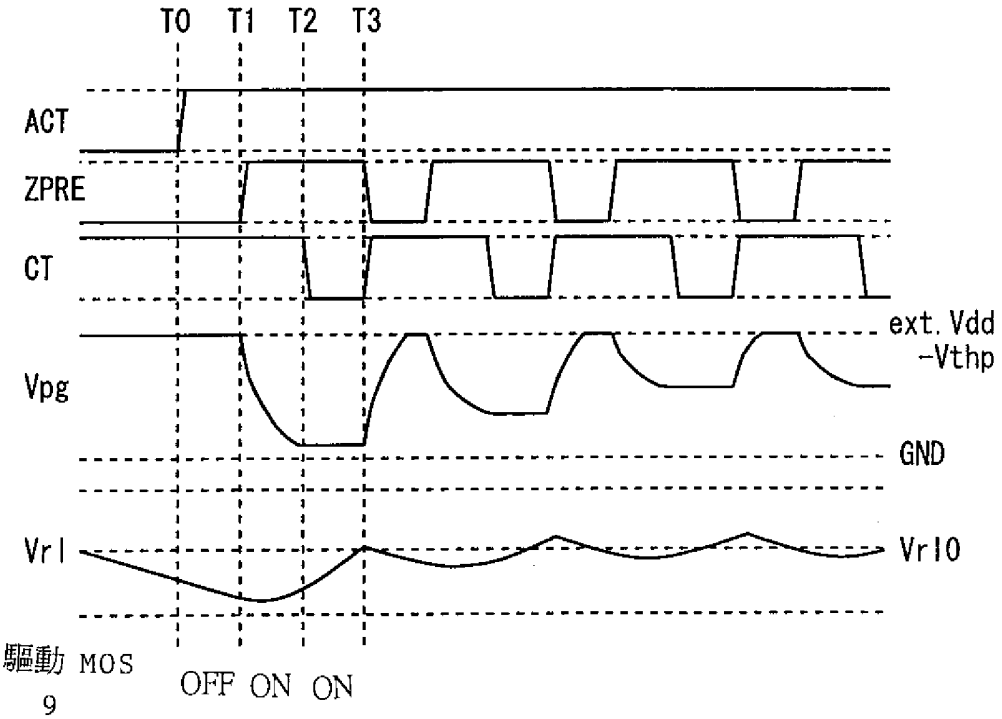


圖 2A

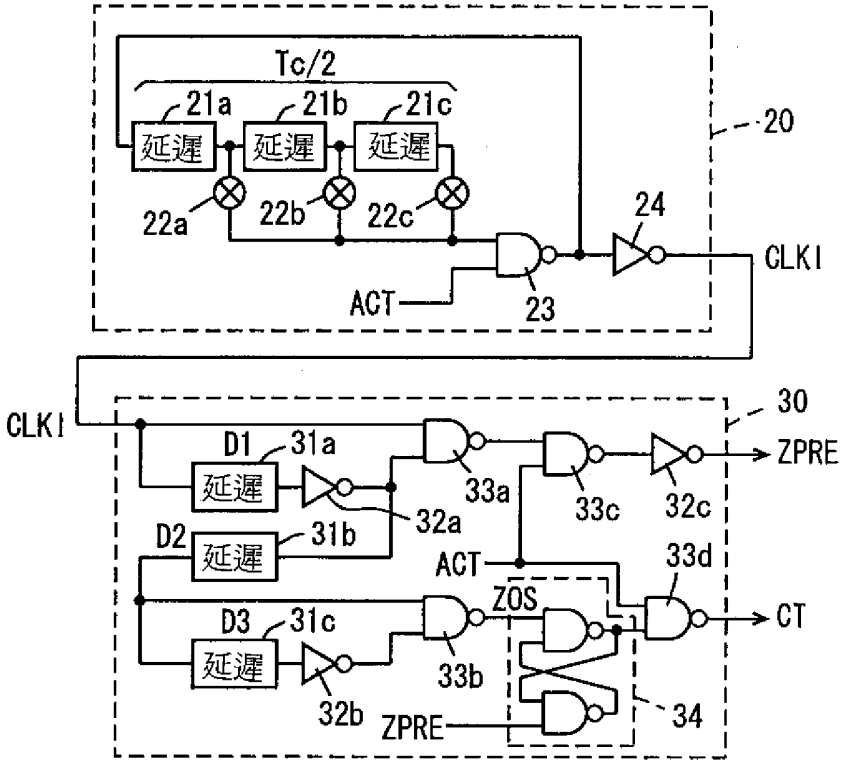

Tc/2
21a
21b
21c
延遲
延遲
延遲
20
22a
22b
22c
24
CLKI
ACT
23
CLKI
30
D1
31a
延遲
33a
33c
32c
ZPRE
32a
D2
延遲
31b
ACT
33d
ZOS
D3
31c
延遲
33b
CT
32b
ZPRE
34

圖 2B

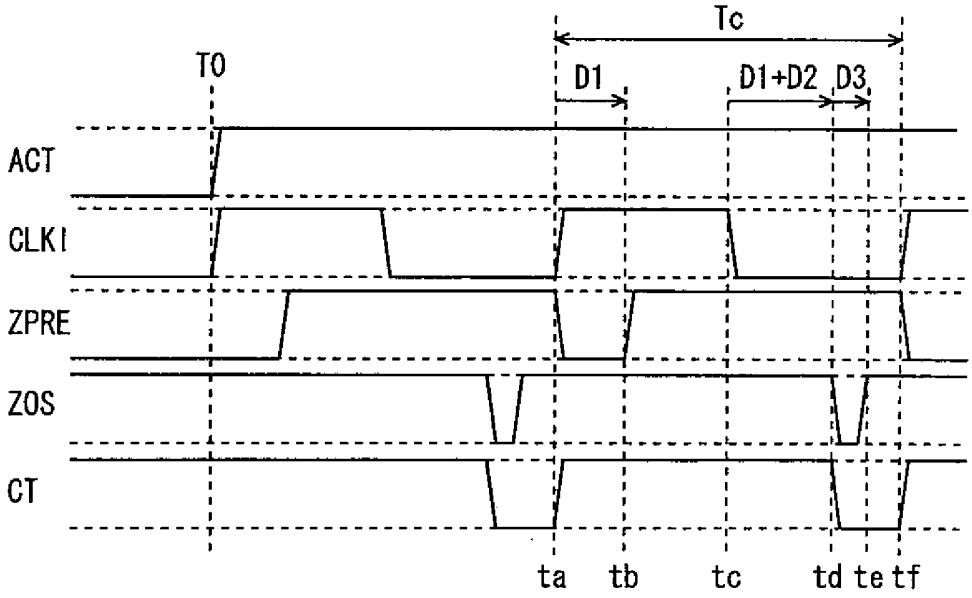

Tc
T0
D1
D1+D2
D3
ACT
CLKI
ZPRE
ZOS
CT
ta
tb
tc
td
te
tf

圖 3A

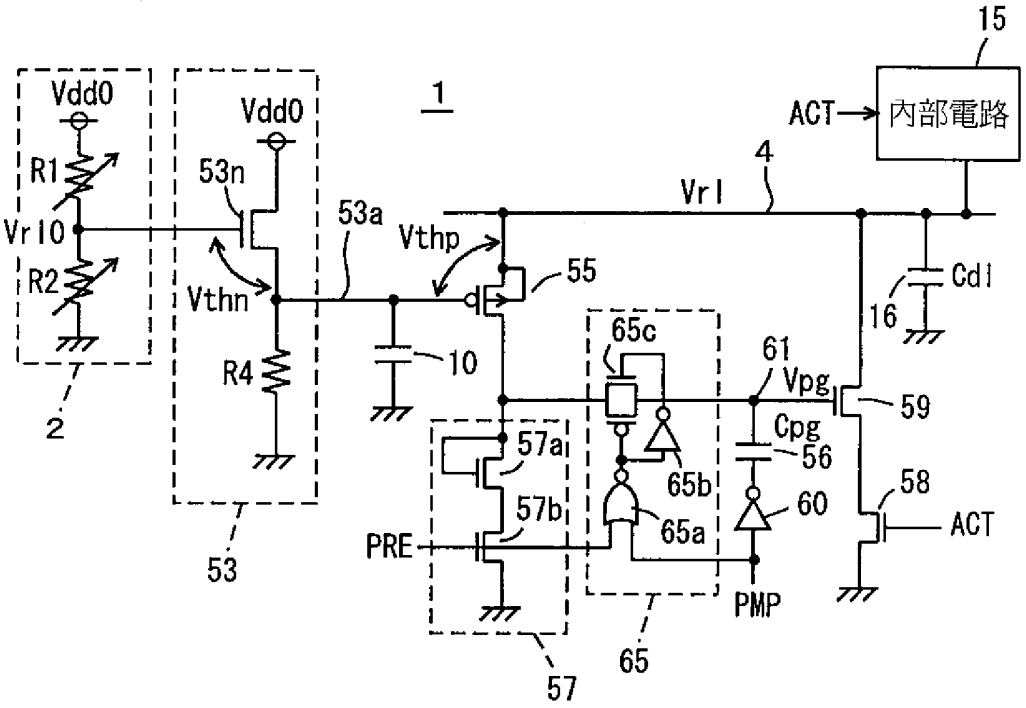

15
內部電路
ACT
1
Vdd0
Vdd0
R1
53n
Vr10
R2
Vthn
R4
2
53
53a
Vthp
55
Vrl
4
10
65c
61
Vpg
59
Cdl
16
Cpg
56
57a
65b
58
ACT
57b
65a
60
PRE
PMP
65
57

圖 3B

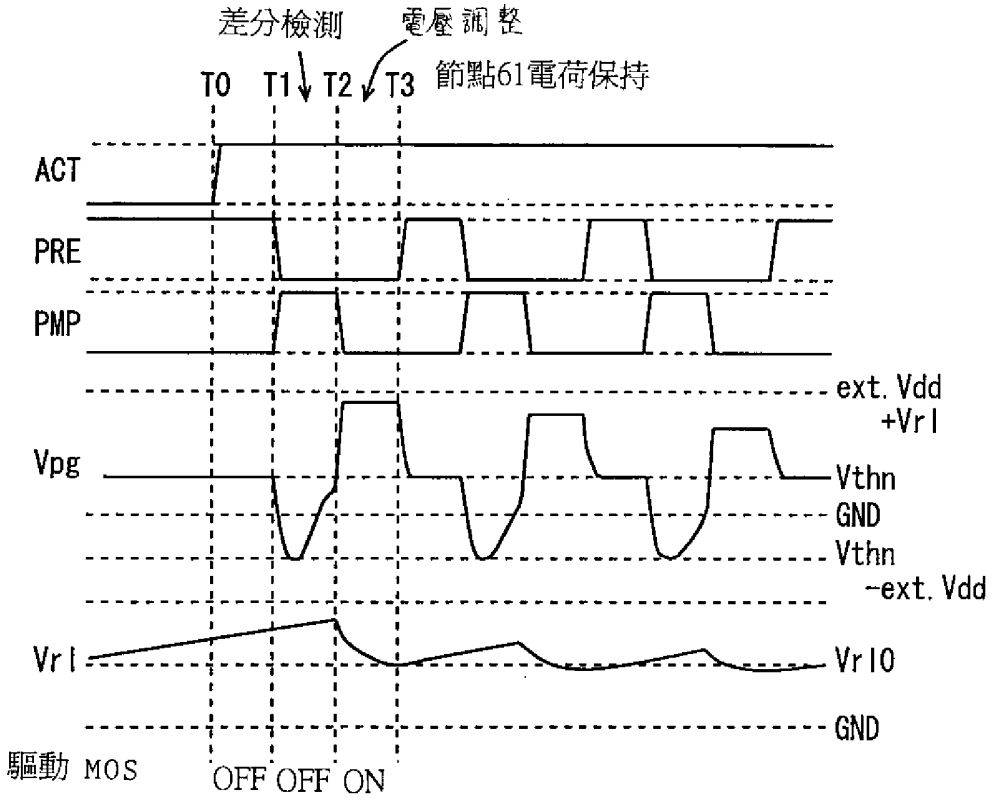

差分檢測
電壓調整
節點61電荷保持
T0
T1
T2
T3
ACT
PRE
PMP
ext. Vdd
+Vrl
Vpg
Vthn
GND
Vthn
-ext. Vdd
Vrl
Vr10
GND
驅動 MOS
OFF OFF ON

圖 4A

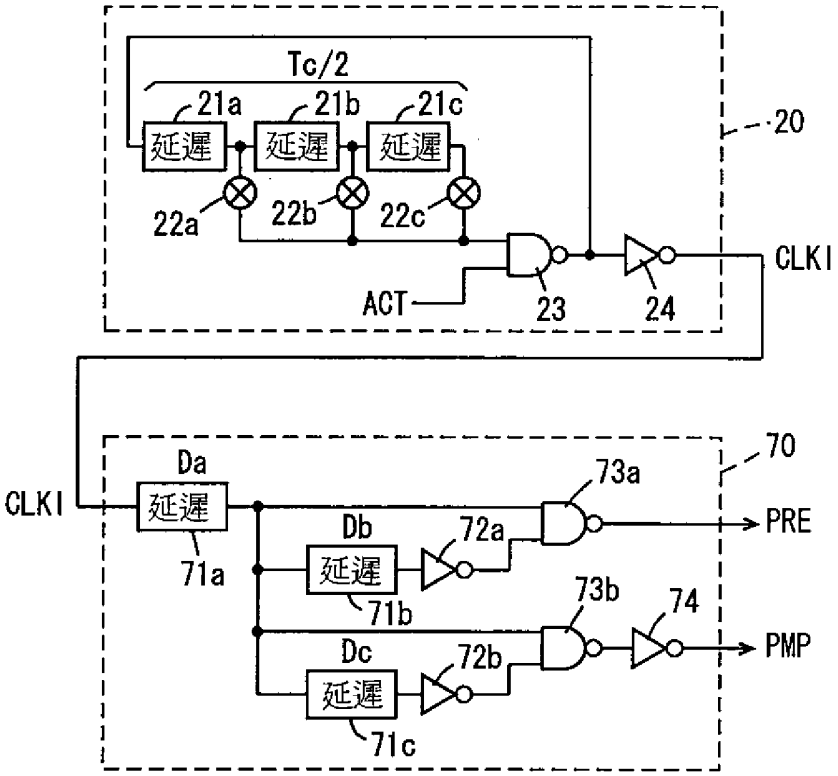

Tc/2
21a
21b
21c
延遲
延遲
延遲
20
22a
22b
22c
CLKI
ACT
23
24
70
CLKI
Da
延遲
71a
73a
PRE
Db
72a
延遲
71b
73b
74
PMP
Dc
72b
延遲
71c

圖 4B

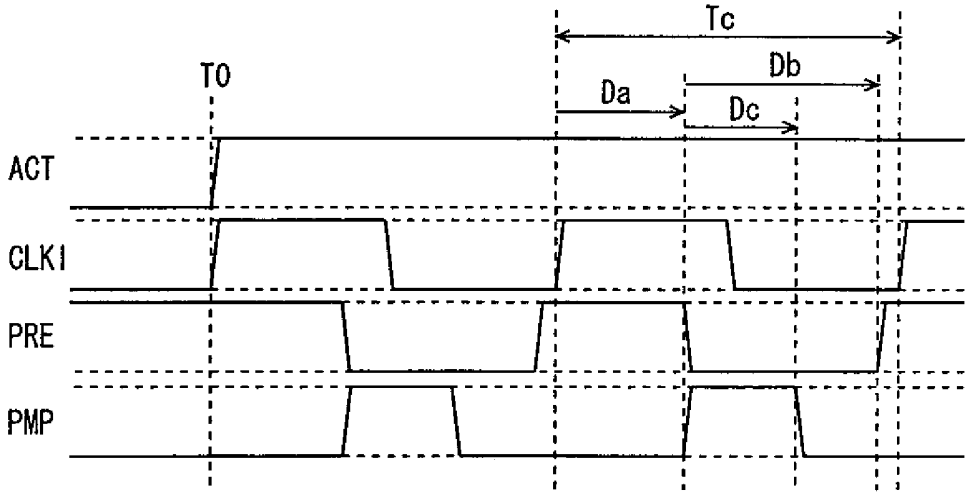

Tc
T0
Db
Da
Dc
ACT
CLKI
PRE
PMP

圖 5

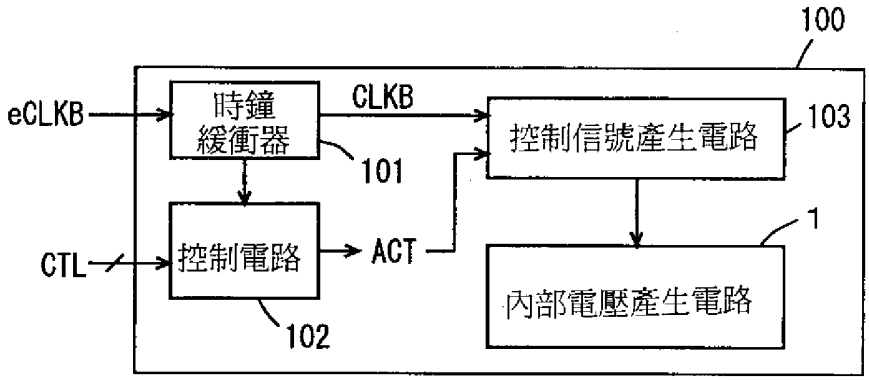

100
eCLKB
時鐘
緩衝器
CLKB
101
控制信號產生電路
103
CTL
控制電路
ACT
102
1
內部電壓產生電路

圖 6

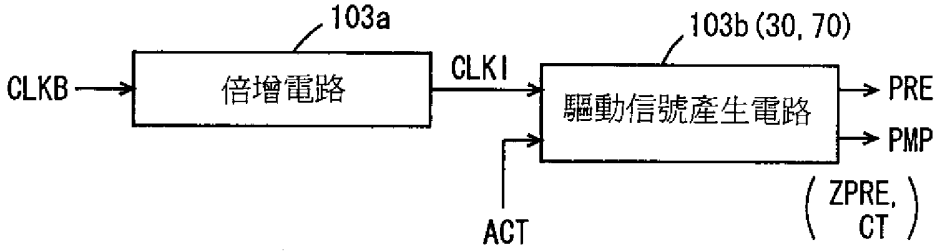

103a
CLKB
倍增電路
CLKI
103b (30, 70)
驅動信號產生電路
PRE
PMP
(ZPRE, CT)
ACT

圖 7

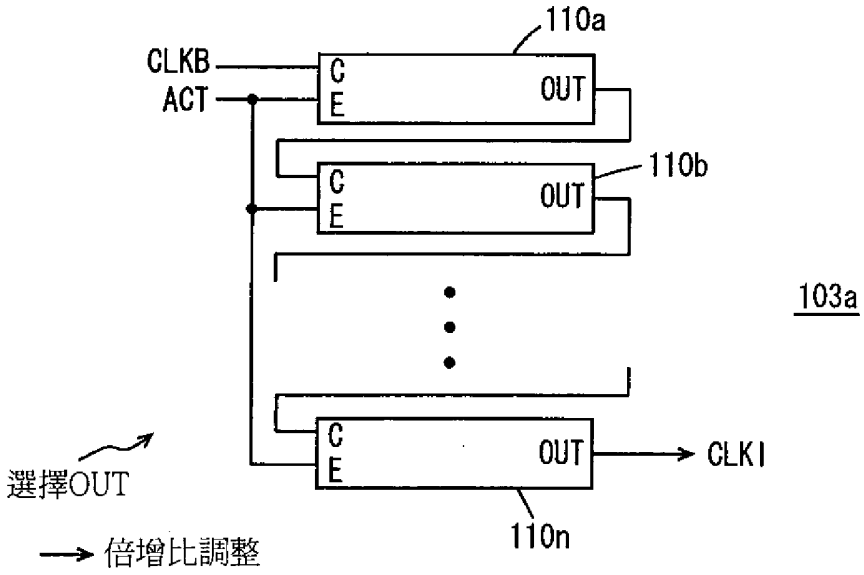

110a
CLKB
ACT
C
E
OUT
110b
103a
CLKI
選擇OUT
110n
倍增比調整

圖 8

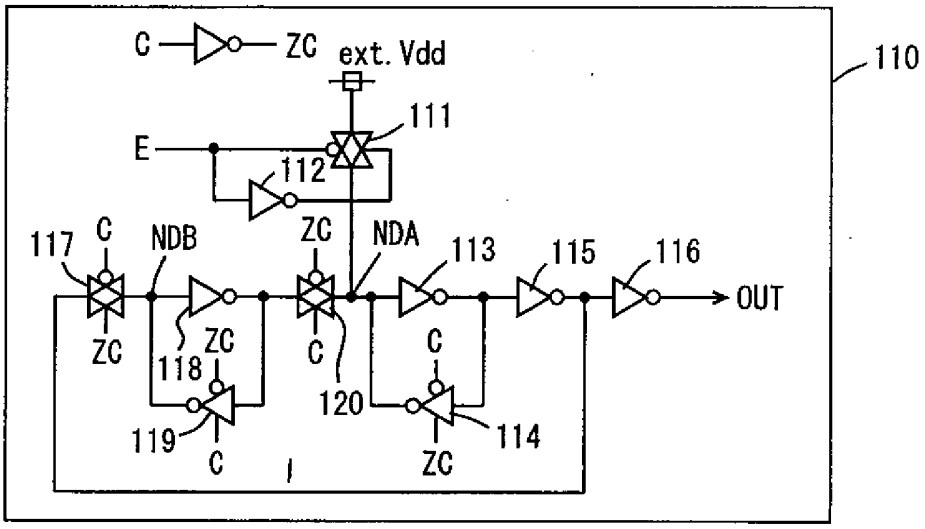

C
ZC
ext. Vdd
110
111
E
112
117
C
NDB
ZC
NDA
113
115
116
OUT
ZC
118
ZC
C
C
120
119
C
114
ZC

圖 9

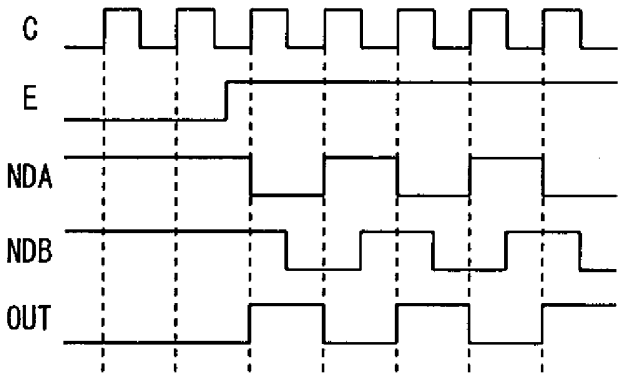

C
E
NDA
NDB
OUT

圖 10

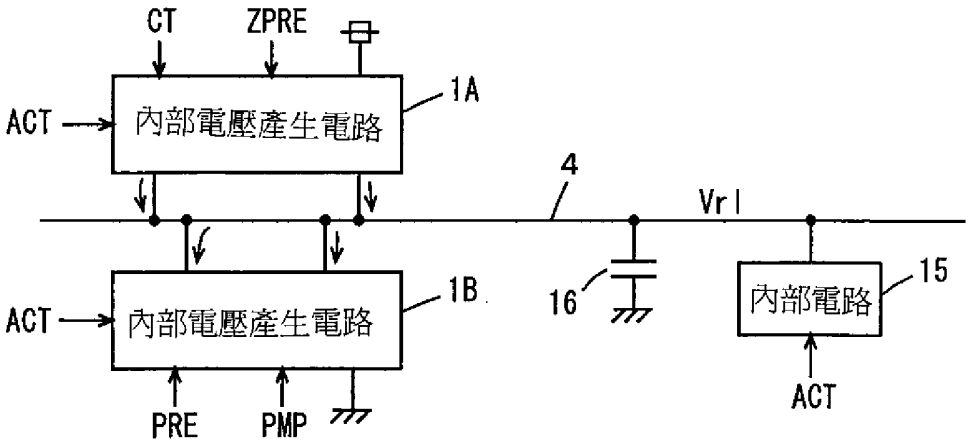

CT
ZPRE
ACT
內部電壓產生電路
1A
4
Vrl
ACT
內部電壓產生電路
1B
16
內部電路
15
ACT
PRE
PMP

圖 11A

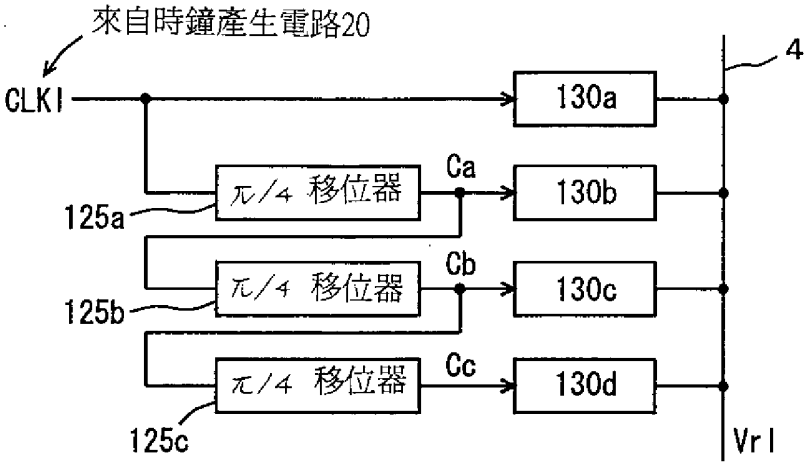
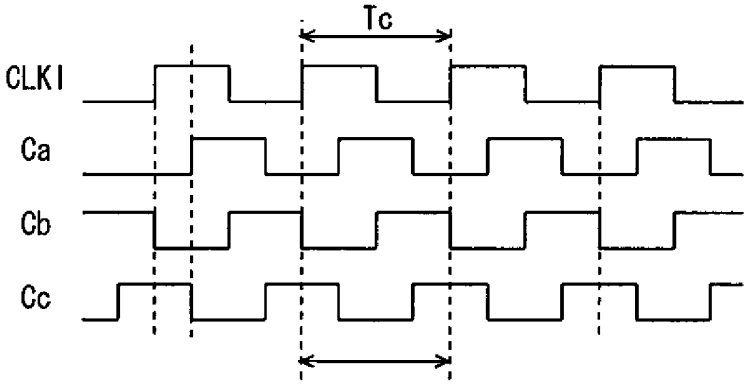
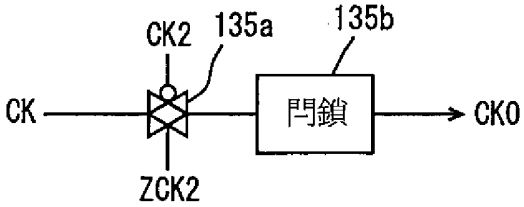


圖 11B



4 次電壓補償動作

圖 12A



125

圖 12B

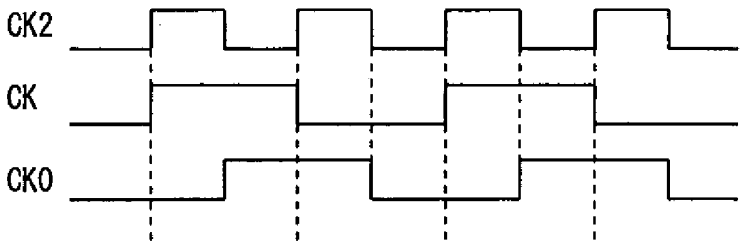


圖 13

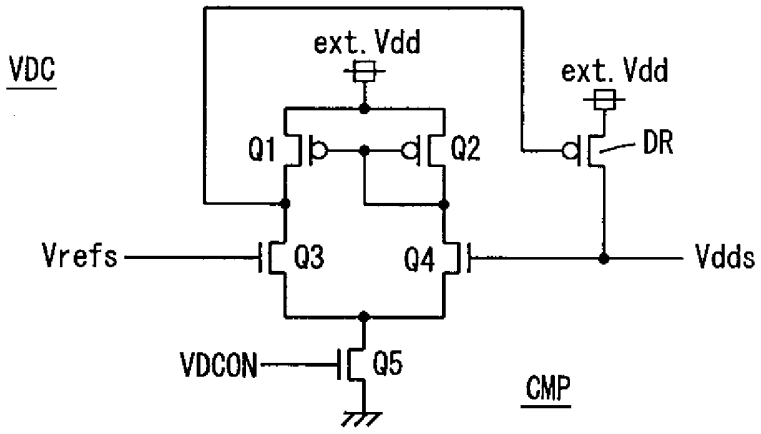


圖 14A

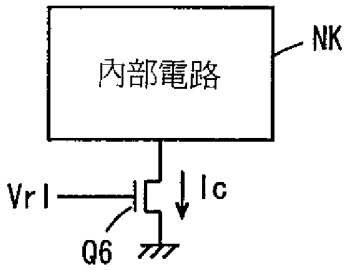


圖 14B

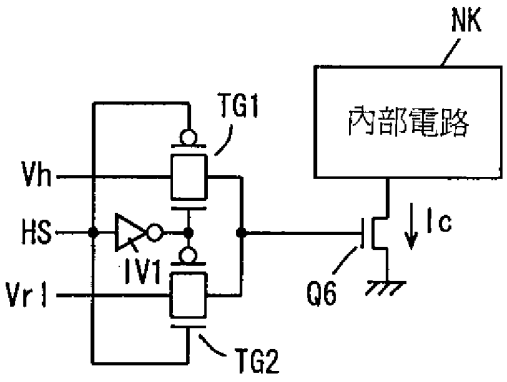


圖 15A

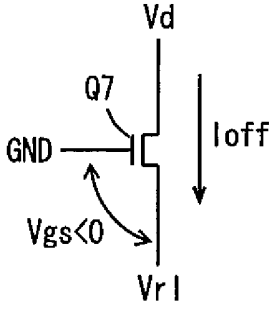


圖 15B

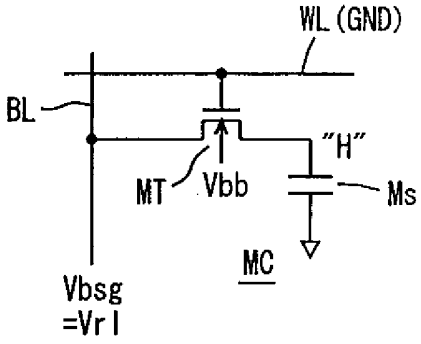


圖 16

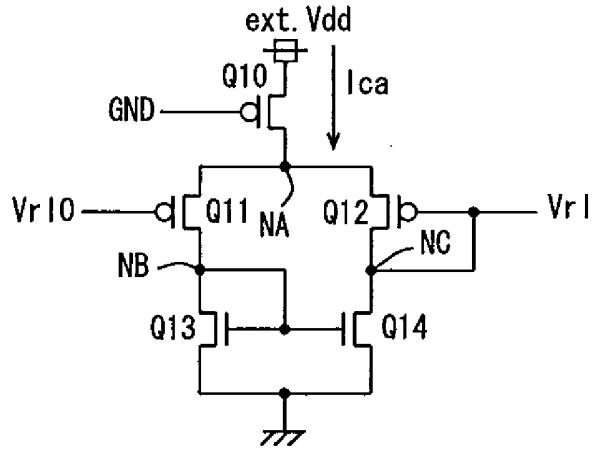
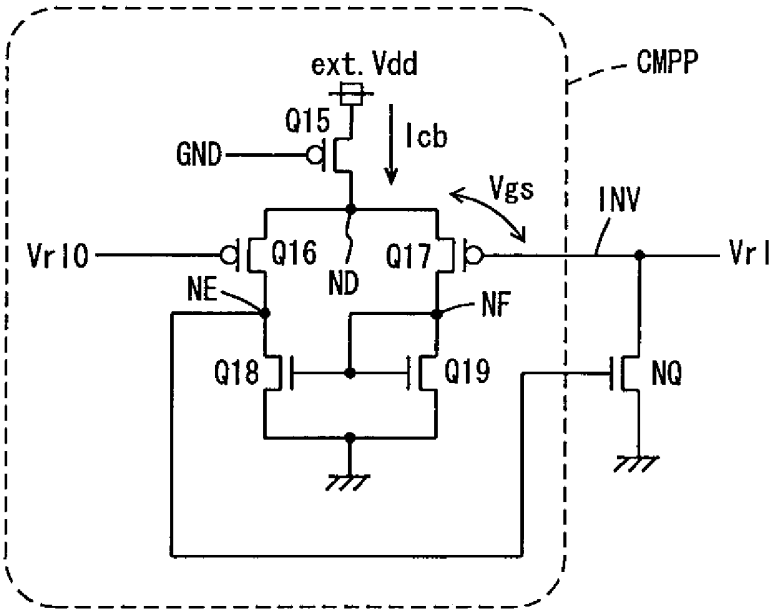

ext. Vdd
Q10
Ica
GND
Vrl0
Q11
NA
Q12
Vrl
NB
NC
Q13
Q14

圖 17


CMPP
ext. Vdd
Q15
Icb
GND
Vgs
INV
Vrl0
Q16
Q17
Vrl
ND
NE
NF
Q18
Q19
NQ