

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 3 月 2 日 (02.03.2006)

PCT

(10) 国際公開番号
WO 2006/022245 A1(51) 国際特許分類:
H01L 21/20 (2006.01) H01L 29/861 (2006.01)
H01L 21/205 (2006.01)

(21) 国際出願番号: PCT/JP2005/015248

(22) 国際出願日: 2005 年 8 月 23 日 (23.08.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-243413 2004 年 8 月 24 日 (24.08.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小廣 健司 (KO-HIRO, Kenji) [JP/JP]; 〒3050045 茨城県つくば市梅

園 2-13-1-4-201 Ibaraki (JP). 上田 和正 (UEDA, Kazumasa) [JP/JP]; 〒3000836 茨城県土浦市烏山 1-393-271-203 Ibaraki (JP). 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南 2-20-6 Ibaraki (JP).

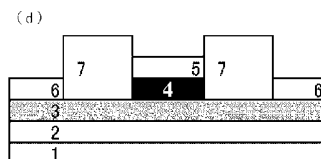
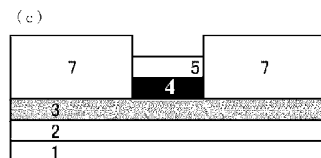
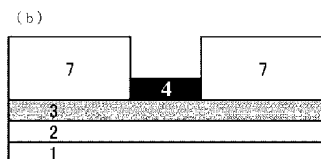
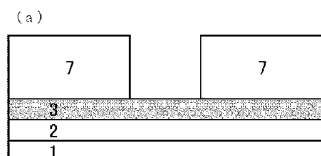
(74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒1000004 東京都千代田区大手町 2 丁目 2 番 1 号 新大手町ビル 331 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: METHOD FOR PRODUCING COMPOUND SEMICONDUCTOR EPITAXIAL SUBSTRATE HAVING PN JUNCTION

(54) 発明の名称: p n 接合を有する化合物半導体エピタキシャル基板の製造方法

(57) Abstract: Disclosed is a method for producing a compound semiconductor epitaxial substrate having a pn junction by selective growth which is characterized by using a base substrate having an average residual strain of not more than 1.0×10^{-5} .(57) 要約: p n 接合を有する化合物半導体エピタキシャル基板を選択成長法により製造する方法であって、残留歪の平均値が 1.0×10^{-5} 以下である元基板を用いることを特徴とする上記方法。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

pn接合を有する化合物半導体エピタキシャル基板の製造方法

技術分野

[0001] 本発明は、pn接合を有する化合物半導体エピタキシャル基板の製造方法に関する。

背景技術

[0002] 元基板上に化合物半導体層を順次エピタキシャル成長させて化合物半導体エピタキシャル基板を製造する方法において、元基板上に成長させた化合物半導体機能層の上に SiO_2 などからなるマスクを形成し、マスクが形成されていない場所に化合物半導体層を成長させるという選択成長工程を含むエピタキシャル成長法(以下、「選択成長法」という。)が用いられている。この選択成長法により、pn接合(p-i-n接合を含む。)を有する化合物半導体エピタキシャル基板が製造され、それに電極等を設置して素子分割して電界効果トランジスタ(ショットキー接合型ではないもの)(FET)、ヘテロバイポーラトランジスタ(HBT)などの化合物半導体素子が製造されている。

[0003] これらの化合物半導体素子用の化合物半導体エピタキシャル基板を製造するための元基板としては、通常は、液体封止チョクラルスキー法(LEC(Liquid Encapsulated Czochoralski)法)により製造された化合物単結晶からなる元基板が用いられている(例えば、特許文献1参照)。

[0004] このLEC法は、高い歩留まりで単結晶基板が得られ、コストの低い製造方法であるが、化合物半導体の結晶成長中の温度勾配が大きいいためか、製造された元基板中の残留歪が $1.2 \times 10^{-5} \sim 1.0 \times 10^{-4}$ となる(例えば、特許文献1及び特許文献2参照)ことが知られている。しかし、FET(ショットキー接合型ではないもの)、HBTなどの素子用の、選択成長法により製造された化合物半導体エピタキシャル基板の製造用にはLEC法は十分とされており、従来からLEC法による元基板が用いられていた。

[0005] 一方、化合物半導体結晶中には格子欠陥が少ないことが求められ、選択成長法によらずに製造されるレーザーダイオード等の素子を製造するための化合物半導体エ

ピタキシャル基板の製造に用いられる元基板としては、さらに残留歪みが小さいものが求められている。その元基板の製造方法としては、垂直温度勾配法(VGF(Vertical Gradient Freezing)法)や垂直ブリッジマン法(VB(Vertical Bridgman)法)が提案されており、これらの製造方法により製造される元基板の残留歪は、LEC法により製造された元基板より小さい $1 \times 10^{-6} \sim 5 \times 10^{-6}$ 程度(特許文献1参照)であることが知られていた。しかし、VGF法やVB法による元基板は、それを用いてもFET(ショットキー接合型ではないもの)、HBTなどの素子の初期の電気的特性は顕著には改善されず、LEC法より大幅にコストがかかるので、従来はpn接合を有する化合物半導体エピタキシャル基板の選択成長法による製造用には用いられてこなかった。

[0006] このpn接合を有し、選択成長法による化合物半導体エピタキシャル基板から製造された化合物半導体素子には、長時間の使用とともに特性劣化が生じるという問題点があることが知られており、改善が望まれていた。

[0007] 特許文献1:特開平11-268998号公報

特許文献2:特開平5-339100号公報

発明の開示

発明が解決しようとする課題

[0008] 本発明の目的は、選択成長工程を含むエピタキシャル成長法によるpn接合を有する化合物半導体エピタキシャル基板の製造方法であって、特性劣化の少ない化合物半導体素子を与える化合物半導体エピタキシャル基板の製造方法を提供することにある。

課題を解決するための手段

[0009] 上記課題を解決するため、本発明者らは、pn接合を有する化合物半導体エピタキシャル基板の選択成長法による製造方法について鋭意検討した結果、化合物半導体層を成長させるための元基板の残留歪に着目し、該残留歪の平均値が一定値以下であれば、特性劣化の少ないpn接合を有する化合物半導体素子を与える化合物半導体エピタキシャル基板を製造することができることを見出し、本発明を完成させるに至った。

- [0010] すなわち本発明は、pn接合を有する化合物半導体エピタキシャル基板を選択成長法により製造する方法であって、残留歪の平均値が 1.0×10^{-5} 以下である元基板を用いることを特徴とする上記方法を提供する。

発明の効果

- [0011] 本発明の製造方法により製造された、pn接合を有する化合物半導体エピタキシャル基板を用いて化合物半導体素子を製造すると、長時間使用しても特性劣化が少ないので、本発明の製造方法は、電界効果トランジスタ(ショットキー接合型ではないもの)、ヘテロバイポーラトランジスタなどの素子の製造用として好適であり、工業的に極めて有用である。

発明を実施するための最良の形態

- [0012] 本発明の製造方法は、残留歪の平均値が 1.0×10^{-5} 以下である歪の少ない元基板を用いることを特徴とする。
- [0013] 本発明者らは、例えば、VGF法やVB法により製造された残留歪の少ない元基板を用いて、pn接合を有する化合物半導体エピタキシャル基板を選択成長法により製造し、それを用いて化合物半導体素子を製造すると、その初期の電気的特性は、残留歪が大きなLEC法による元基板を用いてなる素子と比べて顕著には向上しないが、その化合物半導体素子の長時間の使用による劣化が小さくなることを見出した。
- [0014] 選択成長法においては、化合物半導体素子を構成する一部の化合物半導体層を基板上にエピタキシャル成長させた後に、その成長させた該層の上に SiO_2 などからなるマスクを作製し、次いで、別の化合物半導体層をエピタキシャル成長させ、電極を設置して化合物半導体素子を製造する。おそらく、別の化合物半導体層をエピタキシャル成長させるときの温度の上昇時に、又は、成長終了後の降温時に、エピタキシャル成長により形成した化合物半導体層と SiO_2 マスクとの熱膨張率の違いにより熱応力が生じ、その熱応力に残留歪による応力が加算されて転位の増殖が促進され、その結果素子の劣化が進むものと思われる。例えばVGF法やVB法により製造された、残留歪が少ない基板を用いると、転位が減少するので、長時間の使用による素子の劣化が少なくなるものと思われる。

- [0015] 本発明で用いる基板の残留歪の平均値は 1.0×10^{-5} 以下である。 1.0×10^{-5} を超

える場合は、長時間の使用により化合物半導体素子の劣化が進む可能性がある。残留歪の平均値は、 7×10^{-6} 以下であることが好ましく、さらに好ましくは、 5×10^{-6} 以下である。

[0016] 化合物半導体層の成長には、通常、有機金属化学気相成長 (Metal Organic Chemical Vapor Deposition: MOCVD) 法や分子線エピタキシー (Molecular Beam Epitaxy: MBE) 法が用いられる。いずれの方法においても、元基板の温度は $300^{\circ}\text{C} \sim 700^{\circ}\text{C}$ に加熱して化合物半導体層を成長させ、次に、 SiO_2 などのマスクを作製して、さらに化合物半導体の残りの層を成長させて、化合物半導体エピタキシャル基板を得る。

[0017] 本発明における、化合物半導体エピタキシャル基板の残留歪の測定は、例えば光弾性法により行うことができる。具体的には、例えば、Proceedings of 8th Semi-Insulating III-V Materials, Warsaw Poland June, 1994, p95-98 に記載された方法によって測定することができる。

[0018] 光弾性法は複屈折現象を利用して、応力集中の状態を観測するための方法であり、一般的に用いられている。この方法により、基板の残留歪は、半径方向の歪 S_r と接線方向 S_t との差の絶対値であり、次式によって算出できる。

$$|S_r - S_t| = k \delta [(\cos 2\phi / P_{11} - P_{12})^2 + (\sin 2\phi / P_{44})^2]^{1/2}$$

ただし、 $k = (\lambda / \pi d n_0)^3$ である。

(ここで、 λ は測定に用いる光の波長、 d は基板の厚さ、 n_0 は基板の屈折率、 δ は複屈折により生じる位相差、 ϕ は主振動方位角、 P_{11} と P_{12} と P_{44} は弾性テンソルにおける光弾性定数成分を表す。)

[0019] 以下、図面を参照して本発明の実施形態の一例につき詳細に説明する。なお、この図面は本発明の実施形態の一例に過ぎず、本発明はこの化合物半導体素子構造に何ら限定されるものではない。

[0020] 図1は、本発明の製造方法による化合物半導体エピタキシャル基板を用いて製造した化合物半導体素子の一実施形態を示し、化合物半導体素子がダイオードである場合を示す。図1において、1は半絶縁性GaAs基板、2はバッファ層、3は n^+ GaAs層である。 n^+ GaAs上部には、 SiO_2 絶縁膜7が施され、開口部には p^+ GaAs層4が積

層されている。さらに、上部にはp電極5、 n^+ GaAs層にはn電極6がスパッタ法により積層される。

[0021] このダイオードの電流－電圧特性を説明するグラフを図2に示す。このダイオードは、逆バイアスでは電流が僅かしか流れず、整流性を示す。しかし、長時間使用してダイオードの劣化が進むと、図3に示すように、逆バイアスでの電流量が増加する。本発明の化合物半導体素子は、ダイオードの場合においては、このような逆バイアスでの電流量の増加が少なく、電流－電圧特性は図2のようになり、劣化が少ない。

[0022] ダイオードを例に挙げたが、pn接合を有する他の素子、例えば、接合型電界効果トランジスタ(JFET)、ヘテロバイポーラトランジスタ(HBT)等においては、本発明による化合物半導体エピタキシャル基板を用いて製造された化合物半導体素子は、電流増幅率(β)や最大電流(I_{max})等の特性低下が、従来のものに比べて少ない。

実施例

[0023] 以下、実施例により本発明をさらに詳しく説明するが、本発明はこれらにより限定されるものではない。

[0024] 実施例1

図1に示す層構造のダイオードを下記のようにして製作した。

まず、残留歪の平均値が 2×10^{-6} である半絶縁性GaAs基板1の上に、MOCVD法によりバッファ層2及び n^+ GaAs層3を順に積層した。次にエピタキシャル基板全面に SiO_2 絶縁膜7を堆積し、続いてフォトリソをマスクとしてパターニングを行い、 p^+ GaAsを形成部となる領域に存在する SiO_2 絶縁膜を開口させた(図4(a))。次いで、この開口部分に p^+ GaAs層4をMOCVD法により選択成長させた(図4(b))。さらに、 p^+ GaAs層4上にp電極5をスパッタ法により堆積した後(図4(c))、n電極形成部の SiO_2 絶縁膜をフォトリソをマスクとして開口し、n電極6を形成した(図4(d))。

[0025] 上述のようにして得られた化合物半導体素子(ダイオード)の電流－電圧特性を示すグラフを図5に示す。そして、この素子に3.7Vの過大な電圧をかけ、10分通電して劣化促進試験を行い、その後再び電流－電圧特性を調べると、図6のように逆バイアスのリーク電流の増加はほとんど見られなかった。また、通電後の素子の断面をTEM(透過型電子顕微鏡)で観察すると、転位は見られなかった。

[0026] 実施例2

基板をVB法により製造し、平均残留歪 4×10^{-6} のGaAs基板を用いた以外は、実施例1と同様の条件でダイオードを製作した。その結果、実施例1と同様に素子の劣化(逆バイアスのリーク電流増加)はほとんどなく、転位の発生も見られなかった。

[0027] 比較例1

基板をLEC法により製造し、平均残留歪 4×10^{-5} のGaAs基板を用いた以外は、実施例1と同様の条件でダイオードを製作した。その結果、図7に示すように、逆バイアスのリーク電流が増加した。実施例と同様に通電試験を行ったところ、図7のように逆バイアスのリーク電流がさらに大きくなった。また、通電後の素子の断面をTEM(透過型電子顕微鏡)で観察したところ、大量の転位が見られた。

図面の簡単な説明

[0028] [図1]本発明の実施形態の一例のダイオードを示す層構造図。

[図2]ダイオードの電流-電圧特性を説明するためのグラフ。

[図3]ダイオードの通電後の劣化を示すグラフ。

[図4]図1のp-n接合素子(ダイオード)の製造工程を示す図。

[図5]ダイオードの電流-電圧特性を示すグラフ。

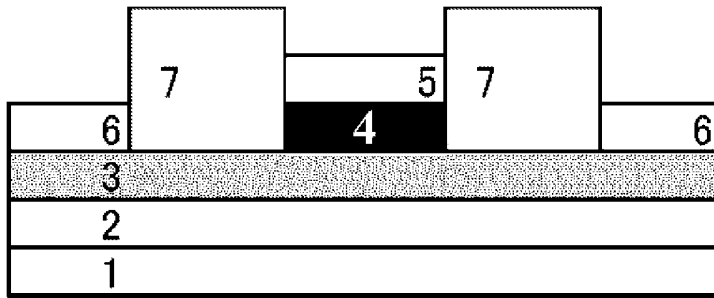
[図6]実施例1のダイオードの通電後の劣化が無いことを示すグラフ。

[図7]比較例1のダイオードの通電後の劣化を示すグラフ。

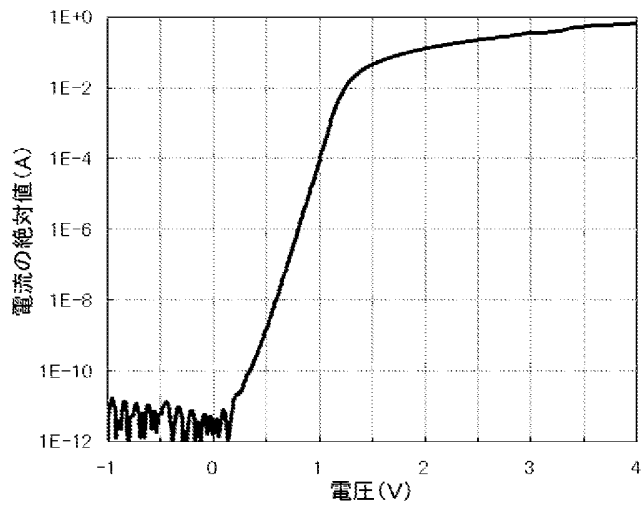
請求の範囲

- [1] pn接合を有する化合物半導体エピタキシャル基板を選択成長法により製造する方法であつて、残留歪の平均値が 1.0×10^{-5} 以下である元基板を用いることを特徴とする上記方法。
- [2] 前記元基板が、VGF法又はVB法により製造された元基板である請求項1記載の方法。

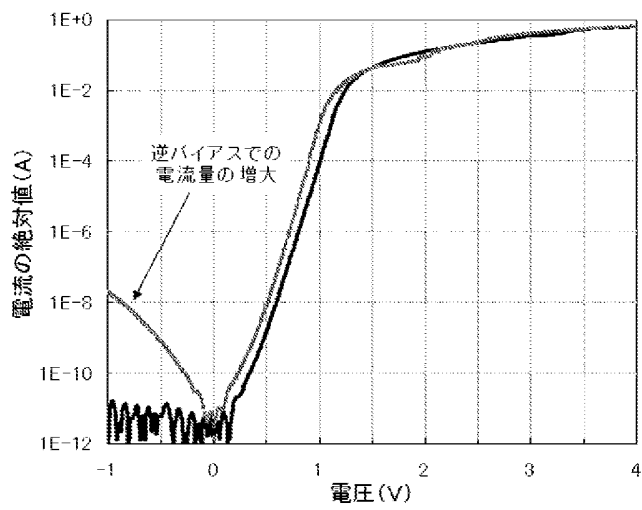
[図1]



[図2]

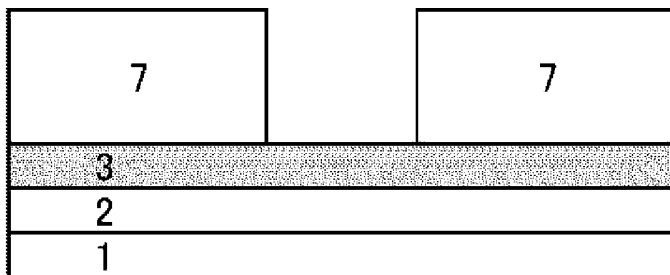


[図3]

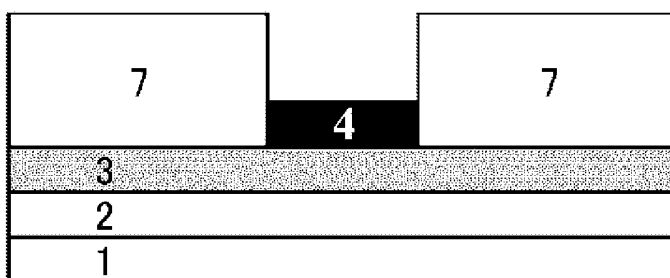


[図4]

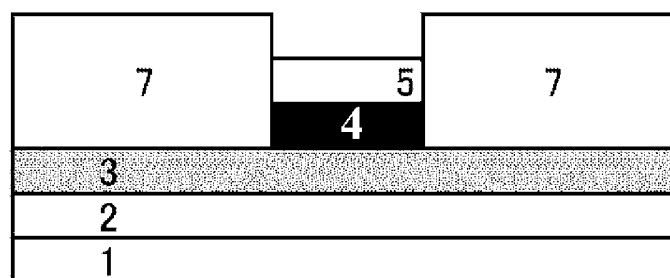
(a)



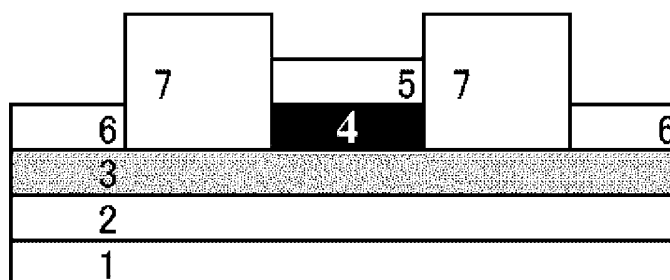
(b)



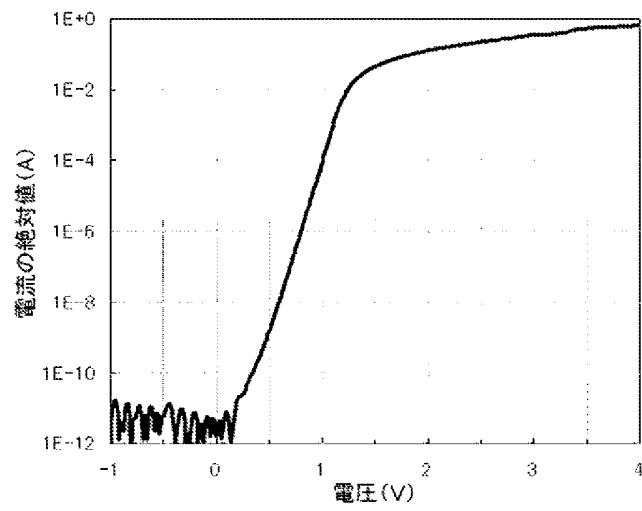
(c)



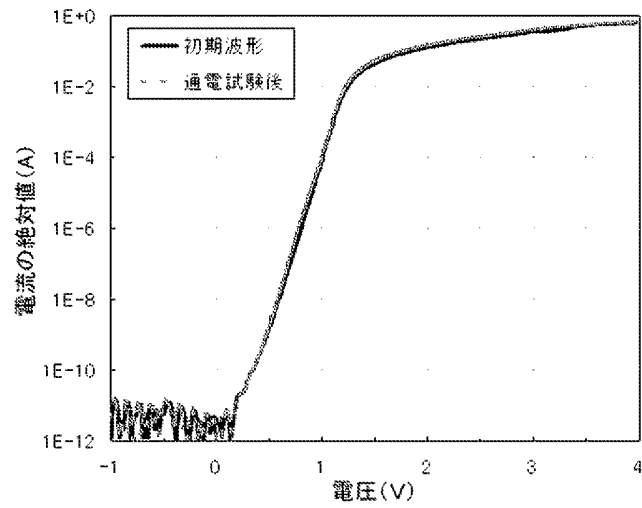
(d)



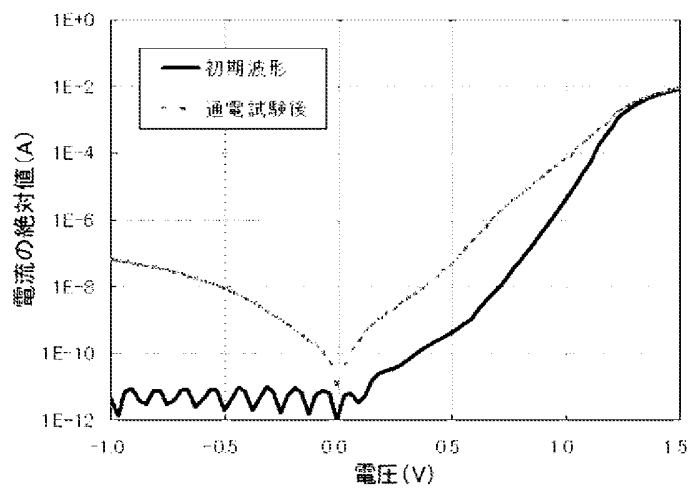
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015248

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20 (2006.01), H01L21/205 (2006.01), H01L29/861 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20 (2006.01), H01L21/205 (2006.01), H01L29/861 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-103699 A (Sumitomo Electric Industries, Ltd.), 11 April, 2000 (11.04.00), Par. Nos. [0012], [0020] to [0032]; Fig. 2 & EP 990717 A1 & US 6180269 B1 & CN 1249368 A & CA 2275088 A1 & TW 473563 A	1, 2
Y	JP 5-339100 A (Sumitomo Electric Industries, Ltd.), 21 December, 1993 (21.12.93), Par. Nos. [0078] to [0082] (Family: none)	1, 2

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 October, 2005 (19.10.05)Date of mailing of the international search report
01 November, 2005 (01.11.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015248

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-257997 A (Sumitomo Electric Industries, Ltd.), 12 September, 2003 (12.09.03), Par. Nos. [0024] to [0035]; Figs. 3 to 4 (Family: none)	1, 2
Y	JP 52-37766 A (NEC Corp.), 23 March, 1977 (23.03.77), Page 2, upper left column, lines 4 to 11 (Family: none)	1, 2
A	JP 2001-53005 A (Sumitomo Electric Industries, Ltd.), 23 February, 2001 (23.02.01), Full text; all drawings (Family: none)	1, 2
A	JP 8-119800 A (Sumitomo Electric Industries, Ltd.), 14 May, 1996 (14.05.96), Full text; all drawings & EP 709498 A1 & US 5725658 A	1, 2

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/20 (2006.01), H01L21/205 (2006.01), H01L29/861 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/20 (2006.01), H01L21/205 (2006.01), H01L29/861 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-103699 A (住友電気工業株式会社) 2000.04.11, 【0012】、【0020】-【0032】、 第2図 & E P 990717 A1 & US 6180269 B1 & CN 1249368 A & CA 2275088 A1 & TW 473563 A	1, 2
Y	J P 5-339100 A (住友電気工業株式会社) 1993.12.21, 【0078】-【0082】 (ファミリーなし)	1, 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19.10.2005

国際調査報告の発送日

01.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

洲 真悟

電話番号 03-3581-1101 内線 3498

4 L

2933

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-257997 A (住友電気工業株式会社) 2003.09.12, 【0024】-【0035】, 第3-4図 (ファミリーなし)	1, 2
Y	J P 52-37766 A (日本電気株式会社) 1977.03.23, 第2頁左上欄第4-11行 (ファミリーなし)	1, 2
A	J P 2001-53005 A (住友電気工業株式会社) 2001.02.23, 全文, 全図 (ファミリーなし)	1, 2
A	J P 8-119800 A (住友電気工業株式会社) 1996.05.14, 全文, 全図 & EP 709498 A1 & US 5725658 A	1, 2